

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年9月27日(27.09.2012)



(10) 国際公開番号

WO 2012/127922 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 23/52 (2006.01)
H01L 21/3205 (2006.01) H01L 23/522 (2006.01)
H01L 21/768 (2006.01)
- (21) 国際出願番号: PCT/JP2012/053013
- (22) 国際出願日: 2012年2月9日(09.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-060872 2011年3月18日(18.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 富士
フィルム株式会社(FUJIFILM Corporation) [JP/JP];
〒1068620 東京都港区西麻布2丁目26番30
号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 梅田 賢一
(UMEDA, Kenichi) [JP/JP]; 〒2588577 神奈川県足柄
上郡開成町牛島577番地 富士フィルム株式
会社内 Kanagawa (JP). 藤井 隆満(FUJII, Takam-
itsu) [JP/JP]; 〒2588577 神奈川県足柄上郡開成町牛

島577番地 富士フィルム株式会社内
Kanagawa (JP).

(74) 代理人: 中島 淳, 外(NAKAJIMA, Jun et al.); 〒
1600022 東京都新宿区新宿4丁目3番17号
HK新宿ビル7階 太陽国際特許事務所 Tokyo
(JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

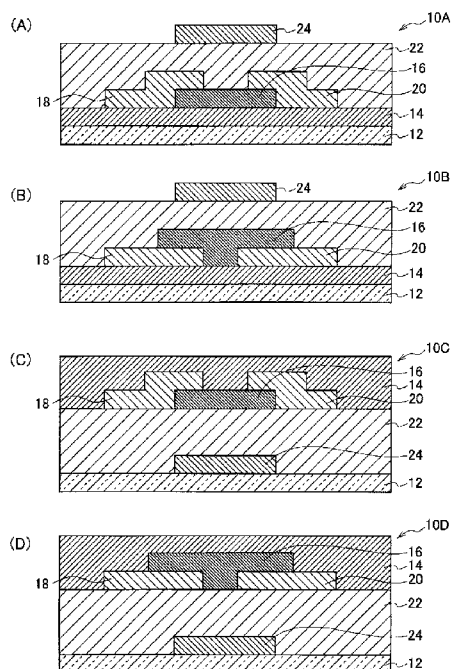
(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,

[続葉有]

(54) Title: FIELD-EFFECT TRANSISTOR

(54) 発明の名称: 電界効果型トランジスタ

[図1]



(57) Abstract: The present invention reduces the temperature of heat generated during driving. When the thermal conductivity of a substrate (12) is set to N_{sub} (W/mK), the thermal conductivity of a heat diffusion layer (14) is set to N_{kaku} (W/mK), the film thickness of the heat diffusion layer (14) is set to T (mm), the planar aperture ratio of the heat diffusion layer (14) is set to R ($0 \leq R \leq 1$), and $S = T \times R$, for example, the thermal conductivity N_{sub} of the substrate (12) satisfies the condition $N_{sub} < 1.8$, and the thermal conductivity N_{kaku} of the heat diffusion layer (14) satisfies the conditions $N_{kaku} > 3.0 \times S^{(-0.97 \times e^{(-1.2 \times N_{sub})})}$ and $N_{kaku} \geq N_{sub}$.

(57) 要約: 駆動時の発熱温度を低下させる。基板(12)の熱伝導率を N_{sub} (W/mK)とし、熱拡散層(14)の熱伝導率を N_{kaku} (W/mK)とし、熱拡散層(14)の膜厚を T (mm)とし、熱拡散層(14)の平面開口率を R ($0 \leq R \leq 1$)とし、 $S = T \times R$ としたとき、例えば、基板(12)の熱伝導率 N_{sub} が、 $N_{sub} < 1.8$ の条件を満たし、熱拡散層(14)の熱伝導率 N_{kaku} が、 $N_{kaku} > 3.0 \times S^{(-0.97 \times e^{(-1.2 \times N_{sub})})}$ かつ $N_{kaku} \geq N_{sub}$ の条件を満たす。

WO 2012/127922 A1



MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, 添付公開書類:
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, — 国際調査報告 (条約第 21 条(3))
ML, MR, NE, SN, TD, TG).

明 細 書

発明の名称：電界効果型トランジスタ

技術分野

[0001] 本発明は、電界効果型トランジスタに関する。

背景技術

[0002] 電界効果型トランジスタは、半導体メモリ用集積回路の単位素子、高周波信号増幅素子、液晶などの表示素子駆動用素子として広く用いられており、特に薄膜化したものは薄膜トランジスタ（TFT：Thin Film Transistor）と呼ばれている。そして、フラットパネルディスプレイにおいては、大面積で形成可能なアモルファスシリコンからなる活性層を有したシリコン系TFTが用いられている。

[0003] 近年、このアモルファスシリコンの代わりに、 In-Ga-Zn-O 系（IGZO系）の酸化物半導体を活性層（チャネル層）に用いたTFTの開発が活発に行われている。酸化物半導体は低温成膜が可能であり、且つアモルファスシリコンよりも高移動度を示し、更に可視光に透明であることからプラスチック板やフィルム等の基板上にフレキシブルで透明なTFTを形成することが可能である。

[0004] ところで、このような電界効果型トランジスタにおいて、高電圧印加時（駆動時）に大電流が流れることによりジュール熱が発生し、活性層が局所的に温度上昇することがある。このように駆動時に生じる発熱は、駆動劣化（信頼性の低下）を引き起こす一因となっている。

[0005] そこで、特開2003-131588号公報には、駆動時に生じる発熱が蓄熱することを防止するため、薄膜トランジスタの活性層の上層または下層、或いは上下層に放熱層としてガラス基板よりも熱伝導率の高い膜を形成することが開示されている。

発明の開示

発明が解決しようとする課題

[0006] しかしながら、特開2003-131588号では、基板の熱伝導率と放熱層の熱伝導率との具体的な関係については一切言及しておらず、ガラス基板よりも熱伝導率の高い膜が、放熱層としての役割を十分に果たしているか否か不明である。

[0007] ここで、活性層としてIGZO系の酸化物半導体を用いた場合、発熱時の温度が100℃以上になると基板や活性層、絶縁膜、電極内に存在する微量の水分に影響を与え、所謂TF特性を変化させてしまう。また、発熱時の温度が300℃以上になると活性層内に存在する酸素が変化し、TF特性を変化させてしまう。

また、樹脂基板を用いたフレキシブルデバイスの作製においては、基板の熱伝導率がより低くなるため蓄熱し易くなり発熱による駆動劣化がより顕著になると予想される。また、このような発熱の効果は、耐熱性の低い樹脂基板では、蓄熱による基板の寸法変化等を引き起こす原因となることが考えられる。

[0008] しかしながら、特開2003-131588号では、上記の点についても、一切言及していない。

[0009] 本発明は上記事実に鑑みてなされたものであり、駆動時の発熱温度を低下させた電界効果型トランジスタを提供することを目的とする。

課題を解決するための手段

[0010] <1>基板上に、少なくともゲート電極、ゲート絶縁膜、In, Ga, Znのうち少なくとも一つを含んだ酸化物半導体を主に含有する活性層、ソース電極、及びドレイン電極を有する電界効果型トランジスタであって、前記ゲート絶縁膜と同一又は別個とされ、且つ、前記ゲート電極、ソース電極及びドレイン電極とは異なる熱拡散層を有し、前記基板の熱伝導率を N_{sub} (W/mK)とし、前記熱拡散層の熱伝導率を N_{aku} (W/mK)とし、前記熱拡散層の膜厚を T (mm)とし、前記熱拡散層の平面開口率を R ($0 \leq R \leq 1$)とし、 $S = T \times R$ としたとき、前記基板の熱伝導率 N_{sub} が、 $N_{sub} < 1$ 、8の条件を満たし、前記熱拡散層の熱伝導率 N_{aku} が、 $N_{aku} > 3.0 \times$

$S^{(-0.97 \times e^{(-1.2 \times N_{sub})})}$ 且つ $N_{kaku} \geq N_{sub}$ の条件を満たす、電界効果型トランジスタ。

<2>基板上に、少なくともゲート電極、ゲート絶縁膜、In, Ga, Znのうち少なくとも一つを含んだ酸化物半導体を主に含有する活性層、ソース電極、及びドレイン電極を有する電界効果型トランジスタであって、前記ゲート絶縁膜と同一又は別個とされ、且つ、前記ゲート電極、ソース電極及びドレイン電極とは異なる熱拡散層を有し、前記基板の熱伝導率を N_{sub} (W/mK) とし、前記熱拡散層の熱伝導率を N_{kaku} (W/mK) とし、前記熱拡散層の膜厚を T (mm) とし、前記熱拡散層の平面開口率を R ($0 \leq R \leq 1$) とし、 $S = T \times R$ としたとき、前記基板の熱伝導率 N_{sub} が、 $N_{sub} < 0.56$ の条件を満たし、前記熱拡散層の熱伝導率 N_{kaku} が、 $N_{kaku} > 0.4 \times S^{(-1.2 \times e^{(-3.5 \times N_{sub})})}$ 及び $N_{kaku} \geq N_{sub}$ の条件を満たす、電界効果型トランジスタ。

<3>前記活性層と前記熱拡散層の間に $1 \mu m$ 以下の薄膜が少なくとも1層以上存在する、<1>又は<2>に記載の電界効果型トランジスタ。

<4>前記熱拡散層が、Al, Gaの少なくとも一つを含む窒化膜である、<3>に記載の電界効果型トランジスタ。

<5>前記熱拡散層の透過率が、波長域 $400 nm$ 以上 $700 nm$ 以下の光において70%以上である、<4>に記載の電界効果型トランジスタ。

<6>前記基板は、樹脂基板である、<1>~<5>の何れか1つに記載の電界効果型トランジスタ。

<7><6>に記載の電界効果型トランジスタを備えた表示装置。

<8><6>に記載の電界効果型トランジスタを備えたセンサ。

なお、上記「e」は、自然対数を意味し、「^」は、累乗を意味するものとする。

発明の効果

[0011] 本発明によれば、駆動時の発熱温度を低下させた電界効果型トランジスタを提供することができる。

図面の簡単な説明

[0012] [図1]図1 (A) は、本発明の実施形態に係る T F T であって、トップゲート構造でトップコンタクト型の T F T の一例を示す模式図である。図1 (B) は、本発明の実施形態に係る T F T であって、トップゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。図1 (C) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でトップコンタクト型の T F T の一例を示す模式図である。図1 (D) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。

[図2]図2 (A) は、本発明の実施形態に係る T F T であって、トップゲート構造でトップコンタクト型の T F T の一例を示す模式図である。図2 (B) は、本発明の実施形態に係る T F T であって、トップゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。図2 (C) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でトップコンタクト型の T F T の一例を示す模式図である。図2 (D) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。

[図3]図3 (A) は、本発明の実施形態に係る T F T であって、トップゲート構造でトップコンタクト型の T F T の一例を示す模式図である。図3 (B) は、本発明の実施形態に係る T F T であって、トップゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。図3 (C) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でトップコンタクト型の T F T の一例を示す模式図である。図3 (D) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。

[図4]図4 は、本発明の電気光学装置の一実施形態の液晶表示装置について、その一部分の概略断面図である。

[図5]図5 は、図4 に示す液晶表示装置の電気配線の概略構成図である。

[図6]図6は、本発明の電気光学装置の一実施形態のアクティブマトリックス方式の有機EL表示装置について、その一部分の概略断面図である。

[図7]図7は、図6に示す電気光学装置の電気配線の概略構成図である。

[図8]図8は、本発明のセンサの一実施形態であるX線センサについて、その一部分の概略断面図である。

[図9]図9は、図8に示すセンサの電気配線の概略構成図である。

[図10]図10は、素子駆動時の温度マップ（基板温度50℃）を測定した結果を示す図であり、（A）はガラス基板の場合の温度マップを示し、（B）はシリコン基板の場合の温度マップを示している。

[図11]ゲート電圧 V_g を $V_g = 20V$ に固定し、 $S-D$ 間への印加電界 E を変数として、発熱温度をプロットした図である。

[図12]図12は、 $V_{ds} = 1V$ の場合の I_d 及び I_g と V_g の関係をプロットした図である。

[図13]図13は、 $V_{ds} = 25V$ の場合の I_d 及び I_g と V_g の関係をプロットした図である。

[図14]図14は、素子サイズは、 $L/W = 5/100 (\mu m/\mu m)$ 素子にて、駆動条件が $V_{ds} = V_g = 20V$ の場合の駆動時間と閾値シフト ΔV_{th} との関係を示す図である。

[図15]図15は、シミュレーションで用いた構造体を示す図であって、（A）は構造体の斜視図であり、（B）は構造体の断面図である。

[図16]図16は、シミュレーションの結果を示す図であり、 $N_{sub} = 0.1$ とし、 N_{kaku} 、 T をパラメータとした時の温度との関係（ $N_{kaku} \geq N_{sub}$ ）を示すグラフである。

[図17]図17は、シミュレーションの結果を示す図であり、 $N_{sub} = 0.18$ とし、 N_{kaku} 、 T をパラメータとした時の温度との関係（ $N_{kaku} \geq N_{sub}$ ）を示すグラフである。

[図18]図18は、シミュレーションの結果を示す図であり、 $N_{sub} = 0.32$ とし、 N_{kaku} 、 T をパラメータとした時の温度との関係（ $N_{kaku} \geq N_{sub}$ ）

を示すグラフである。

[図19]図19は、シミュレーションの結果を示す図であり、 $N_{sub} = 0.56$ とし、 N_{kak} 、 T をパラメータとした時の温度との関係 ($N_{kak} \geq N_{sub}$) を示すグラフである。

[図20]図20は、シミュレーションの結果を示す図であり、 $N_{sub} = 0.1$ とし、 N_{kak} 、 T をパラメータとした時の温度との関係 ($N_{kak} \geq N_{sub}$) を示すグラフである。

[図21]図21は、シミュレーションの結果を示す図であり、 $N_{sub} = 1.0$ とし、 N_{kak} 、 T をパラメータとした時の温度との関係 ($N_{kak} \geq N_{sub}$) を示すグラフである。

[図22]図22は、シミュレーションの結果を示す図であり、 $N_{sub} = 1.8$ とし、 N_{kak} 、 T をパラメータとした時の温度との関係 ($N_{kak} \geq N_{sub}$) を示すグラフである。

[図23]図23は、シミュレーションの結果を示す図であり、 $N_{sub} = 3.2$ とし、 N_{kak} 、 T をパラメータとした時の温度との関係 ($N_{kak} \geq N_{sub}$) を示すグラフである。

[図24]図24は、シミュレーションの結果を示す図であり、 $N_{sub} = 32$ とし、 N_{kak} 、 T をパラメータとした時の温度との関係 ($N_{kak} \geq N_{sub}$) を示すグラフである。

[図25]図25は、シミュレーションの結果を示す図であり、 $N_{sub} = 100$ とし、 N_{kak} 、 T をパラメータとした時の温度との関係 ($N_{kak} \geq N_{sub}$) を示すグラフである。

[図26]図26は、シミュレーションの結果を示す図であり、 $N_{sub} = 320$ とし、 N_{kak} 、 T をパラメータとした時の温度との関係 ($N_{kak} \geq N_{sub}$) を示すグラフである。

[図27]図27は、シミュレーションの結果を示す図であり、 $N_{sub} = 1000$ とし、 N_{kak} 、 T をパラメータとした時の温度との関係 ($N_{kak} \geq N_{sub}$) を示すグラフである。

[図28]図28は、図16～図27に示したグラフに基づき、 T_{max} が 300°C となる各 N_{sub} 毎の N_{kaku} と T の関係をプロットした図である。

[図29]図29は、図16～図27に示したグラフに基づき、 T_{max} が 100°C となる各 N_{sub} 毎の N_{kaku} と T の関係をプロットした図である。

[図30]図30は、最大発熱温度 T_{max} が 300°C となる N_{sub} とパラメータ A との関係を示す図である。

[図31]図31は、最大発熱温度 T_{max} が 100°C となる N_{sub} とパラメータ A との関係を示す図である。

発明を実施するための最良の形態

[0013] 以下、添付の図面を参照しながら、本発明の実施形態に係る電界効果型トランジスタ、表示装置、センサについて具体的に説明する。なお、図中、同一又は対応する機能を有する部材（構成要素）には同じ符号を付して適宜説明を省略する。

[0014] 1. 電界効果型トランジスタ

本発明の実施形態に係る電界効果型トランジスタについて、TFETを一例に挙げて具体的に説明する。

[0015] <TFETの概略構成>

本発明の実施形態に係るTFETは、ゲート電極、ゲート絶縁膜、活性層、ソース電極及びドレイン電極を有し、ゲート電極に電圧を印加して、活性層に流れる電流を制御し、ソース電極とドレイン電極間の電流をスイッチングする機能を有するアクティブ素子である。そして、本発明の実施形態に係るTFETではさらに、ゲート絶縁膜と同一又は別個とされ、且つ、ゲート電極、ソース電極及びドレイン電極とは異なる熱拡散層を有している。

[0016] TFETの素子構造としては、ゲート電極の位置に基づいた、いわゆる逆スタガ構造（ボトムゲート型とも呼ばれる）及びスタガ構造（トップゲート型とも呼ばれる）のいずれの態様であってもよい。また、活性層とソース電極及びドレイン電極（適宜、「ソース・ドレイン電極」という。）との接触部分に基づき、いわゆるトップコンタクト型、ボトムコンタクト型のいずれの

態様であってもよい。

なお、トップゲート型とは、ゲート絶縁膜の上側にゲート電極が配置され、ゲート絶縁膜の下側に活性層が形成された形態であり、ボトムゲート型とは、ゲート絶縁膜の下側にゲート電極が配置され、ゲート絶縁膜の上側に活性層が形成された形態である。また、ボトムコンタクト型とは、ソース・ドレイン電極が活性層よりも先に形成されて活性層の下面がソース・ドレイン電極に接触する形態であり、トップコンタクト型とは、活性層がソース・ドレイン電極よりも先に形成されて活性層の上面がソース・ドレイン電極に接触する形態である。

[0017] 図1(A)は、本発明の実施形態に係るTF Tであって、トップゲート構造でトップコンタクト型のTF Tの一例を示す模式図である。図1(A)に示すTF T 10 Aでは、基板12の一方の主面上に本発明の実施形態に係る熱拡散層14と、活性層16とが、順に積層されている。そして、この活性層16上にソース電極18及びドレイン電極20が互いに離間して設置され、更にこれらの上にゲート絶縁膜22と、ゲート電極24とが順に積層されている。

[0018] 図1(B)は、本発明の実施形態に係るTF Tであって、トップゲート構造でボトムコンタクト型のTF Tの一例を示す模式図である。図1(B)に示すTF T 10 Bでは、基板12の一方の主面上に本発明の実施形態に係る熱拡散層14が積層され、この熱拡散層14上にソース電極18及びドレイン電極20が互いに離間して設置されている。そして、活性層16と、ゲート絶縁膜22と、ゲート電極24と、が順に積層されている。

[0019] 図1(C)は、本発明の実施形態に係るTF Tであって、ボトムゲート構造でトップコンタクト型のTF Tの一例を示す模式図である。図1(C)に示すTF T 10 Cでは、基板12の一方の主面上にゲート電極24と、ゲート絶縁膜22と、活性層16と、が順に積層されている。そして、この活性層16の表面上にソース電極18及びドレイン電極20が互いに離間して設置され、ソース電極18やドレイン電極、活性層16上に本発明の実施形態

に係る熱拡散層 14 が積層されている。

[0020] 図 1 (D) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。図 1 (D) に示す T F T 10D では、基板 12 の一方の主面上にゲート電極 24 と、ゲート絶縁膜 22 と、が順に積層されている。そして、このゲート絶縁膜 22 の表面上にソース電極 18 及びドレイン電極 20 が互いに離間して設置され、更にこれらの上に、活性層 16 と、本発明の実施形態に係る熱拡散層 14 と、が順に積層されている。

[0021] なお、本実施形態に係る T F T は、上記以外にも、様々な構成をとることが可能であり、適宜、活性層上に保護層や基板上に絶縁層等を備える構成であってもよい。

熱拡散層 14 の配置は、図 1 (A) ~ (D) に示すように、活性層 16 の発熱を拡散するという観点から活性層 16 の直下又は直上であることが好ましく、T F T の特性に影響を与えてしまうことから、活性層とゲート絶縁膜の界面と反対側に設置されることがより好ましいが、特に限定されることはなく、基板 12 のゲート電極 24 側とは反対側の面に配置してもよく、また、活性層 16 を挟んで上下両方に配置してもよい。また、活性層 16 と熱拡散層 14 の間に $1\mu\text{m}$ 以下の薄膜をすくなくとも 1 層以上配置するようにしてもよい。例えば、ボトムゲート型酸化物 T F T 10C, 10D においては、活性層 16 の上部に配置される不図示の保護層が駆動安定化に重要であるため、熱拡散層 14 は保護層とは別個として保護層の上に配置することが好ましい。また、ボトムゲート型酸化物 T F T 10C, 10D において、ゲート電極 24 と基板 12 との間に、熱拡散層 14 を配置することもできる。

また、熱拡散層 14 をゲート電極 24 やゲート絶縁膜 22 等の構成とは別個に配置せず、ゲート絶縁膜 22 自体に熱拡散層 14 の機能を持たせることもできる。また、不図示の層間絶縁膜や絶縁膜自体に熱拡散層 14 の機能を持たせることもできる。

[0022] 以下、活性層 16 と熱拡散層 14 の間に $1\mu\text{m}$ 以下の薄膜を活性層 16 の

下方に１層配置する場合の一例を挙げる。

図２（Ａ）は、本発明の実施形態に係るＴＦＴであって、トップゲート構造でトップコンタクト型のＴＦＴの一例を示す模式図である。図２（Ａ）に示すＴＦＴ１０Ｅでは、基板１２の一方の主面上に本発明の実施形態に係る熱拡散層１４と、絶縁層２６と、活性層１６とが、順に積層されている。そして、この活性層１６上にソース電極１８及びドレイン電極２０が互いに離間して設置され、更にこれらの上にゲート絶縁膜２２と、ゲート電極２４とが順に積層されている。

[0023] 図２（Ｂ）は、本発明の実施形態に係るＴＦＴであって、トップゲート構造でボトムコンタクト型のＴＦＴの一例を示す模式図である。図２（Ｂ）に示すＴＦＴ１０Ｆでは、基板１２の一方の主面上に本発明の実施形態に係る熱拡散層１４と、絶縁層２６とが順に積層され、この絶縁層２６上にソース電極１８及びドレイン電極２０が互いに離間して設置されている。そして、活性層１６と、ゲート絶縁膜２２と、ゲート電極２４と、が順に積層されている。

[0024] 図２（Ｃ）は、本発明の実施形態に係るＴＦＴであって、ボトムゲート構造でトップコンタクト型のＴＦＴの一例を示す模式図である。図２（Ｃ）に示すＴＦＴ１０Ｇでは、基板１２の一方の主面上に本発明の実施形態に係る熱拡散層１４と、ゲート電極２４と、ゲート絶縁膜２２と、活性層１６と、が順に積層されている。そして、この活性層１６の表面上にソース電極１８及びドレイン電極２０が互いに離間して設置されている。

[0025] 図２（Ｄ）は、本発明の実施形態に係るＴＦＴであって、ボトムゲート構造でボトムコンタクト型のＴＦＴの一例を示す模式図である。図２（Ｄ）に示すＴＦＴ１０Ｈでは、基板１２の一方の主面上に本発明の実施形態に係る熱拡散層１４と、ゲート電極２４と、ゲート絶縁膜２２と、が順に積層されている。そして、このゲート絶縁膜２２の表面上にソース電極１８及びドレイン電極２０が互いに離間して設置され、更にこれらの上に、活性層１６が積層されている。

[0026] 次に、活性層 16 と熱拡散層 14 の間に $1\ \mu\text{m}$ 以下の薄膜を活性層 16 の上方に 1 層配置する場合の一例を挙げる。

図 3 (A) は、本発明の実施形態に係る T F T であって、トップゲート構造でトップコンタクト型の T F T の一例を示す模式図である。図 3 (A) に示す T F T 10 I では、基板 12 の一方の主面上に活性層 16 が積層されている。そして、この活性層 16 上にソース電極 18 及びドレイン電極 20 が互いに離間して設置され、更にこれらの上にゲート絶縁膜 22 と、ゲート電極 24 と、本発明の実施形態に係る熱拡散層 14 と、が順に積層されている。

[0027] 図 3 (B) は、本発明の実施形態に係る T F T であって、トップゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。図 3 (B) に示す T F T 10 J では、基板 12 の一方の主面上にソース電極 18 及びドレイン電極 20 が互いに離間して設置されている。そして、活性層 16 と、ゲート絶縁膜 22 と、ゲート電極 24 と、本発明の実施形態に係る熱拡散層 14 と、が順に積層されている。

[0028] 図 3 (C) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でトップコンタクト型の T F T の一例を示す模式図である。図 3 (C) に示す T F T 10 K では、基板 12 の一方の主面上にゲート電極 24 と、ゲート絶縁膜 22 と、活性層 16 と、が順に積層されている。そして、この活性層 16 の表面上にソース電極 18 及びドレイン電極 20 が互いに離間して設置されている。そして、ソース電極 18 及びドレイン電極 20 の間で活性層 16 上には保護膜 28 が積層され、保護膜 28 やソース電極 18、ドレイン電極 20 上には本発明の実施形態に係る熱拡散層 14 が積層されている。なお、ボトムゲート構造の場合には、T F T の安定性のためにバックチャネルの保護が重要と考え、保護膜 28 を積層している。

[0029] 図 3 (D) は、本発明の実施形態に係る T F T であって、ボトムゲート構造でボトムコンタクト型の T F T の一例を示す模式図である。図 3 (D) に示す T F T 10 L では、基板 12 の一方の主面上にゲート電極 24 と、ゲー

ト絶縁膜 22 と、が順に積層されている。そして、このゲート絶縁膜 22 の表面上にソース電極 18 及びドレイン電極 20 が互いに離間して設置され、更にこれらの上に、活性層 16 が積層されている。活性層 16 の周囲は保護膜 28 で覆われており、保護膜 28 の周囲はさらに、本発明の実施形態に係る熱拡散層 14 で覆われている。なお、ボトムゲート構造の場合には、TFT の安定性のためにバックチャネルの保護が重要と考え、活性層 16 を保護膜 28 で覆っている。

[0030] 以下、各構成要素について詳述する。なお、代表例として図 1 (A) に示すトップゲート構造でトップコンタクト型の TFT10A を製造する場合について具体的に説明するが、本発明は他の形態の TFT を製造する場合についても同様に適用することができる。

[0031] <TFT の詳細構成>

ー基板ー

まず、TFT10A を形成するための基板 12 を用意する。基板 12 の形状、構造、大きさ等については特に制限はなく、目的に応じて適宜選択することが出来る。基板 12 の構造は単層構造であってもよいし、積層構造であってもよい。

そして、本発明の実施形態に係る基板 12 は、熱伝導率の低い基板であり、この熱伝導率を N_{sub} (W/mK) としたとき、熱伝導率 N_{sub} が、 $N_{sub} < 1.8 W/mK$ の条件を満たしている。この条件を満たすと、駆動条件が $V_g = 20V$ 、 $V_{ds} = 50V$ である場合の駆動時の発熱温度（最大温度）が $100^{\circ}C$ 以上となってしまい、駆動時の発熱温度を $100^{\circ}C$ 未満に低下させる特別な構成（熱拡散層 14 の導入）を特に必要とするからである。

又は、本発明の実施形態に係る基板 12 は、 $N_{sub} < 0.56 W/mK$ の条件を満たしている。この条件を満たすと、駆動条件が $V_g = 20V$ 、 $V_{ds} = 50V$ である場合の駆動時の発熱温度（最大温度）が $300^{\circ}C$ 以上となってしまい、駆動時の発熱温度を $300^{\circ}C$ 未満に低下させる特別な構成（熱拡散層 14 の導入）を特に必要とするからである。

[0032] 基板12の材質としては、 $N_{sub} < 1.8 \text{ W/mK}$ 、又は $N_{sub} < 0.56 \text{ W/mK}$ の条件を満たしていれば、特に限定はなく、また材質自体が $N_{sub} < 1.8 \text{ W/mK}$ 、又は $N_{sub} < 0.56 \text{ W/mK}$ の条件を満たさない場合でも、所定の元素を基板12にドーピングして満たすようにしてもよい。

例えば、ガラス ($N_{sub} = 1.0 \text{ W/mK}$)、YSZ (イットリウム安定化ジルコニウム) ($N_{sub} = 1.4 \text{ W/mK}$)等の無機基板、樹脂基板や、その複合材料等を用いることが出来る。中でも軽量である点、可撓性を有する点から樹脂基板やその複合材料が好ましい。一部熱伝導率の記載は省略するものの具体的には、ポリブチレンテレフタレート ($N_{sub} = 0.21 \sim 0.25 \text{ W/mK}$)、ポリエチレンテレフタレート ($N_{sub} = 0.20 \sim 0.33 \text{ W/mK}$)、ポリエチレンナフタレート ($N_{sub} = 0.20 \sim 0.33 \text{ W/mK}$)、ポリブチレンナフタレート、ポリスチレン ($N_{sub} = 0.108 \text{ W/mK}$)、ポリカーボネート ($N_{sub} = 0.19 \text{ W/mK}$)、ポリスルホン、ポリエーテルスルホン ($N_{sub} = 0.32 \text{ W/mK}$)、ポリアリレート ($N_{sub} = 0.24 \text{ W/mK}$)、アリルジグリコールカーボネート、ポリアミド ($N_{sub} = 0.24 \text{ W/mK}$)、ポリイミド ($N_{sub} = 0.28 \sim 0.34 \text{ W/mK}$)、ポリアミドイミド ($N_{sub} = 0.38 \text{ W/mK}$)、ポリエーテルイミド ($N_{sub} = 0.22 \text{ W/mK}$)、ポリベンザアゾール ($N_{sub} = 0.23 \text{ W/mK}$)、ポリフェニレンサルファイド、ポリシクロオレフィン、ノルボルネン樹脂、ポリクロトリフルオロエチレン ($N_{sub} = 0.20 \sim 0.22 \text{ W/mK}$)等のフッ素樹脂、液晶ポリマー、アクリル樹脂 ($N_{sub} = 0.21 \text{ W/mK}$)、エポキシ樹脂 ($N_{sub} = 0.17 \sim 0.21 \text{ W/mK}$)、シリコン樹脂 ($N_{sub} = 0.15 \sim 0.17 \text{ W/mK}$)、アイオノマー樹脂、シアネート樹脂、架橋フマル酸ジエステル、環状ポリオレフィン、芳香族エーテル、マレイミドオレフィン、セルロース、エピスルフィド化合物等の合成樹脂基板、酸化珪素粒子との複合プラスチック材料、金属ナノ粒子、無機酸化物ナノ粒子、無機窒化物ナノ粒子等との複合プラスチック材料、カーボン繊維、カーボンナノチューブとの複合プラスチック材料、ガラスフェレーク、ガラスファイバ

一、ガラスビーズとの複合プラスチック材料、粘土鉱物や雲母派生結晶構造を有する粒子との複合プラスチック材料、薄いガラスと上記単独有機材料との間に少なくとも1回の接合界面を有する積層プラスチック材料、無機層と有機層を交互に積層することで、少なくとも1回以上の接合界面を有するバリア性能を有する複合材料、ステンレス基板或いはステンレスと異種金属を積層した金属多層基板、アルミニウム基板或いは表面に酸化処理（例えば陽極酸化処理）を施すことで表面の絶縁性を向上させた酸化皮膜付きのアルミニウム基板等を用いることが出来る。

基板12が、特に樹脂基板である場合は、 $N_{sub} < 1.8 \text{ W/mK}$ 、又は $N_{sub} < 0.56 \text{ W/mK}$ の条件を満たし易く、駆動条件が $V_g = 20 \text{ V}$ 、 $V_{ds} = 50 \text{ V}$ である場合の駆動時の発熱温度（最大温度）が 100°C 以上又は 300°C 以上となってしまう、駆動時の発熱温度を 100°C 未満又は 300°C 未満に低下させる特別な構成（熱拡散層14の導入）を特に必要とする。

また、樹脂基板は、耐熱性、寸法安定性、耐溶剤性、電気絶縁性、加工性、低通気性、又は低吸湿性等に優れていることが好ましい。前記樹脂基板は、水分や酸素の透過を防止するためのガスバリア層や、樹脂基板の平坦性や下部電極との密着性を向上するためのアンダーコート層等を備えていてもよい。

[0033] また、本発明における基板12の厚みに特に制限はないが、 $50 \mu\text{m}$ 以上 $1000 \mu\text{m}$ 以下が好ましく、 $50 \mu\text{m}$ 以上 $500 \mu\text{m}$ 以下であることがより好ましい。基板12の厚みが $50 \mu\text{m}$ 以上であると、基板12自体の平坦性がより向上する。また、基板12の厚みが $500 \mu\text{m}$ 以下であると、基板12自体の可撓性がより向上し、フレキシブルデバイス用基板としての使用がより容易となる。

[0034] なお、本実施形態で、基板12や熱拡散層14の熱伝導率は、レーザーフラッシュ法、熱線法、平板熱流計法、又は温度傾斜法等の測定方法によって特定することができる。

[0035] ー活性層ー

次に、基板 1 2 上に、活性層 1 6 を形成する。（溶液法の記載もお願いいたします）

活性層 1 6 は、I n, G a, Z n のうち少なくとも一種を含んだ酸化物半導体を主に含有している。特に、I n, G a, Z n のうちの少なくとも 2 種を含む酸化物半導体（例えば I n - Z n - O 系、I n - G a - O 系、G a - Z n - O 系）が好ましく、I n, G a, Z n を全て含む酸化物半導体がより好ましい。I n - G a - Z n - O 系酸化物半導体としては、結晶状態における組成が $I n G a O_3 (Z n O)_m$ (m は 6 未満の自然数) で表される酸化物半導体が好ましく、特に、 $I n G a Z n O_4$ がより好ましい。この組成の酸化物半導体の特徴としては、電気伝導度が増加するにつれ、電子移動度が増加する傾向を示す。

ただし、I G Z O の組成比は、厳密に $I n : G a : Z n = 1 : 1 : 1$ となる必要はない。また、活性層は、上記のような酸化物半導体を主成分として含有していれば良く、その他に不純物等を含有していても良い。ここで、「主成分」とは、活性層を構成する構成成分のうち、最も多く含有される成分を表す。

[0036] なお、活性層 1 6 の層構造は、2 層以上から構成されていてもよい。

また、活性層 1 6 は、非晶質又は結晶質のいずれであってもよい。ただし、非晶質の場合には、低温で成膜可能であるために、可撓性のある基板 1 2 上に好適に形成される。なお、活性層 1 6 が非晶質であるかどうかは、X 線回折測定により確認することができる。即ち、X 線回折測定により、結晶構造を示す明確なピークが検出されなかった場合は、その活性層 1 6 は非晶質であると判断することができる。

[0037] 活性層 1 6 の膜厚は、特に限定されないが、薄膜の平坦性及び成膜時間の観点から 5 n m 以上 1 5 0 n m 以下であることが好ましい。

[0038] 活性層 1 6 の成膜方法としては、特に限定されないが、気相成膜法や溶液法（ゾルゲル、MOD、ナノ粒子、CSD 等）を用いることができる。中でも大面積の成膜が容易という観点から、I n, G a, Z n のうち少なくとも

一種を含んだ酸化物半導体の多結晶焼結体をターゲットとして、気相成膜法を用いるのが好ましい。気相成膜法の中でも、スパッタリング法、パルスレーザー蒸着法（PLD法）が適している。さらに、量産性の観点から、スパッタリング法が好ましい。例えば、RFマグネトロンスパッタリング蒸着法により、真空度及び酸素流量を制御して成膜される。

[0039] 活性層16の成膜後は、デバイスに応じて当該薄膜をパターンニングする。パターンニングはフォトリソグラフィー及びエッチングにより行うことが出来る。具体的には、残存させる部分にフォトリソグラフィーによりレジストパターンを形成し、塩酸、硝酸、希硫酸、又は燐酸、硝酸及び酢酸の混合液等の酸溶液によりエッチングすることによりパターンを形成する。なお、溶液法の場合は、フォトリソグラフィーなどを用いずにインクジェットやディスペンサー等を用いて直接パターンニングをしてもよい。

[0040] ー熱拡散層ー

活性層16上には、熱拡散層14を形成する。この熱拡散層14は、以下の条件を満たす。

すなわち、熱拡散層14の熱伝導率を $N_{kak u}$ (W/mK) とし、熱拡散層14の膜厚を T (mm) とし、熱拡散層14の平面開口率を R ($0 \leq R \leq 1$) とし、 $S = T \times R$ としたとき、基板12の熱伝導率 N_{sub} が、 $N_{sub} < 0.56$ の条件を満たす場合、熱拡散層14の熱伝導率 $N_{kak u}$ が、 $N_{kak u} > 0.4 \times S^{(-1.2 \times e^{(-3.5 \times N_{sub}))})}$ 及び $N_{kak u} \geq N_{sub}$ の条件を満たす。基板12の熱伝導率 N_{sub} が上記条件を満たす場合、駆動条件が $V_g = 20V$ 、 $V_{ds} = 50V$ であるときの駆動時の発熱温度（最大温度）が 300°C 以上となり得るが、熱拡散層14の熱伝導率 $N_{kak u}$ について上記条件を満たすようにすれば、上記駆動時の発熱温度を 300°C 未満に低下させることができる。

また、基板12の熱伝導率 N_{sub} が、 $N_{sub} < 1.8$ の条件を満たす場合、熱拡散層14の熱伝導率 $N_{kak u}$ が、 $N_{kak u} > 3.0 \times S^{(-0.97 \times e^{(-1.2 \times N_{sub}))})}$ 且つ $N_{kak u} \geq N_{sub}$ の条件を満たす。基板12の熱伝

導率 N_{sub} が上記条件を満たす場合、駆動条件が $V_g = 20V$ 、 $V_{ds} = 50V$ であるときの駆動時の発熱温度（最大温度）が $100^{\circ}C$ 以上となり得るが、熱拡散層14の熱伝導率 N_{kak} について上記条件を満たすようにすれば、上記駆動時の発熱温度を $100^{\circ}C$ 未満に低下させることができる。

[0041] 熱拡散層14の熱伝導率 N_{kak} の調整は、熱拡散層14の構成材料やその組成比、熱拡散層14の膜厚 T （mm）、熱拡散層14の平面開口率 R （ $0 \leq R \leq 1$ ）、結晶性等を制御することで行うことができる。

[0042] 熱拡散層14の構成材料は、熱拡散層14の熱伝導率 N_{kak} を上記条件に満たすようにすれば、特に限定されず、開口率の高い金属メッシュや微粒子やフィラー等を分散させた材料でもよい。しかし、導電率が高いと寄生容量の影響が懸念されるため導電率をある程度低くする（絶縁性を持たせる）という観点から、Al、Si、Ga、N、O、Cの少なくとも一つを含む窒化膜であり、体積抵抗率 ρ が、 $\rho \geq 10^2 \Omega \cdot cm$ 以上であることが好ましい。この中でも、透明性を有すると言う観点からという観点から、Al、Gaの少なくとも一つを含む窒化膜であることが好ましい。また、可視光透明性、絶縁性、熱伝導性すべてがよい（高くなる）という観点から、金属窒化物（特にAlN（ $N_{kak} = 150W/mK$ ）又はSiCであることが好ましい。

[0043] 具体的に、本発明の実施形態に係る条件をすべて満たす基板12の構成材料と熱拡散層14の構成材料の組み合わせとしては、様々のものを挙げられるが、例えば、基板12の構成材料がガラス（ $N_{sub} = 1.0W/mK$ ）で、熱拡散層14の構成材料がAlN（ $N_{kak} = 150W/mK$ ）の組み合わせが挙げられる。

[0044] 熱拡散層14の膜厚 T （mm）の制御は、成膜時間やスパッタの場合は投入電力、ターゲット基板間距離、成膜圧力等を変更することにより成膜レートを制御することで行うことができる。すなわち、成膜時間の場合は、成膜時間を長くすることで膜厚を厚くでき、成膜時間を短くすることで膜厚を薄くできる。

[0045] 熱拡散層14の平面開口率 R （ $0 \leq R \leq 1$ ）の制御は、リソグラフィー等

により行うことができる。

[0046] 熱拡散層 14 の透過率は、可視光透明性という観点から、波長域 400 nm 以上 700 nm 以下の光において 70% 以上であることが好ましい。

なお、熱拡散層 14 の層構造は、2 層以上から構成されていてもよい。

また、熱拡散層 14 は、非晶質又は結晶質のいずれであってもよい。ただし、非晶質の場合には、低温で成膜可能であるために、可撓性のある基板 12 上に好適に形成される。

[0047] 熱拡散層 14 の成膜方法としては、例えば Al、Si、Ga、N、O、C の少なくとも一つを含む窒化膜の多結晶焼結体をターゲットとして、気相成膜法を用いるのが好ましい。気相成膜法の中でも、スパッタリング法、パルスレーザー蒸着法（PLD 法）が適している。さらに、量産性の観点から、スパッタリング法が好ましい。例えば、RF マグネトロンスパッタリング蒸着法により、真空度及び酸素流量を制御して成膜される。ただし、熱拡散層 14 も活性層 16 と同様に溶液法を用いることもできる。

[0048] 熱拡散層 14 の成膜後、デバイスに応じて当該薄膜をパターンニングする。なお、上記記載はトップゲート構造の場合を説明しているが、ボトムゲート構造の場合では、パターンニングは活性層 16 形成前に行うよりも、界面汚染の影響を除去するため、活性層 16 と同時にパターンニングすることが好ましい。

[0049] ソース・ドレイン電極

熱拡散層 14 の上にソース・ドレイン電極 18, 20 を形成するための導電膜を形成する。

ソース・ドレイン電極は高い導電性を有するものを用い、例えば Al, Mo, Cr, Ta, Ti, Au, Ag 等の金属、Al-Nd、Ag 合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫（ITO）、酸化亜鉛インジウム（IZO）等の金属酸化物導電膜等を用いて形成することが出来る。ソース・ドレイン電極 18, 20 としてはこれらの導電膜を単層構造又は 2 層以上の積層構造として用いることが出来る。

[0050] ソース・ドレイン電極 18, 20 の形成は、例えば印刷方式、コーティング方式等の湿式方式、真空蒸着法、スパッタリング法、イオンプレーティング法等の物理的方式、CVD、プラズマCVD法等の化学的方式等の中から使用する材料との適性を考慮して適宜選択した方法に従って成膜する。

成膜する導電膜の膜厚は、成膜性やエッチングやリフトオフ法によるパターンニング性、導電性等を考慮すると、10 nm以上1000 nm以下とすることが好ましく、50 nm以上500 nm以下とすることがより好ましい。

次いで、成膜した導電膜をエッチング又はリフトオフ法により所定の形状にパターンニングし、ソース電極及びドレイン電極 18, 20 を形成する。この際、ソース・ドレイン電極 18, 20 に接続する配線を同時にパターンニングすることが好ましい。

[0051] ゲート絶縁膜

ソース・ドレイン電極 18, 20 及び配線を形成した後、ゲート絶縁膜 22 を形成する。

ゲート絶縁膜 22 は、高い絶縁性を有するものが好ましく、例えば SiO_2 、 SiN_x 、 SiON 、 Al_2O_3 、 Y_2O_3 、 Ta_2O_5 、 HfO_2 等の絶縁膜、又はこれらの化合物を少なくとも二つ以上含む絶縁膜としてもよい。ゲート絶縁膜 22 は、印刷方式、コーティング方式等の湿式方式、真空蒸着法、スパッタリング法、イオンプレーティング法等の物理的方式、CVD、プラズマCVD法等の化学的方式等の中から使用する材料との適性を考慮して適宜選択した方法に従って成膜する。

次に、ゲート絶縁膜 22 は、フォトリソグラフィー及びエッチングによって所定の形状にパターンニングを行う。

なお、ゲート絶縁膜 22 は、リーク電流の低下及び電圧耐性の向上のための厚みを有する必要がある一方、ゲート絶縁膜の厚みが大きすぎると駆動電圧の上昇を招いてしまう。ゲート絶縁膜は材質にもよるが、ゲート絶縁膜の厚みは10 nm以上10 μm 以下が好ましく、50 nm以上1000 nm

以下がより好ましく、100nm以上400nm以下が特に好ましい。

[0052] ゲート電極ー

ゲート絶縁膜22を形成した後、ゲート電極24を形成する。

ゲート電極24は、高い導電性を有するものを用い、例えばAl, Mo, Cr, Ta, Ti, Au, Ag等の金属、Al-Nd、Ag合金、酸化錫、酸化亜鉛、酸化インジウム、酸化インジウム錫（ITO）、酸化亜鉛インジウム（IZO）等の金属酸化物導電膜等を用いて形成することが出来る。ゲート電極24としては、これらの導電膜を単層構造又は2層以上の積層構造として用いることが出来る。

[0053] ゲート電極24は、例えば印刷方式、コーティング方式等の湿式方式、真空蒸着法、スパッタリング法、イオンプレーティング法等の物理的方式、CVD、プラズマCVD法等の化学的方式等の中から使用する材料との適性を考慮して適宜選択した方法に従って成膜する。成膜する導電膜の膜厚は成膜性、エッチングやリフトオフ法によるパターンニング性、導電性等を考慮すると、10nm以上1000nm以下とすることが好ましく、50nm以上500nm以下とすることがより好ましい。

成膜後、導電膜をエッチング又はリフトオフ法により所定の形状にパターンニングし、ゲート電極24を形成する。この際、ゲート電極24及びゲート配線を同時にパターンニングすることが好ましい。

[0054] 以上の製造方法により、本発明の実施形態に係るトップゲート構造でトップコンタクト型のTF-TOAが作製される。

[0055] 2. 応用

以上で説明した本実施形態のTF-Tの用途には特に限定はないが、例えば電気光学装置（例えば液晶表示装置、有機EL（Electro Luminescence）表示装置、無機EL表示装置等の表示装置、等）における駆動素子、特に大面積デバイスに用いる場合に好適である。

さらに本実施形態のTF-Tは、樹脂基板を用いた低温プロセスで作製可能なデバイスに特に好適であり（例えばフレキシブルディスプレイ等）、X線セ

ンサなどの各種センサ、MEMS(M i c r o E l e c t r o M e c h a n i c a l S y s t e m) 等、種々の電子デバイスにおける駆動素子(駆動回路)として、好適に用いられるものである。

[0056] 3. 電気光学装置及びセンサ

[0057] 本実施形態の電気光学装置又はセンサは、前述の本発明のT F Tを備えて構成される。

電気光学装置の例としては、表示装置(例えば液晶表示装置、有機E L表示装置、無機E L表示装置、等)がある。

センサの例としては、CCD(C h a r g e C o u p l e d D e v i c e)又はCMOS(C o m p l e m e n t a r y M e t a l O x i d e S e m i c o n d u c t o r)等のイメージセンサや、X線センサ等が好適である。

本実施形態の電気光学装置又はセンサは、低い消費電力により良好な特性を示す。ここで言うところの特性とは、電気光学装置(表示装置)の場合には表示特性、センサの場合には感度特性を示す。

以下、本発明によって製造される薄膜トランジスタを備えた電気光学装置又はセンサの代表例として、液晶表示装置、有機E L表示装置、X線センサについて説明する。

[0058] 4. 液晶表示装置

図4に、本発明の電気光学装置の一実施形態の液晶表示装置について、その一部分の概略断面図を示し、図5にその電気配線の概略構成図を示す。

[0059] 図4に示すように、本実施形態の液晶表示装置100は、図1(A)に示したトップゲート構造でトップコンタクト型のT F T 10Aと、T F T 10Aのパッシベーション層102で保護されたゲート電極24上に画素下部電極104およびその対向上部電極106で挟まれた液晶層108と、各画素に対応させて異なる色を発色させるためのRGBカラーフィルタ110とを備え、T F T 10Aの基板12側およびRGBカラーフィルタ110上にそれぞれ偏光板112a、112bを備えた構成である。

[0060] また、図5に示すように、本実施形態の液晶表示装置100は、互いに平行な複数のゲート配線112と、該ゲート配線112と交差する、互いに平行なデータ配線114とを備えている。ここでゲート配線112とデータ配線114は電氣的に絶縁されている。ゲート配線112とデータ配線114との交差部付近に、TFT10Aが備えられている。

[0061] TFT10Aのゲート電極24は、ゲート配線112に接続されており、TFT10Aのソース電極18はデータ配線114に接続されている。また、TFT10Aのドレイン電極20はゲート絶縁膜22に設けられたコンタクトホール116を介して（コンタクトホール116に導電体が埋め込まれて）画素下部電極104に接続されている。この画素下部電極104は、接地された対向上部電極106とともにキャパシタ118を構成している。

[0062] 図4に示した本実施形態の液晶装置においては、トップゲート構造のTFT10Aを備えるものとしたが、本発明の表示装置である液晶装置において用いられるTFTはトップゲート構造に限定されることなく、ボトムゲート構造のTFTであってもよい。

[0063] 本発明により製造されるTFTは、駆動時の発熱を低下させることができるため、安定性、信頼性が非常に高いことから、大画面の液晶表示装置の製造に適している。

また、低温でのアニール処理によって十分な特性を有するTFTを作製することができるため、基板としては樹脂基板（プラスチック基板）を用いることができる。従って、本発明によれば、大面積で均一、安定なフレキシブルな液晶表示装置を提供することができる。

[0064] 5. 有機EL表示装置

図6に、本発明の電気光学装置の一実施形態のアクティブマトリクス方式の有機EL表示装置について、その一部分の概略断面図を示し、図7に電気配線の概略構成図を示す。

[0065] 有機EL表示装置の駆動方式には、単純マトリクス方式とアクティブマトリクス方式の2種類がある。単純マトリクス方式は低コストで作製で

きるメリットがあるが、走査線を１本ずつ選択して画素を発光させることから、走査線数と走査線あたりの発光時間は反比例する。そのため高精細化、大画面化が困難となっている。アクティブマトリックス方式は画素ごとにトランジスタやキャパシタを形成するため製造コストが高くなるが、単純マトリックス方式のように走査線数を増やせないという問題はないため高精細化、大画面化に適している。

[0066] 本実施形態のアクティブマトリックス方式の有機ＥＬ表示装置２００は、図１（Ａ）に示したトップゲート構造のＴＦＴ１０Ａが、パッシベーション層２０２を備えた基板１２上に、駆動用ＴＦＴ２０４およびスイッチング用ＴＦＴ２０６として備えられ、該ＴＦＴ２０４および２０６上に下部電極２０８および上部電極２１０に挟まれた有機発光層２１２からなる有機ＥＬ発光素子２１４を備え、上面もパッシベーション層２１６により保護された構成となっている。

[0067] また、図７に示すように、本実施形態の有機ＥＬ表示装置２００は、互いに平行な複数のゲート配線２２０と、該ゲート配線２２０と交差する、互いに平行なデータ配線２２２および駆動配線２２４とを備えている。ここで、ゲート配線２２０とデータ配線２２２、駆動配線２２４とは電氣的に絶縁されている。スイッチング用ＴＦＴ１０Ａｂのゲート電極２４は、ゲート配線２２０に接続されており、スイッチング用ＴＦＴ１０Ａｂのソース電極１８はデータ配線２２２に接続されている。また、スイッチング用ＴＦＴ１０Ａｂのドレイン電極２０は駆動用ＴＦＴ１０Ａのゲート電極２４に接続されるとともに、キャパシタ２２６を用いることで駆動用ＴＦＴ１０ａをオン状態に保つ。駆動用ＴＦＴ１０ａのソース電極１８は駆動配線２２４に接続され、ドレイン電極２０は有機ＥＬ発光素子２１４に接続される。

[0068] 図６に示した本実施形態の有機ＥＬ装置においては、トップゲート構造のＴＦＴ１０ａおよび１０ｂを備えるものとしたが、本発明の表示装置である有機ＥＬ装置において用いられるＴＦＴは、トップゲート構造に限定されることなく、ボトムゲート構造のＴＦＴであってもよい。

[0069] 本発明により製造されるＴＦＴは、駆動時の発熱を低下させることができるため、安定性、信頼性が非常に高いことから、大画面の有機ＥＬ表示装置の製造に適している。

[0070] また、低温でのアニール処理によって十分な特性を有するＴＦＴを作製することができるため、基板としては樹脂基板（プラスチック基板）を用いることができる。従って、本発明によれば、大面積で均一、安定なフレキシブルな有機ＥＬ表示装置を提供することができる。

[0071] なお、図６に示した有機ＥＬ表示装置において、上部電極２１０を透明電極としてトップエミッション型としてもよいし、下部電極２０８およびＴＦＴの各電極を透明電極とすることによりボトムエミッション型としてもよい。

[0072] ６．Ｘ線センサ

図８に、本発明のセンサの一実施形態であるＸ線センサについて、その一部分の概略断面図を示し、図９にその電気配線の概略構成図を示す。

[0073] 図８は、より具体的にはＸ線センサアレイの一部を拡大した概略断面図である。本実施形態のＸ線センサ３００は基板１２上に形成されたＴＦＴ１０Ａおよびキャパシタ３１０と、キャパシタ３１０上に形成された電荷収集用電極３０２と、Ｘ線変換層３０４と、上部電極３０６とを備えて構成される。ＴＦＴ１０Ａ上にはパッシベーション膜３０８が設けられている。

[0074] キャパシタ３１０は、キャパシタ用下部電極３１２とキャパシタ用上部電極３１４とで絶縁膜３１６を挟んだ構造となっている。キャパシタ用上部電極３１４は絶縁膜３１６に設けられたコンタクトホール３１８を介し、ＴＦＴ１０Ａのソース電極１８およびドレイン電極２０のいずれか一方（図８においてはドレイン電極２０）と接続されている。

[0075] 電荷収集用電極３０２は、キャパシタ３１０におけるキャパシタ用上部電極３１４上に設けられており、キャパシタ用上部電極３１４に接している。

Ｘ線変換層３０４はアモルファスセレンからなる層であり、ＴＦＴ１０Ａおよびキャパシタ３１０を覆うように設けられている。

上部電極 306 は X 線変換層 304 上に設けられており、X 線変換層 304 に接している。

[0076] 図 9 に示すように、本実施形態の X 線センサ 300 は、互いに平行な複数のゲート配線 320 と、ゲート配線 320 と交差する、互いに平行な複数のデータ配線 322 とを備えている。ここでゲート配線 320 とデータ配線 322 は電氣的に絶縁されている。ゲート配線 320 とデータ配線 322 との交差部付近に、TFT 10A が備えられている。

[0077] TFT 10A のゲート電極 24 は、ゲート配線 320 に接続されており、TFT 10A のソース電極 18 はデータ配線 322 に接続されている。また、TFT 10A のドレイン電極 20 は電荷収集用電極 302 に接続されており、さらにこの電荷収集用電極 302 は、キャパシタ 310 に接続されている。

[0078] 本実施形態の X 線センサ 300 において、X 線は図 8 中、上部（上部電極 306 側）から照射され、X 線変換層 304 で電子-正孔対を生成する。この X 線変換層 304 に上部電極 306 によって高電界を印加しておくことにより、生成した電荷はキャパシタ 310 に蓄積され、TFT 10A を順次走査することによって読み出される。

[0079] 本実施形態の X 線センサ 300 は、駆動時の発熱を低下させることができるため、安定性、信頼性が高いことから、大画面化に適している。また、活性層 16 が IGZO で構成される場合、移動度が高いため、感度特性に優れており、X 線デジタル撮影装置に用いた場合に広ダイナミックレンジの画像が得られる。特に本実施形態の X 線デジタル撮影装置は、静止画撮影のみ可能なものではなく、動画による透視と静止画の撮影が 1 台で行える X 線デジタル撮影装置に用いるのが好適である。さらに TFT 10A における活性層 16 が非晶質である場合には均一性に優れた画像が得られる。

[0080] なお、図 8 に示した本実施形態の X 線センサにおいては、トップゲート構造の TFT を備えるものとしたが、本発明のセンサにおいて用いられる TFT はトップゲート構造に限定されることなく、ボトムゲート構造の TFT で

あってもよい。

実施例

[0081] 以下に実施例を説明するが、本発明はこれら実施例により何ら限定されるものではない。

[0082] (基板の熱伝導率がTFTに与える影響の検証について)

熱伝導率の異なるガラス基板とシリコン基板上(ガラス基板:熱伝導率 $N_{sub}=1\text{ W/m K}$ 、シリコン基板:熱伝導率 $N_{sub}=100\text{ W/m K}$)に、それぞれボトムゲートトップコンタクト型のTFTを作製した。

活性層は、組成比が $\text{In}:\text{Ga}:\text{Zn}=1.0:1.0:0.9$ のIGZO(膜厚 50 nm)とした。ソース、ドレイン(膜厚 100 nm)、ゲート電極はMo(膜厚 40 nm)、絶縁層には SiO_2 (膜厚 200 nm)を用いた。パターニングには、フォトリソグラフィーとウェットエッチングを用い、IGZOのエッチングにはシュウ酸を、Mo電極のエッチングには燐硝酸、絶縁層のエッチングには、バッファードフッ酸を用いた。レジストにはTSMR9000-LB、現像液にはTMAH5%溶液を用いた。素子サイズは、 $L/W=5/25(\mu\text{m}/\mu\text{m})$ 素子にて、駆動条件が $V_g=20\text{ V}$ 、 $V_{ds}=50\text{ V}$ である場合の素子駆動時の温度マップ(基板温度 50°C)を測定した。測定装置は、日本バーンズ製InfraScopeIIを用いた。

[0083] 図10は、素子駆動時の温度マップ(基板温度 50°C)を測定した結果を示す図であり、(A)はガラス基板の場合の温度マップを示し、(B)はシリコン基板の場合の温度マップを示している。

[0084] 図10に示すように、温度マップの測定の結果、熱伝導率の低いガラス基板上では 100°C 以上の温度上昇が観測された。また、熱伝導率の高いシリコン基板においては、温度上昇はほとんど観測されなかった。温度が上昇するにつれて、ドレイン電流 I_d が低下していることが分かった。

[0085] 図11は、ゲート電圧 V_g を $V_g=20\text{ V}$ に固定し、S-D間への印加電界 E を変数として、発熱温度をプロットした図である。

図11に示すように、基板の熱伝導率の違いによって発熱温度に違いが生

じていることが分かる。

[0086] 次に、発熱がTFT特性に与える影響について述べる。

図12は、 $V_{ds} = 1\text{ V}$ の場合の I_d 及び I_g と V_g の関係をプロットした図である。図13は、 $V_{ds} = 25\text{ V}$ の場合の I_d 及び I_g と V_g の関係をプロットした図である。

図12に示すように、駆動条件が $V_{ds} = 1\text{ V}$ の場合には、熱伝導率の違いにおいてTFT特性に大きな差異は認められない。一方、図13に示すように、駆動条件が $V_{ds} = 25\text{ V}$ の場合には、TFTの $V_g - I_D$ 曲線で $V_g = 20\text{ V}$ 以上の領域で異常が生じていることが確認された。

[0087] 図14は、素子サイズは、 $L/W = 5/100 (\mu\text{m}/\mu\text{m})$ 素子にて、駆動条件が $V_{ds} = V_g = 20\text{ V}$ の場合の駆動時間と閾値シフト ΔV_{th} との関係を示す図である。

図14に示すように、駆動時間（発熱時間）が長くなるにつれて、信頼性を示す閾値シフトの値が増大していることが分かる。そして、熱伝導率の低いガラス基板の方が、閾値シフトの増大が顕著に表れていることが分かる。

[0088] 以上の影響は、樹脂基板等の熱伝導率が低い基板において、さらに大きくなることが予想される。そこで、以下の方法を用いて、TFTに熱拡散層を設け、さらにその熱伝導率を規定することによって、上記影響を抑制することを試みた。

[0089] （熱拡散層の熱伝導率の決定について）

ムラタソフトウェア製Femtetを用い、有限要素法によるシミュレーションを実施し、熱拡散層の設計を行った。

[0090] 図15は、シミュレーションで用いた構造体を示す図であって、(A)は構造体の斜視図であり、(B)は構造体の断面図である。

図15の構造体500は、基板502上に、熱拡散層504と絶縁層506と発熱体508とが順に積層された構成である。

[0091] そして、この熱拡散層の設計では、具体的に、駆動条件が $V_g = 20\text{ V}$ 、 $V_{ds} = 50\text{ V}$ であるときの発熱温度が 100°C 未満又は 300°C 未満にな

るような設計を実施した。

また、設計では、パラメトリック解析を実施し、発熱温度の最大値を抽出した。

[0092] 境界条件等のパラメータは、以下の通りである。

- ・境界条件：外部境界条件 自然対流
- ・メッシュサイズ：0.4

[0093] また、発熱体508の条件は以下の通りとした。

サイズ： $1 \times 1 \times 0.01 \text{ mm}$

熱伝導率： 10 W/mK

発熱量： 0.4 W

熱伝達： $20 \text{ W/m}^2/\text{deg}$ (発熱体/絶縁層 境界条件)

[0094] また、絶縁層506の条件は以下の通りとした。

サイズ： $10 \times 10 \times 0.001 \text{ mm}$

熱伝導率： 1 W/mK

熱伝達： $15 \text{ W/m}^2/\text{deg}$ (絶縁層/熱拡散層 境界条件)

[0095] また、熱拡散層504の条件は以下の通りとした。

サイズ： $10 \times 10 \times T \text{ mm}$

熱伝導率： $N_{kak u} \text{ (W/mK)}$

熱伝達： $10 \text{ W/m}^2/\text{deg}$ (絶縁層/熱拡散層 境界条件)

[0096] また、基板502の条件は以下の通りとした。

サイズ： $10 \times 10 \times 0.5 \text{ mm}$

熱伝導率： $N_{sub} \text{ (W/mK)}$

基板面温度： 25°C (基板/外部境界条件)

[0097] 図16～図27は、シミュレーションの結果を示す図であり、 N_{sub} 、 $N_{kak u}$ 、 T をパラメータとした時の温度との関係 ($N_{kak u} \geq N_{sub}$) を示すグラフである。なお、図中、縦軸は発熱温度の最大値をプロットし、横軸は熱拡散層504の厚み T を示している。

[0098] シミュレーションの結果より、 N_{sub} が1.8以上の場合は $N_{kak u}$ の値に

よらず最大発熱温度 T_{max} は、 100°C より小さくなることがわかる。また N_{sub} が 0.56 以上の場合は最大発熱温度 T_{max} が、 300°C より小さくなることもわかる。以上より、それらに当てはまらない領域において、最大発熱温度 T_{max} が 100°C 未満及び 300°C 未満になる N_{sub} 、 N_{kaku} 、 T のパラメータを算出し熱設計をおこなった。ステップは以下の通りである。

[0099] (1) 図16～図27に示したグラフに基づき、図28に T_{max} が 300°C となる各 N_{sub} 毎の N_{kaku} と T の関係をプロットした。また、図16～図27に示したグラフに基づき、図29に T_{max} が 100°C となる各 N_{sub} 毎の N_{kaku} と T の関係をプロットした。

(2) 累乗 Fit を行い、各 N_{sub} 毎の $N_{kaku} \propto T^{-A}$ を求めた（例えば図28中 $y = 0.4 \times x^{-0.83}$ など）。

(3) 各 N_{sub} のパラメータ A を N_{sub} にて指数 Fit を実施した。この結果を図30、29に示す。図30は、最大発熱温度 T_{max} が 300°C となる N_{sub} とパラメータ A との関係を示す図である。図31は、最大発熱温度 T_{max} が 100°C となる N_{sub} とパラメータ A との関係を示す図である。

(4) 図30、図31から、 N_{kaku} と N_{sub} と T の相関パラメータが出来る。ここで、膜厚のパラメータ T を、平面開口率 R を含めた $S (= T \times R)$ に変換する。なお、 R は $0 \leq R \leq 1$ の値をとる。

[0100] 以上の結果より、最大発熱温度 T_{max} が 300°C 未満となる領域は、基板502の熱伝導率 N_{sub} が、 $N_{sub} < 0.56 \text{ W/mK}$ の条件を満たすとき、熱拡散層504の熱伝導率 N_{kaku} が、 $N_{kaku} > 0.4 \times S^{(-1.2 \times e^{(-3.5 \times N_{sub})})}$ 及び $N_{kaku} \geq N_{sub}$ の条件を満たす必要があることが分かった。

[0101] また、 $T_{max} 100^{\circ}\text{C}$ 未満となる領域は、基板502の熱伝導率 N_{sub} が、 $N_{sub} < 1.8 \text{ W/mK}$ の条件を満たすとき、

熱拡散層504の熱伝導率 N_{kaku} が、 $N_{kaku} > 3.0 \times S^{(-0.97 \times e^{(-1.2 \times N_{sub})})}$ 且つ $N_{kaku} \geq N_{sub}$ の条件を満たす必要があることが分かった。

[0102] なお、上記式中の「 e 」は、自然対数を意味し、「 $^{\wedge}$ 」は、累乗を意味するものとする。また、例えば図28の「 E 」は、「10」を意味するものとする。

また、上記式は、素子の駆動条件が $V_g = 20V$ 、 $V_{ds} = 50V$ であるときの発熱温度が $100^{\circ}C$ 未満又は $300^{\circ}C$ 未満になるような設計を実施しているが、この駆動条件はあくまでも一例であり、素子の駆動条件が他の条件であっても、上記式は、発熱温度が $100^{\circ}C$ 未満又は $300^{\circ}C$ 未満になり得る。

請求の範囲

[請求項1] 基板上に、少なくともゲート電極、ゲート絶縁膜、In, Ga, Znのうち少なくとも一つを含んだ酸化物半導体を主に含有する活性層、ソース電極、及びドレイン電極を有する電界効果型トランジスタであって、

前記ゲート絶縁膜と同一又は別個とされ、且つ、前記ゲート電極、ソース電極及びドレイン電極とは異なる熱拡散層を有し、

前記基板の熱伝導率を N_{sub} (W/mK) とし、前記熱拡散層の熱伝導率を N_{kaku} (W/mK) とし、前記熱拡散層の膜厚を T (mm) とし、前記熱拡散層の平面開口率を R ($0 \leq R \leq 1$) とし、 $S = T \times R$ としたとき、

前記基板の熱伝導率 N_{sub} が、 $N_{sub} < 1.8$ の条件を満たし、

前記熱拡散層の熱伝導率 N_{kaku} が、 $N_{kaku} > 3.0 \times S^{(-0.97 \times e^{(-1.2 \times N_{sub})})}$ 且つ $N_{kaku} \geq N_{sub}$ の条件を満たす、

電界効果型トランジスタ。

[請求項2] 基板上に、少なくともゲート電極、ゲート絶縁膜、In, Ga, Znのうち少なくとも一つを含んだ酸化物半導体を主に含有する活性層、ソース電極、及びドレイン電極を有する電界効果型トランジスタであって、

前記ゲート絶縁膜と同一又は別個とされ、且つ、前記ゲート電極、ソース電極及びドレイン電極とは異なる熱拡散層を有し、

前記基板の熱伝導率を N_{sub} (W/mK) とし、前記熱拡散層の熱伝導率を N_{kaku} (W/mK) とし、前記熱拡散層の膜厚を T (mm) とし、前記熱拡散層の平面開口率を R ($0 \leq R \leq 1$) とし、 $S = T \times R$ としたとき、

前記基板の熱伝導率 N_{sub} が、 $N_{sub} < 0.5$ の条件を満たし、

前記熱拡散層の熱伝導率 N_{kaku} が、 $N_{kaku} > 0.4 \times S^{(-1.2 \times N_{sub})}$ の条件を満たす、

電界効果型トランジスタ。

$2 \times e^{(-3.5 \times N_{sub})}$) 及び $N_{kaku} \geq N_{sub}$ の条件を満たす、
電界効果型トランジスタ。

[請求項3] 前記活性層と前記熱拡散層の間に $1 \mu m$ 以下の薄膜が少なくとも 1 層以上存在する、
請求項 1 の電界効果型トランジスタ。

[請求項4] 前記活性層と前記熱拡散層の間に $1 \mu m$ 以下の薄膜が少なくとも 1 層以上存在する、
請求項 2 の電界効果型トランジスタ。

[請求項5] 前記熱拡散層が、Al, Ga の少なくとも一つを含む窒化膜である、
請求項 3 の電界効果型トランジスタ。

[請求項6] 前記熱拡散層が、Al, Ga の少なくとも一つを含む窒化膜である、
請求項 4 の電界効果型トランジスタ。

[請求項7] 前記熱拡散層の透過率が、波長域 $400 nm$ 以上 $700 nm$ 以下の光において 70% 以上である、
請求項 5 の電界効果型トランジスタ。

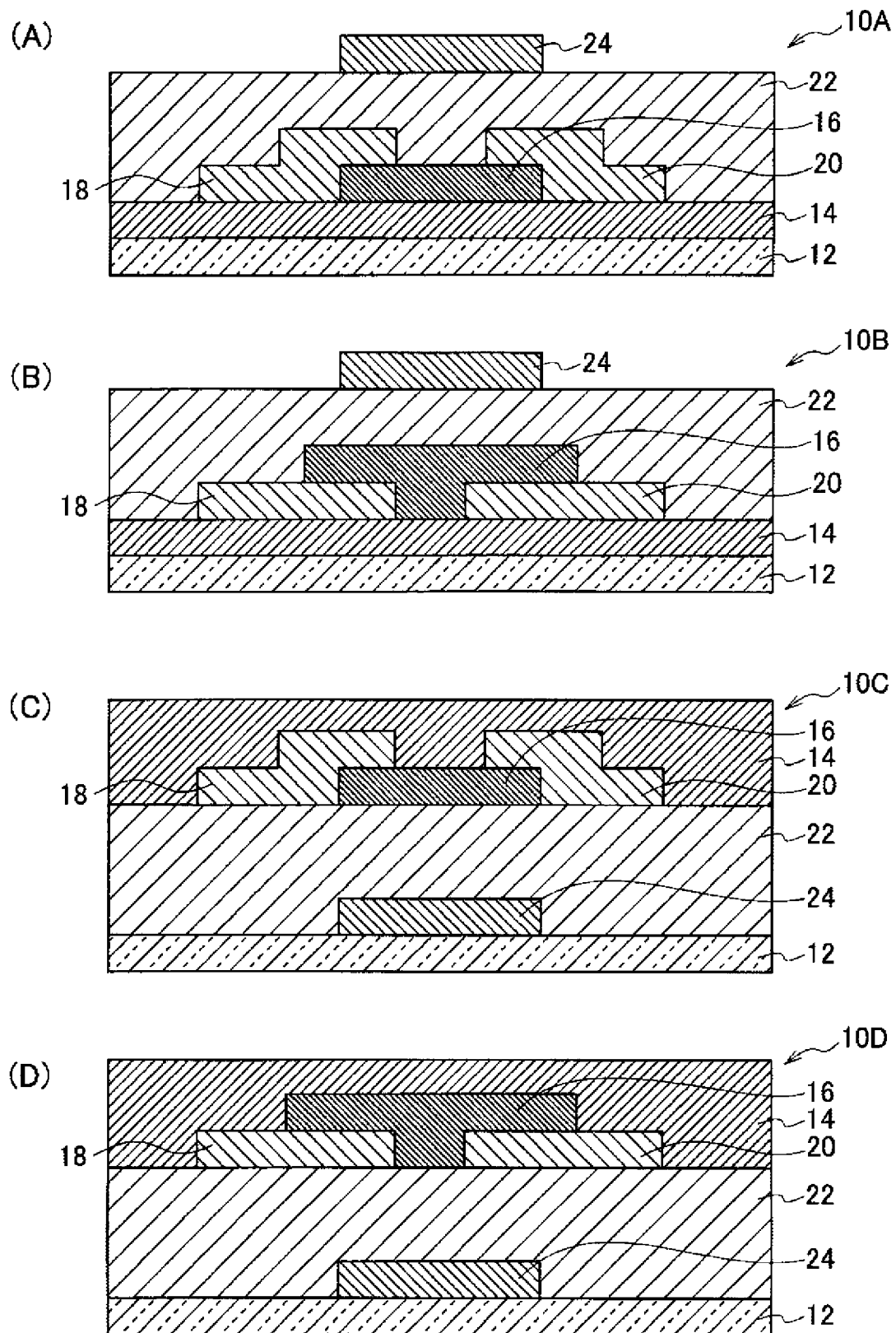
[請求項8] 前記熱拡散層の透過率が、波長域 $400 nm$ 以上 $700 nm$ 以下の光において 70% 以上である、
請求項 6 の電界効果型トランジスタ。

[請求項9] 前記基板は、樹脂基板である、
請求項 1 ～請求項 8 の何れか 1 項の電界効果型トランジスタ。

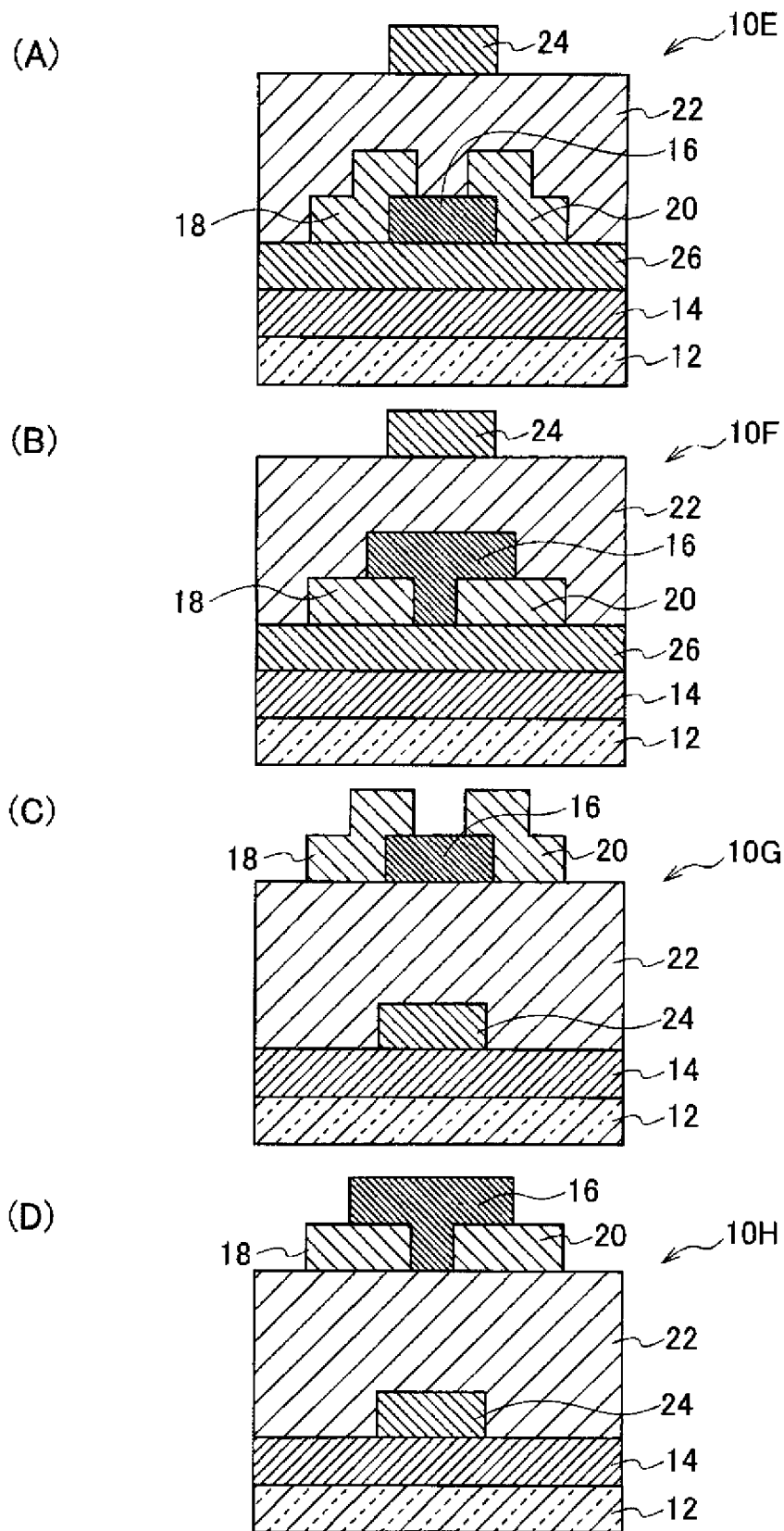
[請求項10] 請求項 9 の電界効果型トランジスタを備えた表示装置。

[請求項11] 請求項 9 の電界効果型トランジスタを備えたセンサ。

[図1]

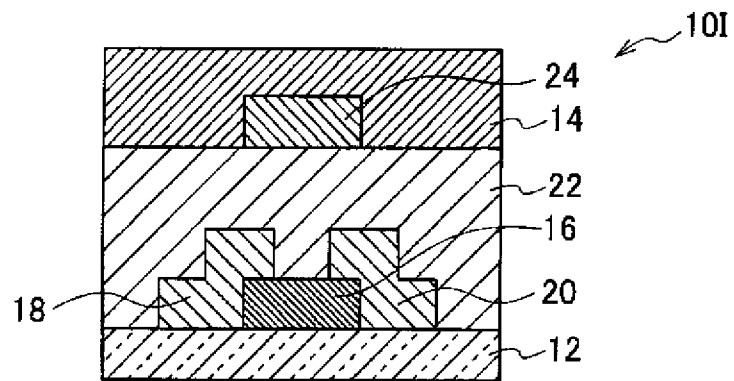


[図2]

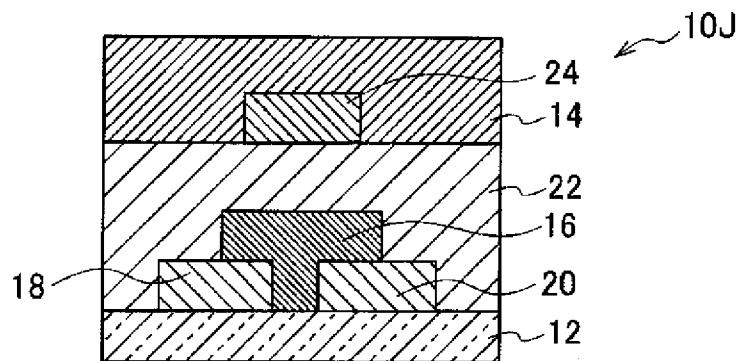


[図3]

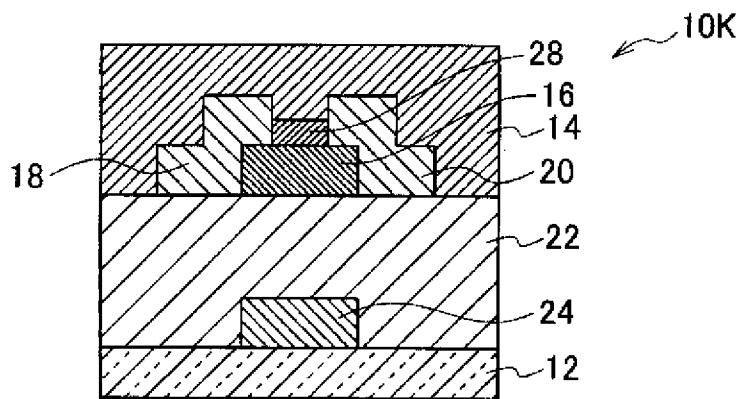
(A)



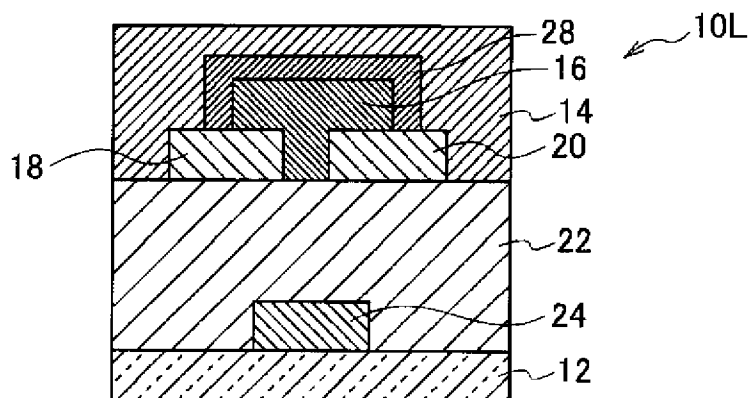
(B)



(C)



(D)



[図6]

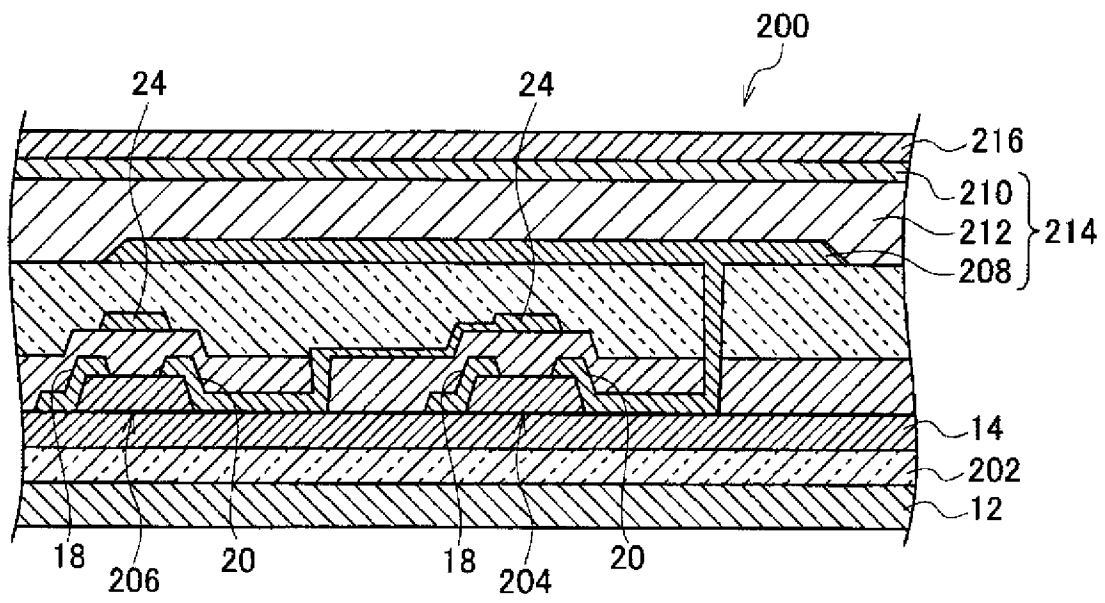
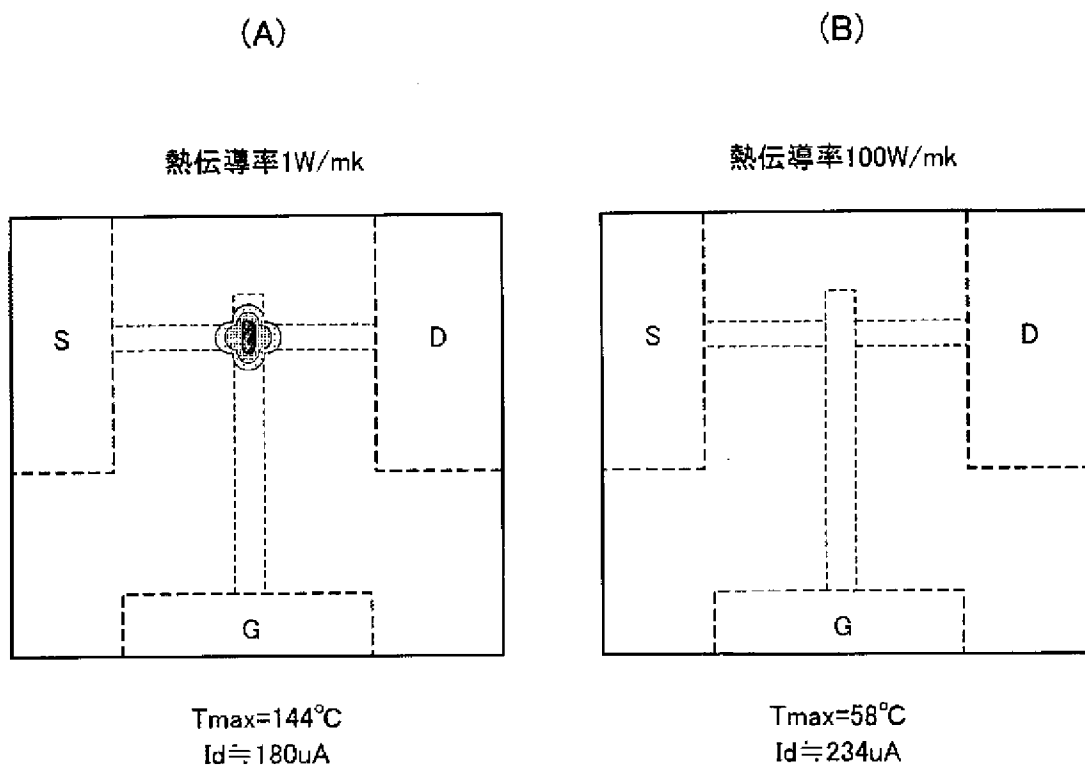
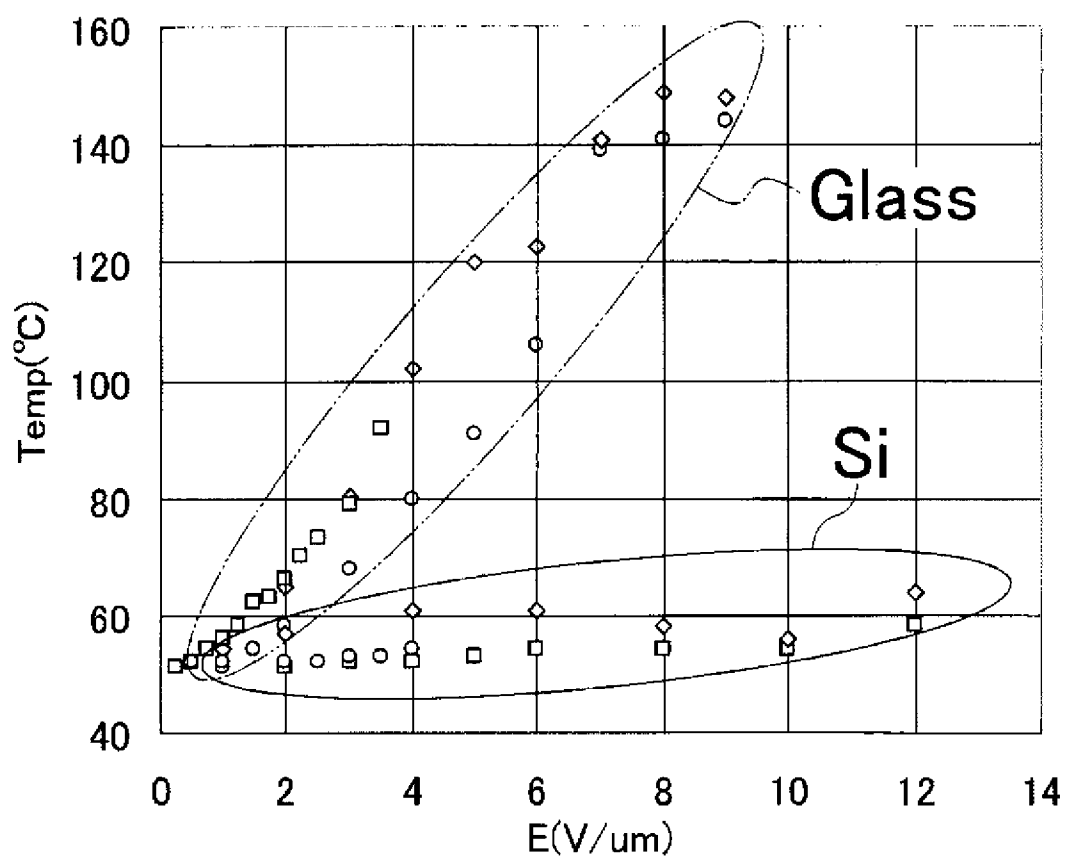


Figure 1 is a schematic diagram of a semiconductor device 100. The device is organized into a 3x3 grid of circuit blocks. The top row is labeled 10a. The leftmost column is labeled 220. The top-left block contains a PMOS transistor 10b, a PMOS transistor 226, a PMOS transistor 214, and a PMOS transistor 220. The other blocks contain a PMOS transistor, a PMOS transistor, a PMOS transistor, and a PMOS transistor. The bottom row is labeled 222, 224, and 222 from left to right.

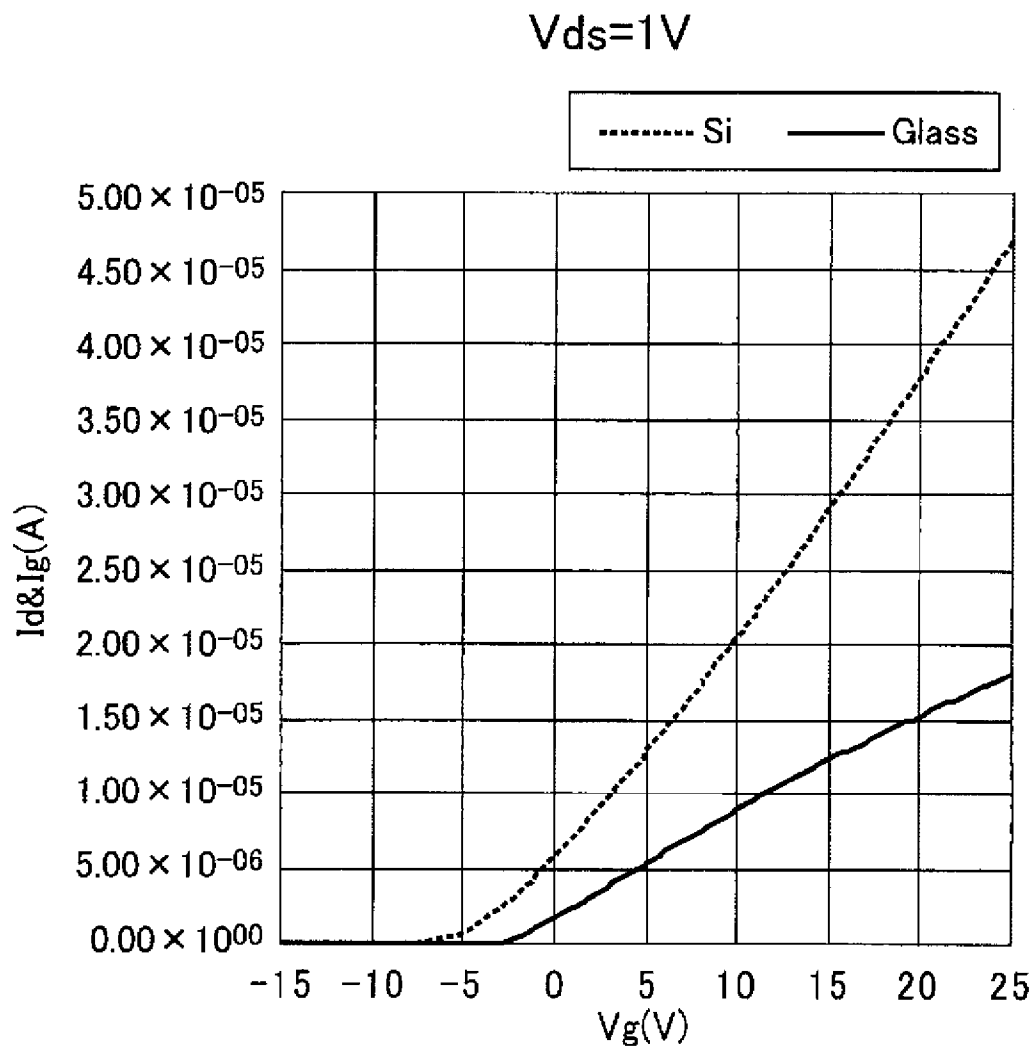
[図10]



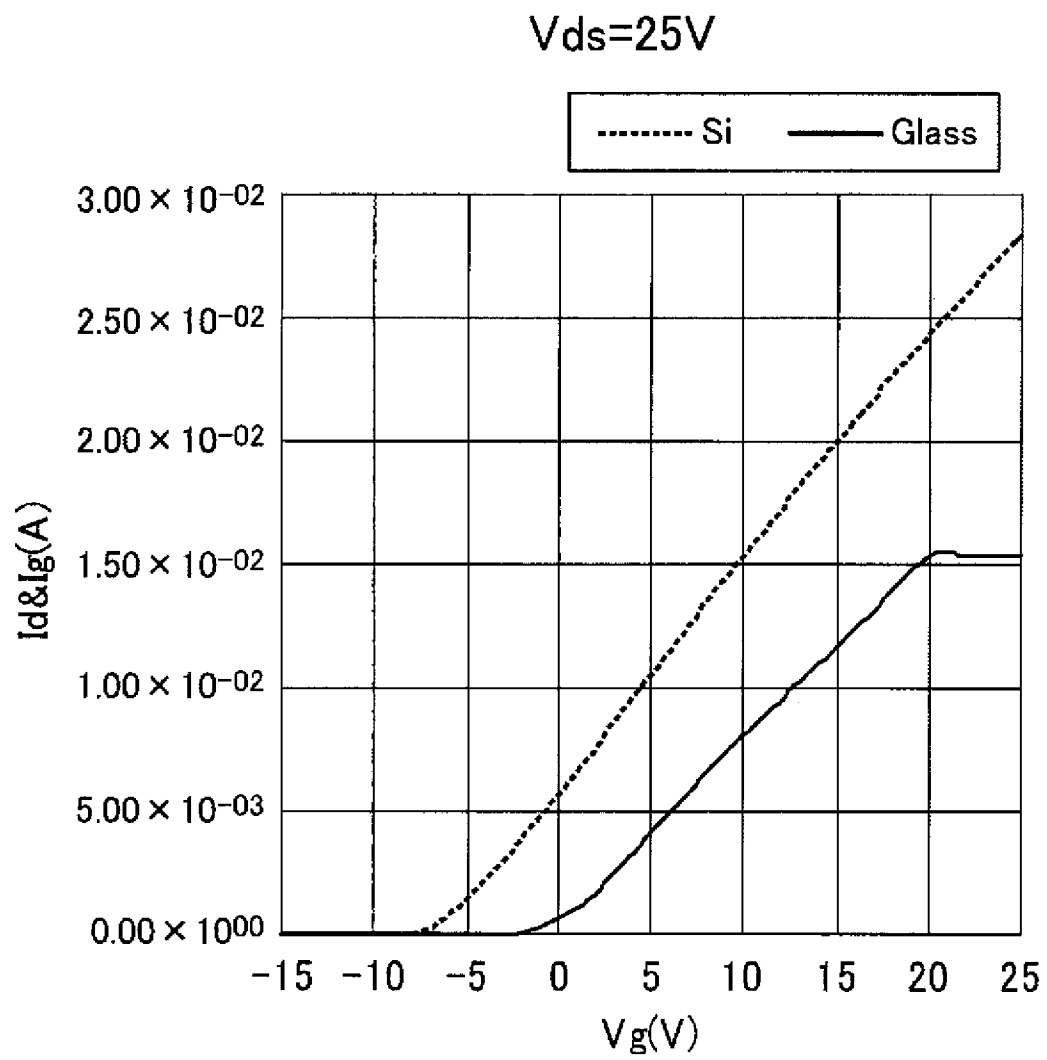
[図11]



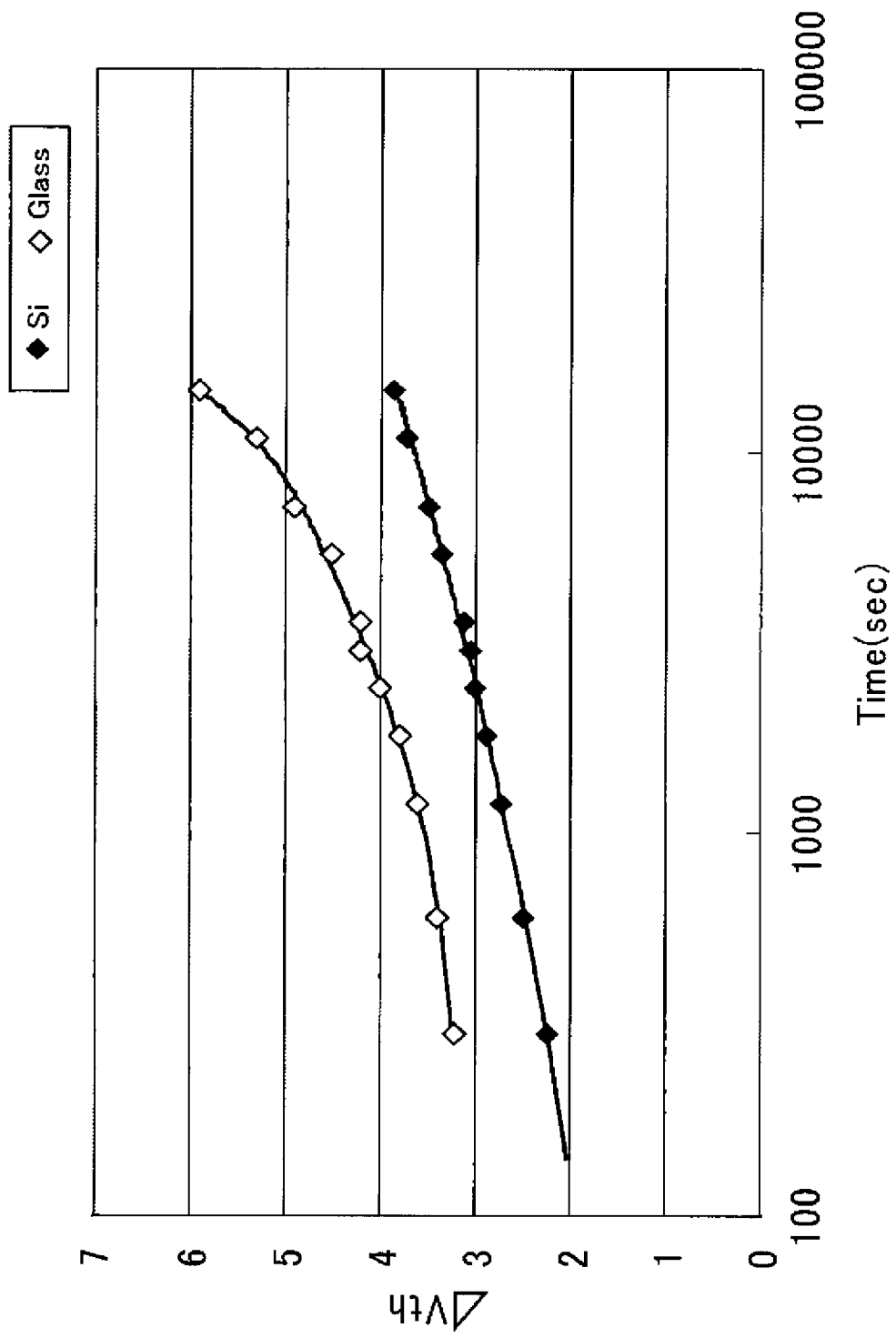
[図12]



[図13]

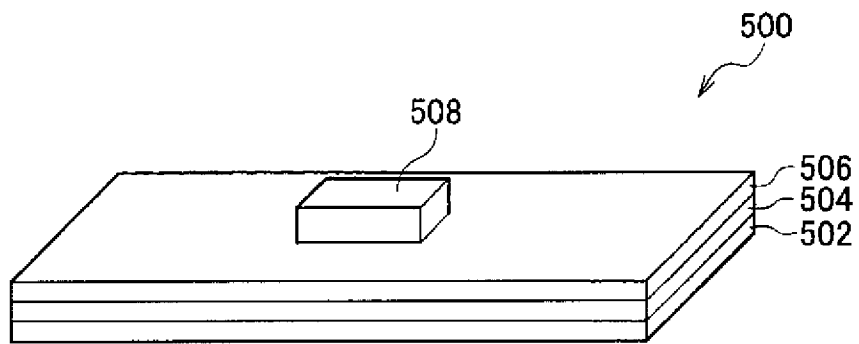


[図14]

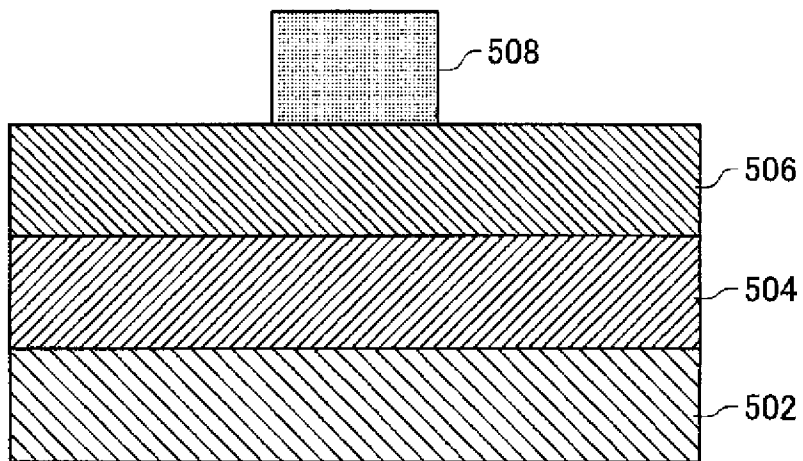


[図15]

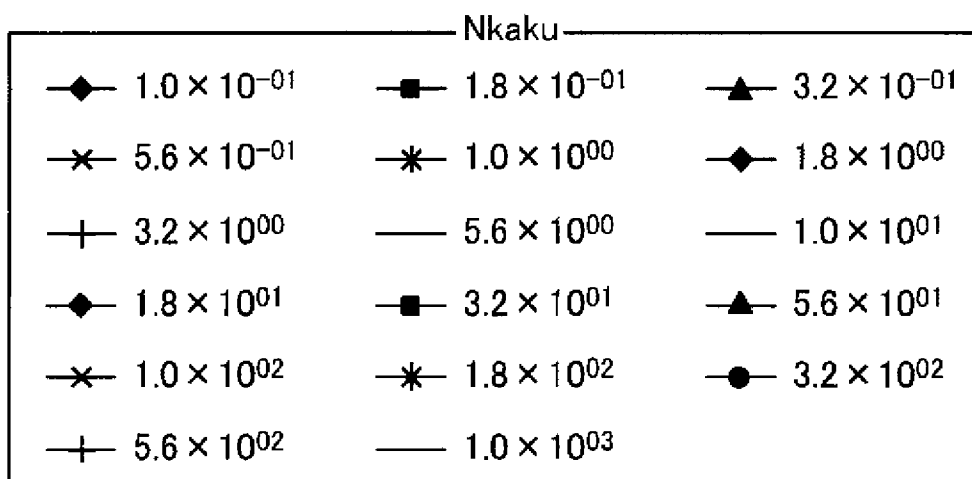
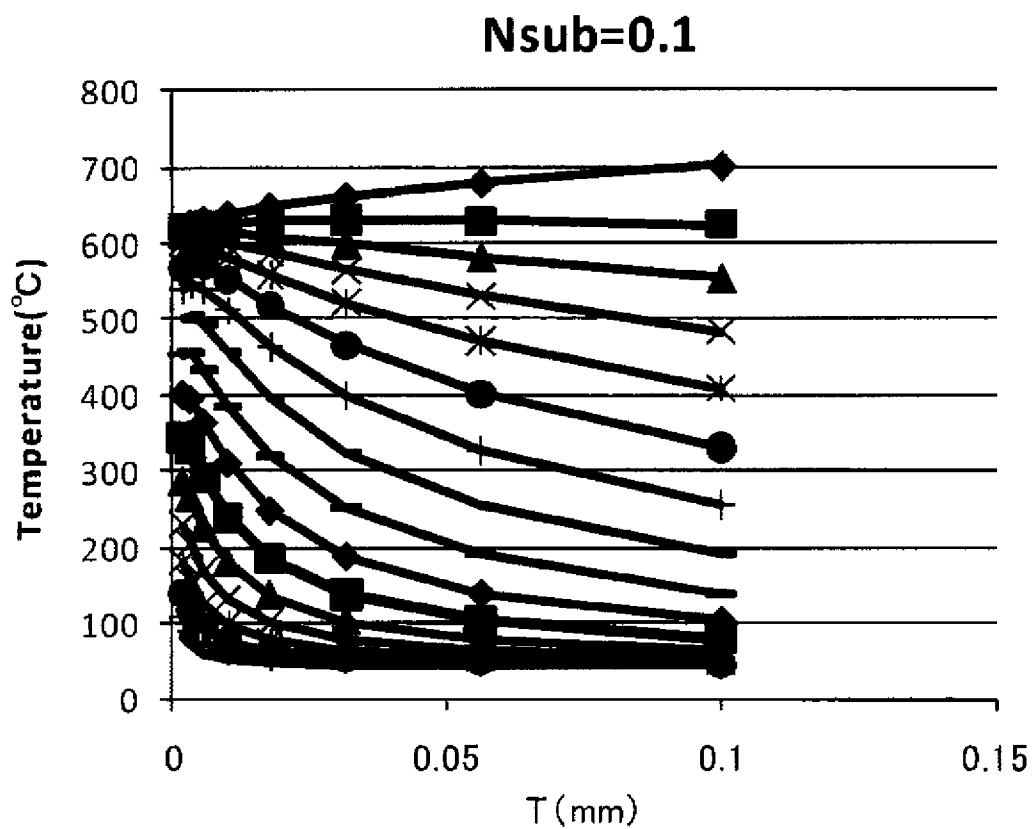
(A)



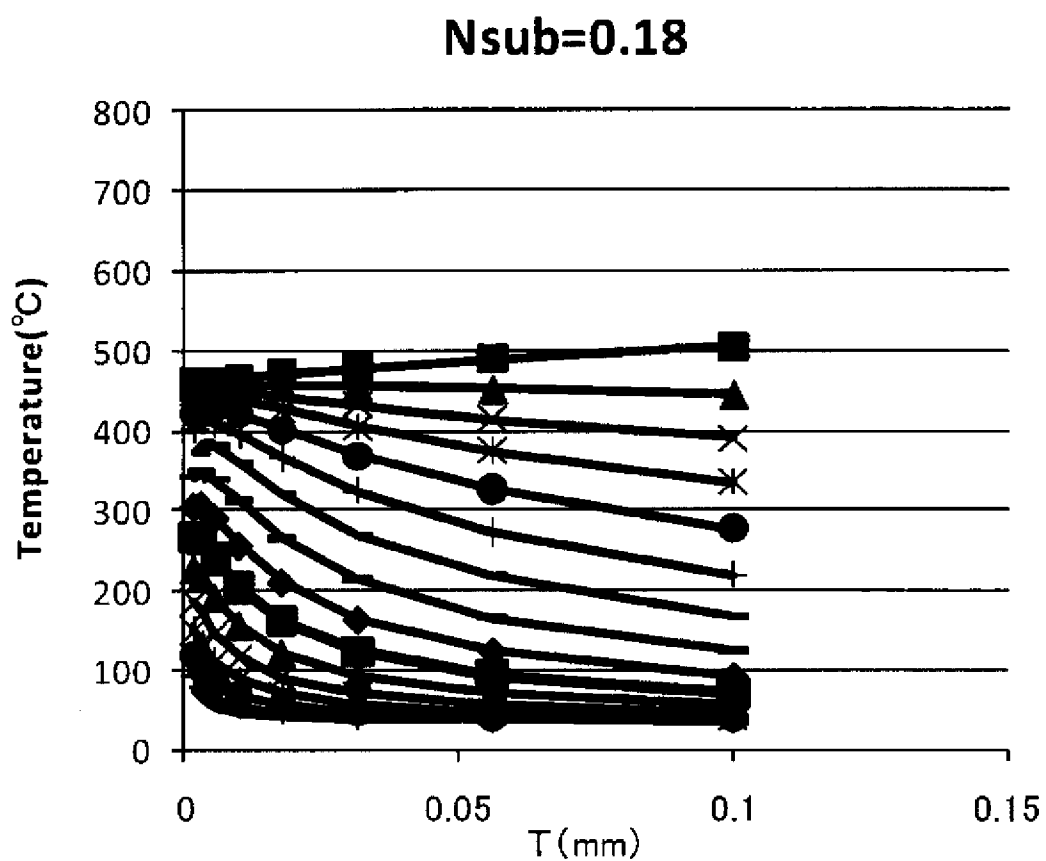
(B)



[図16]

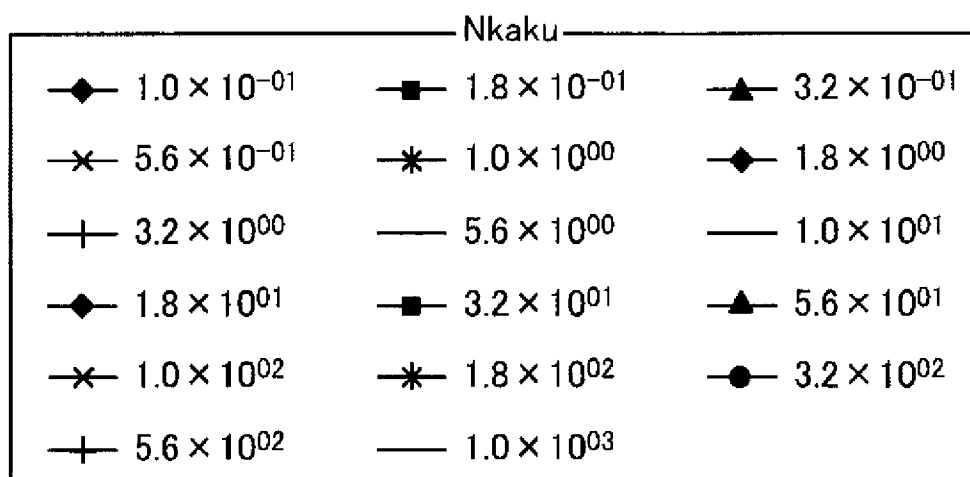
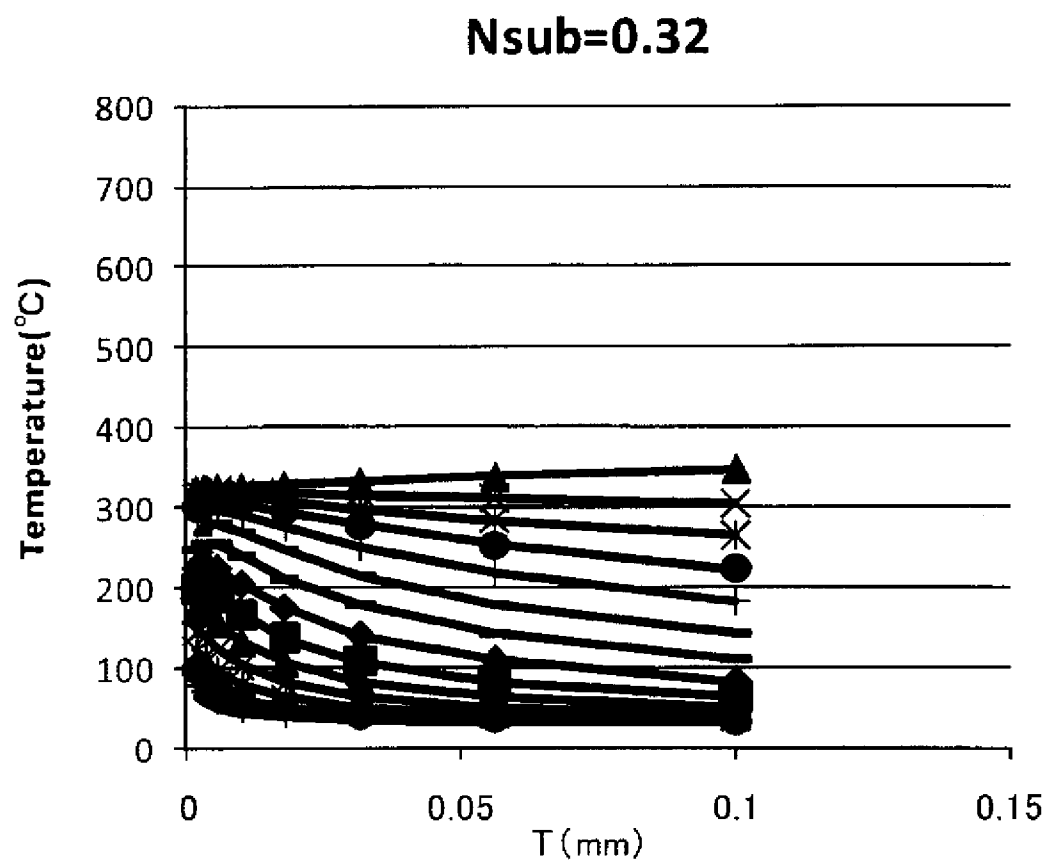


[図17]

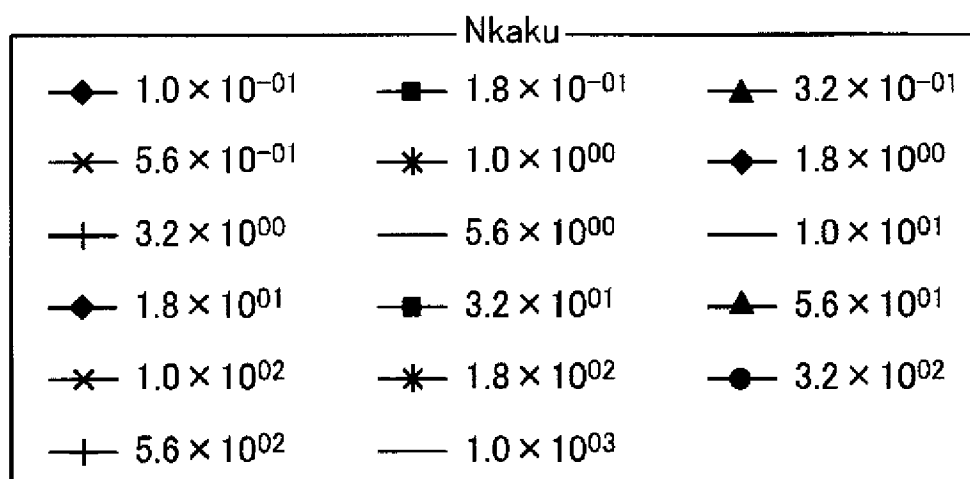
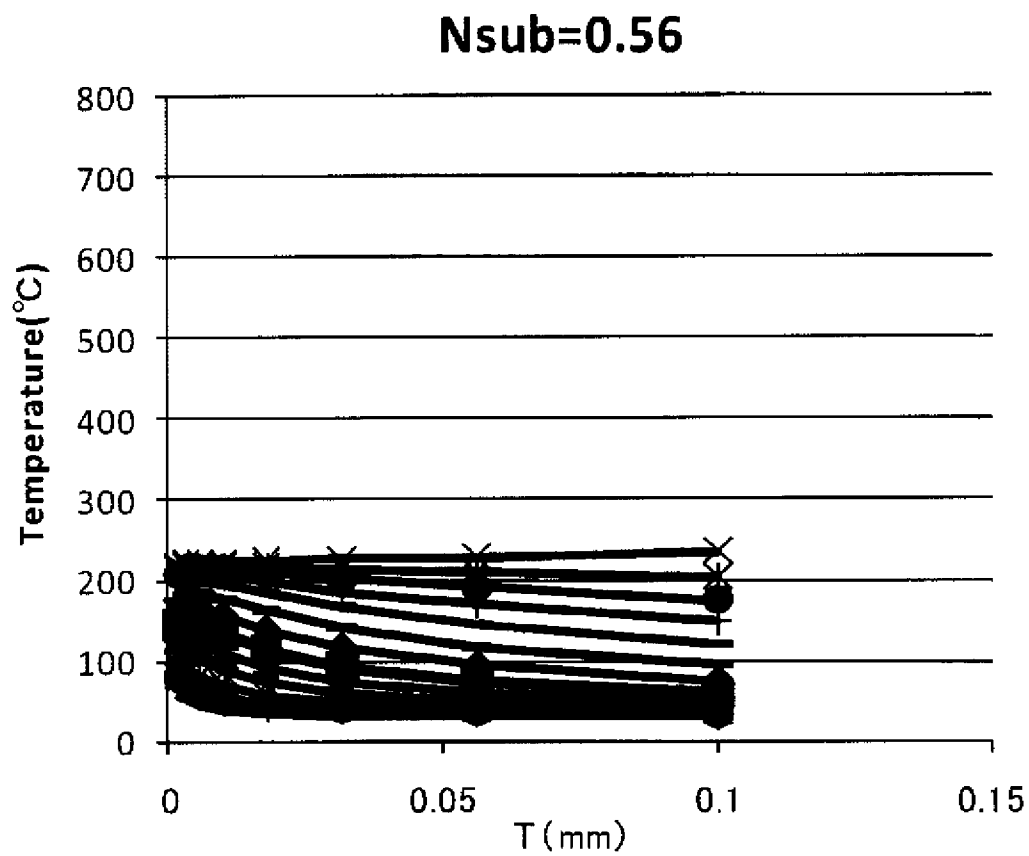


Nkaku		
◆ 1.0×10^{-01}	■ 1.8×10^{-01}	▲ 3.2×10^{-01}
✕ 5.6×10^{-01}	✱ 1.0×10^{00}	◆ 1.8×10^{00}
+ 3.2×10^{00}	— 5.6×10^{00}	— 1.0×10^{01}
◆ 1.8×10^{01}	■ 3.2×10^{01}	▲ 5.6×10^{01}
✕ 1.0×10^{02}	✱ 1.8×10^{02}	● 3.2×10^{02}
+ 5.6×10^{02}	— 1.0×10^{03}	

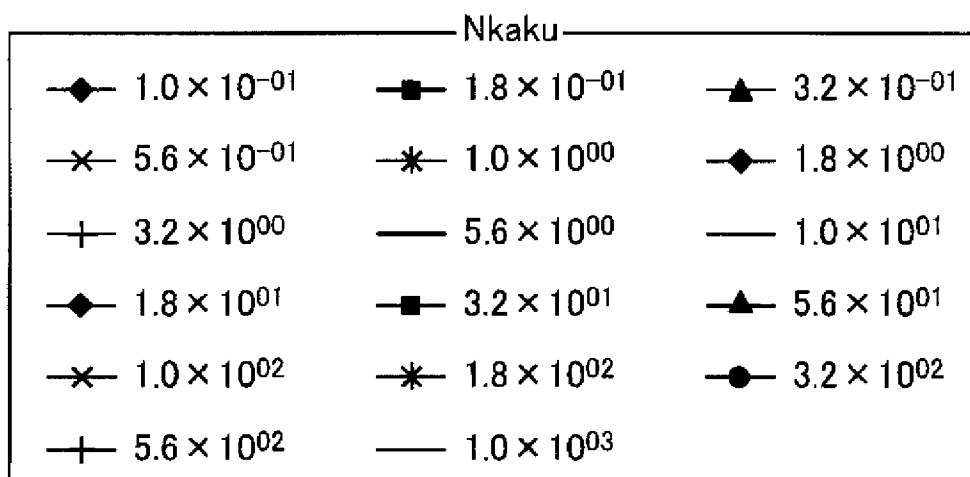
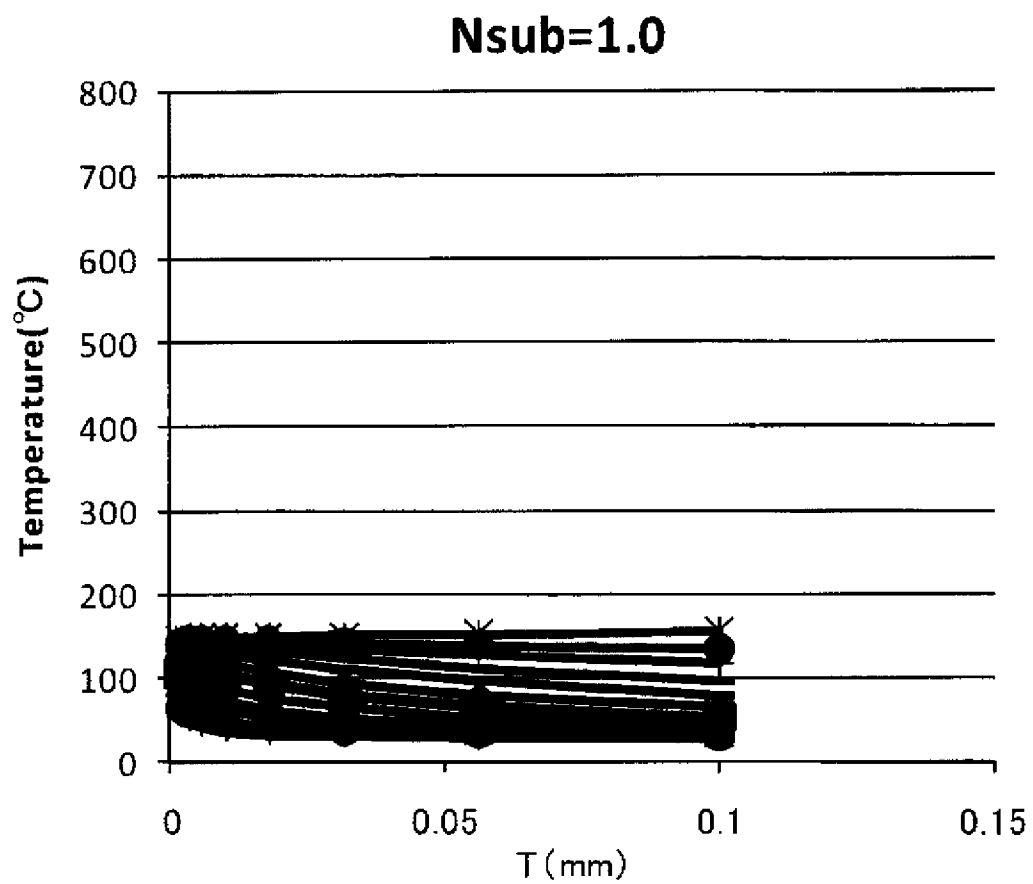
[図18]



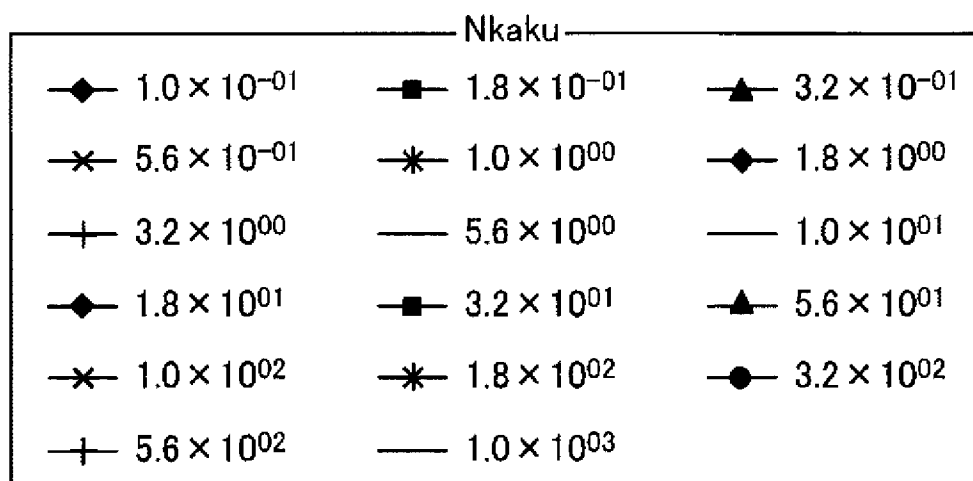
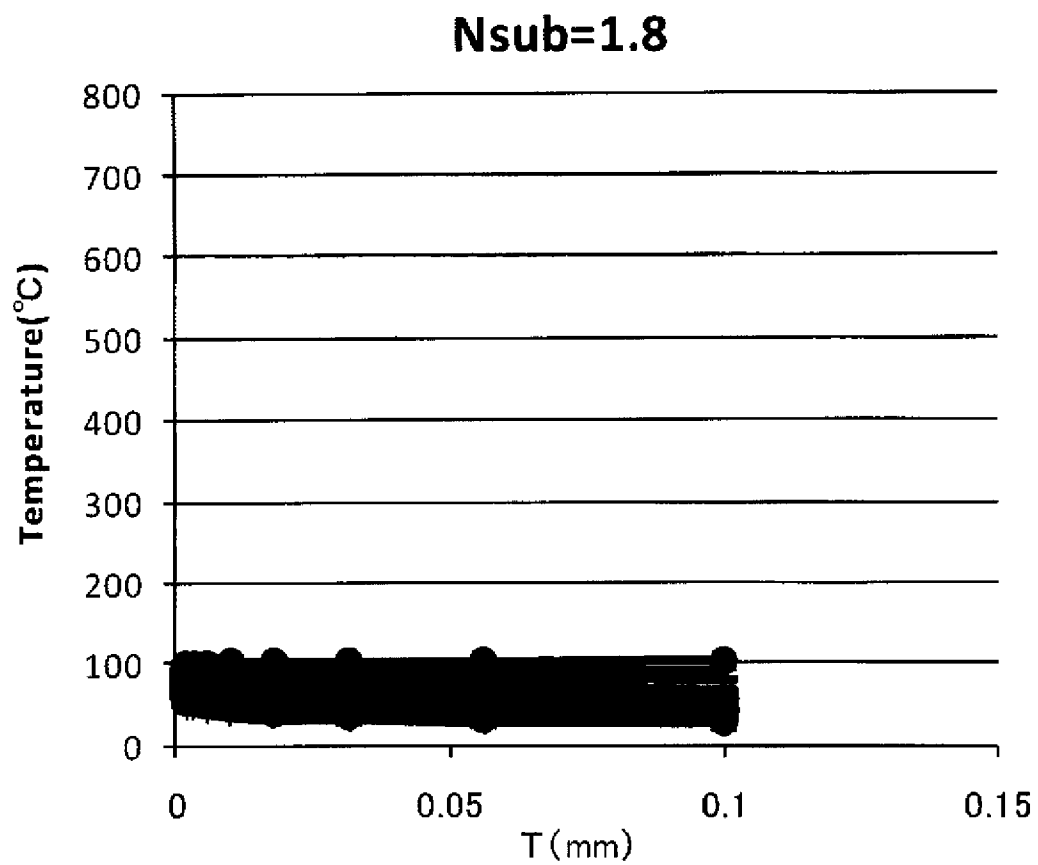
[図19]



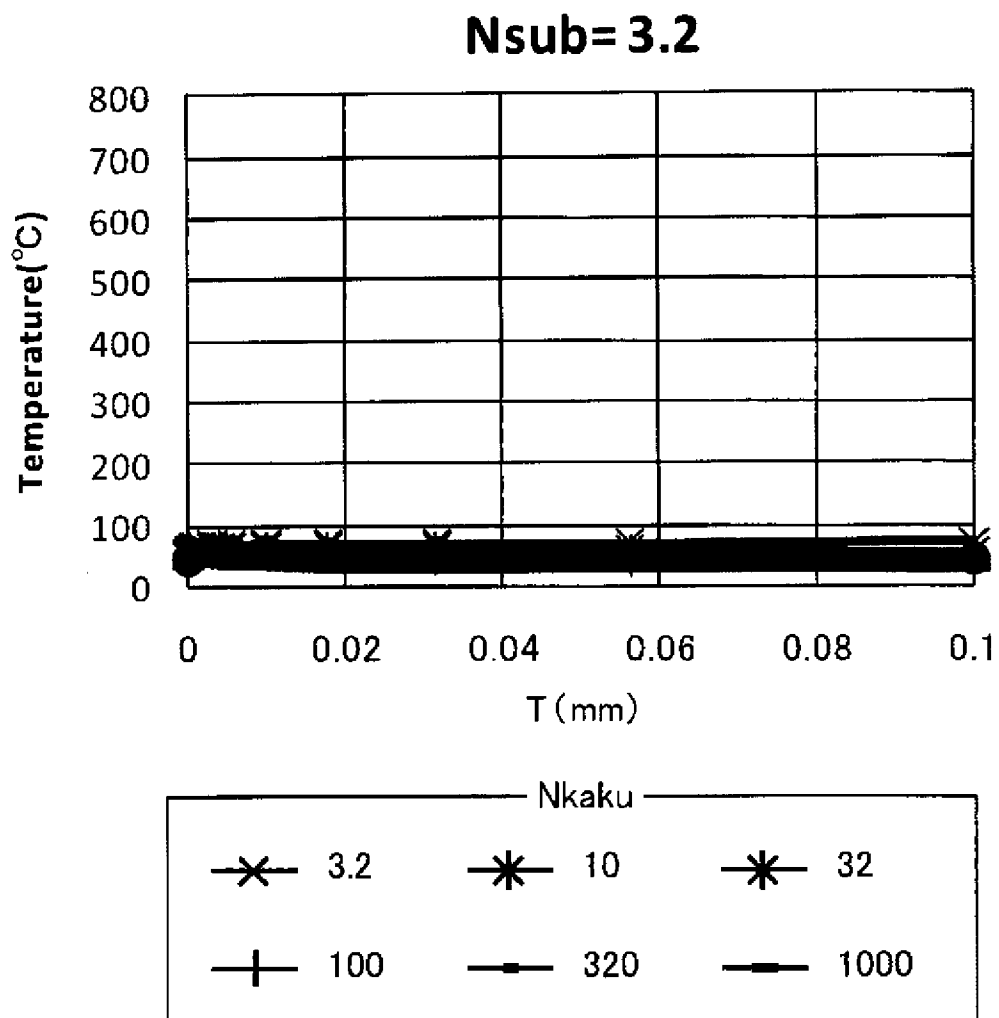
[図20]



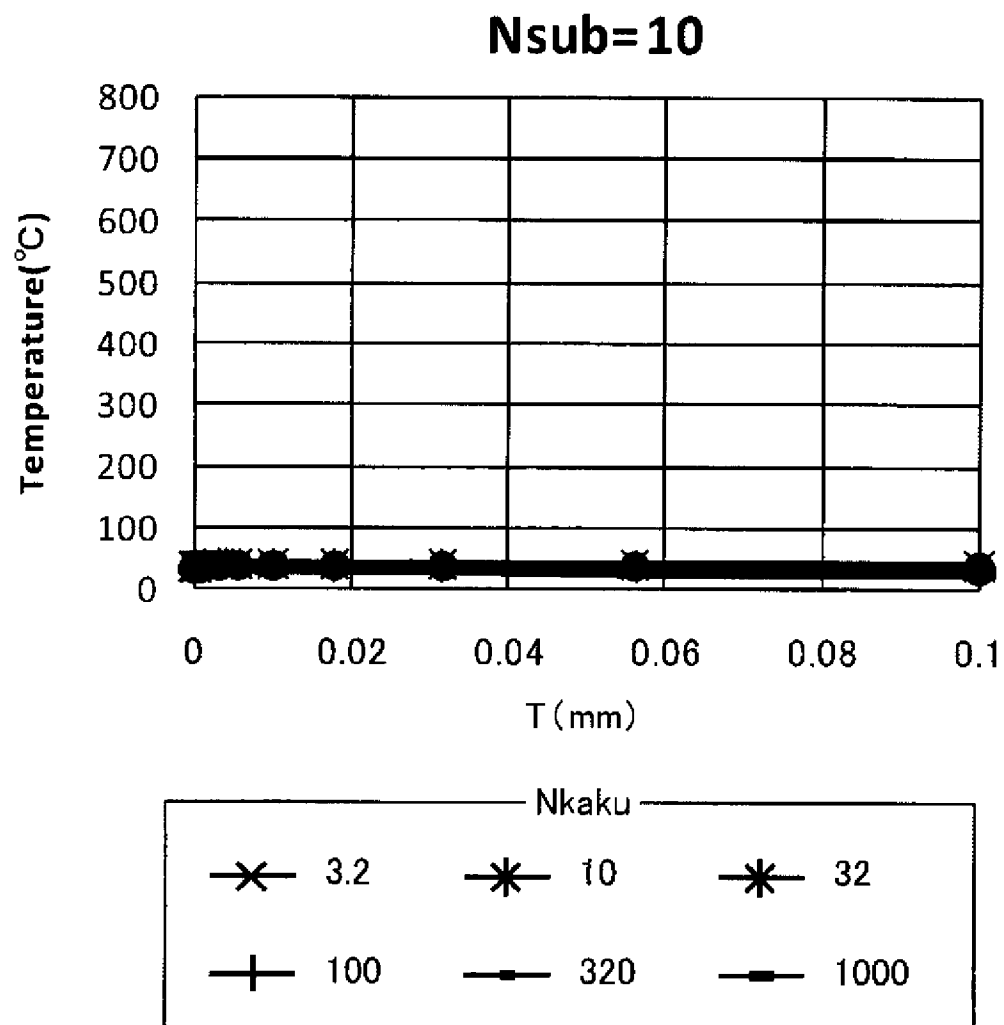
[図21]



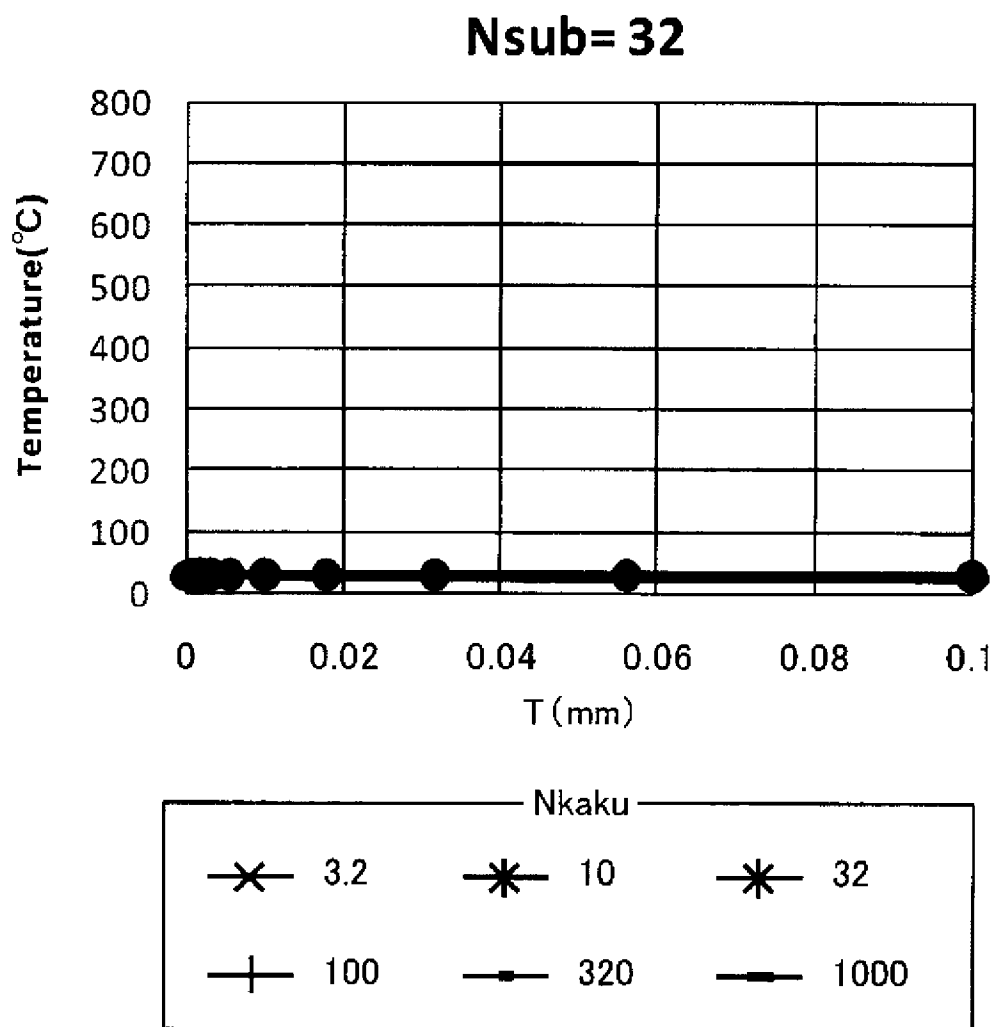
[図22]



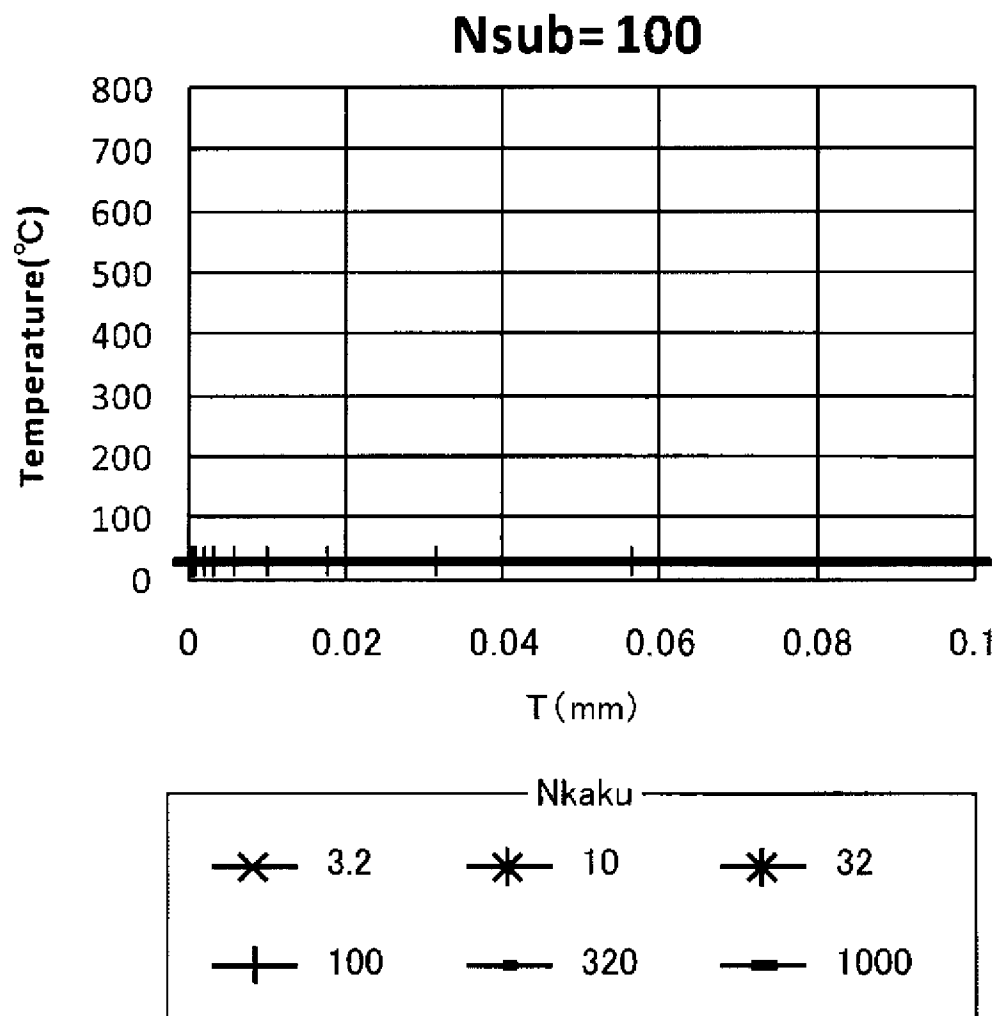
[図23]



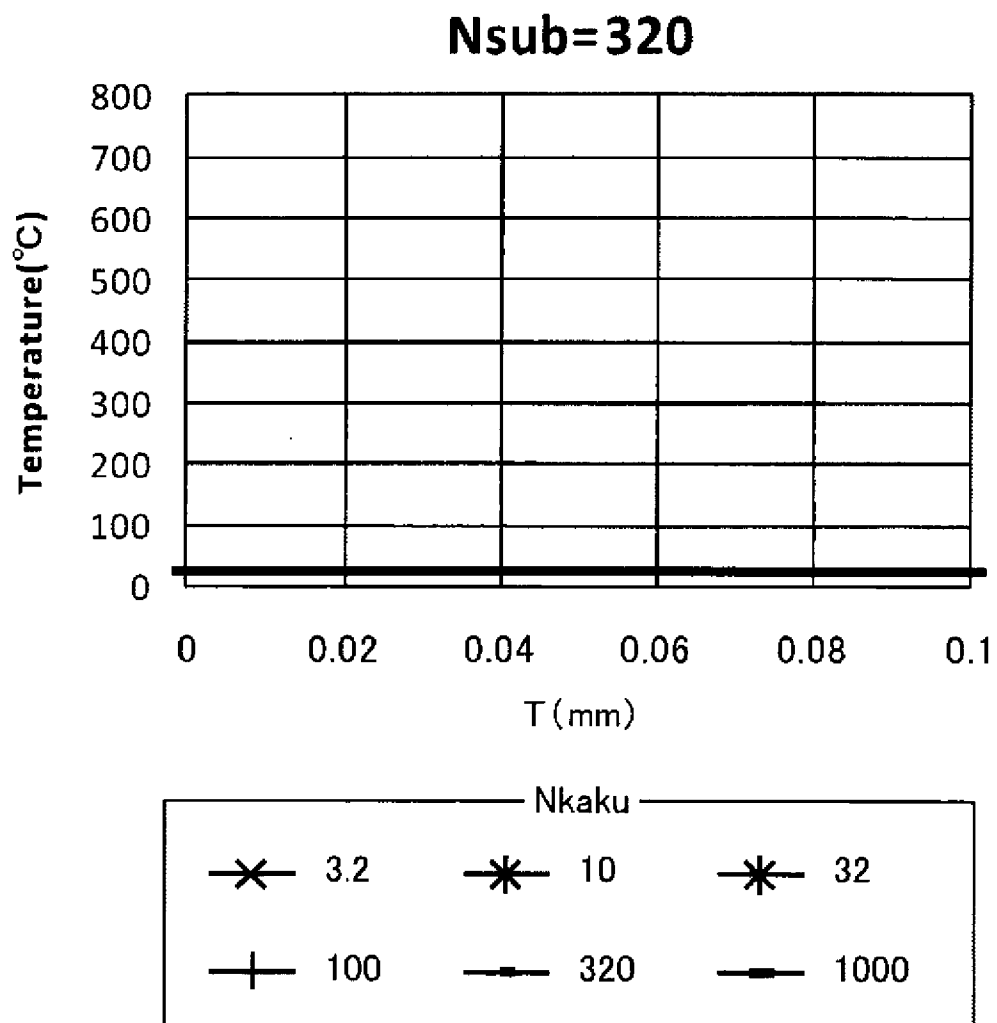
[図24]



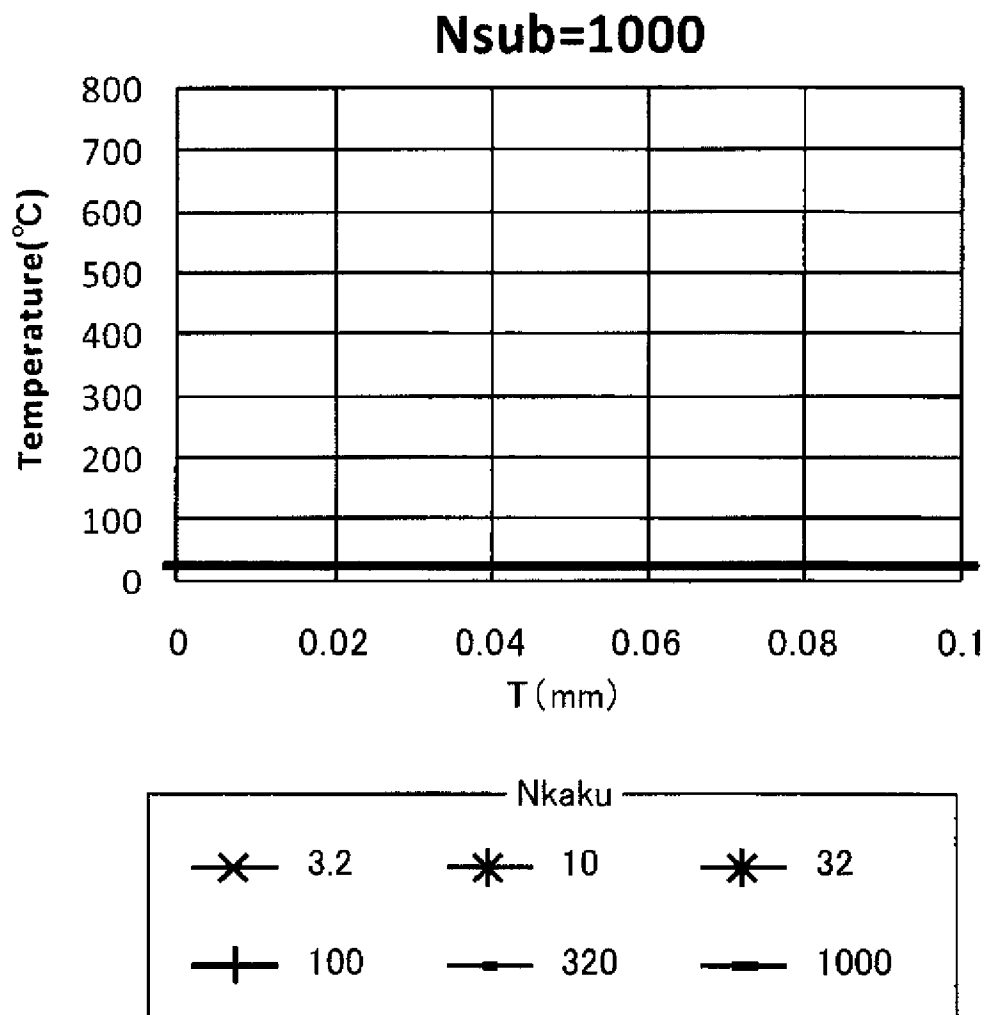
[図25]



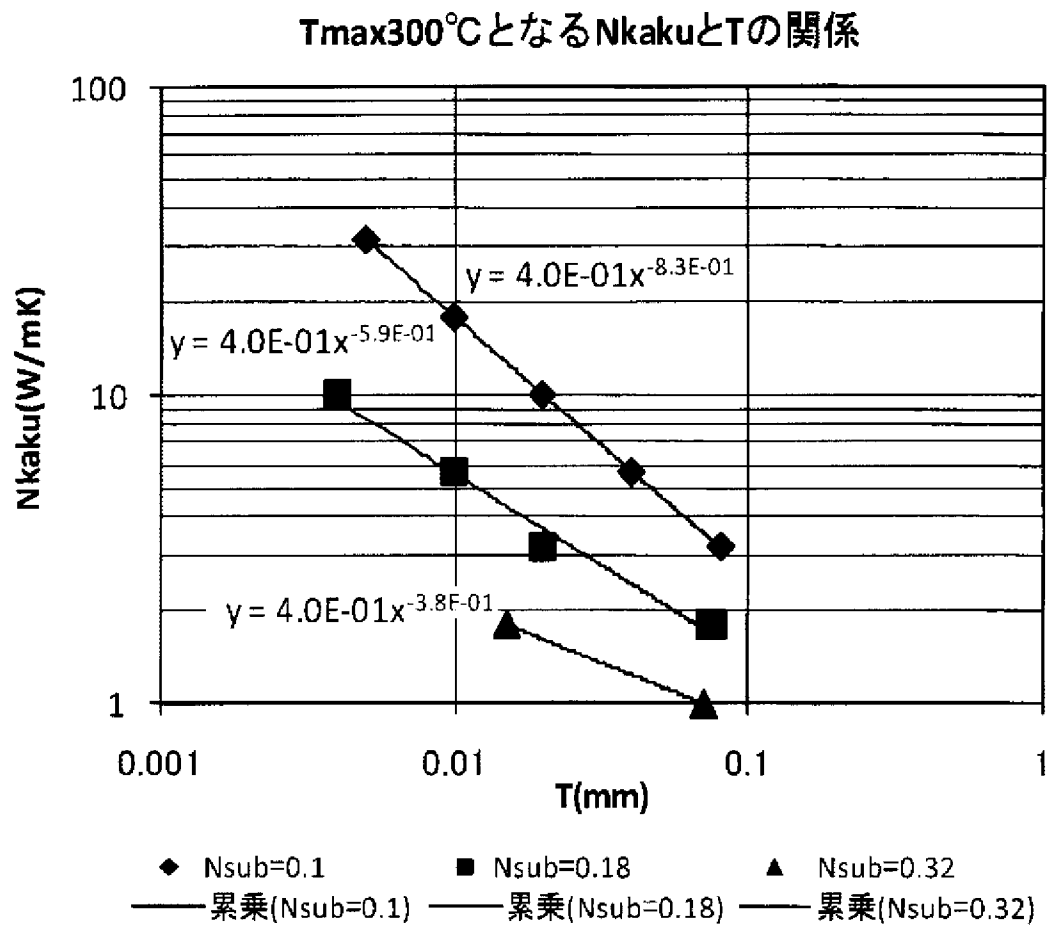
[図26]



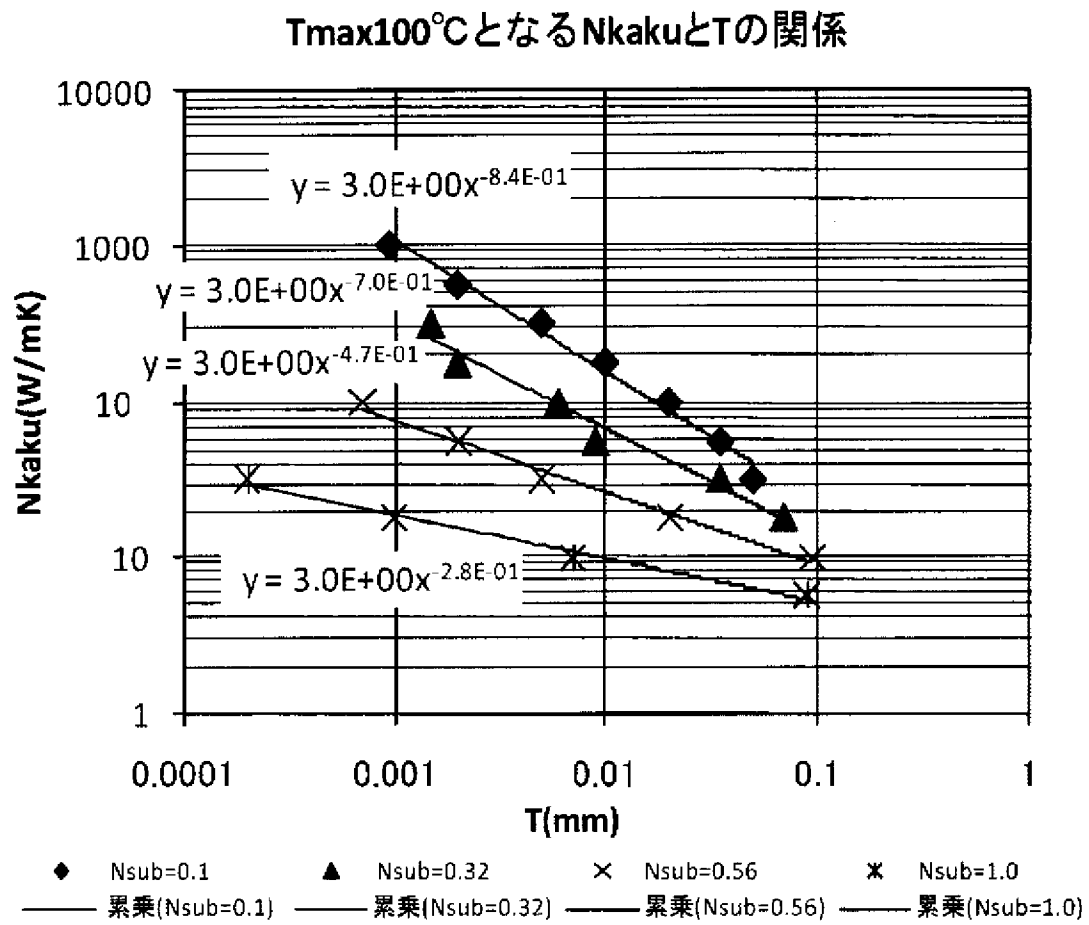
[図27]



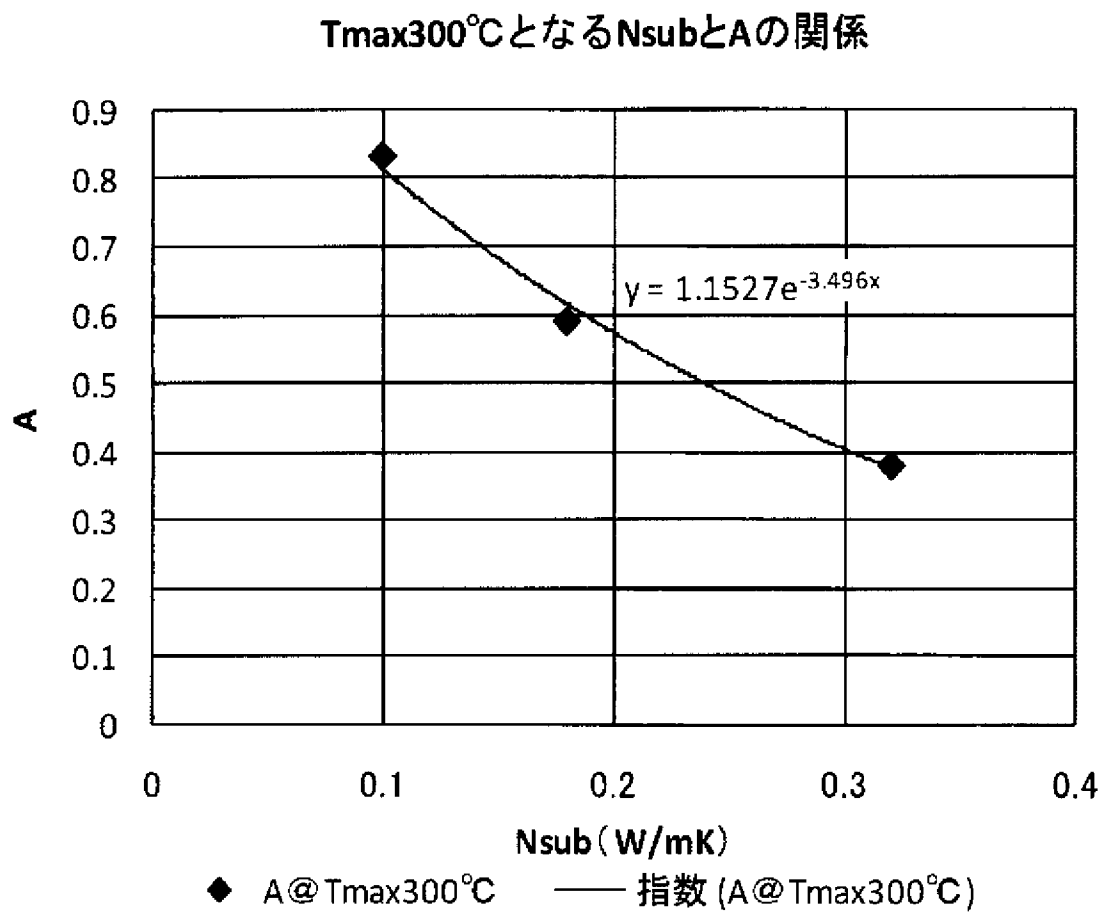
[図28]



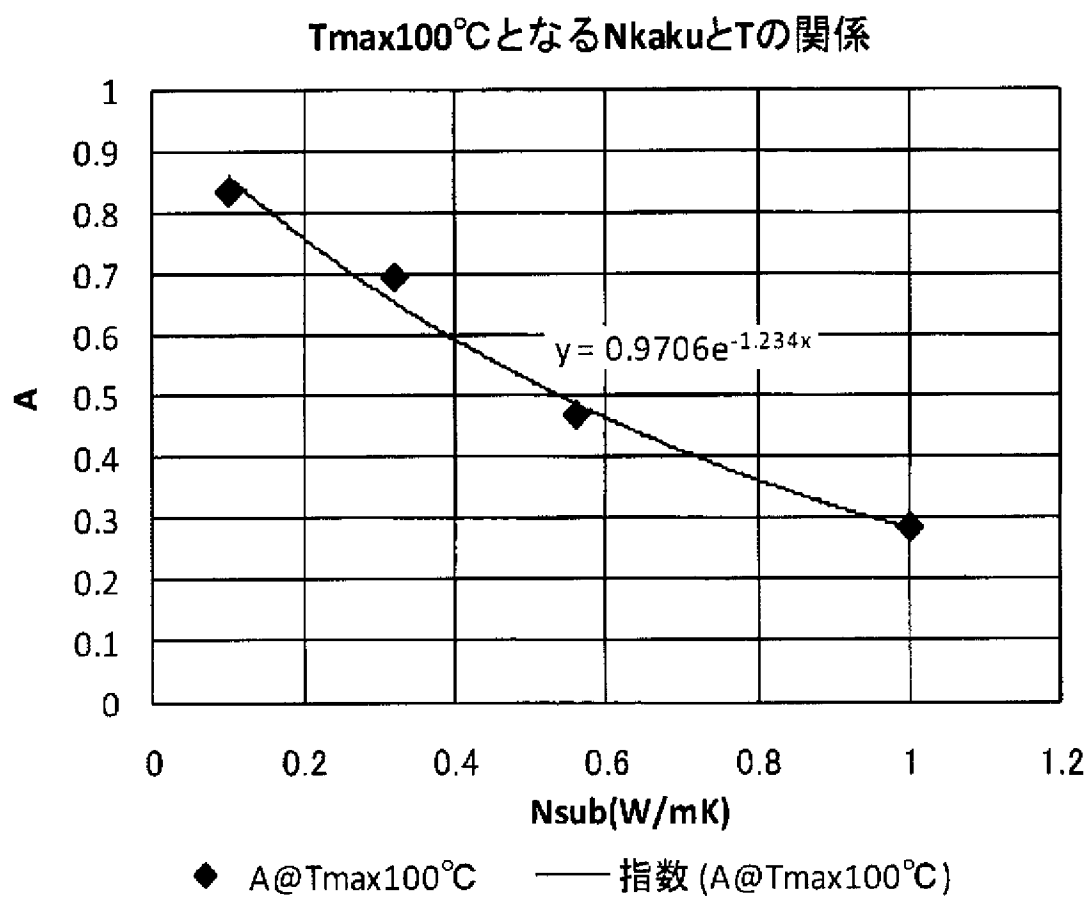
[図29]



[図30]



[図31]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053013

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i,
H01L23/52(2006.01)i, H01L23/522(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/3205, H01L21/768, H01L23/52, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-327872 A (Sony Corp.), 18 November 2004 (18.11.2004), paragraphs [0023] to [0036]; fig. 1, 2 (Family: none)	1-11
Y	JP 2004-342752 A (Canon Inc.), 02 December 2004 (02.12.2004), paragraphs [0016] to [0053]; fig. 1 to 8 (Family: none)	1-11
Y	WO 2010/113376 A1 (Panasonic Corp.), 07 October 2010 (07.10.2010), paragraphs [0046] to [0049], [0092] to [0094] (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
18 April, 2012 (18.04.12)

Date of mailing of the international search report
01 May, 2012 (01.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053013

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-131588 A (Matsushita Electric Industrial Co., Ltd.), 09 May 2003 (09.05.2003), paragraphs [0008] to [0051]; fig. 1 to 6 (Family: none)	1-11
A	JP 2001-345267 A (Semiconductor Energy Laboratory Co., Ltd.), 14 December 2001 (14.12.2001), entire text; all drawings (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L29/786(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/52(2006.01)i,
H01L23/522(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L29/786, H01L21/3205, H01L21/768, H01L23/52, H01L23/522

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-327872 A (ソニー株式会社) 2004. 11. 18, 段落【0023】 - 【0036】, 図 1, 2 (ファミリーなし)	1 - 11
Y	JP 2004-342752 A (キヤノン株式会社) 2004. 12. 02, 段落【0016】 - 【0053】, 図 1-8 (ファミリーなし)	1 - 11
Y	WO 2010/113376 A1 (パナソニック株式会社) 2010. 10. 07,	1 - 11

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 4 . 2 0 1 2

国際調査報告の発送日

0 1 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

三浦 尊裕

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

3 7 7 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	段落【0046】 - 【0049】 , 【0092】 - 【0094】 (ファミリーなし)	
Y	JP 2003-131588 A (松下電器株式会社) 2003. 05. 09, 段落【0008】 - 【0051】 , 図 1-6 (ファミリーなし)	1 - 11
A	JP 2001-345267 A (株式会社半導体エネルギー研究所) 2001. 12. 14, 全文, 全図 (ファミリーなし)	1 - 11