



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I668552 B

(45) 公告日：中華民國 108 (2019) 年 08 月 11 日

(21) 申請案號：107107575 (22) 申請日：中華民國 107 (2018) 年 03 月 07 日

(51) Int. Cl. : G05F1/56 (2006.01) G11C16/30 (2006.01)

(30) 優先權：2017/03/08 中國大陸 201710135653.4

2018/03/01 世界智慧財產權組織 PCT/CN2018/077711

(71) 申請人：大陸商長江存儲科技有限責任公司 (中國大陸) YANGTZE MEMORY TECHNOLOGIES CO., LTD. (CN)

中國大陸

(72) 發明人：潘 鋒 PAN, FENG (US)；呂 震宇 LU, ZHENYU (US)；楊 偉毅 YANG, STEVE WIYI (US)；楊 士寧 YANG, SIMON SHI-NING (US)

(74) 代理人：吳豐任；李俊陞；戴俊彥

(56) 參考文獻：

TW I275919

TW I430277

CN 104076854B

US 6518737B1

US 6600299B2

US 7095257B2

US 7710091B2

審查人員：曾錦豐

申請專利範圍項數：7 項 圖式數：7 共 30 頁

(54) 名稱

低壓差穩壓器

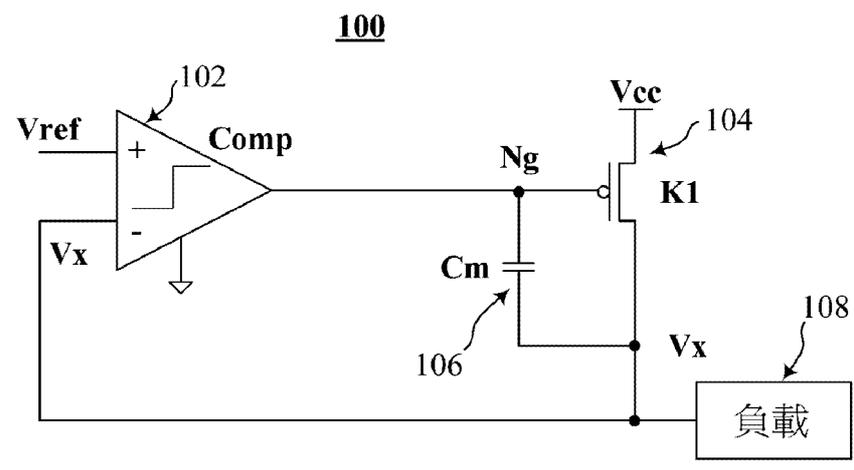
LOW-DROPOUT REGULATORS

(57) 摘要

一種低壓差穩壓器包括一第一開關電晶體、一比較器以及一米勒電容器。第一開關電晶體的第一端子連接至一負載，而第一開關電晶體的第二端子連接至一電源電壓。比較器的第一輸入端子連接至一參考電壓，比較器的第二輸入端子連接至第一開關電晶體的第一端子，且比較器的輸出端子連接至第一開關電晶體的控制端子。米勒電容器的第一端子連接至第一開關電晶體的控制端子，且米勒電容器的第二端子連接至第一開關電晶體的第一端子以及負載。

A low-dropout regulator comprises a first switching transistor, a comparator, and a Miller capacitor. The first terminal of the first switching transistor is connected to a load, and the second terminal of the first switching transistor is connected to a power supply voltage. The first input terminal of the comparator is connected to a reference voltage, the second input terminal of the comparator is connected to the first terminal of the first switching transistor, and the output terminal of the comparator is connected to the control terminal of the first switching transistor. The first terminal of the Miller capacitor is connected to the control terminal of the first switching transistor, and the second terminal of the Miller capacitor is connected to the first terminal of the first switching transistor and the load.

指定代表圖：



符號簡單說明：

- 100 . . . 低壓差穩壓器
- 102 . . . 比較器
- 104 . . . 第一開關電晶體
- 106 . . . 米勒電容器
- 108 . . . 負載

第1圖

【發明說明書】

【中文發明名稱】 低壓差穩壓器

【英文發明名稱】 LOW-DROPOUT REGULATORS

【技術領域】

【0001】 本揭露係關於一種半導體電路技術領域，尤指低壓差穩壓器。

【先前技術】

【0002】 低壓差穩壓器(low-dropout regulator, LDO)是一種直流(DC)線性穩壓器，可用以調節輸出電壓，即使當電源電壓非常接近輸出電壓時。隨著半導體技術的進步，LDO的設計已經成為三維(3D)NAND快閃記憶體的製程關鍵，快閃記憶體的記憶單元以多層方式垂直地堆疊，用以於較低的每位元成本下實現更高的密度。

【0003】 傳統類比式LDO廣泛地使用於各種電路結構中。為了在不同的負載條件下確保LDO的輸出穩定性，高靜態功耗以及大去耦電容是重要的。現有的類比式LDO具有低帶寬以及低負載暫態響應速度。另一方面，現有數位式LDO也有一些缺點，像是雜訊較高、開關功率較高、結構複雜以及演算法控制複雜等。

【0004】 因此，所揭露的低壓差穩壓器用來解決上述的一個或多個問題以及其他問題。

【發明內容】

【0005】 本揭露一些實施例提供了低壓差穩壓器。

【0006】 在一些實施例中，一種低壓差穩壓器具有一第一開關電晶體、一比較器以及一米勒電容器。第一開關電晶體具有一第一端子、一第二端子以及一控制端子。第一開關電晶體的第一端子連接至一負載，且第一開關電晶體的第二端子連接至一電源電壓。比較器具有一第一輸入端子、一第二輸入端子以及一輸出端子。比較器的第一輸入端子連接至一參考電壓，比較器的第二輸入端子連接至第一開關電晶體的第一端子，且比較器的輸出端子連接至第一開關電晶體的控制端子。米勒電容器具有一第一端子以及一第二端子。米勒電容器的第一端子連接至第一開關電晶體的控制端子，且米勒電容器的第二端子連接至第一開關電晶體的第一端子以及負載。

【0007】 低壓差穩壓器可更包括一驅動模組，且驅動模組包括一輸入以及一輸出。驅動模組的輸入耦合至比較器的輸出端子，且驅動模組的輸出耦合至第一開關電晶體的控制端子。

【0008】 驅動模組可更包括一P型通道金屬氧化物半導體場效電晶體(P-MOSFET)與一N型通道金屬氧化物半導體場效電晶體(N-MOSFET)連接。P型通道金屬氧化物半導體場效電晶體的一源極連接至電源電壓，P型通道金屬氧化物半導體場效電晶體的一汲極連接至第一開關電晶體的控制端子，且P型通道金屬氧化物半導體場效電晶體的一閘極連接至比較器的輸出端子。N型通道金屬氧化物半導體場效電晶體的一源極連接至比較器的輸出端子，N型通道金屬氧化物半導體場效電晶體的一閘極連接至比較器的輸出端子，且N型通道金屬氧化物半導體場效電晶體的一源極耦合至一接地電壓電位，且N型通道金屬氧化物半導

體場效電晶體的一汲極連接至第一開關電晶體的控制端子。

【0009】 驅動模組可更包括一第一反相器，且第一反相器包括一輸入端子以及一輸出端子。第一反相器的輸入端子連接至比較器的輸出端子，且第一反相器的輸出端子連接至第一開關電晶體的控制端子。

【0010】 驅動模組可更包括一P型通道金屬氧化物半導體場效電晶體(P-MOSFET)、一N型通道金屬氧化物半導體場效電晶體(N-MOSFET)、一第一電流源以及一第二電流源。P型通道金屬氧化物半導體場效電晶體的一汲極連接至第一開關電晶體的控制端子，且P型通道金屬氧化物半導體場效電晶體的一閘極連接至比較器的輸出端子。第一電流源的一輸入端子連接至電源電壓，且第一電流源的一輸出端子連接至P型通道金屬氧化物半導體場效電晶體的源極。N型通道金屬氧化物半導體場效電晶體的一閘極連接至比較器的輸出端子，N型通道金屬氧化物半導體場效電晶體的一源極耦合至一接地電壓電位，且N型通道金屬氧化物半導體場效電晶體的一汲極連接至第一開關電晶體的控制端子。第二電流源的一輸入端子連接至N型通道金屬氧化物半導體場效電晶體的源極，且第二電流源的一輸出端子耦合至一接地電壓電位。

【0011】 驅動模組可更包括一第一反相器，且第一反相器包括一輸入端子以及一輸出端子。第一反相器的輸入端子連接至比較器的輸出端子，且第一反相器的輸出端子連接至P型通道金屬氧化物半導體場效電晶體的閘極以及N型通道金屬氧化物半導體場效電晶體的閘極。

【0012】 驅動模組可更包括一第二反相器。第二反相器的一輸入端子連接至

比較器的輸出端子，且第二反相器的一輸出端子連接至第一反相器的輸入端子。

【0013】 第一反相器包括一反相緩衝器或一反相放大器。

【0014】 米勒電容器的電容值可小於負載的等效電容的電容值並可大於第一開關電晶體的控制端子上的寄生電容的電容值。

【0015】 米勒電容器的電容值可小於或等於負載的等效電容的電容值的百分之一，且米勒電容器的電容值可大於或等於第一開關電晶體的控制端子上的寄生電容的電容值的十倍。

【0016】 第一開關電晶體可包括一P型通道金屬氧化物半導體場效電晶體 (P-MOSFET)。

【0017】 米勒電容器可具有約為100mV的耐受電壓以及約為400pF的電容。

【0018】 低壓差穩壓器的電壓轉換速率是由低壓差穩壓器的輸出電壓以及負載的等效電容所決定。

【0019】 當第一開關電晶體的控制端子可為一主導極點時，第一開關電晶體的第一端子可為一非主導極點。

【0020】 第一反相器的輸入端子以及第一反相器的輸出端子可為非主導極點。

【0021】 第二反相器的輸入端子以及第二反相器的輸出端子可為非主導極點。

【0022】 本揭露的另一方向揭露另一低壓差穩壓器，此低壓差穩壓器包括一第一開關電晶體，用以響應一控制信號以控制一電源與低壓差穩壓器的一負載之間的開關；一比較器，用以比較第一開關電晶體的一輸出電壓以及一參考電壓，且控制信號是基於比較器的一輸出信號而產生；以及一米勒電容器電性連接於第一開關電晶體的一控制端子與一輸出端子之間，且米勒電容器是用以穩定低壓差穩壓器提供至負載的一輸出電壓。

【0023】 低壓差穩壓器可更包括一驅動模組，用以驅動比較器的輸出信號而產生控制信號，且用以緩衝控制信號以增加低壓差穩壓器提供至負載的輸出電壓的穩定性。

【0024】 驅動模組可包括一互補式金屬氧化物半導體(CMOS)反相器，用以增加低壓差穩壓器提供至負載的輸出電壓的雜訊邊限。

【0025】 驅動模組可更包括一個或多個電流源，用以調整低壓差穩壓器提供至負載的輸出電壓的變化率。例如一第一電流源用以限制低壓差穩壓器提供至負載的輸出電壓的增壓速度或/及一第二電流源用以限制低壓差穩壓器提供至負載的輸出電壓的降壓速度。

【0026】 驅動模組可更包括一個或多個數位反相器，用以放大或緩衝比較器

的輸出信號。

【0027】 本揭露的另一方向提供一系統，用以提供電源至一三維(3D)NAND快閃記憶裝置的字元線。此系統具有一電荷泵，用以將一起始電壓提高至一高於起始電壓的電源電壓；一振盪器，用以產生周期時脈並驅動電荷泵內的各級電容器；以及一已揭露的低壓差穩壓器，用以調節電源電壓以輸出一驅動電壓至三維(3D)NAND快閃記憶裝置的字元線。

【0028】 相關領域的技術人員可根據本揭露的敘述說明、申請專利範圍以及圖式了解本揭露的其他方向。

【圖式簡單說明】

【0029】

所附圖式併入本文並構成說明書的一部分，其例示出了本揭露所揭示的實施例，並且與詳細說明一起進一步用於解釋本揭露所揭示的原理，以使相關領域技術人員能夠製作及使用本揭露所揭示的內容。

第1圖繪示出根據本揭露一些實施例的低壓差穩壓器的電路示意圖；

第2圖繪示出根據本揭露一些其他實施例的另一低壓差穩壓器的結構示意圖；

第3圖繪示出第2圖所示的低壓差穩壓器的一實行狀況的電路示意圖；

第4圖繪示出第2圖所示的低壓差穩壓器的另一實行狀況的電路示意圖；

第5圖繪示出第2圖所示的低壓差穩壓器的另一實行狀況的電路示意圖；以及

第6圖繪示出第2圖所示的低壓差穩壓器的另一實行狀況的電路示意圖。

第7圖為本揭露一些實施例的示範性系統的方塊示意圖。

本揭露的各實施例將參考所附圖式進行說明。

【實施方式】

【0030】 儘管本文討論了具體的結構及配置，但應該理解，這僅僅是為了說明及示例的目的而完成的。相關領域的技術人員應可理解，在不脫離本揭露的精神及範圍的情況下，可以使用其他結構及佈置。對於相關領域的技術人員顯而易見的是，本揭露還可以用於各種其他應用中。

【0031】 值得注意的是，在說明書中對提及「一個實施例」、「一實施例」、「示範性實施例」、「一些實施例」等的引用表示所描述的實施例可以包括特定的特徵、結構或特性，但並非每個實施例都一定需要包括此特定的特徵、結構或特性，而且這些用語不一定指相同的實施例。此外，當特定特徵、結構或特性結合實施例描述時，無論是否於文中明確教示，結合其他實施例來實現這些特徵、結構或特性皆屬於相關領域的技術人員的知識範圍所及。

【0032】 一般而言，術語可以至少部分地根據上、下文中的用法來理解。例如，如本文所使用的術語「以及」、「或」或「或/及」至少可部分取決於使用這些術語的上、下文而包括多種涵義。典型地，若「或」是用以指明一名單中的至少一個，例如A、B或C，但可包括A、B與C中的一個以上或全部。此外，如本文所使用的術語「一個或多個」可至少可部分取決於上、下文而可用於以單數意義描述任何特徵、結構或特性，或可用於描述特徵、結構或特徵的複數組合。類似地，術語諸如「一」、「一個」或「該」也可以被理解為表達單數用法或傳達複數用法，至少可部分取決於上、下文。此外，術語“基於”可以被理解為

不一定旨在傳達排他性的一組因素，也可以相反地允許存在未必明確描述的附加因素，其具體涵義至少部分取決於上、下文。

【0033】 如先前技術的段落中所述，現有的類比式低壓差穩壓器(LDO)以及數位式低壓差穩壓器均有缺點。根據多個實施例，本揭露基於數位輔助類比式低壓差穩壓器的方法將傳統類比式低壓差穩壓器結構與現有數位式低壓差穩壓器結構的優點結合從而提供多種低壓差穩壓器。本揭露的低壓差穩壓器可達到高帶寬、小靜態電流、小去耦電容、低功耗以及可接受的雜訊等優勢。

【0034】 請參閱第1圖，第1圖為根據本揭露一些實施例所繪示的低壓差穩壓器的電路示意圖。如第1圖所示，低壓差穩壓器(LDO)100包括一比較器(Comp)102、一第一開關電晶體(K1)104以及一米勒電容器(Cm)106。

【0035】 比較器(Comp)102的第一輸入端子可連接至一參考電壓(Vref)。在一些實施例中，參考電壓(Vref)的值可根據低壓差穩壓器(LDO)100的一負載(Load)108的設定電壓而定。舉例來說，依據低壓差穩壓器(LDO)100的負載(Load)108的類型，參考電壓(Vref)的值可為固定的或可變的。那就是說，參考電壓(Vref)可由一固定的電壓源產生，或者可由一能提供可調整電壓值的電路來產生。

【0036】 比較器(Comp)102的第二輸入端子可連接至第一開關電晶體(K1)104的第一端子。比較器(Comp)102的一輸出端子可連接至第一開關電晶體(K1)104的一控制端子。

【0037】 第一開關電晶體(K1)104的一第一端子可連接至負載(Load)108。第一開關電晶體(K1)104的一第二端子可連接至一電源電壓(Vcc)。

【0038】 米勒電容器(Cm)106的一第一端子可連接至第一開關電晶體(K1)104的控制端子。米勒電容器(Cm)106的第二端子可連接至第一開關電晶體(K1)104的第一端子，而第一開關電晶體(K1)104的第一端子也連接至負載(Load)108以及輸出電壓(Vx)。

【0039】 在一些實施例中，第一開關電晶體(K1)104可為一金屬氧化物半導體場效電晶體(MOSFET)，例如第1圖中所示的一P型通道MOSFET。第一開關電晶體(K1)104的控制端子可為MOSFET的閘極，且第一開關電晶體(K1)104的第一端子以及第二端子可分別為MOSFET的源極與汲極。

【0040】 比較器(Comp)102可為任何適合的電壓比較器，例如凌力爾特(Linear Technology)公司所設計的微型低功耗、低電壓比較器LTC6702。由於電壓比較器的帶寬高於傳統LDO電路中使用的誤差運算放大器的操作帶寬，故相比較於傳統LDO，本揭露的LDO的帶寬可獲得提升。

【0041】 在一些實施例中，負載(Load)108可包括一個或多個負載且可為各種適合的類型，例如一電容型、一電流源型、一電阻型以及上述的各種組合等。

【0042】 在如第1圖中所示的LDO的一操作狀況下，比較器(Comp)102可比較參考電壓(Vref)與輸出至負載(Load)108的輸出電壓(Vx)的大小。當輸出電壓(Vx)高於參考電壓(Vref)時，位於第一開關電晶體(K1)104的控制端子的節點(Ng)是處

於一高位準，例如一邏輯信號“1”。在這樣的情況下，第一開關電晶體(K1)104是被關閉，故負載(Load)108消耗儲存於米勒電容器(Cm)106內的電力以降低輸出電壓(Vx)。當輸出電壓(Vx)低於參考電壓(Vref)時，節點(Ng)是處於一低位準，例如一邏輯信號“0”。在這樣的情況下，第一開關電晶體(K1)104是被開啟以將電流傳導至負載(Load)108來增加輸出電壓(Vx)。因此，輸出電壓(Vx)可被穩定化至參考電壓(Vref)。

【0043】 傳統的LDO與第1圖所揭露的高帶寬LDO之間的一個不同處在於電路100並不需要額外的電路結構來確保輸出的穩定性。米勒電容器(Cm)106抑制輸出電壓(Vx)的振盪以符合對於各種負載狀況的電源要求。

【0044】 由於米勒電容器(Cm)106所導致的米勒效應，當輸出電壓(Vx)的雜訊過大時，振盪變化通過米勒電容器(Cm)106而耦合至節點(Ng)。在這樣的情況下，第一開關電晶體(K1)104的開啟與關閉可被減緩用以減少輸出電壓(Vx)的振盪，並因此修正輸出電壓(Vx)的非線性失真。在這樣的情況下，輸出電壓(Vx)可被穩定化在適用於負載(Load)108的一定範圍內。

【0045】 該注意的是，由於比較器(Comp)102以及米勒電容器(Cm)106對於輸出電壓(Vx)的局部回饋控制，可顯著改善如第1圖中所示被揭露的LDO對負載突降時的反應速度。舉例來說，當傳統的LDO的反應速度可為約5 μ s時，包括有一米勒電容器的本揭露的LDO的反應速度可為約1 μ s。也就是說，對於一負載突降的反應，本揭露的LDO的反應速度可顯著地快於傳統的LDO的反應速度。

【0046】 此外，本揭露的LDO的電壓轉換速率可由輸出電壓(Vx)以及負載

(Load)108的等效電容所決定。

【0047】 另該注意的是，米勒電容器(Cm)106的電容值 C_x 小於負載(Load)108的等效電容的電容值 C_{load} 。米勒電容器(Cm)106的電容值 C_x 大於第一開關電晶體(K1)104的控制端子上的寄生電容的電容值 C_p 。在這樣的情況下，可確保輸出電壓(Vx)的雜訊盡可能地耦合至節點(Ng)，用以減少輸出電壓(Vx)的非線性失真。

【0048】 在一些實施例中，假設負載(Load)108的等效電容的電容值 C_{load} 以及第一開關電晶體(K1)104的控制端子上的寄生電容的電容值 C_p 為已知，米勒電容器(Cm)106的電容值 C_x 可滿足下列的關係式： $100C_x \leq C_{load}$ 以及 $C_x \geq 10C_p$ 。在這樣的狀況下，大約90%-100%的輸出電壓(Vx)的振盪可耦合至節點(Ng)。輸出電壓(Vx)的雜訊可被減少一個數量級，例如傳統類比式LDO的大約為201mV的初始絕對雜訊值可被減少至本揭露的LDO的大約為20mV的絕對雜訊值。輸出電壓(Vx)的結果波形可滿足較廣範圍的負載狀況所需。

【0049】 本揭露的LDO的比較器(Comp)比較第一開關電晶體(K1)104提供至負載(Load)108的輸出電壓以及參考電壓(Vref)。比較結果被傳送至第一開關電晶體(K1)104的控制端子，故LDO 100具有不被任何誤差運算放大器限制的高帶寬。

【0050】 此外，由於米勒效應，米勒電容器可減少第一開關電晶體的輸出振盪且減少LDO的輸出雜訊，故輸出波形可符合各種負載狀況的要求。因此，與現有類比式LDO不同，本揭露高帶寬LDO的閉環可為非穩定的。藉由米勒電容器，第一開關電晶體的輸出振盪可被穩定化在適用於負載的一定範圍內且不對LDO的帶寬造成限制。

【0051】 因此，本揭露的LDO可具有穩定的輸出、高帶寬以及高負載暫態響應速度。此外，相比較於傳統LDO的靜態電流(例如 $10\mu\text{A}$)，本揭露的LDO可消耗較少的靜態電流(例如 $1\mu\text{A}$)而達到相同的設計規格，例如功耗、雜訊、負載突降、負載調節與線性調節等。

【0052】 請參閱第2圖，第2圖為根據本揭露一些實施例所繪示的低壓差穩壓器200的結構示意圖。基於第1圖中所示的LDO的結構，本揭露的LDO可更包括一驅動模組210，用以驅動比較器(Comp)102輸出的信號且將信號傳遞至第一開關電晶體(K1)104的控制端子。

【0053】 在一些實施例中，驅動模組210可使比較器(Comp)102輸出的信號符合第一開關電晶體(K1)104的驅動要求。進一步說明，在一些實施例中，驅動模組200也可緩衝傳遞至第一開關電晶體(K1)104的信號，用以改善LDO 200的輸出穩定度。該注意的是，驅動模組210可包括任何適合的電路元件。在下列內容中，通過第3圖至第6圖說明驅動模組210的一些示範性實行狀況。

【0054】 請參閱第3圖，第3圖為第2圖所示的低壓差穩壓器的一實行狀況的電路示意圖。在一些實施例中，驅動模組310可包括一P型通道金屬氧化物半導體場效電晶體(P-MOSFET, PM)與一N型通道金屬氧化物半導體場效電晶體(N-MOSFET, NM)。

【0055】 P-MOSFET(PM)的源極可連接至電源電壓(V_{cc})。P-MOSFET (PM)的汲極可連接至第一開關電晶體(K1)104的控制端子。P-MOSFET (PM)的閘極可連

接至比較器(Comp)102的輸出端子。N-MOSFET(NM)的閘極可連接至比較器(Comp)102的輸出端子。N-MOSFET(NM)的源極可接地。N-MOSFET(NM)的汲極可連接至第一開關電晶體(K1)104的控制端子。

【0056】 在一些實施例中，第一開關電晶體(K1)104為一P-MOSFET。此P-MOSFET的閘極可連接至驅動模組310的輸出端子。此P-MOSFET的汲極可連接至負載(Load)108。此P-MOSFET的源極可連接至電源電壓(Vcc)。比較器(Comp)102的非反向輸入端子可連接至參考電壓(Vref)。比較器(Comp)102的反向輸入端子可連接至第一開關電晶體(K1)104的第一端子(例如此P-MOSFET的汲極)。

【0057】 驅動模組310為一互補式金屬氧化物半導體(CMOS)反相器。當比較器(Comp)102的輸出為高位準時，節點(Ng)的電壓被下拉至接地。且當比較器(Comp)102的輸出為低位準時，節點(Ng)的電壓被上拉至電源電壓(Vcc)，以此造成高雜訊邊限。

【0058】 請參閱第4圖，第4圖為第2圖所示的低壓差穩壓器的另一實行狀況的電路示意圖。在一些實施例中，驅動模組410可包括一個或多個固定電流源，用以限制輸出電壓(Vx)的變化率。

【0059】 舉例來說，如第4圖所示，驅動模組100可包括一第一電流源(Ipu)或/及一第二電流源(Ipd)。第一電流源(Ipu)的一輸入端子可連接至電源電壓(Vcc)。第一電流源(Ipu)的輸出端子可連接至P-MOSFET(PM)的源極。第二電流源(Ipd)的輸入端子可連接至N-MOSFET(NM)的源極。第二電流源(Ipd)的輸出端子可接

地。

【0060】 第一電流源(Ipu)可用以限制輸出電壓(Vx)的增壓速度。第二電流源(Ipd)可用以限制輸出電壓(Vx)的降壓速度。

【0061】 請參閱第5圖，第5圖為第2圖所示的低壓差穩壓器的另一實行狀況的電路示意圖。在一些實施例中，驅動模組510可包括一個或多個數位式反相器。

【0062】 舉例來說，如第5圖所示，驅動模組510可包括一第一數位式反相器(Inv1)。第一數位式反相器(Inv1)的輸入端子可連接至比較器(Comp)102的輸出端子。第一數位式反相器(Inv1)的輸出端子可連接至第一開關電晶體(K1)104的控制端子。

【0063】 在一些實施例中，第一開關電晶體(K1)104可為一P-MOSFET。此P-MOSFET的閘極可連接至驅動模組100的輸出端子。此P-MOSFET的汲極可連接至負載(Load)108。此P-MOSFET的源極可連接至電源電壓(Vcc)。比較器(Comp)102的非反向輸入端子可連接至參考電壓(Vref)。比較器(Comp)102的反向輸入端子可連接至第一開關電晶體(K1)104的第一端子(例如此P-MOSFET的汲極)。

【0064】 第一數位式反相器(Inv1)可為任何適合類型的反相器，例如一非補償電流式反相器、一反相緩衝器與一反相放大器等。第一數位式反相器(Inv1)的延遲時間或/及放大因數可依據實際情況來設定。

【0065】 在一些實施例中，可使用一多階段放大或緩衝結構。舉例來說，驅動模組510可更包括一第二數位式反相器(未於第5圖中繪示)。第二數位式反相器的輸入端子可連接至比較器(Comp)102的輸出端子。第二數位式反相器的輸出端子可連接至第一數位式反相器(Inv1)的輸入端子。

【0066】 請參閱第6圖，第6圖為第2圖所示的低壓差穩壓器的另一實行狀況的電路示意圖。驅動模組610可包括一第一數位式反相器(Inv1)、一P-MOSFET(PM)以及一N-MOSFET(NM)。

【0067】 第一數位式反相器(Inv1)的輸入端子可連接至比較器(Comp)102的輸出端子。第一數位式反相器(Inv1)的輸出端子可連接至P-MOSFET(PM)的閘極。P-MOSFET(PM)的源極可連接至電源電壓(Vcc)。P-MOSFET(PM)的汲極可連接至第一開關電晶體(K1)104的控制端子。N-MOSFET(NM)的閘極可連接至第一數位式反相器(Inv1)的輸出端子。N-MOSFET(NM)的源極可接地。N-MOSFET(NM)的汲極可連接至第一開關電晶體(K1)104的控制端子。

【0068】 在一些實施例中，驅動模組100可更包括一第二數位式反相器(Inv2)。第二數位式反相器(Inv2)的輸入端子可連接至比較器(Comp)102的輸出端子。第二數位式反相器(Inv2)的輸出端子可連接至第一數位式反相器(Inv1)的輸入端子。

【0069】 如上所述，第一數位式反相器(Inv1)與第二數位式反相器(Inv2)可為任何適合類型的反相器，包括一非補償電流式反相器、一反相緩衝器與一反相放大器等。

【0070】 在一些實施中，第一開關電晶體(K1)104可為一P-MOSFET。此P-MOSFET的閘極可連接至驅動模組610的輸出端子。此P-MOSFET的汲極可連接至負載(Load)108。此P-MOSFET的源極可連接至電源電壓(Vcc)。比較器(Comp)102的非反向輸入端子可連接至參考電壓(Vref)。比較器(Comp)102的反向輸入端子可連接至第一開關電晶體(K1)104的第一端子(例如此P-MOSFET的汲極)。

【0071】 在一些實施例中，驅動模組610可更包括一第一電流源(Ipu)或/及一第二電流源(Ipd)。第一電流源(Ipu)的輸入端子可連接至電源電壓(Vcc)。第一電流源(Ipu)的輸出端子可連接至P-MOSFET(PM)的源極。第二電流源(Ipd)的輸入端子可連接至N-MOSFET(NM)的源極。第二電流源(Ipd)的輸出端子可接地。

【0072】 利用第6圖中所示的電路拓撲作為例子來詳細解釋本揭露的高帶寬LDO的工作原理。可假設節點(N1)位於比較器(Comp)102的輸出端子，節點(N2)位於第二數位式反相器(Inv2)的輸出端子，節點(N3)位於第一數位式反相器(Inv1)的輸出端子，而節點(Ng)位於第一開關電晶體(K1)104的控制端子。

【0073】 比較器(Comp)102可比較參考電壓(Vref)與輸出電壓(Vx)。當輸出電壓(Vx)高於參考電壓(Vref)時，比較器(Comp)102可輸出一低位準信號。在這樣的情況下，節點(N1)是處於低位準，節點(N2)是處於高位準，節點(N3)是處於低位準。因此，P-MOSFET(PM)被開啟，而N-MOSFET(NM)被關閉。節點(Ng)是處於高位準，故第一開關電晶體(K1)104是被關閉。因此，負載(Load)108消耗儲存於米勒電容器(Cm)106內的電力而輸出電壓(Vx)被下拉。

【0074】 當輸出電壓(V_x)降至低於參考電壓(V_{ref})時，比較器(Comp)102可輸出一高位準信號。在這樣的情況下，節點(N1)是處於高位準，節點(N2)是處於低位準，節點(N3)是處於高位準。因此，P-MOSFET(PM)被關閉，而N-MOSFET(NM)被開啟。節點(Ng)是處於低位準，故第一開關電晶體(K1)104是被開啟以將電流傳導至輸出電壓(V_x)。因此，輸出電壓(V_x)是被上拉。

【0075】 由於電路的動態改變，輸出電壓(V_x)相等於參考電壓(V_{ref})的情況可被忽略。藉由重複上述步驟，輸出電壓(V_x)可被動態地被穩定化至參考電壓(V_{ref})。要注意的是，在第6圖中所示的電路拓撲中，節點(Ng)可為一主導極點，其主導LDO 600的控制閉環的暫態響應，而節點(N1)、節點(N2)以及節點(N3)為非主導極點。

【0076】 因此，說明了多種低壓差穩壓器。在一些實施例中，一被揭露的低壓差穩壓器可包括一第一開關電晶體，用以響應一控制信號以控制一電源與低壓差穩壓器的一負載之間的開關；一比較器，用以比較第一開關電晶體的一輸出電壓以及一參考電壓，且控制信號是基於比較器的一輸出信號而產生；以及一米勒電容器電性連接於第一開關電晶體的一控制端子與一輸出端子之間，且米勒電容器係用以穩定低壓差穩壓器提供至負載的一輸出電壓。

【0077】 低壓差穩壓器可更包括一驅動模組，用以驅動比較器的輸出信號而產生控制信號，且用以緩衝控制信號以增加低壓差穩壓器提供至負載的輸出電壓的穩定性。在一些實施例中，驅動模組可包括一互補式金屬氧化物半導體(CMOS)，反相器用以增加低壓差穩壓器提供至負載的輸出電壓的雜訊邊限，或

/及一個或多個數位式反相器用以放大或/及緩衝比較器的輸出信號。

【0078】 此外，驅動模組可包括一個或多個電流源，用以調整低壓差穩壓器提供至負載的輸出電壓的變化率，例如一第一電流源用以限制低壓差穩壓器提供至負載的輸出電壓的增壓速度，或/及一第二電流源用以限制低壓差穩壓器提供至負載的輸出電壓的降壓速度。

【0079】 要注意的是，米勒電容器的電容值小於負載的等效電容的電容值且大於第一開關電晶體的控制端子上的寄生電容的電容值。舉例來說，米勒電容器的電容值小於或等於負載的等效電容的電容值的百分之一，且米勒電容器的電容值大於或等於第一開關電晶體的控制端子上的寄生電容的電容值的十倍。

【0080】 在一些實施例中，低壓差穩壓器更於第一開關電晶體的控制端子上具有一主導極點，用以主導低壓差穩壓器的暫態響應。

【0081】 在一些實施例中，當電源電壓(Vcc)約為1.2V且參考電壓約為0.1V時，本揭露的高帶寬LDO可利用具有耐受電壓約為100mV以及電容值約為400pF的米勒電容來確保輸出負載高達50mA。要注意的是，上述第1圖至第6圖中所述的本揭露各實施例的高帶寬LDO可分開當作單一電路，或者可當作電路的一部分，且此電路可與其他電路整合。

【0082】 請參閱第7圖，第7圖為本揭露一些實施例的示範性系統的方塊示意圖，其中於一三維(3D)NAND記憶裝置中使用本揭露的低壓差穩壓器。

【0083】 3D NAND快閃記憶裝置被廣泛地使用於可攜式應用裝置中，例如智慧手機、平板電腦、MP3撥放器、數位相機、筆記型電腦等。由於電池的使用壽命是可攜式裝置的重要因數之一，低功耗設計是必須被考量的。一般來說，3D NAND快閃記憶體接收單一供給電壓例如3.3V或1.8V，而階梯式線性編程操作例如讀取、寫入以及抹除等操作需要寬範圍且高的輸出電壓。典型的NAND快閃記憶體於寫入操作時會消耗大量電流因為多個高電壓產生器同時運行。

【0084】 提供電力至3D NAND快閃記憶體裝置的字元線的一示範性系統被繪示於第7圖中。如第7圖所示，系統700可於一3D NAND記憶電路中包括一振盪器710、一電荷泵720、一低壓差穩壓器730、一字元線(WL)開關740以及一字元線。

【0085】 系統700提供3D NAND快閃記憶裝置寬範圍的輸出電壓以支持階梯式線性編程操作。由於系統700具有被調節的高輸出電壓例如20V且對任意負載電容具有快速上升速度，故電荷泵720可用以將供應電壓提高至較高的電壓。振盪器710可用以產生周期時脈信號並提供驅動信號至電荷泵720。

【0086】 低壓差穩壓器730可為上述第1圖至第6圖中所述的本揭露各LDO中的任一者。低壓差穩壓器730可用以為了階梯式編程脈衝而獲取大電流與低輸出電壓。低壓差穩壓器730的輸出可用以於一3D NAND快閃記憶裝置中進行寫入操作時通過字元線開關740而驅動被選擇的字元線750。

【0087】 本文所敘述的示例(如同“例如”、“如”、“包括”等使用字句)所規定並不應被解釋為將所要求保護的事物限制於具體示例；相反地，這些例

子只是為了描述許多可能方面中的一些。

【0088】 此外，本揭露中使用的 “第一”、“第二” 以及類似的用詞不代表任何順序、數量或重要性，而僅用來區分不同的組成。“包括”或“包含”以及類似的用詞是表示在此用詞之前的元素或事物可以囊括在此用詞之後列出的元素或事物以及其等同物，而不排除其他元素或事物。“連接”或“鏈接”以及類似的用詞不限於物理上或機械上的連接，而是可以包括直接或間接的電性連接。

【0089】 雖然本揭露已於上述各實施例中被描述和說明，但可理解的是，本揭露已被僅由示例的方式進行，但仍可在不偏離本揭露的精神和範圍的前提下對本揭露的實施例的細節進行許多改變，而本揭露的精神和範圍僅由隨後的權利要求限制。本揭露實施例的特徵可以各種方式進行組合和重新排列。在不脫離本揭露的精神和範圍的情況下，對本揭露的修改、等同物或改進等對於本領域技術人員而言是可理解的且是被包括在本揭露的範圍內。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0090】

- 100 低壓差穩壓器
- 102 比較器
- 104 第一開關電晶體
- 106 米勒電容器

- 108 負載
- 200 低壓差穩壓器
- 210 驅動模組
- 300 低壓差穩壓器
- 310 驅動模組
- 400 低壓差穩壓器
- 410 驅動模組
- 500 低壓差穩壓器
- 510 驅動模組
- 600 低壓差穩壓器
- 610 驅動模組
- 700 系統
- 710 振盪器
- 720 電荷泵
- 730 低壓差穩壓器
- 740 字元線開關
- 750 字元線



I668552

【發明摘要】

【中文發明名稱】 低壓差穩壓器

【英文發明名稱】 LOW-DROPOUT REGULATORS

【中文】

一種低壓差穩壓器包括一第一開關電晶體、一比較器以及一米勒電容器。第一開關電晶體的第一端子連接至一負載，而第一開關電晶體的第二端子連接至一電源電壓。比較器的第一輸入端子連接至一參考電壓，比較器的第二輸入端子連接至第一開關電晶體的第一端子，且比較器的輸出端子連接至第一開關電晶體的控制端子。米勒電容器的第一端子連接至第一開關電晶體的控制端子，且米勒電容器的第二端子連接至第一開關電晶體的第一端子以及負載。

【英文】

A low-dropout regulator comprises a first switching transistor, a comparator, and a Miller capacitor. The first terminal of the first switching transistor is connected to a load, and the second terminal of the first switching transistor is connected to a power supply voltage. The first input terminal of the comparator is connected to a reference voltage, the second input terminal of the comparator is connected to the first terminal of the first switching transistor, and the output terminal of the comparator is connected to the control terminal of the first switching transistor. The first terminal of the Miller capacitor is connected to the control terminal of the first switching transistor, and the second terminal of the Miller capacitor is connected to the first terminal of the first switching transistor and the load.

【指定代表圖】第（ 1 ）圖。

【代表圖之符號簡單說明】

- 100 低壓差穩壓器
- 102 比較器
- 104 第一開關電晶體
- 106 米勒電容器
- 108 負載

【特徵化學式】

無

【發明申請專利範圍】

【第1項】 一種低壓差穩壓器，包括：

- 一第一開關電晶體，包括一第一端子、一第二端子以及一控制端子，其中該第一開關電晶體的該第一端子連接至一負載，且該第一開關電晶體的該第二端子連接至一電源電壓；
- 一比較器，包括一第一輸入端子、一第二輸入端子以及一輸出端子，其中該比較器的該第一輸入端子連接至一參考電壓，該比較器的該第二輸入端子直接連接至該第一開關電晶體的該第一端子，且該比較器的該輸出端子連接至該第一開關電晶體的該控制端子；
- 一米勒電容器，包括一第一端子以及一第二端子，其中該米勒電容器的該第一端子連接至該第一開關電晶體的該控制端子，且該米勒電容器的該第二端子連接至該第一開關電晶體的該第一端子以及該負載；以及
- 一驅動模組，包括一輸入以及一輸出，其中該驅動模組的該輸入耦合至該比較器的該輸出端子，且該驅動模組的該輸出耦合至該第一開關電晶體的該控制端子，其中該驅動模組更包括一反相緩衝器，該反相緩衝器包括一輸入端子以及一輸出端子，該反相緩衝器的該輸入端子連接至該比較器的該輸出端子，且該反相緩衝器的該輸出端子連接至該第一開關電晶體的該控制端子。

【第2項】 如請求項1所述之低壓差穩壓器，其中該米勒電容器的電容值係小於該負載的等效電容的電容值並大於該第一開關電晶體的該控制端子上的寄生電容的電容。

【第3項】 如請求項1所述之低壓差穩壓器，其中該第一開關電晶體包括一P型

第 1 頁，共 3 頁(發明申請專利範圍)

通道金屬氧化物半導體場效電晶體。

【第4項】 如請求項1所述之低壓差穩壓器，其中該第一開關電晶體的該第一端子為一非主導極點，而該第一開關電晶體的該控制端子為一主導極點。

【第5項】 一種低壓差穩壓器，包括：

一第一開關電晶體，用以響應一控制信號以控制一電源與該低壓差穩壓器的一負載之間的開關；

一比較器，用以比較該第一開關電晶體的一輸出電壓以及一參考電壓，其中該控制信號是基於該比較器的一輸出信號而產生；

一米勒電容器，包括一第一端子以及一第二端子，其中該米勒電容器的該第一端子連接至該第一開關電晶體的一控制端子，且該米勒電容器的該第二端子連接至該第一開關電晶體的一輸出端子，且該米勒電容器係用以穩定該低壓差穩壓器提供至該負載的一輸出電壓；以及

一驅動模組，用以驅動該比較器的該輸出信號而產生該控制信號，且用以緩衝該控制信號以增加該低壓差穩壓器提供至該負載的該輸出電壓的穩定性，其中該驅動模組包括：一個或多個數位反相器，用以緩衝該比較器的該輸出信號。

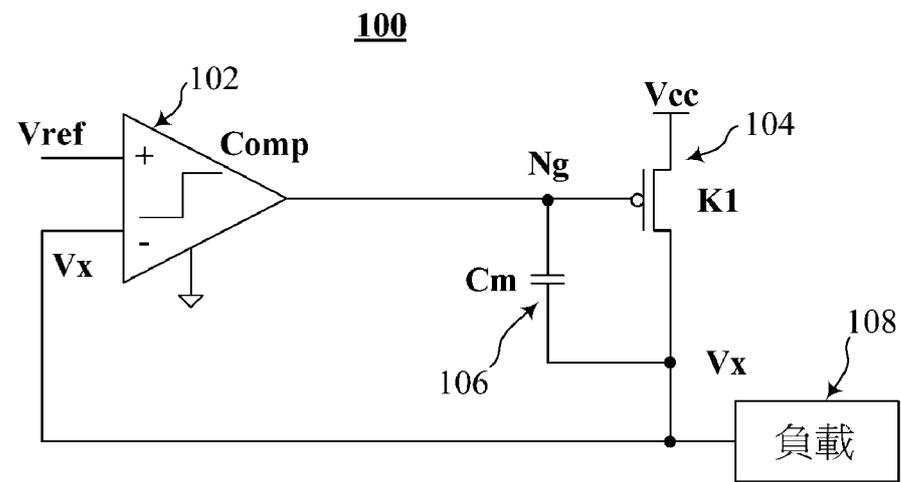
【第6項】 如請求項5所述之低壓差穩壓器，其中該米勒電容器的電容值係小於該負載的等效電容的電容值並大於該第一開關電晶體的該控制端子上的寄生電容的電容值。

【第7項】 如請求項5所述之低壓差穩壓器，更包括：

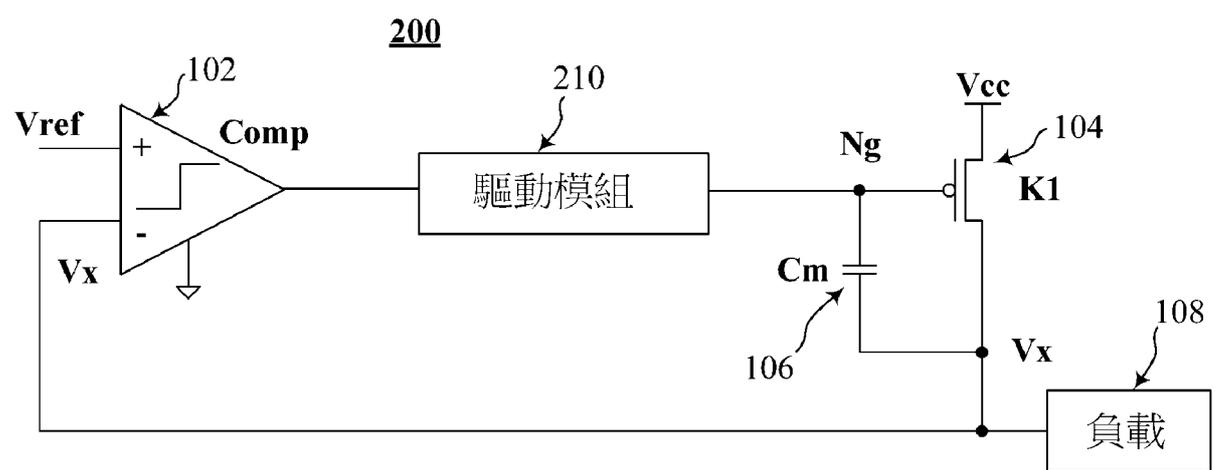
第 2 頁，共 3 頁(發明申請專利範圍)

一主導極點位於該第一開關電晶體的該控制端子，用以主導該低壓差穩壓器的暫態響應。

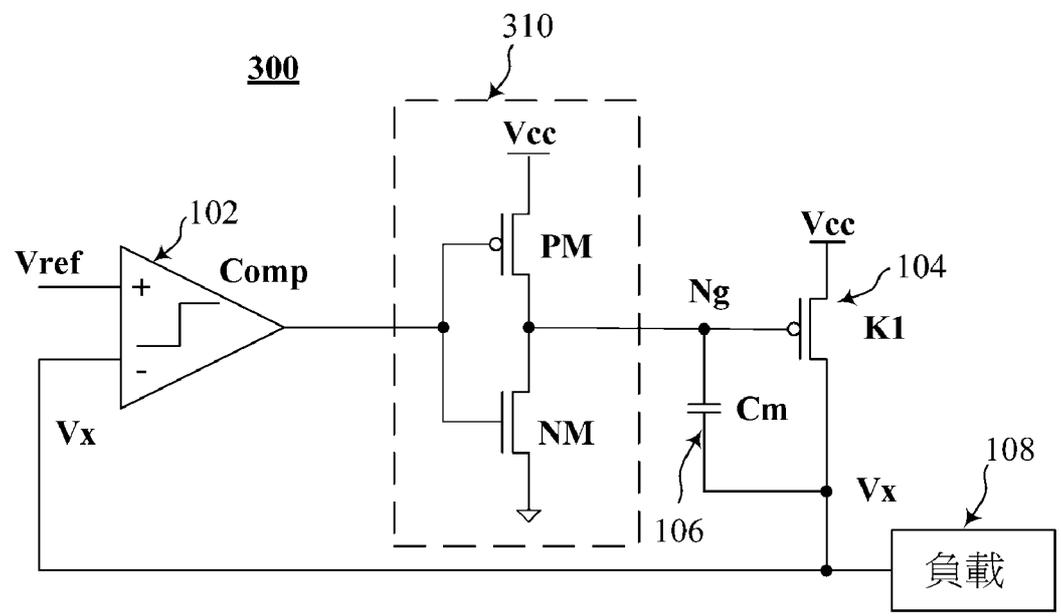
【發明圖式】



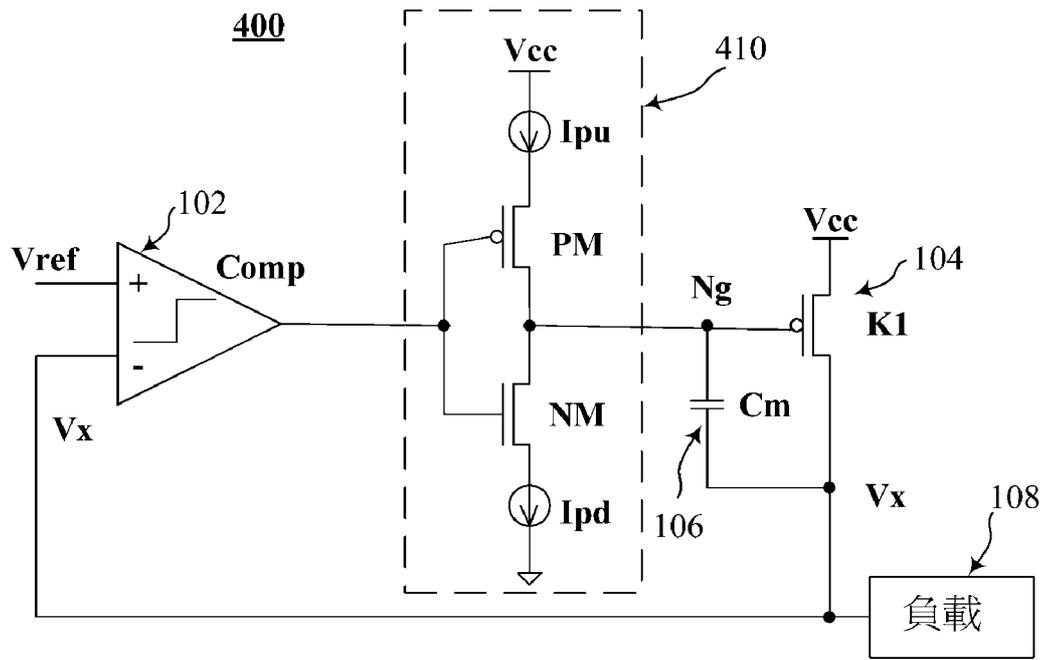
第1圖



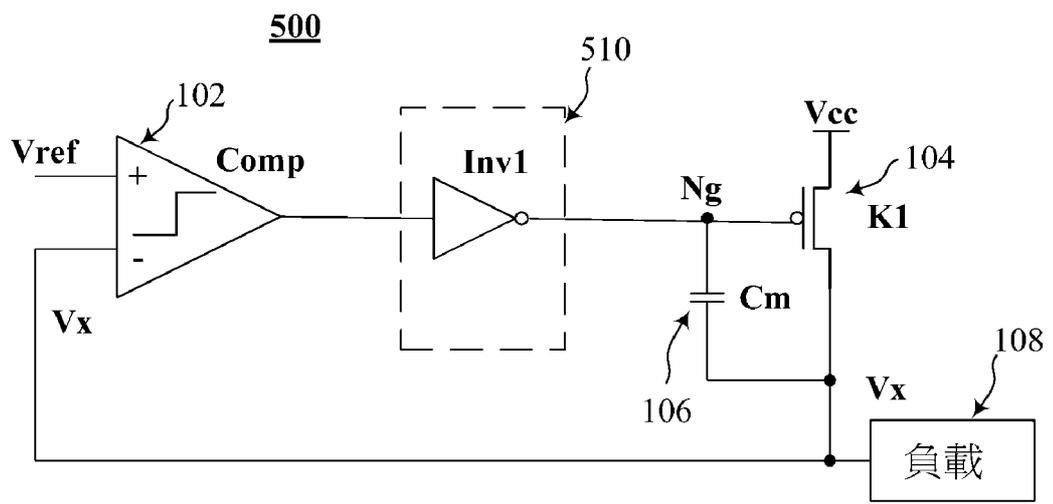
第2圖



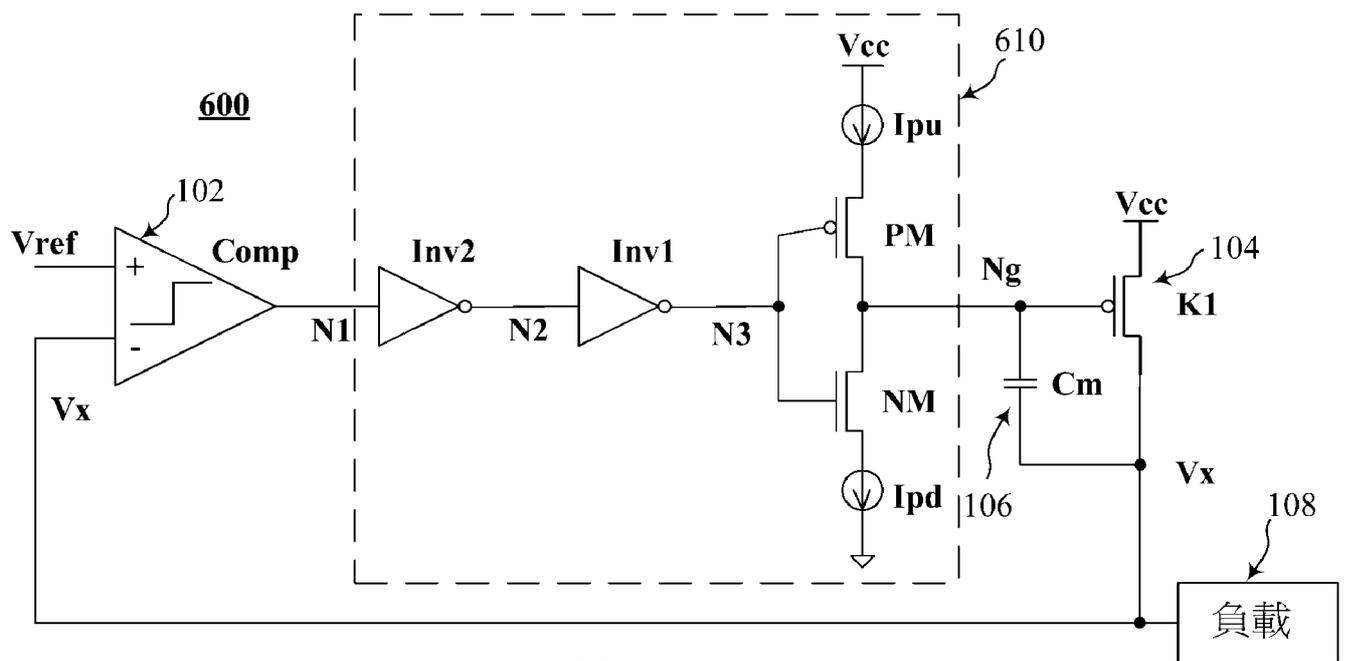
第3圖



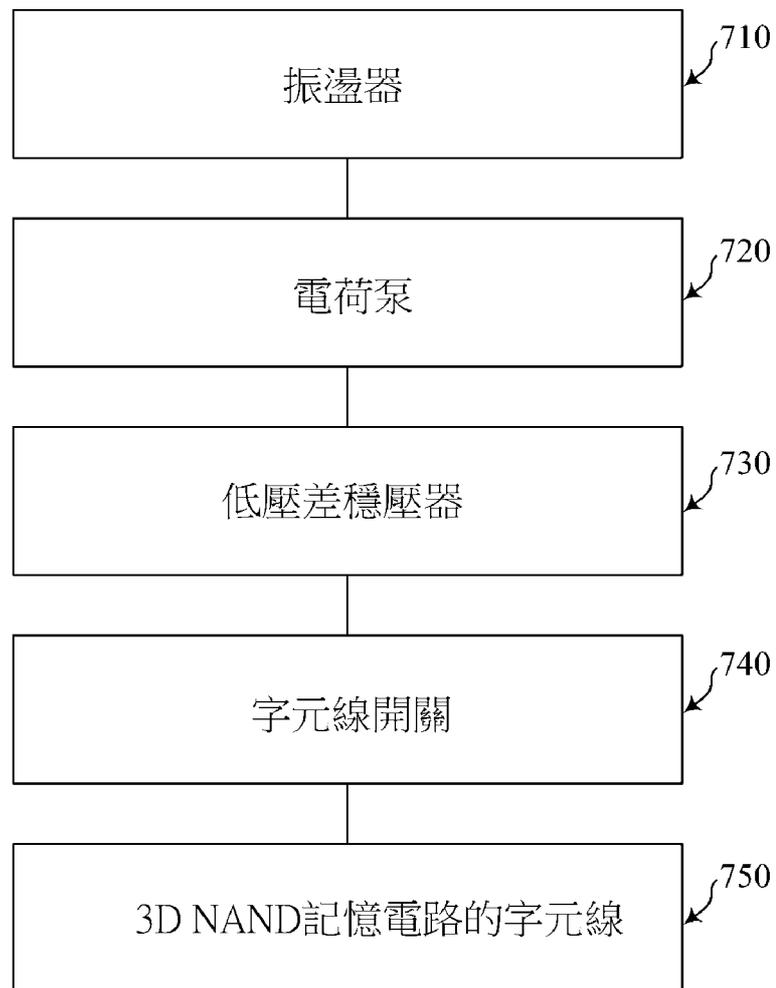
第4圖



第5圖



第6圖

700

第7圖