

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 7 月 4 日 (04.07.2024)



(10) 国际公布号
WO 2024/139792 A1

- (51) 国际专利分类号:
H10K 59/131 (2023.01) **G09F 9/33** (2006.01)
- (21) 国际申请号: PCT/CN2023/131284
- (22) 国际申请日: 2023 年 11 月 13 日 (13.11.2023)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202211676069.7 2022 年 12 月 26 日 (26.12.2022) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省

成都市高新区 (西区) 合作路 1188 号, Sichuan 611731 (CN)。

- (72) 发明人: 方飞 (FANG, Fei); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。刘畅畅 (LIU, Changchang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。卢红婷 (LU, Hongting); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。石领 (SHI, Ling); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。彭博 (PENG, Bo); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路 31 号 11 号楼 8 层, Beijing 100044 (CN)。

(54) Title: DISPLAY PANEL AND DISPLAY DEVICE

(54) 发明名称: 显示面板及显示装置

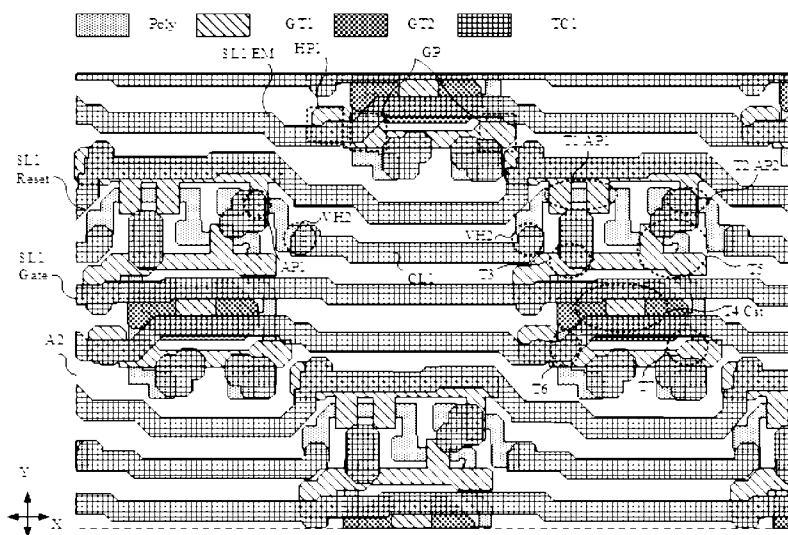


图 20

(57) Abstract: A display panel, comprising a main display area and an auxiliary display area, wherein the main display area surrounds at least a part of the auxiliary display area, and the light transmittance of the main display area is smaller than that of the auxiliary display area. The display panel comprises a plurality of first pixel circuits located in the auxiliary display area, the plurality of first pixel circuits are arranged in a plurality of rows and a plurality of columns, each row of first pixel circuits are arranged in a first direction, and each column of first pixel circuits are arranged in a second direction; and the first direction and the second direction intersect. The display panel comprises: a substrate; a first gate conductive layer located on the substrate, the first pixel circuits comprising gate patterns located on the first gate conductive layer; and a first light-transmitting conductive layer located on the first gate conductive layer and located in the auxiliary display area, the first light-transmitting conductive layer comprising first-type signal lines extending

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

in the first direction, wherein gate patterns of first pixel circuits located in a same row are electrically connected to a first-type signal line by means of a first via hole.

(57) 摘要: 一种显示面板, 具有主显示区和副显示区, 主显示区围绕副显示区的至少一部分, 主显示区的透光率小于副显示区的透光率; 显示面板包括位于副显示区的多个第一像素电路, 多个第一像素电路排列为多行多列, 每行第一像素电路沿第一方向排列, 每列第一像素电路沿第二方向排列; 第一方向和第二方向相交; 显示面板包括: 衬底; 位于衬底上的第一栅导电层, 第一像素电路包括位于第一栅导电层的栅极图案; 位于第一栅导电层上、且位于副显示区的第一透光电层, 第一透光电层包括沿第一方向延伸的第一类信号线; 其中, 位于同一行的各第一像素电路的栅极图案, 通过一个第一过孔, 与第一类信号线电连接。

显示面板及显示装置

本申请要求于 2022 年 12 月 26 日提交的、申请号为 202211676069.7 的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本公开涉及显示技术领域，尤其涉及一种显示面板及显示装置。

背景技术

随着显示技术的发展，具有摄像头的全面屏（Full Display with Camera，简称 FDC）以其具有较大的屏占比的优点，已逐步应用于显示产品中。全面屏显示装置通常将摄像头等光学元件放置于显示面板的屏下区域，极大地提高了屏占比。

发明内容

一方面，提供一种显示面板，包括主显示区和副显示区，所述主显示区围绕所述副显示区的至少一部分，所述主显示区的透光率小于所述副显示区的透光率。所述显示面板包括位于所述副显示区的多个第一像素电路，所述多个第一像素电路排列为多行多列，每行第一像素沿第一方向排列，每列第一像素电路沿第二方向排列；所述第一方向和所述第二方向相交。所述显示面板包括：位于所述衬底上的第一导电层，所述多个第一像素电路包括位于所述第一导电层的导电图案；位于所述第一导电层远离所述衬底的一侧、且位于所述副显示区的第一信号线层，所述第一信号线层包括沿所述第一方向延伸的第一类信号线。其中，沿所述第一方向位于同一行的各第一像素电路的导电图案，通过第一过孔与所述第一类信号线电连接，所述第一过孔位于所述第一像素电路沿所述第一方向的一侧。

在一些实施例中，每个所述第一像素电路通过一个第一过孔与所述第一类信号线电连接，不同第一像素电路的第一过孔都位于所述第一像素电路的同一侧。

在一些实施例中，所述第一导电层为第一栅导电层，所述导电图案为栅极图案，所述第一信号线层为第一透光导电层。

在一些实施例中，所述第一栅导电层包括与所述栅极图案电连接的第一过孔连接部，所述第一过孔暴露所述第一过孔连接部；所述栅极图案通过所述第一过孔连接部与所述第一类信号线电连接。其中，所述第一过孔连接部位于所述第一像素电路所占据区域外的一侧，或者，位于所述第一像素电路所占据区域内。

在一些实施例中，所述第一像素电路所包括的栅极图案的数量为多个，多个所述栅极图案沿所述第一方向排列为多列，沿所述第二方向排列为多行。同一行栅极图案包括至少两个栅极图案，所述至少两个栅极图案通过同一所述第一过孔连接部，与同一条所述第一类信号线电连接。

在一些实施例中，所述至少两个栅极图案，呈一体结构；和/或，所述至少两个栅极图案，及与所述至少两个栅极图案电连接的所述第一过孔连接部，呈一体结构。

在一些实施例中，所述第一类信号线包括栅线、复位信号线和使能信号线中的至少一者。

在一些实施例中，所述第一类信号线在所述副显示区位于同一层且为连续走线，所述第一类信号线在所述衬底的正投影与所述多个第一像素电路中的至少一个第一像素电路在所述衬底的正投影交叠。

在一些实施例中，所述显示面板还包括位于所述主显示区的多个第二像素电路；所述第一栅导电层还包括位于所述主显示区的第二类信号线；所述第二类信号线沿所述第一方向延伸，且与所述多个第二像素电路中的至少部分第二像素电路电连接；传输相同电信号的第一类信号线和第二类信号线电连接。

在一些实施例中，所述显示面板还包括：位于所述第一导电层靠近所述衬底一侧的半导体层；以及，位于所述第一透光导电层远离所述衬底一侧、且位于所述副显示区的第二透光导电层，所述第二透光导电层包括：沿所述第二方向延伸的第四类信号线；所述第一像素电路还包括位于所述半导体层的第三有源图案；其中，位于同一列的各第一像素电路的第三有源图案，通过第三过孔，与所述第四类信号线电连接，所述第三过孔沿所述第二方向位于所述第一像素电路的一侧。

在一些实施例中，每个所述第一像素电路通过一个第三过孔与所述第四类信号线电连接，不同第一像素电路的第三过孔都位于所述第一像素电路的同一侧。

在一些实施例中，所述第四类信号线在所述副显示区位于同一层且为连续走线，所述第四类信号线在所述衬底的正投影与所述多个第一像素电路中的至少一个第一像素电路在所述衬底的正投影交叠。

在一些实施例中，所述半导体层包括与所述第三有源图案的第三过孔连接部，所述第三过孔暴露所述第三过孔连接部，所述第三有源图案通过第三过孔连接部与所述第四类信号线电连接；其中，所述第三过孔连接部位于所述第一像素电路所占据区域外的一侧，或者，位于所述第一像素电路所占据区域内。

在一些实施例中，所述第四类信号线包括数据信号线。

在一些实施例中，所述显示面板还包括：位于第二透光导电层远离所述衬底一侧的第二源漏导电层；所述第二源漏导电层包括：位于所述主显示区的多条第五类信号线；所述多条第五类信号线沿所述第二方向延伸，且与所述多个第二像素电路中的至少部分第二像素电路电连接；所述第五类信号线和所述第四类信号线电连接。

在一些实施例中，所述显示面板还包括：位于所述第一栅导电层远离衬底一侧的第二栅导电层；所述第一像素电路包括位于所述第二栅导电层的电容器图案；所述第一像素电路还包括位于所述半导体层的第四有源图案；所述第二透光导电层还包括：第三连接线；沿所述第二方向，所述第三连接线位于相邻两个第一像素电路之间；所述相邻两个第一像素电路中的一者的第四有源图案，通过一个第四过孔与所述第三连接线的一端电连接；所述相邻两个第一像素电路中的另一者的电容器图案，通过另一个第四过孔与所述第三连接线的另一端电连接。

在一些实施例中，所述显示面板还包括：位于第二透光导电层远离所述衬底一侧的第二源漏导电层；所述第二源漏导电层包括位于所述副显示区的第四连接线；沿所述第二方向，所述第四连接线位于相邻两条第三连接线之间，且连接所述相邻两条第三连接线。

在一些实施例中，沿所述第二方向，多条所述第三连接线和多条所述第四连接线交替设置，且依次连接，被配置为传输第一电压信号。

在一些实施例中，所述显示面板还包括位于主显示区的多个第二像素电路。单位面积内，多个所述第二像素电路所占据的面积，大于多个所述第一像素电路所占据的面积。

另一方面，提供一种显示装置，包括：如上述任一实施例所述的显示面板；以及，位于所述显示面板的非出光侧、且位于所述显示面板的副显示区的光学元件。

附图说明

为了更清楚地说明本公开中的技术方案，下面将对本公开一些实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例的附图，对于本领域普通技术人员来讲，还可以根据这些附图获得其他的附图。此外，以下描述中的附图可以视作示意图，并非对本公开实施例所涉及的产品的实际尺寸等的限制。

- 图 1 为根据本公开的一些实施例中的一种显示装置的结构图；
- 图 2 为根据本公开的一些实施例中的一种显示面板的结构图；
- 图 3 为根据本公开的一些实施例中的一种像素电路的结构图；
- 图 4a 为根据本公开的一些实施例中的另一种显示面板的结构图；
- 图 4b 为根据本公开的一些实施例中的又一种显示面板的结构图；
- 图 5 为根据本公开的一些实施例中的又一种显示装置的结构图；
- 图 6 为根据本公开的一些实施例中的一种显示面板的一些膜层的俯视结构图；
- 图 7 为根据本公开的一些实施例中的一种显示面板的另一些膜层的俯视结构图；
- 图 8 为根据本公开的一些实施例中的又一种显示面板的结构图；
- 图 9a 为一种实现方式中一种显示面板中一些膜层的俯视结构图；
- 图 9b 为一种实现方式中一种显示面板中另一些膜层的剖视结构图；
- 图 10a 为根据本公开的一些实施例中的一种显示面板中一些膜层的俯视结构图；
- 图 10b 为根据本公开的一些实施例中的一种显示面板中另一些膜层的剖视结构图；
- 图 10c 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 10d 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 11 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 12 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 13 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 14 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 15 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 16 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 17 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 18 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 19 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 20 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 21 为根据本公开的一些实施例中的一种显示面板中第三类信号线与初始信号线的连接示意图；
- 图 22 为根据本公开的一些实施例中的一种显示面板中第一类信号线与第二类信号线的连接示意图；
- 图 23 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 24 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 25 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
- 图 26 为根据本公开的一些实施例中的一种显示面板中第四类信号线与第五类信号线的连接示意图；

图 27 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
图 28 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
图 29 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
图 30 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
图 31 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
图 32 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
图 33 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图；
图 34 为根据本公开的一些实施例中的一种显示面板中又一些膜层的俯视结构图。

具体实施方式

下面将结合附图，对本公开一些实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开所提供的实施例，本领域普通技术人员所获得的所有其他实施例，都属于本公开保护的范围。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括 (comprise)”及其其他形式例如第三人称单数形式“包括 (comprises)”和现在分词形式“包括 (comprising)”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例 (one embodiment)”、“一些实施例 (some embodiments)”、“示范性实施例 (exemplary embodiments)”、“示例 (example)”、“特定示例 (specific example)”或“一些示例 (some examples)”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本公开的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

以下，术语“第一”、“第二”仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本公开实施例的描述中，除非另有说明，“多个”的含义是两个或两个以上。

在描述一些实施例时，可能使用了“连接”及其衍伸的表达。术语“连接”应做广义理解，例如，“连接”可以是固定连接，也可以是可拆卸连接，或成一体；可以是直接相连，也可以通过中间媒介间接相连。例如，描述一些实施例时可能使用了术语“连接”以表明两个或两个以上部件彼此间有直接物理接触或电接触。这里所公开的实施例并不必然限制于本文内容。

“A 和/或 B”，包括以下三种组合：仅 A，仅 B，及 A 和 B 的组合。

本文中“适用于”或“被配置为”的使用意味着开放和包容性的语言，其不排除适用于或被配置为执行额外任务或步骤的设备。

如本文所使用的那样，“约”、“大致”或“近似”包括所阐述的值以及处于特定值的可接受偏差范围内的平均值，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。

如本文所使用的那样，“垂直”、“相等”包括所阐述的情况以及与所阐述的情况相近似的情况，该相近似的情况的范围处于可接受偏差范围内，其中所述可接受偏差范围如由本领域普通技术人员考虑到正在讨论的测量以及与特定量的测量相关的误差(即，测量系统的局限性)所确定。例如，“垂直”包括绝对垂直和近似垂直，其中近似垂直的可接受偏差范围

例如也可以是 5% 以内偏差。“相等”包括绝对相等和近似相等，其中近似相等的可接受偏差范围内例如可以是相等的两者之间的差值小于或等于其中任一者的 5%。

应当理解的是，当层或元件被称为在另一层或基板上时，可以是该层或元件直接在另一层或基板上，或者也可以是该层或元件与另一层或基板之间存在中间层。

本文参照作为理想化示例性附图的剖视图和/或平面图描述了示例性实施方式。在附图中，为了清楚，放大了层和区域的厚度。因此，可设想到由于例如制造技术和/或公差引起的相对于附图的形状的变动。因此，示例性实施方式不应解释为局限于本文示出的区域的形状，而是包括因例如制造而引起的形状偏差。例如，示为矩形的蚀刻区域通常将具有弯曲的特征。因此，附图中所示的区域本质上是示意性的，且它们的形状并非旨在示出设备的区域的实际形状，并且并非旨在限制示例性实施方式的范围。

如图 1 所示，本公开的一些实施例提供了一种显示装置 1。该显示装置 1 可以是显示不论运动（例如，视频）还是固定（例如，静止图像）的且不论文字的还是图像的任何显示装置中。更明确地说，预期所述实施例的显示装置可实施应用在多种电子中或与多种电子装置关联，所述多种电子装置例如（但不限于）移动电话、无线装置、个人数据助理（PDA）、手持式或便携式计算机、GPS 接收器/导航器、相机、MP4 视频播放器、摄像机、游戏控制台、手表、时钟、计算器、电视监视器、平板显示器、计算机监视器、汽车显示器（例如，里程表显示器等）、导航仪、座舱控制器和/或显示器、相机视图的显示器（例如，车辆中后视相机的显示器）、电子相片、电子广告牌或指示牌、投影仪、建筑结构、包装和美学结构（例如，对于一件珠宝的图像的显示器）等。

在一些示例中，上述显示装置 1 例如可以是 OLED（Organic Light Emitting Diode，有机发光二极管）显示装置。

示例性的，显示装置 1 包括：框架、显示驱动 IC（Integrated Circuit，集成电路）以及其他电子配件等。

在一些示例中，如图 1 所示，上述显示装置 1 还包括：显示面板 10。

示例性的，如图 2 所示，上述显示面板 10 包括：衬底 20、设置在衬底 20 一侧的多个像素电路 30、设置在该多个像素电路 30 远离衬底 20 一侧的多个发光器件 40。

图 2 中 Z 方向为衬底 20 的厚度方向。

示例性的，上述衬底 20 可以为柔性衬底，也可以为刚性衬底。

例如，在衬底 20 为柔性衬底的情况下，衬底 20 的材料可以为二甲基硅氧烷、PI（Polyimide，聚酰亚胺）、PET（Polyethylene terephthalate，聚对苯二甲酸乙二醇酯）等具有高弹性的材料。

又如，在衬底 20 为刚性衬底的情况下，衬底 20 的材料可以为玻璃等。

在一些示例中，上述多个像素电路 30 分别与上述多个发光器件 40 电连接。

例如，上述多个像素电路 30 和多个发光器件 40 可以一一对应电连接。又如，一个像素电路 30 和多个发光器件 40 电连接，或者，多个像素电路 30 可以与一个发光器件 40 电连接。

下面，本公开以一个像素电路 30 与一个发光器件 40 电连接为例，对显示面板 10 的结构进行示意性说明。

示例性的，显示面板 10 中，各发光器件 40 可以在相应的像素电路 30 的驱动作用下发出光，多个发光器件 40 发出的光相互配合，从而使得显示面板 10 实现显示功能。

例如，发光器件 40 可以包括依次层叠设置的阳极、发光功能层、阴极等。其中，发光功能层可以包括发光层。可选地，发光功能层还可以包括空穴注入层、空穴传输层、电子传输层和电子注入层中的至少一者。

通过给发光器件 40 的阴极施加公共电压，并利用相应的像素电路 30 给发光器件 40 的阳极施加驱动电压，便可以在阳极和阴极之间形成电场，该电场可以驱动载流子（也即空穴和电子）在发光层中复合，从而使得发光器件 40 发光。

在一些示例中，像素电路 30 的结构包括多种，可以根据实际需要选择设置。例如，像素电路 30 的结构可以包括“6T1C”、“7T1C”、“6T2C”或“7T2C”等结构。此处，“T”表示为晶体管，位于“T”前面的数字表示为晶体管的数量，“C”表示为存储电容器，位于“C”前面的数字表示为存储电容器的数量。

示例性的，本公开中以像素电路 30 的结构为“7T1C”结构为例进行说明。其中，图 3 示意出了像素电路 30 的一种等效电路图。

可以理解的是，在像素电路 30 工作的过程中，需要信号线为其提供相应的电信号。

示例性的，显示面板 10 还包括：多条栅线 Gate、多条数据线 Data、多条复位信号线 Reset、多条第一电压信号线 VDD、多条初始信号线 Vinit、以及多条使能信号线 EM。其中，栅线 Gate 用于传输扫描信号，数据线 Data 用于传输数据信号，复位信号线 Reset 用于传输复位信号，第一电压信号线 VDD 用于传输第一电压信号，初始信号线 Vinit 用于传输初始信号，使能信号线 EM 用于传输使能信号。

例如，上述多条栅线 Gate、多条复位信号线 Reset、多条初始信号线 Vinit、多条使能信号线 EM 可以均沿第一方向 X 延伸，上述多条第一电压信号线 VDD、多条数据线 Data 可以沿第二方向 Y 延伸。例如，第一方向 X 与第二方向 Y 相互垂直。

示例性的，显示面板 10 还包括：多条第二电压信号线 VSS，第二电压信号线 VSS 用于传输第二电压信号，该第二电压信号例如为公共电压信号。

示例性的，如图 3 所示，像素电路 30 包括：第一复位晶体管 T1、第二复位晶体管 T2、开关晶体管 T3、驱动晶体管 T4、补偿晶体管 T5、第一发光控制晶体管 T6、第二发光控制晶体管 T7 和存储电容器 Cst。

示例性的，如图 3 所示，第一复位晶体管 T1 的栅极与复位信号线 Reset 电连接，第一复位晶体管 T1 的第一极与初始信号线 Vinit 电连接，第一复位晶体管 T1 的第二极与第四节点 N4 电连接，也即与补偿晶体管 T5 的第二极电连接。其中，第一复位晶体管 T1 被配置为，在复位信号线 Reset 所传输的复位信号的控制下导通，将在初始信号线 Vinit 处接收的第一初始信号传输至第四节点 N4，对第四节点 N4 进行复位。

示例性的，如图 3 所示，第二复位晶体管 T2 的栅极与复位信号线 Reset 电连接，第二复位晶体管 T2 的第一极与初始信号线 Vinit 电连接，第二复位晶体管 T2 的第二极与第一节点 N1 电连接，也即与发光器件 40 电连接。其中，第二复位晶体管 T2 被配置为，在复位信号线 Reset 所传输的复位信号的控制下导通，将在初始信号线 Vinit 处接收的初始信号传输至第一节点 N1，对第一节点 N1 进行复位。

示例性的，如图 3 所示，开关晶体管 T3 的栅极与栅线 Gate 电连接，开关晶体管 T3 的第一极与数据线 Data 电连接，开关晶体管 T3 的第二极与第二节点 N2 电连接，也即与驱动晶体管 T4 的第一极电连接。其中，开关晶体管 T3 被配置为，在栅线 Gate 所传输的扫描信号的控制下导通，将在数据线 Data 处接收的数据信号传输至第二节点 N2。

示例性的,如图3所示,驱动晶体管T4的栅极与第四节点N4电连接,驱动晶体管T4的第一极与第二节点N2电连接,驱动晶体管T4的第二极与第三节点N3电连接。其中,驱动晶体管T4被配置为,在第四节点N4的电压的控制下导通,将来自第二节点N2的信号(例如为数据信号)传输至第三节点N3。

示例性的,如图3所示,补偿晶体管T5的栅极与栅线Gate电连接,补偿晶体管T5的第一极与第三节点N3电连接,也即与驱动晶体管T4的第二极电连接,补偿晶体管T5的第二极与第四节点N4电连接,也即与驱动晶体管T4的栅极电连接。其中,补偿晶体管T5被配置为,在栅线Gate所传输的扫描信号的控制下导通,将来自第三节点N3的电信号(例如为数据信号)传输至第四节点N4。

示例性的,如图3所示,第一发光控制晶体管T6的栅极与使能信号线EM电连接,第一发光控制晶体管T6的第一极与第一电压信号线VDD电连接,第一发光控制晶体管T6的第二极与第二节点N2电连接。其中,第一发光控制晶体管T6被配置为,在使能信号线EM所传输的使能信号的控制下导通,将在第一电压信号线VDD处接收的电压信号传输至第二节点N2。

示例性的,如图3所示,第二发光控制晶体管T7的栅极与使能信号线EM电连接,第二发光控制晶体管T7的第一极与第三节点N3电连接,第二发光控制晶体管T7的第二极与第一节点N1电连接。其中,第二发光控制晶体管T7被配置为,在使能信号线EM所传输的使能信号的控制下导通,将来自第三节点N3的电信号(例如电压信号)传输至第一节点N1。

示例性的,如图3所示,存储电容器Cst的第二极(或称第二极板)与第四节点N4电连接,存储电容器Cst的第一极(或称第一极板)与第一电压信号线VDD电连接。

示例性的,像素电路30的工作过程包括依次进行的复位阶段、数据写入及补偿阶段、发光阶段。

例如,在复位阶段,在复位信号的控制下,第一复位晶体管T1导通,将第一初始信号传输至第四节点N4,对第四节点N4进行复位。由于第四节点N4与存储电容器Cst的第一极、驱动晶体管T4的栅极及补偿晶体管T5的第二极电连接,因此,在对第四节点N4复位时,便可以同步对存储电容器Cst的第一极、驱动晶体管T4的栅极及补偿晶体管T5的第二极进行复位。其中,驱动晶体管T4可以在初始信号的控制下导通。其次,在复位信号的控制下,第二复位晶体管T2在复位信号的控制下导通,第二复位晶体管T2将始信号传输至第一节点N1,对第一节点N1进行复位。由于第一节点N1与发光器件40的阳极电连接,因此,在对第一节点N1进行复位时,便可以同步对发光器件40的阳极进行复位。

例如,在数据写入及补偿阶段,开关晶体管T3在扫描信号的控制下导通,补偿晶体管T5在扫描信号的控制下导通。开关晶体管T3将数据信号传输至第二节点N2,驱动晶体管T4将来自第二节点N2的数据信号传输至第三节点N3。补偿晶体管T5将来自第三节点N3的数据信号传输至第四节点N4,对驱动晶体管T4进行充电,直至完成对驱动晶体管T4的阈值电压的补偿。

例如,在发光阶段,第一发光控制晶体管T6和第二发光控制晶体管T7在使能信号的控制下同时导通。第一发光控制晶体管T6将电压信号传输至第二节点N2。驱动晶体管T4将来自第二节点N2的电压信号传输至第三节点N3。第二发光控制晶体管T7将来自第三节点N3的电压信号传输至第一节点N1。

发光器件 40 在来自第一节点 N1 的电压信号和来自公共电压线 VSS 的公共电压的作用下发光。

在一些实施例中，如图 4a 及图 4b 所示，显示面板 10 具有显示区 A 及周边区 B。

例如，周边区 B 可以位于显示区 A 的周边。周边区 B 可以用于设置移位寄存器，为显示区 A 提供所需电信号等。

示例性的，显示区 A 包括主显示区 A1 和副显示区 A2，主显示区 A1 围绕副显示区 A2 的至少一部分。

例如，如图 4a 所示，沿第一方向 X，副显示区 A2 可以位于主显示区 A1 的中部。或者，如图 4b 所示，沿第一方向 X，副显示区 A2 可以位于主显示区 A1 的一侧。

示例性的，上述显示面板 10 位于主显示区 A1 的部分和位于副显示区 A2 的部分均可以用来进行画面显示。

示例性的，主显示区 A1 的透光率小于副显示区 A2 的透光率。

在一些示例中，如图 5 所示，显示装置 1 还包括：位于显示面板 10 的非出光侧、且位于显示面板 10 的副显示区 A2 的光学元件 50。

示例性的，显示面板 10 的出光侧为显示面板 10 显示画面的一侧，显示面板 10 的非出光侧指的是，与显示面板 10 出光侧相背的一侧。

在一些示例中，上述光学元件 50 位于副显示区 A2。这样外界光线便可以穿过显示面板 10 中位于副显示区 A2 的部分，入射至光学元件 50，被光学元件 50 采集，进而使得光学元件 50 能够正常工作。

示例性的，上述光学元件 50 可以为摄像头、指纹识别传感器以及红外传感器等。

本公开实施例以光学元件 50 为摄像头为例。

示例性的，在摄像头进行工作的过程中，外界光线可以穿过显示面板 10 中位于副显示区 A2 的部分。这样摄像头便可以采集该光线，实现拍照的功能。例如，在摄像头工作（例如用户自拍）的情况下，上述副显示区 A2 可以呈现黑色画面，主显示区 A1 呈现用户自拍的画面，较为明确的显示出摄像头所在位置。或者，主显示区 A1 和副显示区 A2 整体呈现用户自拍的画面，未显示出摄像头所在位置。

示例性的，在摄像头未进行工作的情况下，显示面板 10 位于主显示区 A1 和副显示区 A2 的部分均能够进行显示，使得显示面板 10 及显示装置 1 整体能够显示图像。

示例性的，在副显示区 A2 进行显示的情况下，光学元件 50 也可以进行工作。

通过对显示面板 10 的位于副显示区 A2 的部分的透光率进行设置，并将光学元件 50 设置在副显示区 A2，既可以确保光学元件 50 能够正常工作，又能够提高显示面板 10 及显示装置 1 的显示面积，提高屏占比。

在一些示例中，如图 6 及图 7 所示，显示面板 10 包括：依次层叠设置在上述衬底 20 一侧的半导体层 Poly、第一栅导电层 GT1、第二栅导电层 GT2、第一源漏导电层 SD1 和阳极层 AND。

当然，显示面板 10 还可以包括设置第一源漏导电层 SD1 和阳极层 AND 之间的第二源漏导电层。

例如，半导体层 Poly 和第一栅导电层 GT1 之间可以设置有第一栅绝缘层，第一栅导电层 GT1 和第二栅导电层 GT2 之间可以设置有第二栅绝缘层，第二栅导电层 GT2 与第一源漏导电层之间可以设置层间介质层，第一源漏导电层 SD1 和第二源漏导电层之间可以设

置平坦层，第二源漏导电层和阳极层 AND 之间可以设置有钝化层等。

例如，第一绝缘层 GI1 和第二绝缘层 GI2 的材料可以为氧化硅、氮化硅、氮氧化硅等。

例如，钝化层的材料可以为绝缘材料，例如氧化硅、氮化硅、氮氧化硅等。

为方便看出其他膜层的图案结构，未示意出第一绝缘层、第二绝缘层、层间介质层、钝化层等。

示例性的，半导体层 Poly 的材料可以包括非晶硅、单晶硅、多晶硅或金属氧化物半导体材料。

示例性的，第一栅导电层 GT1、第二栅导电层 GT2、第一源漏导电层 SD1、第二源漏导电层均为可导电材料。第一栅导电层 GT1 和第二栅导电层 GT2 的材料例如可以相同，第一源漏导电层 SD1 和第二源漏导电层的材料例如可以相同。

例如，第一栅导电层 GT1、第二栅导电层 GT2、第一源漏导电层 SD1 或第二源漏导电层 SD2 的材料可以为金属材料，该材料例如为 Al（铝）、Ag（银）、Cu（铜）、Cr（铬）、钼（Mo）、钛（Ti）中的一种或多种的组合。

需要说明的是，半导体层 Poly 在衬底 20 上的正投影，与第一栅导电层 GT1 在衬底上的正投影具有交叠。其中，在半导体层 Poly 远离衬底的一侧形成第一栅导电层 GT1 后，可以以第一栅导电层 GT1 为掩膜，对半导体层 Poly 进行掺杂处理，使得半导体层 Poly 中被第一栅导电层 GT1 覆盖的部分，形成各晶体管的有源图案（也即沟道区），使得半导体层 Poly 中未被第一栅导电层 GT1 覆盖的部分，形成导体，该导体可以作为各晶体管的栅极或第二极。第一栅导电层 GT1 与半导体层 Poly 交叠的部分，形成各晶体管的栅极图案（也即栅极）。

可以理解的是，上述第一源漏导电层 SD1、第二源漏导电层 SD2 与半导体成 Poly、第一栅导电层 GT1、第二栅导电层 GT2 形成多个像素电路 30。

示例性的，像素电路 30 所包括的各晶体管及存储电容器之间的相对位置关系如图 6 所示。第一发光控制晶体管 T6 和第二发光控制晶体管 T7 沿第一方向 X 依次设置，第一复位晶体管 T1、开关晶体管 T3 和第一发光控制晶体管 T6 沿第二方向 Y 依次设置，第二复位晶体管 T2 和第二发光控制晶体管 T7 沿第二方向 Y 依次设置。

设定垂直于显示面板 10 的衬底 20 且沿第一方向 X 的面为第一参考面，在向第一参考面的正投影中，驱动晶体管 T4 位于补偿晶体管 T5 和开关晶体管 T3 之间；设定垂直于显示面板 10 的衬底 20 且沿第二方向 Y 的面为第二参考面，在向第二参考面的正投影中，驱动晶体管 T4 位于开关晶体管 T3 和第一发光控制晶体管 T6 之间。

沿第二方向 Y，第二复位晶体管 T2 还位于驱动晶体管 T4 远离第二发光控制晶体管 T7 的一侧。其中，存储电容器 Cst 的位置，与驱动晶体管 T4 的位置相同。

采用上述设置方式，可以使得像素电路 30 的排布较为规整，便于显示面板 10 的制备。

在一些示例中，如图 8 所示，显示面板 10 包括位于副显示区 A2 的多个第一像素电路 31，多个第一像素电路 31 排列为多行多列，每行第一像素电路 31 沿第一方向 X 排列，每列第一像素电路 31 沿第二方向 Y 排列；显示面板 10 还包括位于主显示区 A1 的多个第二像素电路 32；多个第二像素电路 32 排列为多行多列，每行第二像素电路 32 沿第一方向 X 排列，每列第二像素电路 32 沿第二方向 Y 排列。

可以理解的是，第一像素电路 31 和第二像素电路 32 的电路结构可以均为上述“7T1C”结构。

示例性的，第一方向 X 和第二方向 Y 相交。

例如，第一方向 X 与第二方向 Y 的夹角为 85° 、 90° 、 95° 等。

为方便描述，本公开中的实施例以第一方向 X 与第二方向 Y 的夹角为 90° 为例进行说明。

示例性的，多个第一像素电路 31 与多个第二像素电路 32 呈阵列排布。

例如，一行像素电路 30 中，可以全部为第一像素电路 31。

又如，一行像素电路 30 中的多个像素电路，可以部分像素电路为第一像素电路 31，另一部分像素电路为第二像素电路 32。

示例性的，相邻两个第一像素电路 31 之间存在间隙，外界光线可以从上述间隙射入光学元件 50，从而使得光学元件 50 可以采集到足够的光线，从而实现拍照功能等。

示例性的，如图 2 所示，多个发光器件 40 包括多个第一发光器件 41 和多个第二发光器件 42。

例如，多个第二发光器件 42 位于主显示区 A1，多个第一发光器件 41 位于副显示区 A2。

例如，多个第一发光器件 41 与多个第一像素电路 31 电连接，多个第二发光器件 42 与多个第二像素电路 32 电连接。

为了提高副显示区的透光率，如图 7 所示，一般设置第一发光器件的阳极 AD' 覆盖与其电连接的第一像素电路。由于像素电路制备工艺的限制，该第一像素电路无法完全隐藏在相应的阳极 AD' 之下。外界光线从相邻两个第一像素电路之间的间隙入射至光学元件的过程中，外界光线会在上述间隙周围的第一像素电路中金属结构（例如第一栅导电层等）上发生衍射等，从而容易影响光学元件采集光线，使得光学元件出现严重的拍照衍射现象。且相邻两个第一像素电路之间的间隙较小，使得副显示区的透光率较低，影响光学元件的光线采光量，进而影响光学元件的功能。

为此，本公开的一些实施例，如图 8 所示，设置单位面积内，多个第二像素电路 32 所占据的面积，大于多个第一像素电路 31 所占据的面积。例如，单位面积内的第一像素电路 31 的数量，和单位面积内第二像素电路 32 的数量相同，而单个第二像素电路 32 所占据的面积，大于单个第一像素电路 31 所占据的面积。相对于主显示区 A1，对位于副显示区 A2 的像素电路的面积进行了压缩，因此，相邻两个第一像素电路 31 之间的间隙较大，从而使得副显示区 A2 的透光率得到提高，从而可以增加光学元件 50 的采光量，进而可以提高光学元件 50 的拍照质量。此外，上述设置方式，可以增大第一像素电路 31 隐藏于相应的第一发光器件的阳极下的面积占第一像素电路 31 总面积的占比，减小第一像素电路 31 暴露于上述阳极外的面积占第一像素电路 31 总面积的占比，从而降低外界光线入射至光学元件 50 的过程中拍照衍射的概率，有效地缓解光学元件发生拍照衍射的现象。

在一种实现方式中，如图 6 所示，显示面板 10 还包括：位于第一栅导电层 GT1 上、且位于副显示区 A2 的第一透光导电层（图 6 中未示出）。

例如，第一透光导电层位于第一栅导电层 GT1 上的钝化层远离衬底一侧的表面上。

可以理解的是，在第一栅导电层 GT1 远离衬底的一侧依次层叠的膜层可以有第二绝缘层、第二栅导电层、层间介质层、第一源漏导电层 SD1、钝化层、第一透光导电层。

第一透光导电层的材料具有透光性能，也具有导电性能。

例如，第一透光导电层 TC1 的材料可以为 ITO（Indium Tin Oxide，氧化铟锡）。

在一些示例中，上述第一像素电路 31（参考图 8）包括位于第一栅导电层 GT1 的栅极图案 GP。

例如，栅极图案 GP 形成上述第一像素电路 31 中晶体管的栅极。晶体管的栅极与信号线连接。

在另一种实现方式中，副显示区 A2 中相邻两个第一像素电路 31 之间的间隙用于透光。一条信号线（例如上文中提到的栅线、复位信号线、使能信号线等，该一条信号线与一行第一像素电路中的多个第一像素电路电连接）中，位于相邻两个第一像素电路之间的部分可以由透光导电材料形成的连接线组成，采用透光导电的连接线实现该信号线在一行第一像素电路之间的连接，从而增加副显示区的透光率。

以上述信号线为栅线为例，该栅线与像素电路的栅极图案连接。例如，如图 9a 所示，可以在第一透光导电层 TC1' 设置上述连接线 CL'。而如图 9b 所示，由于第一像素电路的栅线及栅极图案位于第一栅导电层 GT1'，连接线 CL' 位于第一透光导电层 TC1'，栅极图案 GP' 与连接线 CL' 位于不同的膜层，连接线 CL' 需要通过过孔与栅线及栅极图案 GP' 实现电连接（如图 9b 所示，为方便看出栅极图案与连接线的电连接，图 9b 中仅示意出了第一透光导电层 TC1' 与栅极图案 GP' 之间的钝化层 PVX，图 9b 为沿栅线或连接线 CL' 的延伸方向剖开所得到的剖视图）。由此，在一行第一像素电路中，每个第一像素电路所占据区域的两侧（例如沿该第一像素电路所在行方向的相对两侧）需要各设置一个过孔即共两个过孔 VH'，实现栅线及栅极图案 GP' 与连接线 CL' 的连接。

然而，上述设置，使得位于副显示区的过孔数量较多，进而使得外界光线入射至光学元件的过程中，容易在上述多个过孔发生衍射，从而影响光学元件的采光，进而使得光学元件容易出现拍照衍射等不良现象。此外，由于过孔 VH' 占据了相邻两个第一像素电路之间的间隙 GA' 的面积，也即占据了副显示区中用于外界光线的入射透光的区域，使得副显示区的透光面积较小，副显示区的透光率较低，从而使得光学元件的采光量较少，影响光学元件的功能。以 LTPS（low temperature poly-silicon，低温多晶硅）类型的像素电路为例，在像素密度为 400PPI（Pixels Per Inch，像素密度）的情况下，副显示区的透光面积比（或者称为开口率，指的是透光区域的面积与副显示区 A2 的面积之比）约为 48.3%。

本公开的一些实施例提供了一种显示面板 10，如图 10a 及图 10b 所示，显示面板 10 还包括：位于衬底上的第一导电层 CT，多个第一像素电路 31 包括位于第一导电层 CT 的导电图案 CW。

在一些示例中，显示面板 10 还包括：位于第一导电层 CT 远离衬底的一侧、且位于副显示区 A2 的第一信号线层 SN，第一信号线层 SN 包括沿第一方向 X 延伸的第一类信号线 SL1。

示例性的，第一类信号线 SL1 用于传输电信号。

在一些示例中，沿第一方向 X 位于同一行的各第一像素电路 31 的导电图案 CW，通过第一过孔 VH1 与第一类信号线 SL1 电连接，第一过孔 VH1 位于第一像素电路 31 沿第一方向 X 的一侧。

例如，与每个第一像素电路 31 的导电图案 CW 对应的第一过孔 VH1，位于相应的第一像素电路 31 沿第一方向 X 的相对两侧中的一侧。

示例性的，如图 10b 所示，上述第一过孔 VH1 指的是，为实现导电图案 CW 与第一类信号线 SL1 的电连接，而形成的贯穿第一信号线层 SN 与第一导电层 CT 之间的膜层（例

如，图 10b 中的钝化层 PVX、层间介质层 ILD 等）的过孔。由于打孔工艺的限制以及膜层厚度的限制，第一过孔 VH1 可以由沿 Z 方向依次连接的多个子孔组成，各个子孔大致为同心设置，或者各个子孔之间相互错开。各个子孔分别位于不同的膜层，各个子孔内形成有导电转接块，导电转接块延伸至相应子孔所在膜层的上表面（例如，图 10b 中采用第一源漏导电层 SD1 的材料形成导电转接块），各个导电转接块穿过各个子孔，实现导电图案 CP 与第一类信号线 SL1 的电连接。

本公开的一些实施例，通过设置位于副显示区 A2 的第一信号线层 SN，第一信号线层 SN 包括第一类信号线 SL1，第一类信号线 SL1 沿第一方向 X 延伸，且位于副显示区 A2 的同一行第一像素电路 31 的导电图案 CW 通过一个第一过孔 VH1 与第一类信号线 SL1 电连接，第一过孔 VH1 位于第一像素电路 31 沿第一方向 X 的一侧，从而使得一个第一像素电路 31 所占据区域的周边或内部的第一过孔 VH1 的数量较少，相比于一种实现方式中，每个第一像素电路 31 所占据区域的周边或内部的第一过孔 VH1 的数量减少，从而使得副显示区 A2 内的过孔数量减少，从而缓解了外界光线在入射至光学元件 50 的过程中发生衍射的现象，在一定程度上避免了光学元件 50 发生的拍照衍射现象。此外，上述第一过孔 VH1 数量减少了，从而可以使得副显示区 A2 中相邻两个第一像素电路 31 之间的间隙 GA 较大，也就是说，原用于形成第一过孔 VH1 的区域可以用作外界光线的入射透过区域，也即透光区，使得副显示区 A2 中的透光面积增大，从而使得副显示区 A2 的透光率增大，保证光学元件 50 的光线采集量。以 LTPS 类型的像素电路为例，在像素密度为 400PPI 的情况下，副显示区 A2 的透光面积比（或者称为开口率，指的是透光区域的面积与副显示区 A2 的面积之比）约为 52.5%，副显示区 A2 的透光面积比增加了 4.2%，明显增加了副显示区 A2 的透光面积，且缓解了光学元件的拍照衍射现象。

在一些实施例中，每个第一像素电路 31 通过一个第一过孔 VH1 与第一类信号线 SL1 电连接。可以理解的是，第一过孔 VH1 与相应的第一像素电路 31 的相对位置关系有多种，可以根据实际需要进行设置，本公开对此不作限制。

例如，同一行第一像素电路 31 中，每个第一像素电路 31 所对应的第一过孔 VH1 可以位于各第一像素电路 31 沿第一方向 X 的不同侧。

又如，同一行第一像素电路 31 中，不同第一像素电路 31 所对应的第一过孔 VH1 都位于第一像素电路 31 的同一侧。

采用上述设置方式，可以使得显示面板中第一过孔 VH1 的排布较为规整，进而可以降低显示面板的制备难度。

在一些实施例中，上述第一导电层 CT 包括第一栅导电层 GT1，上述导电图案 CP 包括栅极图案 GP，上述第一信号线层 SN 包括第一透光导电层 TC1。

例如，第一透光导电层 TC1 的材料具有透光性能，也具有导电性能。第一透光导电层 TC1 的材料可以为 ITO（Indium Tin Oxide，氧化铟锡）。

例如，一条第一类信号线 SL1 与一行第一像素电路 31 电连接。

例如，一条第一类信号线 SL1 与相应的一行第一像素电路 31 的栅极图案 GP 电连接，并向相应的一行第一像素电路 31 传输电信号。

在一些实施例中，如图 10a 及图 10b 所示，第一类信号线 SL1 在副显示区 A2 位于同一层且为连续走线，第一类信号线 SL1 在衬底的正投影与多个第一像素电路 31 中的至少一个第一像素电路 31 在衬底的正投影交叠。

示例性的，第一类信号线 SL1 由大致沿第一方向的一整体的、未断开的条状图案形成的。第一类信号线 SL1 的整体均位于副显示区内的同一层，均位于第一透光导电层 TC1。由此，可以简化显示面板的制备工艺。

例如，一条第一类信号线 SL1 的一部分位于相邻两个第一像素电路 31 之间的间隙，该第一类信号线 SL1 的另一部分覆盖相应的第一像素电路 31 的一部分。

例如，一条第一类信号线 SL1 在衬底 20 上的正投影，与相应的一行第一像素电路 31 中的每个第一像素电路 31 在衬底 20 上的正投影，均部分交叠。

在一些实施例中，如图 10b、图 10c、图 10d 所示，第一栅导电层 GT1 包括与栅极图案 GP 电连接的第一过孔连接部 HP1，第一过孔 VH1 暴露第一过孔连接部 HP1；栅极图案 GP 通过第一过孔连接部 HP1 与第一类信号线 SL1 电连接。

例如，第一过孔连接部 HP1 与栅极图案 GP 同层同材料。

例如，第一过孔 VH1 可以暴露第一过孔连接部 HP1 的一部分。

示例性的，第一过孔连接部 HP1 位于与其连接的栅极图案 GP 所在的第一像素电路 31 所占据区域外的一侧，或者，位于与其连接的栅极图案 GP 所在的第一像素电路 31 所占据区域内。

图 10c 中，虚线方框 PP 所划定的区域为第一像素电路 31 所占据的区域。

例如，第一过孔连接部 HP1 位于第一像素电路 31 所占据区域外的周边区域。

又如，第一过孔连接部 HP1 在衬底 20 上的正投影，位于第一像素电路 31 在衬底 20 上的正投影的范围之内。由此，可以减少第一过孔所占据的副显示区 A2 中透光区域的面积，从而使得副显示区 A2 的透光区域的面积较大，从而可以增大副显示区 A2 的透光率，增加光学元件 50 的采光量，保证光学元件 50 的正常工作。

例如，第一类信号线 SL1 可以覆盖相应的第一过孔 VH1 的至少一部分。

采用上述设置方式，通过一个第一过孔连接部 HP1 实现栅极图案 GP 与第一类信号线 SL1 电连接，可以避免由于栅极图案 GP 在衬底上正投影的相对位置的限制，从而避免使得第一类信号线 SL1 在衬底上正投影需要与栅极图案 GP 在衬底上正投影存在部分交叠，或避免使得第一类信号线 SL1 在衬底上正投影需要位于栅极图案 GP 在衬底上正投影的周边，以方便该栅极图案 GP 与该第一类信号线 SL1 的电连接。在第一透光导电层 TC1 上的第一类信号线 SL1 的数量较多的情况下，上述设置方式，可以方便地排布第一透光导电层 TC1 上的多条第一类信号线 SL1 的相对位置，避免相邻的第一类信号线 SL1 之间的间距较小而使得该相邻的第一类信号线 SL1 上的电信号之间发生干扰，从而可以提高第一类信号线 SL1 所传输的电信号的准确性，进而提高显示面板 10 所显示画面的显示质量。

可以理解的是，图 11 示意出了副显示区 A2 中半导体层 Poly、第一栅导电层 GT1、第二栅导电层 GT2、第一源漏导电层 SD1、第二源漏导电层 SD2 及阳极层 AND 依次层叠设置后的俯视结构。图 12 示意出了副显示区 A2 中半导体层 Poly 的俯视结构。图 13 示意出了副显示区 A2 中半导体层 Poly 与第一栅导电层 GT1 依次层叠设置后的俯视结构。图 14 示意出了副显示区 A2 中第一栅导电层 Gate1、第二栅导电层 Gate2 依次层叠设置后的俯视结构。图 15 示意出了副显示区 A2 中半导体层 Poly、第一栅导电层 Gate1、第二栅导电层 Gate2、层间介质层 ILD（图 15 中仅示意出了副显示区 A2 中层间介质层 ILD 上的过孔的位置）依次层叠设置后的俯视结构。图 16 示意出了副显示区 A2 中层间介质层 ILD（图 16 中仅示意出了副显示区 A2 中层间介质层 ILD 上的过孔的位置）、第一源漏导电层 SD1 依

次层叠设置后的俯视结构。图 17 示意出了副显示区 A2 中第一源漏导电层 SD1、钝化层 PVX（图 17 中仅示意出了副显示区 A2 中钝化层 PVX 上的过孔的位置）依次层叠设置后的俯视结构。图 18 示意出了副显示区 A2 中钝化层 PVX（图 18 中仅示意出了副显示区 A2 中钝化层 PVX 上的过孔的位置）、第一透光导电层 TC1 依次层叠设置后的俯视结构。图 19 示意出了副显示区 A2 中第一源漏导电层 SD1、钝化层 PVX（图 19 中仅示意出了副显示区 A2 中钝化层 PVX 上的过孔的位置）、第一透光导电层 TC1 依次层叠设置后的俯视结构。

当然，半导体层 Poly 位于衬底的一侧。在衬底和第一透光导电层 TC1 之间还可以有其他膜层，可以根据实际需要进行设置，本公开对此不作限制。

在一些实施例中，如图 13 及图 20 所示，第一像素电路 31 所包括的栅极图案 GP 的数量为多个，多个栅极图案 GP 沿第一方向 X 排列为多列，沿第二方向 Y 排列为多行。

例如，多个栅极图案 GP 呈阵列状排布。

例如，一个第一像素电路 31 包括多个晶体管，每个晶体管具有至少一个栅极图案 GP。

示例性的，如图 20 所示，同一行栅极图案 GP 包括至少两个栅极图案 GP，至少两个栅极图案 GP 与同一条第一类信号线 SL1 电连接。

例如，位于同一行的至少两个晶体管的栅极图案 GP，也位于同一行。在至少两个晶体管在同一个电信号的控制下开启或关闭的情况下，该至少两个晶体管的栅极图案 GP 可以连接同一条信号线，例如连接同一条第一类信号线 SL1。

例如，同一行栅极图案 GP 包括两个栅极图案 GP，两个栅极图案 GP 之间可以相互电连接，该两个栅极图案 GP 与同一条第一类信号线 SL1 电连接。

又如，同一行栅极图案 GP 包括四个栅极图案，该四个栅极图案 GP 可以相互电连接。该四个栅极图案 GP 与同一条第一类信号线 SL1 电连接。

采用上述设置方式，可以使得同一行的多个栅极图案 GP 均与第一类信号线 SL1 电连接，从而可以减少第一过孔 VH1 的数量，从而可以减少外界光线入射至光学元件 50 的过程中在第一过孔 VH1 处发生衍射的现象，进而避免影响光学元件 50 的功能。

在一些实施例中，如图 14 及图 20 所示，至少两个栅极图案 GP 通过同一第一过孔连接部 HP1，与第一类信号线 SL1 电连接。

例如，位于同一行的两个栅极图案 GP 之间可以相互电连接，两个栅极图案 GP 中的一个可以与第一过孔连接部 HP1 电连接，从而使得该两个栅极图案 GP 通过一个过孔连接部 HP1 与同一条第一类信号线 SL1 电连接，从而可以减少第一过孔 VH1 的数量，从而可以减少外界光线入射至光学元件 50 的过程中在第一过孔 VH1 处发生衍射的现象，进而避免影响光学元件 50 的功能。

又如，位于同一行的四个栅极图案 GP 之间可以相互电连接，四个栅极图案 GP 中的一个可以与第一过孔连接部 HP1 电连接，从而使得该四个栅极图案 GP 通过一个过孔连接部 HP1 与同一条第一类信号线 SL1 电连接从而可以减少第一过孔 VH1 的数量，从而可以减少外界光线入射至光学元件 50 的过程中在第一过孔 VH1 处发生衍射的现象，进而避免影响光学元件 50 的功能。

在一些实施例中，如图 14 所示，上述至少两个栅极图案 GP，呈一体结构；和/或，上述至少两个栅极图案 GP，及与至少两个栅极图案 GP 电连接的第一过孔连接部 HP1，呈一体结构。

例如，位于同一行的两个栅极图案 GP，呈一体结构。

又如，位于同一行的四个栅极图案 GP，呈一体结构。

例如，位于同一行的两个栅极图案 GP，及与该两个栅极图案 GP 电连接的第一过孔连接部 HP1，呈一体结构。

又如，位于同一行的四个栅极图案 GP，及与该四个栅极图案 GP 电连接的第一过孔连接部 HP1，呈一体结构。

上述一体结构指的是，相连接的两个图案同层设置，且该两个图案是连续的，未分隔开。由此，可以简化第一像素电路 31 及显示面板 10 的结构、制备工艺。

在一些实施例中，如图 18 及图 20 所示，第一类信号线 SL1 包括上述栅线 Gate、复位信号线 Reset 和使能信号线 EM 中的至少一者。

例如，上述第一类信号线 SL1 包括栅线 Gate。上述栅极图案 GP 可以为补偿晶体管 T5 的栅极图案和开关晶体管 T3 的栅极图案。

又如，上述第一类信号线 SL1 包括复位信号线 Reset。上述栅极图案 GP 可以为第一复位晶体管 T1 的栅极图案和第二复位晶体管 T2 的栅极图案。

又如，上述第一类信号线 SL1 包括使能信号线 EM。上述栅极图案 GP 可以为第一发光控制晶体管 T6 的栅极图案和第二发光控制晶体管 T7 的栅极图案。

又如，上述第一类信号线 SL1 包括栅线 Gate 和复位信号线 Reset。

又如，上述第一类信号线 SL1 包括栅线 Gate 和使能信号线 EM。

又如，上述第一类信号线 SL1 包括复位信号线 Reset 和使能信号线 EM。

又如，上述第一类信号线 SL1 包括栅线 Gate、复位信号线 Reset 和使能信号线 EM。

采用上述设置方式，可以使得栅线 Gate、复位信号线 Reset 和使能信号线 EM 中的至少一者，与一行第一像素电路 31 通过一个第一过孔 VH1 实现电连接，从而使得副显示区 A2 内的过孔数量减少，从而缓解了外界光线在入射至光学元件 50 的过程中发生衍射的现象，在一定程度上避免了光学元件 50 发生的拍照衍射现象。此外，上述第一过孔 VH1 数量减少了，从而可以使得副显示区 A2 中相邻两个第一像素电路 31 之间的间隙增大，也就是说，原用于形成第一过孔 VH1 的区域可以用作外界光线的入射透过区域，也即透光区域的面积增大，使得副显示区 A2 中的透光面积增大，从而使得副显示区 A2 的透光率增大，保证光学元件 50 的光线采集量。

在一些实施例中，如图 22 所示，第一栅导电层 GT1 还包括位于主显示区 A1 的第二类信号线 SL2。第二类信号线 SL2 沿第一方向 X 延伸，且与多个第二像素电路中的至少部分第二像素电路 32 电连接（图 22 中虚线框示意的是第二像素电路 32 所在的区域）。

例如，第二类信号线 SL2 与多个第二像素电路 32 中的一行第二像素电路 32 电连接。

在一些示例中，传输相同电信号的第一类信号线 SL1 和第二类信号线 SL2 电连接，且两者所对应的各第一像素电路 31 和各第二像素电路 32 位于同一行。

例如，第二类信号线 SL2 向相应的同一行第二像素电路 32 传输的电信号的类型可以为扫描信号、复位信号或使能信号。

在一些示例中，传输扫描信号的第二类信号线 SL2，与传输扫描信号的第一类信号线 SL1 电连接。且该第二类信号线 SL2 所对应的第二像素电路 32，与该第一类信号线 SL1 所对应的第一像素电路 31，位于同一行。由此，可以向第一类信号线 SL1 和第二类信号线 SL2 中的一者输入电信号，即可使得第一类信号线 SL1 和第二类信号线 SL2 向同一行像素

电路 30 传输相同的电信号，从而可以简化显示面板 10 的设计。

可以理解的是，图 22 仅示意出了第一栅导电层 GT1 的三条第二类信号线 SL2，以及第一透光导电层 TC1 的三条第一类信号线 SL1，图 22 中第二类信号线 SL2 的图案形状仅为示意，第二类信号线 SL2 的图案形状有多种，本公开的一些实施例对此不作限制。

在一些实施例中，如图 12 及图 20 所示，第一像素电路 31 还包括位于半导体层 Poly、且沿第一方向 X 间隔排列的第一有源图案 AP1 和第二有源图案 AP2。

可以理解的是，半导体层 Poly 位于衬底 20 和第一栅导电层 GT1 之间。

例如，上述第一有源图案 AP1 和第二有源图案 AP2 之间具有间隙，未进行电连接。

在一些示例中，如图 18~图 20 及图 23 所示，第一透光导电层 TC1 还包括：第一连接线 CL1；沿第一方向 X，第一连接线 CL1 位于相邻两个第一像素电路 31 之间。

例如，第一连接线 CL1 沿第一方向 X 延伸。

在一些示例中，上述相邻两个第一像素电路 31 中的一者的第一有源图案 AP1，通过一个第二过孔 VH2 与第一连接线 CL1 的一端电连接。相邻两个第一像素电路 31 中的另一者的第二有源图案 AP2，通过另一个第二过孔 VH2 与第一连接线 CL1 的另一端电连接。

在一些实施例中，如图 16~图 17 所示，第一源漏导电层 SD1 包括位于副显示区 A2 的第二连接线 CL2。如图 19 所示，沿第一方向 X，第二连接线 CL2 位于相邻两条第一连接线 CL1 之间，且连接相邻两条第一连接线 CL1。

如图 33 所示，第一源漏导电层 SD1 位于第二栅导电层 GT2 和第一透光导电层 TC1 之间。

例如，第二连接线 CL2 大致沿第一方向 X 延伸。

例如，如图 19 所示，第一连接线 CL1 可以通过位于钝化层 PVX 上的过孔 VH 与第二连接线 CL2 连接。

采用上述设置方式，可以使得相邻的两个第一连接线 CL1 连接在一起，可以使得与一行第一像素电路 31 相连接多个第一连接线 CL1 通过第二连接线 CL2 相互连接在一起，可以更加方便地将第一连接线 CL1 上的信号传输至相应的一行第一像素电路 31 上，可以简化显示面板 10 的设计，避免向同一行第一连接线中的各个第一连接线 CL1 分别输送电信号。

在一些实施例中，如图 19 所示，沿第一方向 X，多条第一连接线 CL1 和多条第二连接线 CL2 交替设置，且依次连接，形成初始信号线 Vinit。

例如，初始信号线 Vinit 沿第一方向 X 延伸。

例如，初始信号线 Vinit 与一行第一像素电路 31 电连接，并向一行第一像素电路 31 传输初始信号。

例如，在多条第一连接线 CL1 和多条第二连接线 CL2 依次连接，形成初始信号线 Vinit 的情况下，上述第一有源图案 AP1 可以为第一复位晶体管 T1 的有源图案，上述第二有源图案 AP2 可以为第二复位晶体管 T2 的有源图案，初始信号线 Vinit 通过第一有源图案 AP1 向第一复位晶体管 T1 传输初始信号，通过第二有源图案 AP2 向第二复位晶体管 T2 传输初始信号。

在一些实施例中，如图 21 所示，第二栅导电层 GT2 包括：位于主显示区 A1 的多条第三类信号线 SL3。多条第三类信号线 SL3 沿第一方向 X 延伸；且与位于同一行的各第二像素电路 32 电连接。

例如，上述第二导电层 GT2 位于第一栅导电层 GT1 和第一透光导电层 TC1 之间。

示例性的，第三类信号线 SL3 和初始信号线 Vinit 电连接，且两者所对应的各第一像素电路 31 和各第二像素电路 32 位于同一行（图 21 中的虚线框示意的是第一像素电路和第二像素电路的位置）。

例如，第三类信号线 SL3 用于向一行第二像素电路 32 传输初始信号，该第三类信号线 SL3 与初始信号线 Vinit 电连接，从而使得显示面板 10 中同一行像素电路 30 所接收的初始信号相同，使得同一行像素电路 30 所对应的发光器件 40 在发光前的初始状态相同，从而使得显示面板 10 能够正常显示画面。

可以理解的是，图 21 仅示意出了第二栅导电层 GT2 的两条第三类信号线 SL3，以及两条初始信号线 Vinit，图 21 中第三类信号线 SL3 的图案形状仅为示意，第三类信号线 SL3 的图案形状有多种，本公开对此不作限制。

在一些实施例中，如图 24、图 25 及图 27 所示，显示面板 10 还包括：位于第一透光导电层 TC1 上、且位于副显示区 A2 的第二透光导电层 TC2，第二透光导电层 TC2 包括：沿第二方向 Y 延伸的第四类信号线 SL4。

可以理解的是，如图 23 及图 24 所示，第二透光导电层 TC2 与第一透光导电层 TC1 之间设置有第一平坦层 PLN1。

示例性的，第二透光导电层 TC2 的材料具有透光性能，也具有导电性能。

例如，第一透光导电层 TC1 和第二透光导电层 TC2 的材料可以相同。

例如，第二透光导电层 TC1 的材料可以为 ITO（Indium Tin Oxide，氧化铟锡）。

在一些示例中，如图 12 及图 29 所示，第一像素电路 31 还包括位于半导体层 Poly 的第三有源图案 AP3。其中，位于同一列的各第一像素电路 31 的第三有源图案 AP3，通过第三过孔 VH3，与第四类信号线 SL4 电连接。第三过孔 VH3 位于第一像素电路 31 沿第二方向 Y 的一侧。

在一些实施例中，每个第一像素电路 31 通过一个第三过孔 VH3 与第四类信号线 SL4 电连接，可以理解的是，第三过孔 VH3 与相应的第一像素电路 31 的相对位置关系有多种，可以根据实际需要进行设置，本公开对此不作限制。

例如，同一列第一像素电路 31 中，不同第一像素电路 31 所对应的第三过孔 VH3 可以位于各第一像素电路 31 沿第二方向 Y 的不同侧。

又如，同一列第一像素电路 31 中，不同第一像素电路 31 所对应的第三过孔 VH3 都位于第一像素电路 31 沿第二方向 Y 的同一侧。

采用上述设置方式，可以使得显示面板中第三过孔 VH3 的排布较为规整，进而可以降低显示面板的制备难度。

例如，一条第四类信号线 SL4 与一列第一像素电路 31 电连接。

在一些示例中，第四类信号线 SL4 在副显示区 A2 位于同一层且为连续走线，第四类信号线 SL4 在衬底的正投影与多个第一像素电路 31 中的至少一个第一像素电路 31 在衬底的正投影交叠。

例如，第四类信号线 SL4 在衬底的正投影与一个第一像素电路 31 在衬底的正投影交叠。

又如，第四类信号线 SL4 在衬底的正投影与多个第一像素电路 31 在衬底的正投影交叠。

例如，如图 29 所示，上述第四类信号线 SL4 的一部分位于一系列第一像素电路 31 中相邻两个第一像素电路 31 之间的间隙，另一部分覆盖相应的第一像素电路 31。

示例性的，第四类信号线 SL4 由大致沿第二方向 Y 的一整体的、未断开的条状图案形成的。第四类信号线 SL4 的整体均位于副显示区内的同一层，均位于第二透光导电层 TC2。由此，可以简化显示面板的制备工艺。

示例性的，如图 29 所示，上述第三过孔 VH3 指的是，为实现第三有源图案 AP3 与第四类信号线 SL4 的电连接，而形成的贯穿第二透光导电层 TC2 与半导体层 Poly 之间的膜层（例如，第一平坦层 PLN1、钝化层 PVX、层间介质层 ILD、第二绝缘层、第一绝缘层等）的过孔。由于打孔工艺的限制以及膜层厚度的限制，第三过孔 VH3 可以由沿 Z 方向依次连接的多个子孔组成，各个子孔大致为同心设置，或者各个子孔之间相互错开。各个子孔分别位于不同的膜层，各个子孔内形成有导电转接块，导电转接块延伸至相应子孔所在膜层的上表面（例如，可以采用第一源漏导电层的材料形成导电转接块），各个导电转接块穿过各个子孔，实现第三有源图案 AP3 与第四类信号线 SL4 的电连接。

例如，一条第四类信号线 SL4 在衬底 20 上的正投影，与相应的一系列第一像素电路 31 中的每个第一像素电路 31 在衬底 20 上的正投影，均部分交叠。

本公开的一些实施例，通过设置位于副显示区 A2 的第二透光导电层 TC2，第二透光导电层 TC2 包括第四类信号线 SL4，第四类信号线 SL4 沿第二方向 Y 延伸，且位于副显示区 A2 的同一列第一像素电路 31 的第三有源图案 AP3 通过一个第三过孔 VH3 与第四类信号线 SL4 电连接，从而使得一个第一像素电路 31 所占据区域的周边或内部的第四类信号线 SL4 的数量较少，相比于一种实现方式中，每个第一像素电路 31 所占据区域的周边或内部的第四类信号线 SL4 的数量减少，从而使得副显示区 A2 内的过孔数量减少，从而缓解了外界光线在入射至光学元件 50 的过程中发生衍射的现象，在一定程度上减低了光学元件 50 发生拍照衍射的现象。此外，上述第四类信号线 SL4 数量减少了，从而可以使得副显示区 A2 中相邻两个第一像素电路 31 之间的间隙增大，也就是说，原用于形成第一过孔 VH1 的区域可以用作外界光线的入射透过区域，也即透光区，使得副显示区 A2 中的透光面积增大，从而使得副显示区 A2 的透光率增大，保证光学元件 50 的光线采集量。

可以理解的是，图 20 示意出了副显示区 A2 中半导体层 Poly、第一栅导电层 Gate1、第二栅导电层 Gate2 及第一透光导电层 TC1 依次层叠设置后的俯视结构。图 23 示意出了副显示区 A2 中第一透光导电层 TC1、第一平坦层 PLN1（图 23 中仅示意出了副显示区 A2 中第一平坦层 PLN1 上的过孔的位置）依次层叠设置后的俯视结构。图 24 示意出了副显示区 A2 中第一平坦层 PLN1（图 24 中仅示意出了副显示区 A2 中第一平坦层 PLN1 上的过孔的位置）及第二透光导电层 TC2 依次层叠设置后的俯视结构。图 25 示意出了副显示区 A2 中第二透光导电层 TC2 的俯视结构。图 27 示意出了副显示区 A2 中第二透光导电层 TC2 及第二平坦层 PLN2（图 27 中仅示意出了副显示区 A2 中第二平坦层 PLN2 上的过孔的位置）依次层叠设置后的俯视结构。图 28 示意出了副显示区 A2 中第二源漏导电层 SD2 的俯视结构。图 29 示意出了副显示区 A2 中半导体层 Poly、第一栅导电层 Gate1、第二栅导电层 Gate2、第二透光导电层 TC2 及第二源漏导电层 SD2 依次层叠设置后的俯视结构。图 30 示意出了副显示区 A2 中第二源漏导电层 SD2、第三平坦层 PLN3（图 30 中仅示意出了副显示区 A2 中第三平坦层 PLN3 上的过孔的位置）依次层叠设置后的俯视结构。图 31 示意出了副显示区 A2 中第二透光导电层 TC2、第二源漏导电层 SD2 及第三平坦层 PLN3

(图 31 中仅示意出了副显示区 A2 中第三平坦层 PLN3 上的过孔的位置)依次层叠设置后的俯视结构。图 33 示意出了副显示区 A2 中半导体层 Poly、第一栅导电层 Gate1、第二栅导电层 Gate2、第一源漏导电层 SD1、第一透光导电层 TC1、第二透光导电层 TC2 及第二源漏导电层 SD2 依次层叠设置后的俯视结构。图 34 示意出了副显示区 A2 中阳极层 AND 的俯视结构。

上述第一平坦层 PLN1、第二平坦层 PLN2 和第三平坦层 PLN3 的材料可以相同。

示例性的,第一平坦层 PLN1 的材料可以为绝缘材料,例如氧化硅、氮化硅、氮氧化硅等。

例如,在第一透光导电层 TC1 远离衬底的一侧依次层叠的膜层可以有第一平坦层 PLN1、第二透光导电层 TC2、第二平坦层 PLN2、第二源漏导电层 SD2、第三平坦层 PLN3 及阳极层 AND。

当然,在衬底和阳极层 AND 之间还可以有其他膜层,可以根据实际需要进行设置,本公开对此不作限制。

在一些实施例中,如图 12 及图 29 所示,半导体层 Poly 包括与第三有源图案 AP3 连接的第三过孔连接部 HP3,第三过孔 VH3 暴露第三过孔连接部 HP3,第三有源图案 AP3 通过第三过孔连接部 HP3 与第四类信号线 SL4 电连接。

其中,第三过孔连接部 HP3 位于第一像素电路 31 所占据区域外的一侧,或者,位于第一像素电路 31 所占据区域内。

例如,第三过孔 VH3 可以暴露第三过孔连接部 HP3 的一部分。

例如,第三有源图案 AP3 与第三过孔连接部 HP3 同层同材料。

例如,第三过孔连接部 HP3 位于与其电连接的第三有源图案 AP3 所在的第一像素电路 31 所占据区域外的周边区域。

又如,第三过孔连接部 HP3 在衬底 20 上的正投影,位于与其电连接的第三有源图案 AP3 所在的第一像素电路 31 在衬底 20 上的正投影的范围之内。由此,可以减少第三过孔 VH3 所占据的副显示区 A2 中透光区域的面积,从而使得副显示区 A2 的透光区域的面积较大,从而可以增大副显示区 A2 的透光率,增加光学元件 50 的采光量,保证光学元件 50 的正常工作。

例如,第四类信号线 SL4 覆盖上述第三过孔 VH3。

采用上述设置方式,通过一个第三过孔连接部 HP3 实现第三有源图案 AP3 与第四类信号线 SL4 电连接,可以避免由于第三有源图案 AP3 在衬底上正投影的相对位置的限制,从而避免使得第四类信号线 SL4 在衬底上正投影需要与第三有源图案 AP3 在衬底上正投影存在部分交叠,或避免使得第四类信号线 SL4 在衬底上正投影需要位于第三有源图案 AP3 在衬底上正投影的周边,以方便该第三有源图案 AP3 与该第四类信号线 SL4 的电连接。

并且,在第二透光导电层 TC2 上的第四类信号线 SL4 的数量较多的情况下,可以方便地排布第二透光导电层 TC2 上的多条第四类信号线 SL4 的相对位置,通过一个第三过孔连接部 HP3 实现第三有源图案 AP3 与第四类信号线 SL4 电连接,可以避免相邻的第四类信号线 SL4 之间的间距较小而使得该相邻的第四类信号线 SL4 上的电信号之间发生干扰,从而可以提高第四类信号线 SL4 所传输的电信号的准确性,进而提高显示面板 10 所显示画面的显示质量。

在一些实施例中，如图 25 所示，第四类信号线 SL4 包括数据信号线 Data。

例如，数据信号线 Data 与一列第一像素电路 31 电连接，并向该列第一像素电路 31 传输数据信号。

例如，如图 33 所示，在第四类信号线 SL4 包括数据信号线 Data 的情况下，上述第三有源图案 AP3 可以为第一像素电路 31 中开关晶体管 T3 的有源图案。

采用上述设置方式，可以使数据信号线 Data，与一列第一像素电路 31 通过一个第三过孔 VH3 实现电连接，从而使得副显示区 A2 内的过孔数量减少，从而缓解了外界光线在入射至光学元件 50 的过程中发生衍射的现象，在一定程度上避免了光学元件 50 发生的拍照衍射现象。此外，上述第三过孔 VH3 数量减少了，从而可以使得副显示区 A2 中相邻两个第一像素电路 31 之间的间隙增大，也就是说，原用于形成第三过孔 VH3 的区域可以用作外界光线的入射透过区域，也即透光区域的面积增大，使得副显示区 A2 中的透光面积增大，从而使得副显示区 A2 的透光率增大，保证光学元件 50 的光线采集量。

在一些实施例中，如图 26 所示，第二源漏导电层 SD2 包括：位于主显示区 A1 的多条第五类信号线 SL5。多条第五类信号线 SL5 沿第二方向 Y 延伸；且与位于同一列的各第二像素电路 32 电连接。

例如，多条第五类信号线 SL5 间隔排布。

例如，第五类信号线 SL5 与一列第二像素电路 32 电连接（图 26 中虚线框表示第二像素电路所在的区域）。在第四类信号线 SL4 包括数据信号线的情况下，第五类信号线 SL5 向与其电连接的一列第二像素电路 32 传输数据信号。

在一些示例中，第五类信号线 SL5 和第四类信号线 SL4 电连接，且两者所对应的各第一像素电路 31 和各第二像素电路 32 位于同一列。由此，可以向第四类信号线 SL4 和第五类信号线 SL5 中的一者输入电信号例如数据信号，即可利用第四类信号线 SL4 和第五类信号线 SL5 向同一行像素电路 30 传输相同的电信号，从而可以简化显示面板 10 的设计。

可以理解的是，图 26 仅示意出了第二源漏导电层 SD2 的两条第五类信号线 SL5，以及第二透光导电层 TC2 的两条第四类信号线 SL4，图 26 中第五类信号线 SL5 的图案形状仅为示意，第五类信号线 SL5 的图案形状有多种，本公开对此不作限制。

在一些实施例中，如图 14 所示，第一像素电路 31 包括位于第二栅导电层 GT2 的电容器图案 CP。

在一些示例中，如图 12 所示，第一像素电路 31 还包括位于半导体层 Poly 的第四有源图案 AP4。

在一些示例中，如图 25、图 29 及图 33 所示，第二透光导电层 TC2 还包括：第三连接线 CL3；沿第二方向 Y，第三连接线 CL3 位于相邻两个第一像素电路 31 之间。

示例性的，相邻两个第一像素电路 31 中的一者的第四有源图案 AP4，通过一个第四过孔 VH4 与第三连接线 CL3 的一端电连接。相邻两个第一像素电路 31 中的另一者的电容器图案 CP，通过另一个第四过孔 VH4 与第三连接线 CL3 的另一端电连接。

示例性的，第三连接线 CL3 沿第二方向 Y 延伸。

采用第三连接线 CL3 将第一像素电路 31 的第四有源图案 AP4，和沿第二方向 Y 上与上述第一像素电路 31 相邻的第一像素电路 31 的电容器图案 CP 连接在一起，由于第三连接线 CL3 为透光材料，可以使得沿第二方向 Y 上相邻两个第一像素电路 31 之间的间隙的透光率较高，从而使得副显示区 A2 的透光率较高，从而使得光学元件 50 可以获得足量的

光线,从而提高拍照质量。此外,上述设置还可以使得第一像素电路 31 中的第四有源图案 AP4 和电容器图案 CP 均与第三连接线 CL3 电连接,从而使得第四有源图案 AP4 和电容器图案 CP 分别接收第三连接线 CL3 上的电信号,使得第四有源图案 AP4 和电容器图案 CP 接收来自第三连接线 CL3 上相同的电信号。

在一些实施例中,如图 28~图 31 所示,第二源漏导电层 SD2 包括位于副显示区 A2 的第四连接线 CL4。沿第二方向 Y,第四连接线 CL4 位于相邻两条第三连接线 CL3 之间,且连接相邻两条第三连接线 CL3。

例如,第四连接线 CL4 沿第二方向 Y 延伸。

例如,第三连接线 CL3 可以通过过孔与第四连接线 CL4 连接。

采用上述设置方式,可以使得相邻的两个第三连接线 CL3 连接在一起,可以使得与一系列第一像素电路 31 相连接多个第三连接线 CL3 通过第四连接线 CL4 相互连接在一起,可以更加方便地将第三连接线 CL3 上的信号传输至相应的一系列第一像素电路 31 上,可以简化显示面板 10 的设计,避免向同一列第一连接线中的各个第三连接线 CL3 分别输送电信号。

在一些实施例中,如图 31 所示,沿第二方向 Y,多条第三连接线 CL3 和多条第四连接线 CL4 交替设置,且依次连接,被配置为传输第一电压信号。

例如,上述多条第三连接线 CL3 和多条第四连接线 CL4 依次连接,形成第一电压信号线 VDD。

例如,第一电压信号线 VDD 沿第二方向 Y 延伸。第一电压信号线 VDD 通过第四有源图案 AP4 和电容器图案 CP 与一系列第一像素电路 31 电连接,并向该列第一像素电路 31 传输第一电压信号。

如图 33 所示,在沿第二方向 Y,多条第三连接线 CL3 和多条第四连接线 CL4 交替设置,形成第一电压信号线 VDD 的情况下,上述第四有源图案 AP4 可以为第一发光控制晶体管 T6 的有源图案,电容器图案 CP 可以为上述存储电容器 Cst 的第一极板。

在一些实施例中,如图 32 所示,第一源漏导电层 SD1 还包括:位于主显示区 A1 的多条第五类信号线 SL5。多条第五类信号线 SL5 沿第二方向 Y 延伸。且与位于同一列的各第二像素电路 32 电连接。

在一些示例中,第五类信号线 SL5 与第一电压信号线 VDD 连接,且两者所对应的各第一像素电路 31 和各第二像素电路 32 位于同一列。

示例性的,第五类信号线 SL5 用于向一系列第二像素电路 32 传输第一电压信号。

例如,第五类信号线 SL5 用于向一系列第二像素电路 32 传输初始信号,该第五类信号线 SL5 与第一电压信号线 VDD 电连接,从而使得显示面板 10 中同一列像素电路 30 所接收的第一电压信号相同,使得同一列像素电路 30 所对应的发光器件 40 接收到驱动电压相同,从而使得显示面板 10 能够正常显示画面。

示例性的,如图 29 所示,第二透光导电层 TC2 还包括第五连接线 CL5。第五连接线 CL5 位于在第二方向 Y 上相邻的两个第一像素电路 31 之间,用于连接其中一个第一像素电路 31 的第二复位晶体管 T2 的第二极与另外一个第一像素电路 31 的第二发光控制晶体管 T7 的第二极。

示例性的,如图 34 所示,位于副显示区 A2 的阳极层 AND 包括多个阳极 AD。

例如,多个阳极 AD 与相应的多个第一像素电路 31 电连接。具体的,阳极 AD 与第一

像素电路 31 中的第二复位晶体管 T2 的第二极电连接, 阳极 AD 还与第二发光控制晶体管 T7 的第二极电连接。

当然, 上述阳极层也位于主显示区。位于主显示区的多个阳极与相应的第二像素电路电连接。具体的, 阳极与第二像素电路中的第二复位晶体管 T2 的第二极电连接, 阳极还与第二发光控制晶体管 T7 的第二极电连接。

以上所述, 仅为本公开的具体实施方式, 但本公开的保护范围并不局限于此, 任何熟悉本技术领域的技术人员在本公开揭露的技术范围内, 想到变化或替换, 都应涵盖在本公开的保护范围之内。因此, 本公开的保护范围应以所述权利要求的保护范围为准。

1、一种显示面板，包括主显示区和副显示区，所述主显示区围绕所述副显示区的至少一部分，所述主显示区的透光率小于所述副显示区的透光率；

所述显示面板包括位于所述副显示区的多个第一像素电路，所述多个第一像素电路排列为多行多列，每行第一像素沿第一方向排列，每列第一像素电路沿第二方向排列；所述第一方向和所述第二方向相交；

所述显示面板包括：

衬底；

位于所述衬底上的第一导电层，所述多个第一像素电路包括位于所述第一导电层的导电图案；

位于所述第一导电层远离所述衬底的一侧、且位于所述副显示区的第一信号线层，所述第一信号线层包括沿所述第一方向延伸的第一类信号线；

其中，沿所述第一方向位于同一行的各第一像素电路的导电图案，通过第一过孔与所述第一类信号线电连接，所述第一过孔位于所述第一像素电路沿所述第一方向的一侧。

2、根据权利要求1所述的显示面板，其中，每个所述第一像素电路通过一个第一过孔与所述第一类信号线电连接，不同第一像素电路所对应的第一过孔都位于所述第一像素电路的同一侧。

3、根据权利要求1或2所述的显示面板，其中，所述第一导电层为第一栅导电层，所述导电图案为栅极图案，所述第一信号线层为第一透光导电层。

4、根据权利要求3所述的显示面板，其中，所述第一栅导电层包括与所述栅极图案电连接的第一过孔连接部，所述第一过孔暴露所述第一过孔连接部；所述栅极图案通过所述第一过孔连接部与所述第一类信号线电连接；

其中，所述第一过孔连接部位于所述第一像素电路所占据区域外的一侧，或者，位于所述第一像素电路所占据区域内。

5、根据权利要求4所述的显示面板，其中，所述第一像素电路所包括的栅极图案的数量为多个，多个所述栅极图案沿所述第一方向排列为多列，沿所述第二方向排列为多行；

同一行栅极图案包括至少两个栅极图案，所述至少两个栅极图案通过同一所述第一过孔连接部，与同一条所述第一类信号线电连接。

6、根据权利要求5所述的显示面板，其中，所述至少两个栅极图案，呈一体结构；和/或，

所述至少两个栅极图案，及与所述至少两个栅极图案电连接的所述第一过孔连接部，呈一体结构。

7、根据权利要求1~6中任一项所述的显示面板，其中，

所述第一类信号线包括栅线、复位信号线和使能信号线中的至少一者。

8、根据权利要求1~7中任一项所述的显示面板，其中，所述第一类信号线在所述副显示区位于同一层且为连续走线，所述第一类信号线在所述衬底的正投影与所述多个第一像素电路中的至少一个第一像素电路在所述衬底的正投影交叠。

9、根据权利要求1~8中任一项所述的显示面板，其中，所述显示面板还包括位于所述主显示区的多个第二像素电路；

所述第一栅导电层还包括位于所述主显示区的第二类信号线；所述第二类信号线沿所述第一方向延伸，且与所述多个第二像素电路中的至少部分第二像素电路电连接；

传输相同电信号的第一类信号线和第二类信号线电连接。

10、根据权利要求 1~9 中任一项所述的显示面板，还包括：位于所述第一导电层靠近所述衬底一侧的半导体层；以及，位于所述第一信号线层远离所述衬底一侧、且位于所述副显示区的第二透光导电层，所述第二透光导电层包括：沿所述第二方向延伸的第四类信号线；

所述第一像素电路还包括位于所述半导体层的第三有源图案；

其中，位于同一列的各第一像素电路的第三有源图案，通过第三过孔，与所述第四类信号线电连接，所述第三过孔位于所述第一像素电路沿所述第二方向的一侧。

11、根据权利要求 10 所述的显示面板，其中，每个所述第一像素电路通过一个第三过孔与所述第四类信号线电连接，不同第一像素电路的第三过孔都位于所述第一像素电路的同一侧。

12、根据权利要求 10 或 11 所述的显示面板，其中，所述第四类信号线在所述副显示区位于同一层且为连续走线，所述第四类信号线在所述衬底的正投影与所述多个第一像素电路中的至少一个第一像素电路在所述衬底的正投影交叠。

13、根据权利要求 10~12 中任一项所述的显示面板，其中，所述半导体层包括与所述第三有源图案电连接的第三过孔连接部，所述第三过孔暴露所述第三过孔连接部，所述第三有源图案通过第三过孔连接部与所述第四类信号线电连接；

其中，所述第三过孔连接部位于所述第一像素电路所占据区域外的一侧，或者，位于所述第一像素电路所占据区域内。

14、根据权利要求 10~13 中任一项所述的显示面板，其中，所述第四类信号线包括数据信号线。

15、根据权利要求 10~14 中任一项所述的显示面板，还包括：位于第二透光导电层远离所述衬底一侧的第二源漏导电层；

所述第二源漏导电层包括：位于所述主显示区的多条第五类信号线；所述多条第五类信号线沿所述第二方向延伸，且与所述多个第二像素电路中的至少部分第二像素电路电连接；

所述第五类信号线和所述第四类信号线电连接。

16、根据权利要求 10~15 中任一项所述的显示面板，还包括：位于所述第一栅导电层远离衬底一侧的第二栅导电层；所述第一像素电路包括位于所述第二栅导电层的电容器图案；

所述第一像素电路还包括位于所述半导体层的第四有源图案；

所述第二透光导电层还包括：第三连接线；沿所述第二方向，所述第三连接线位于相邻两个第一像素电路之间；

所述相邻两个第一像素电路中的一者的第四有源图案，通过一个第四过孔与所述第三连接线的一端电连接；

所述相邻两个第一像素电路中的另一者的电容器图案，通过另一个第四过孔与所述第三连接线的另一端电连接。

17、根据权利要求 16 所述的显示面板，还包括：位于第二透光导电层远离所述衬底一侧的第二源漏导电层；其中，所述第二源漏导电层包括位于所述副显示区的第四连接线；

沿所述第二方向，所述第四连接线位于相邻两条第三连接线之间，且连接所述相邻两

条第三连接线。

18、根据权利要求 17 所述的显示面板，其中，沿所述第二方向，多条所述第三连接线和多条所述第四连接线交替设置，且依次连接，被配置为传输第一电压信号。

19、根据权利要求 1~18 中任一项所述的显示面板，其中，所述显示面板还包括位于所述主显示区的多个第二像素电路；

单位面积内，多个所述第二像素电路所占据的面积，大于多个所述第一像素电路所占据的面积。

20、一种显示装置，包括：如权利要求 1~19 中任一项所述的显示面板；

以及，位于所述显示面板的非出光侧、且位于所述显示面板的副显示区的光学元件。

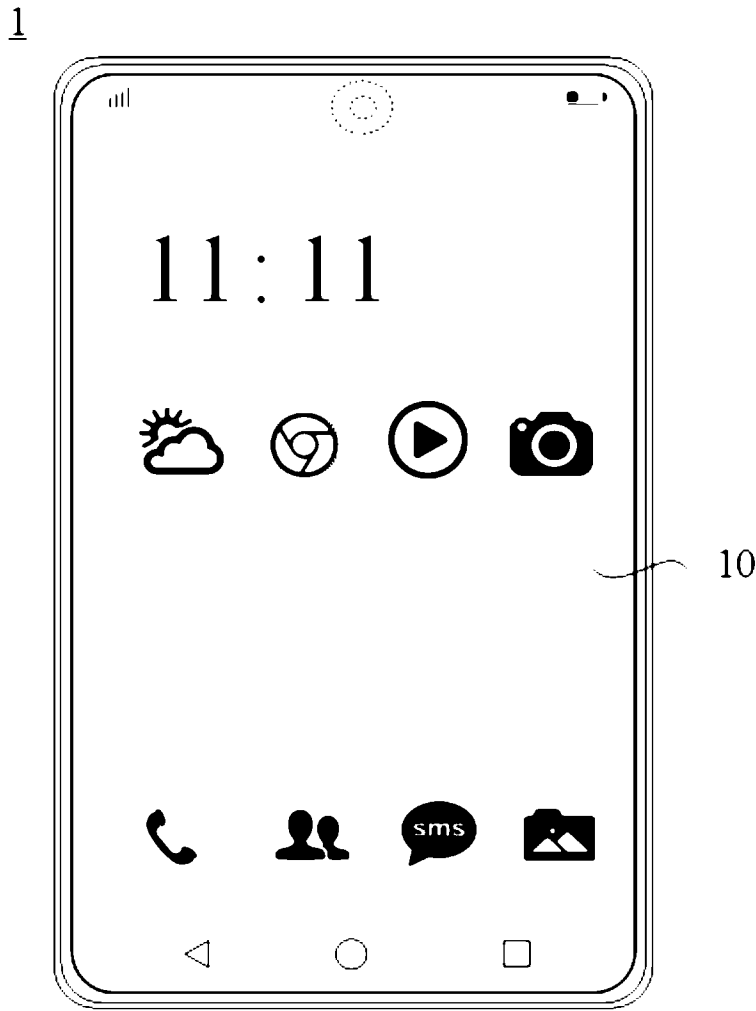


图 1

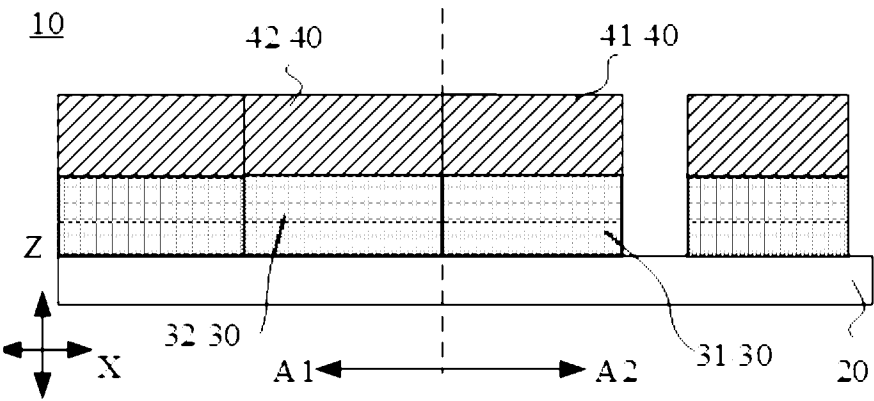


图 2

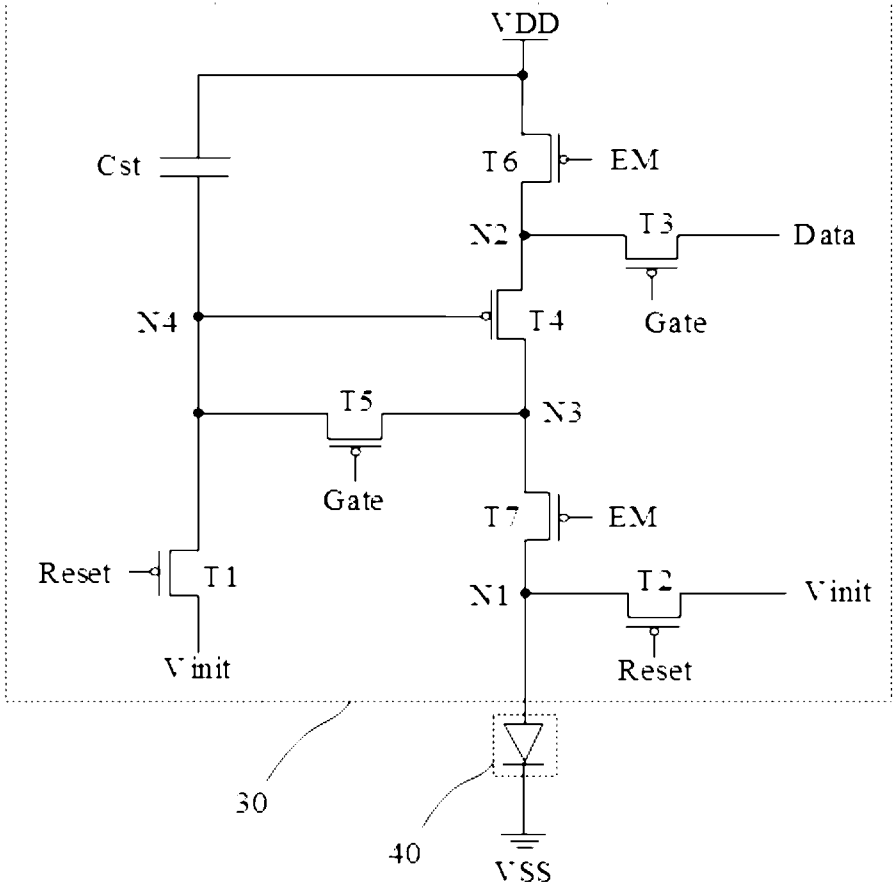


图 3

10

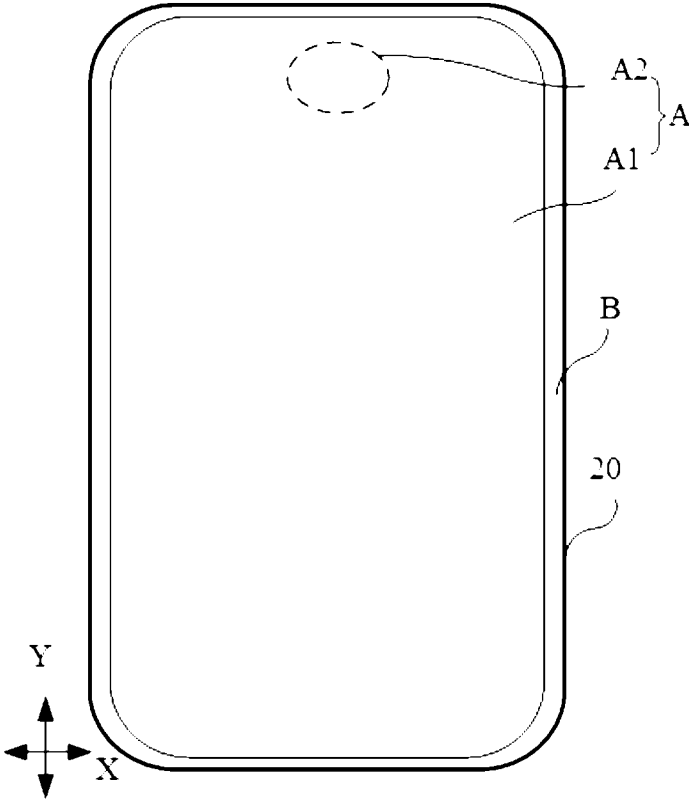


图 4a

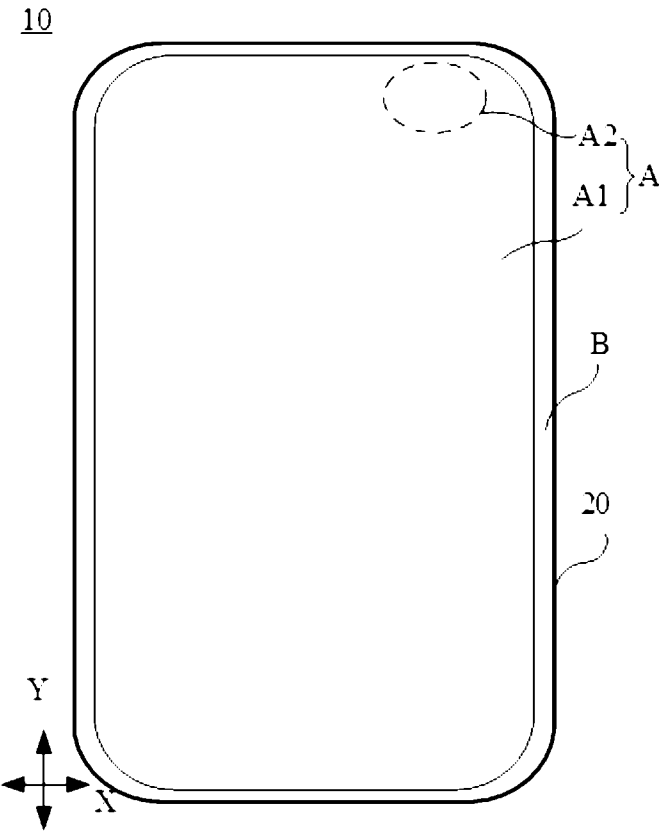


图 4b

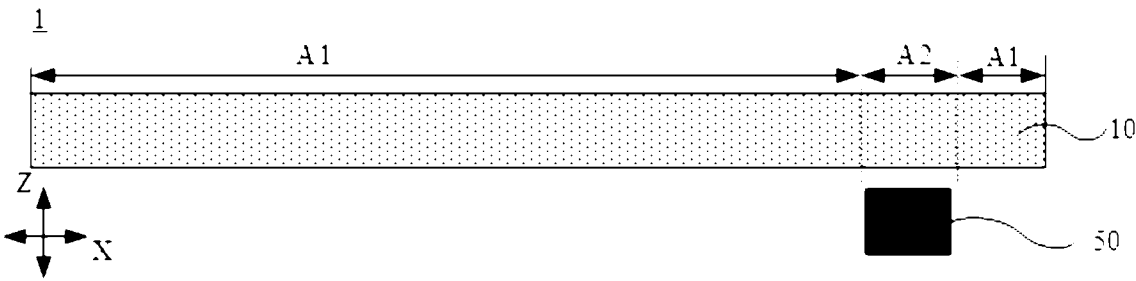


图 5

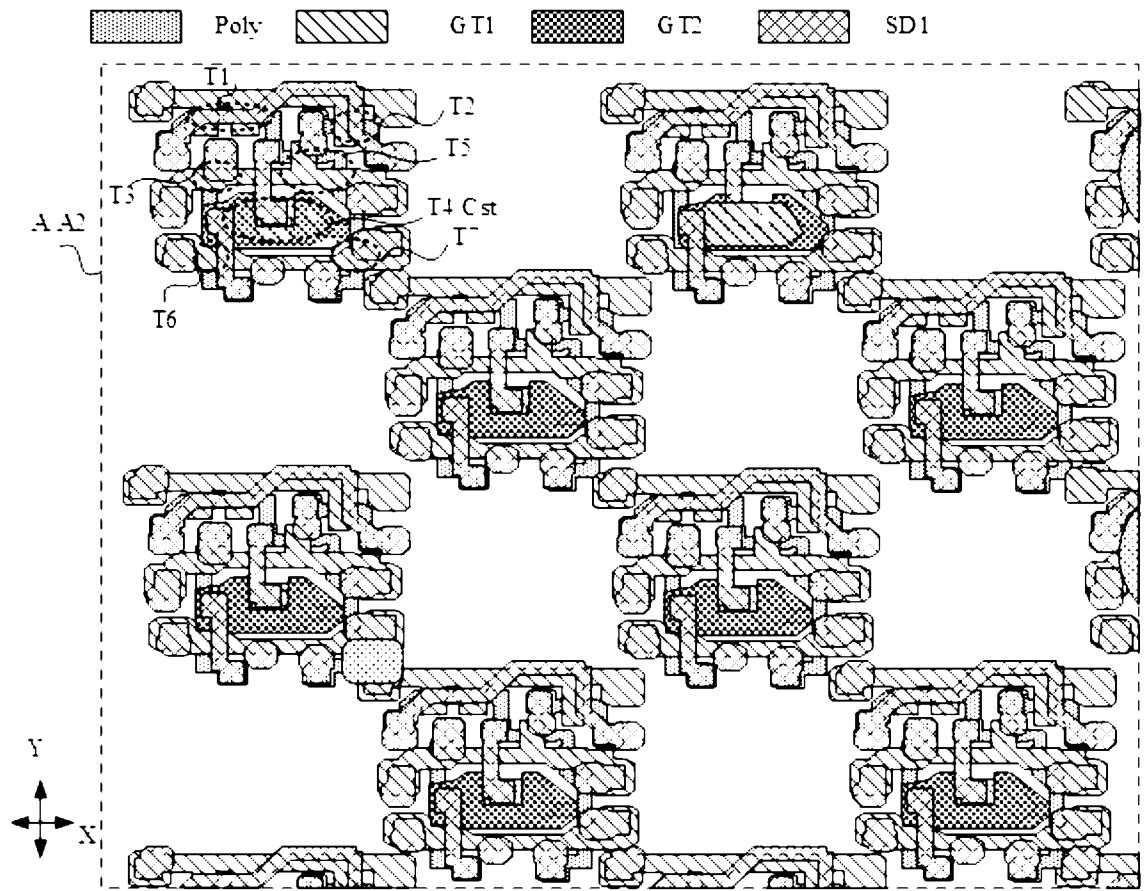


图 6

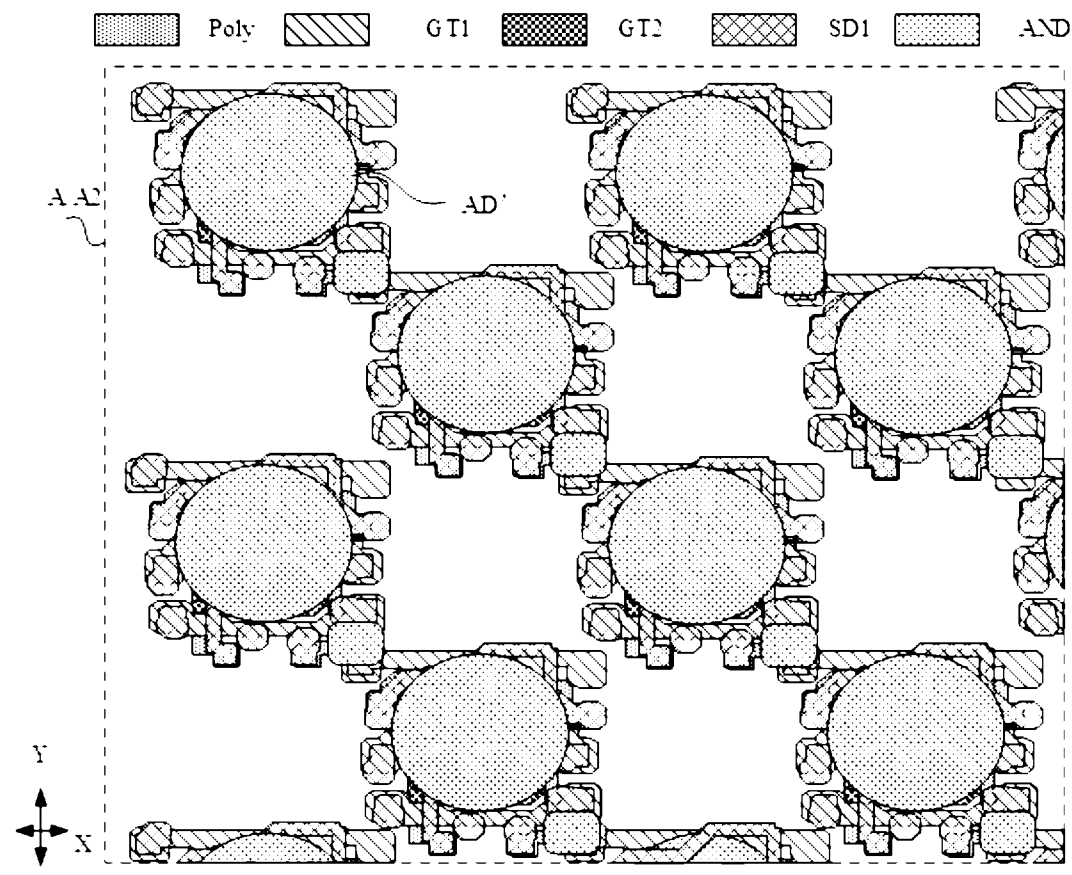


图 7

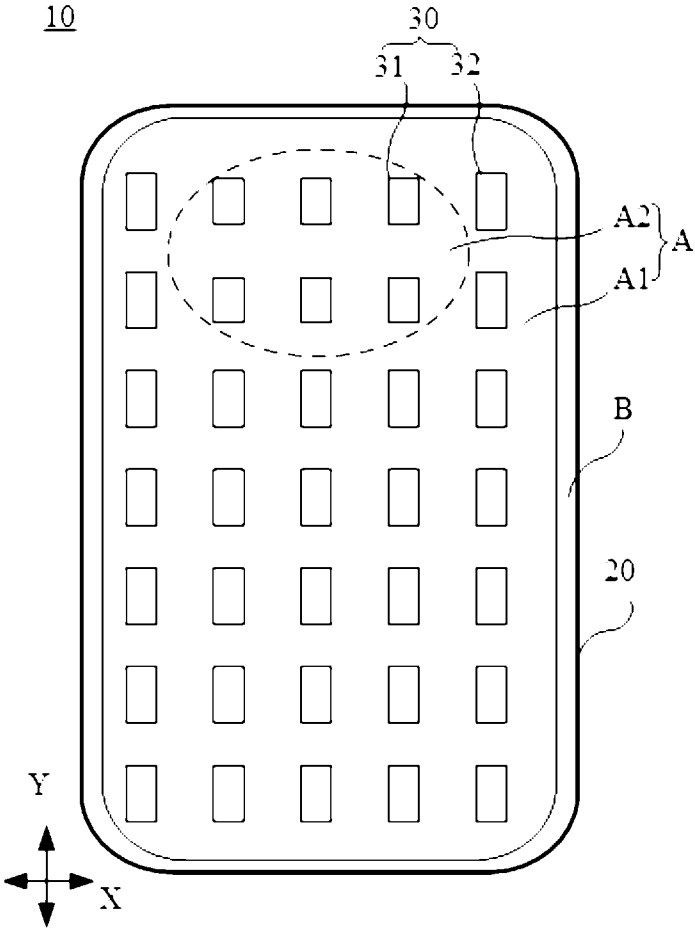


图 8

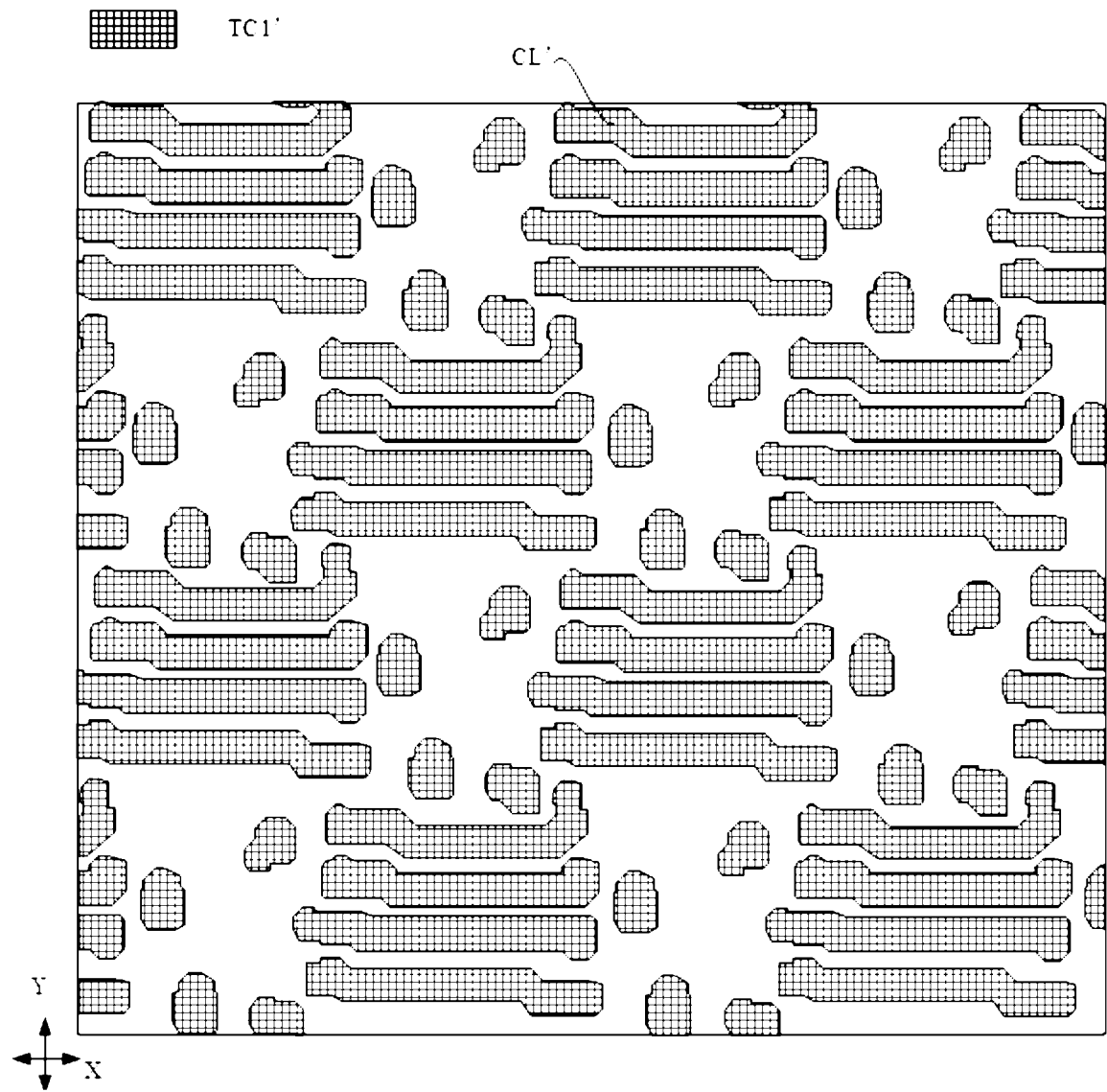


图 9a

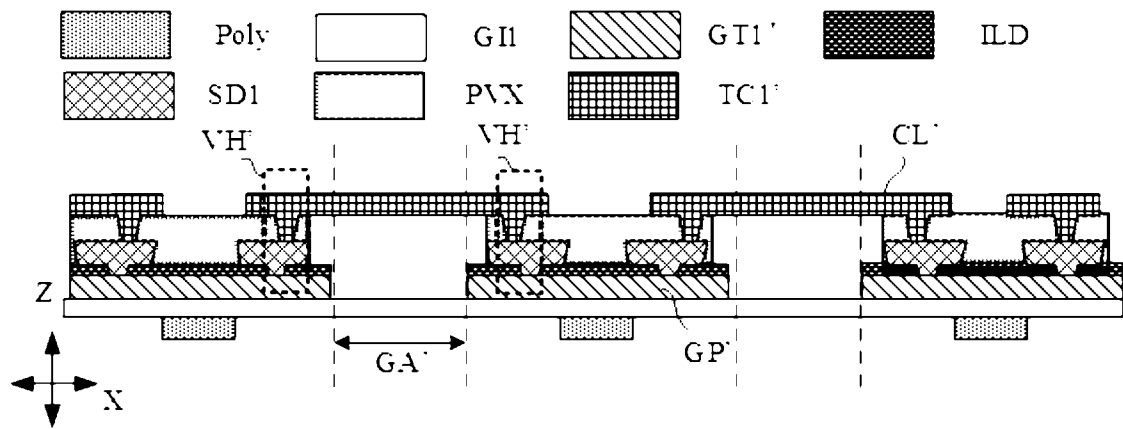


图 9b

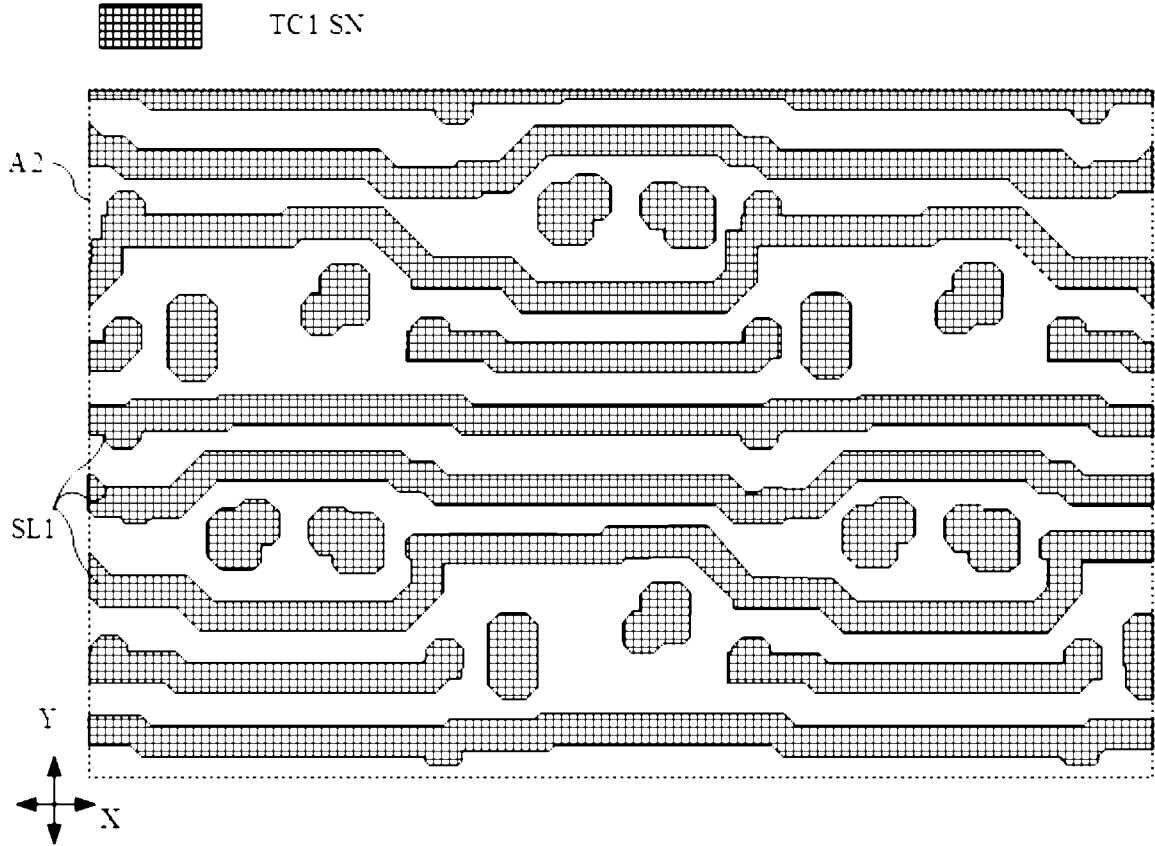


图 10a

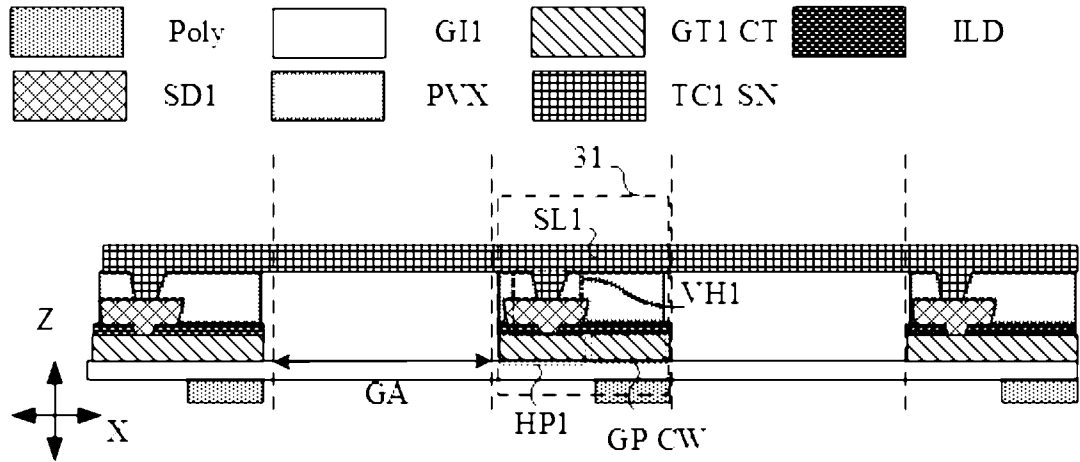


图 10b

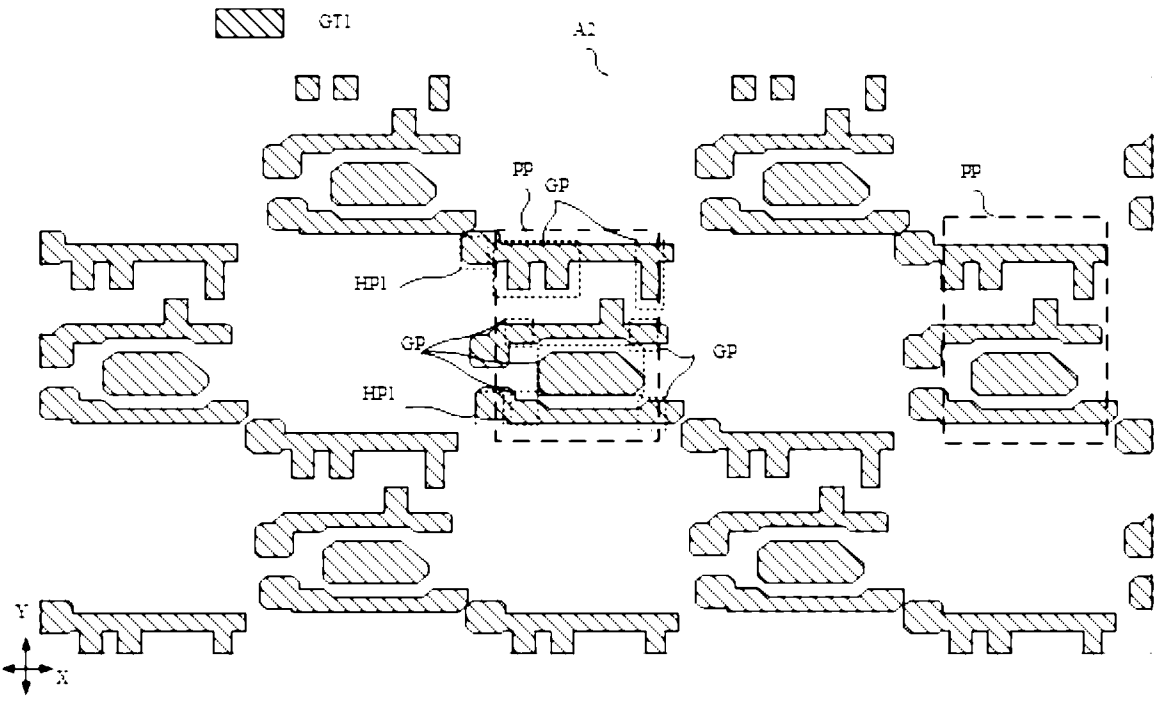


图 10c

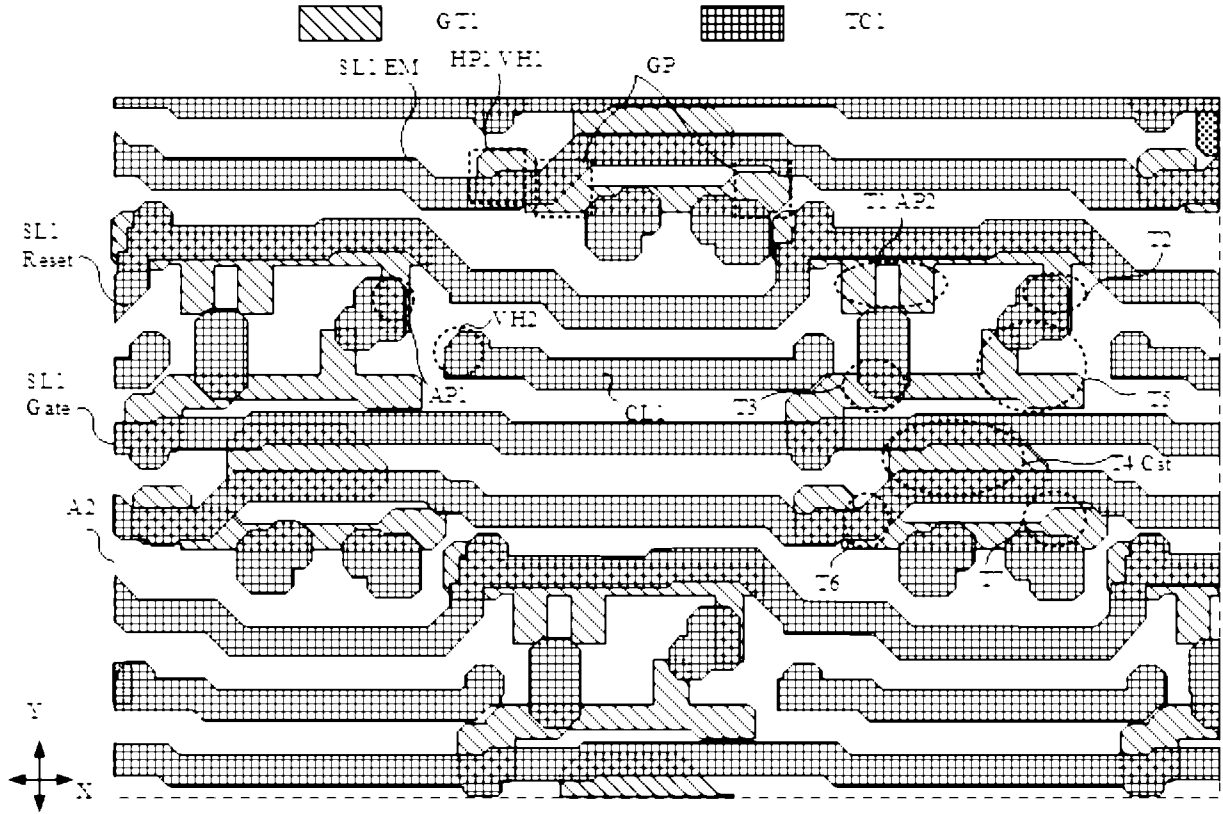


图 10d

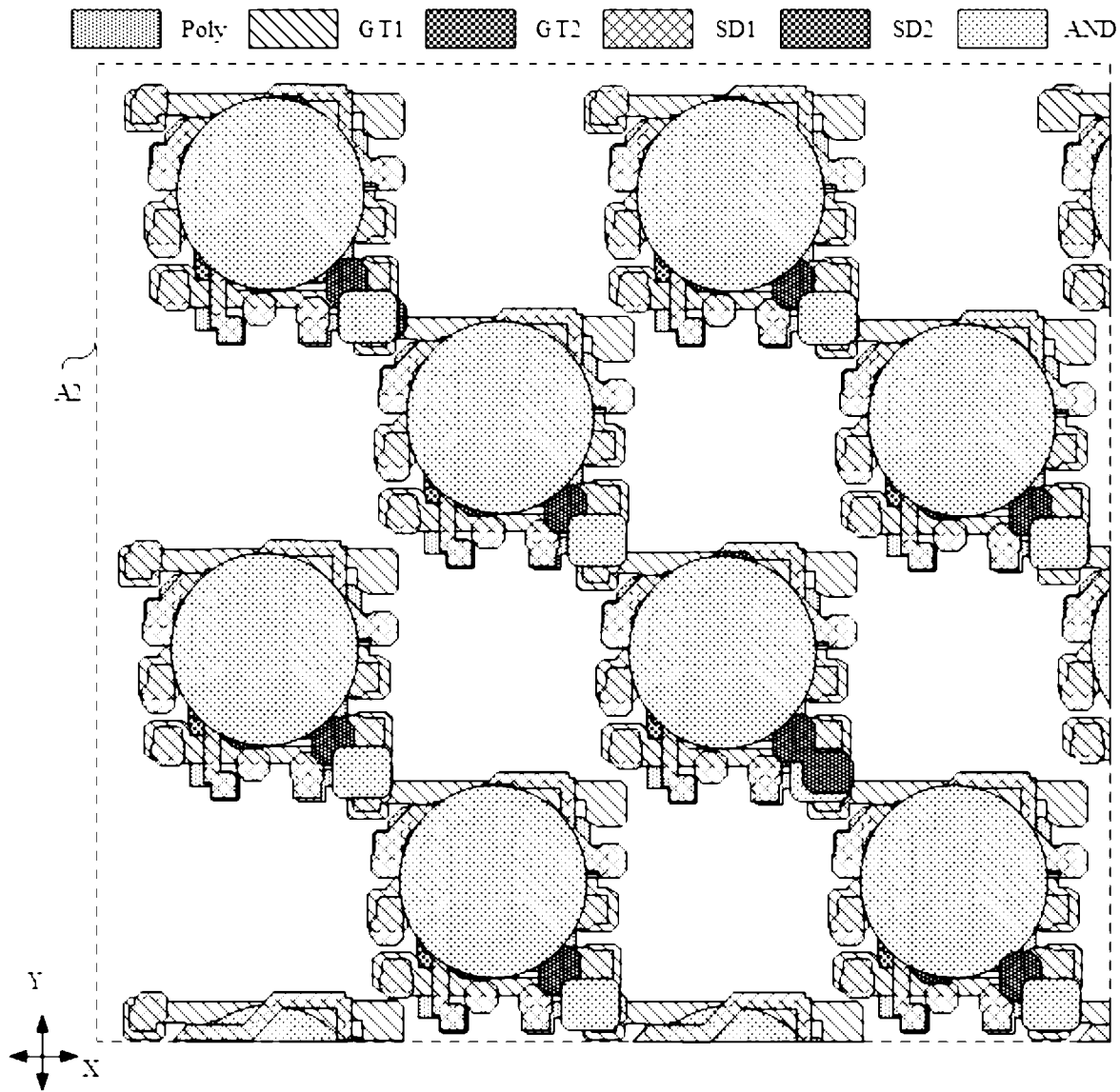


图 11

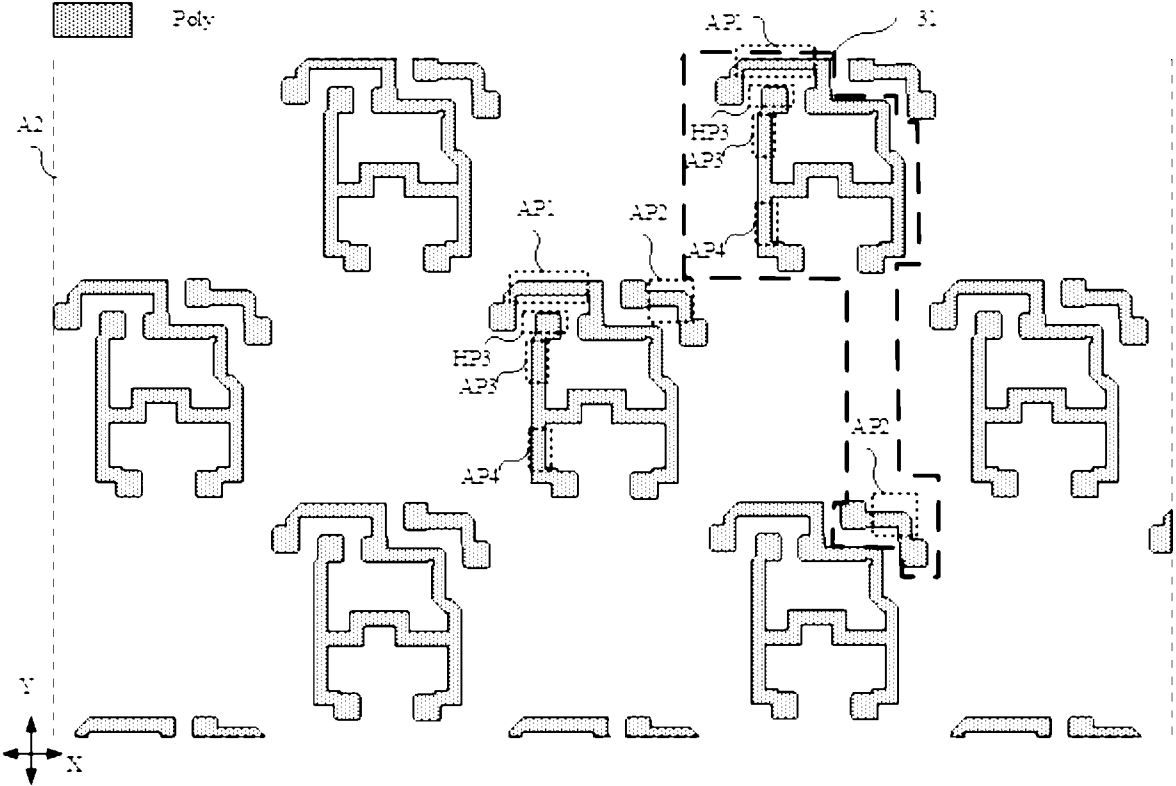


图 12

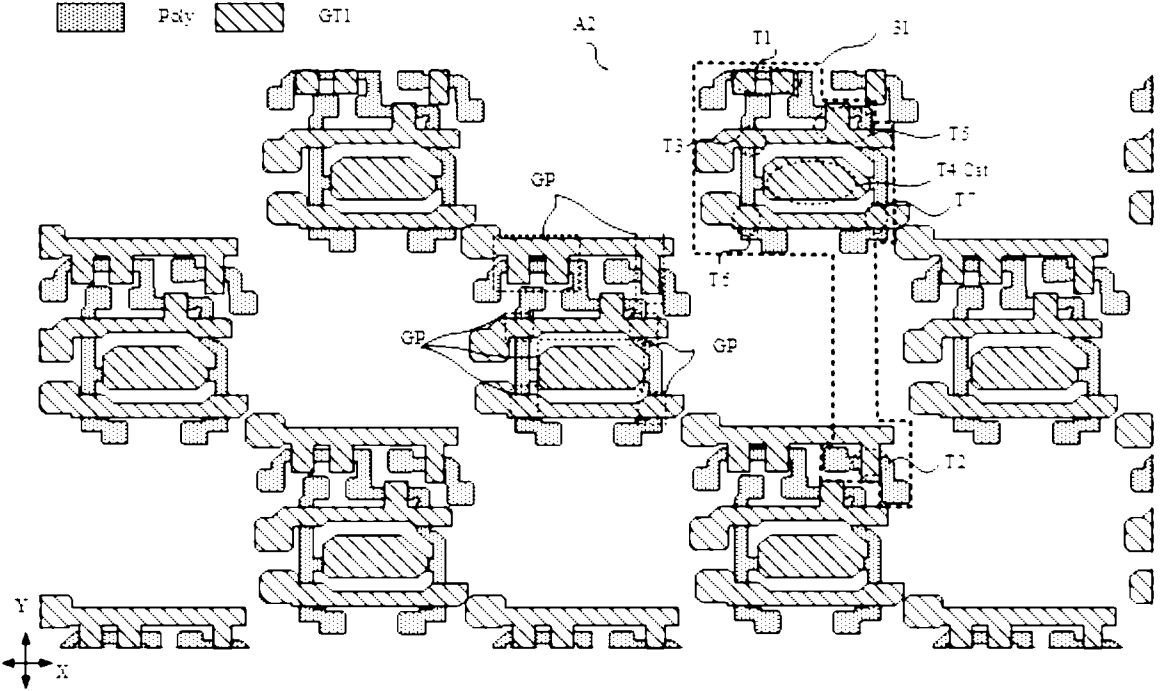


图 13

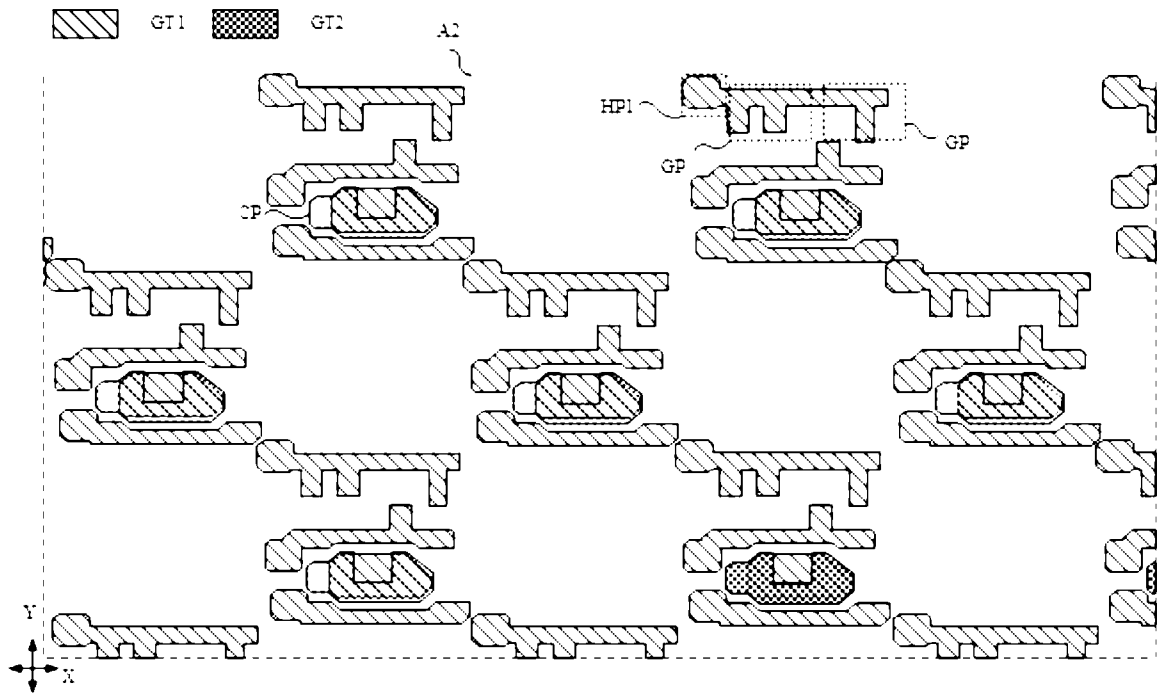


图 14

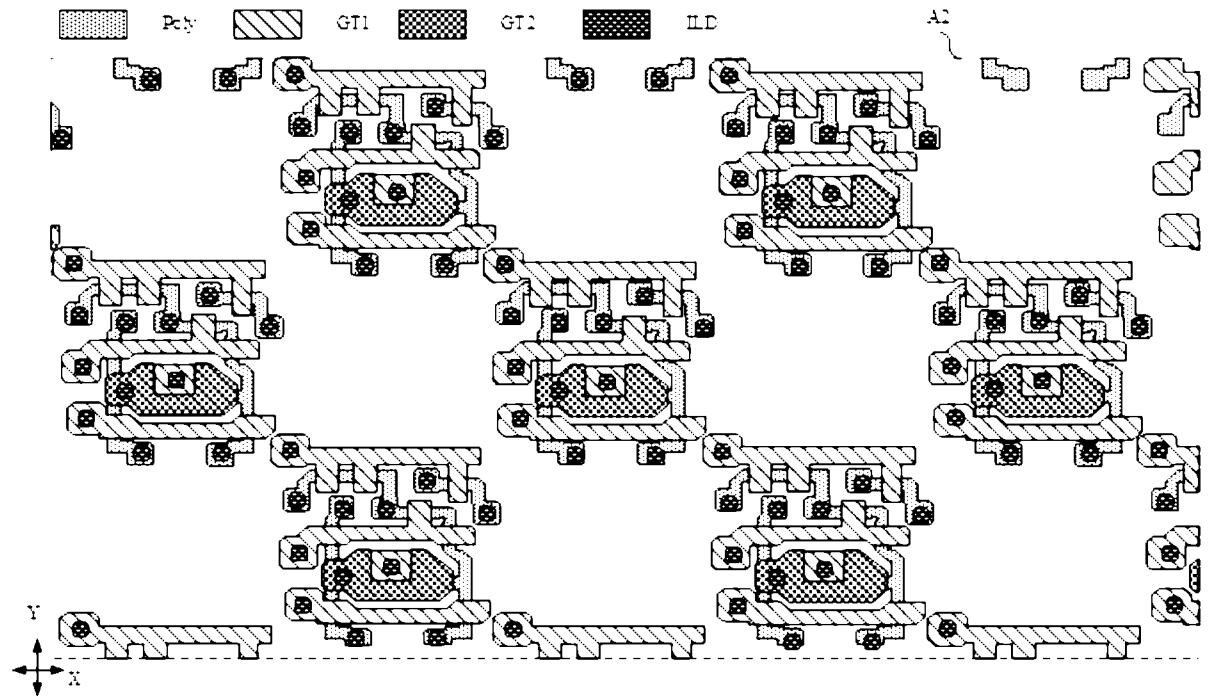


图 15

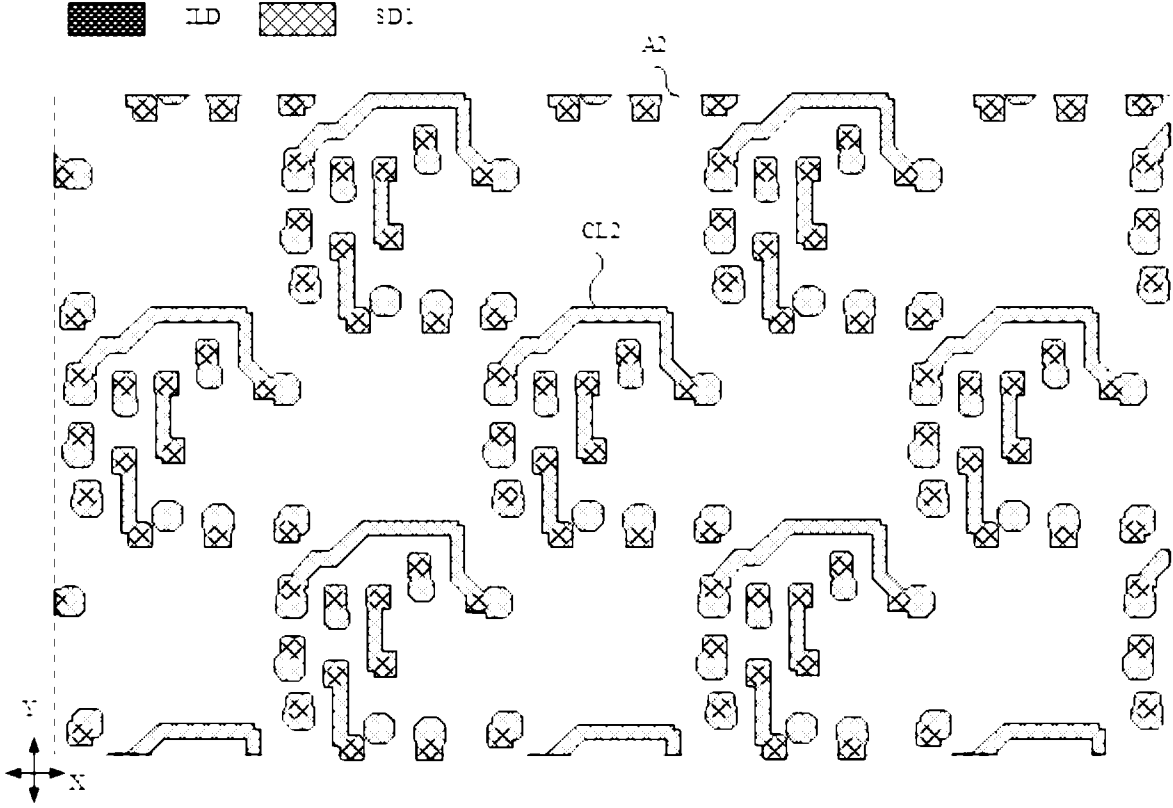


图 16

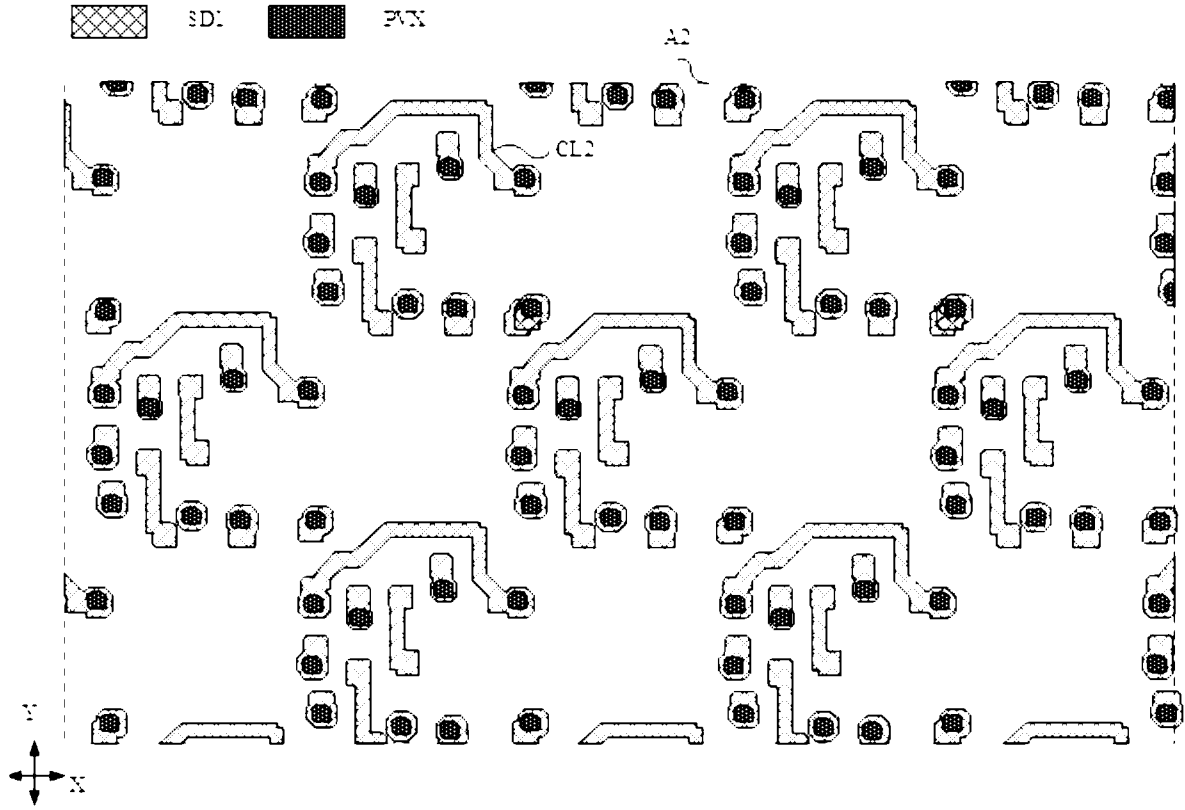


图 17

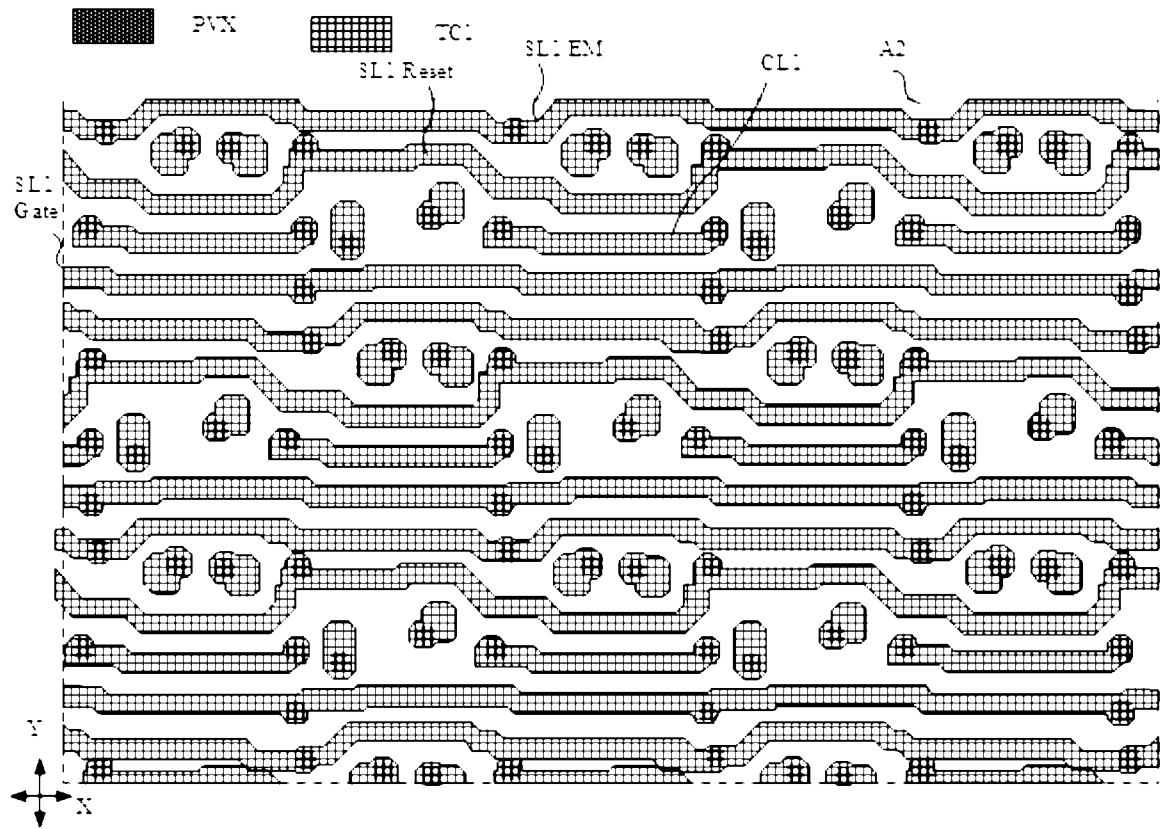


图 18

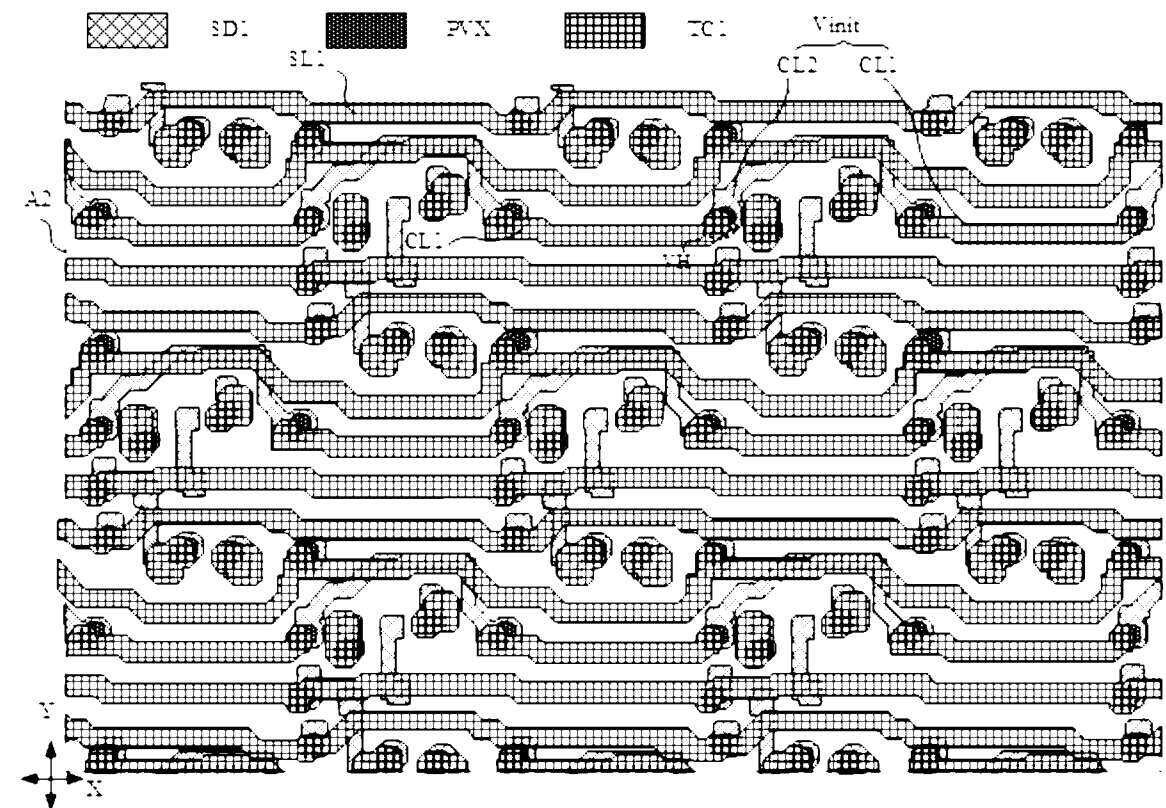


图 19

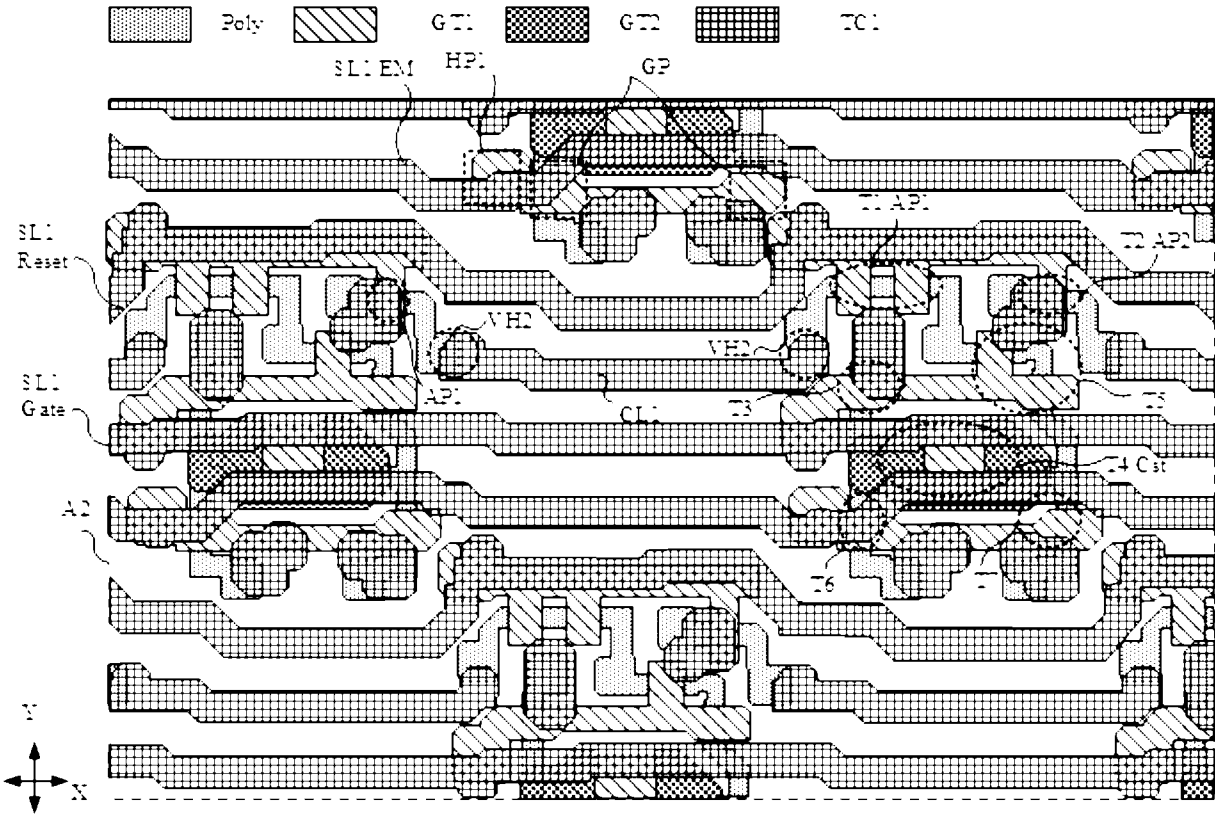


图 20

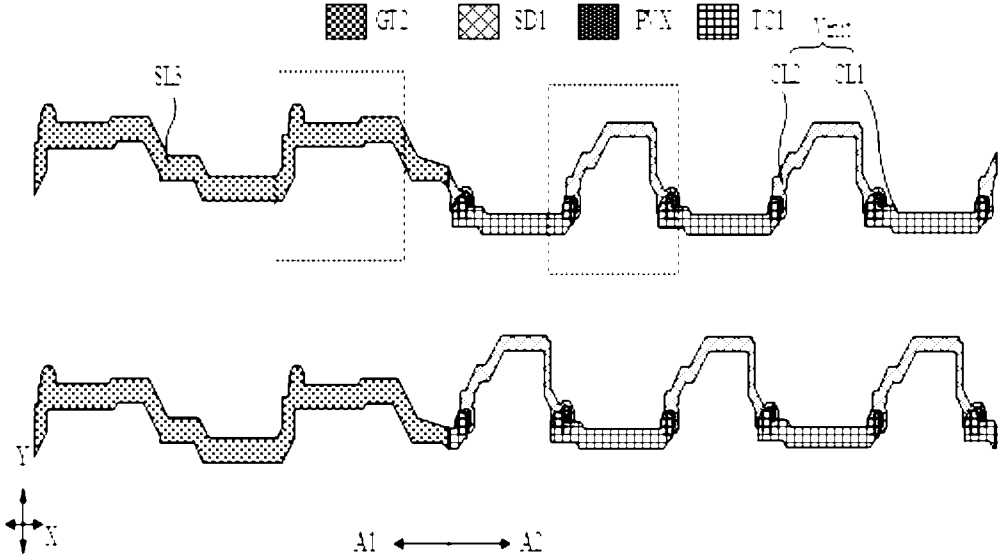


图 21

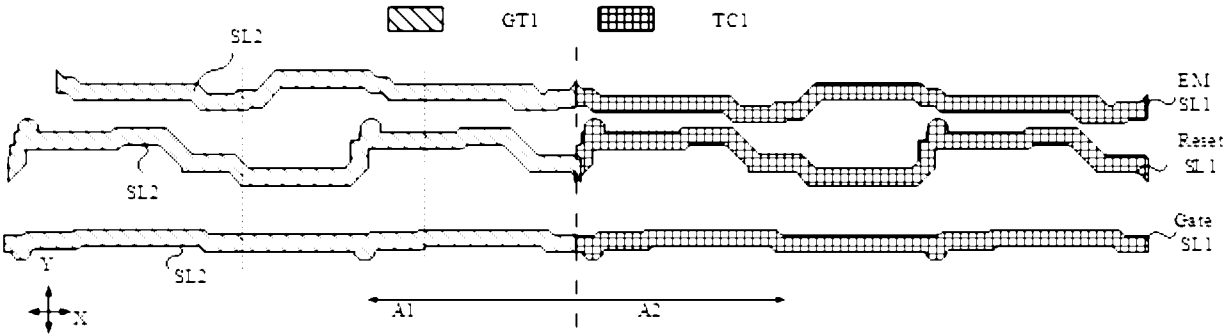


图 22

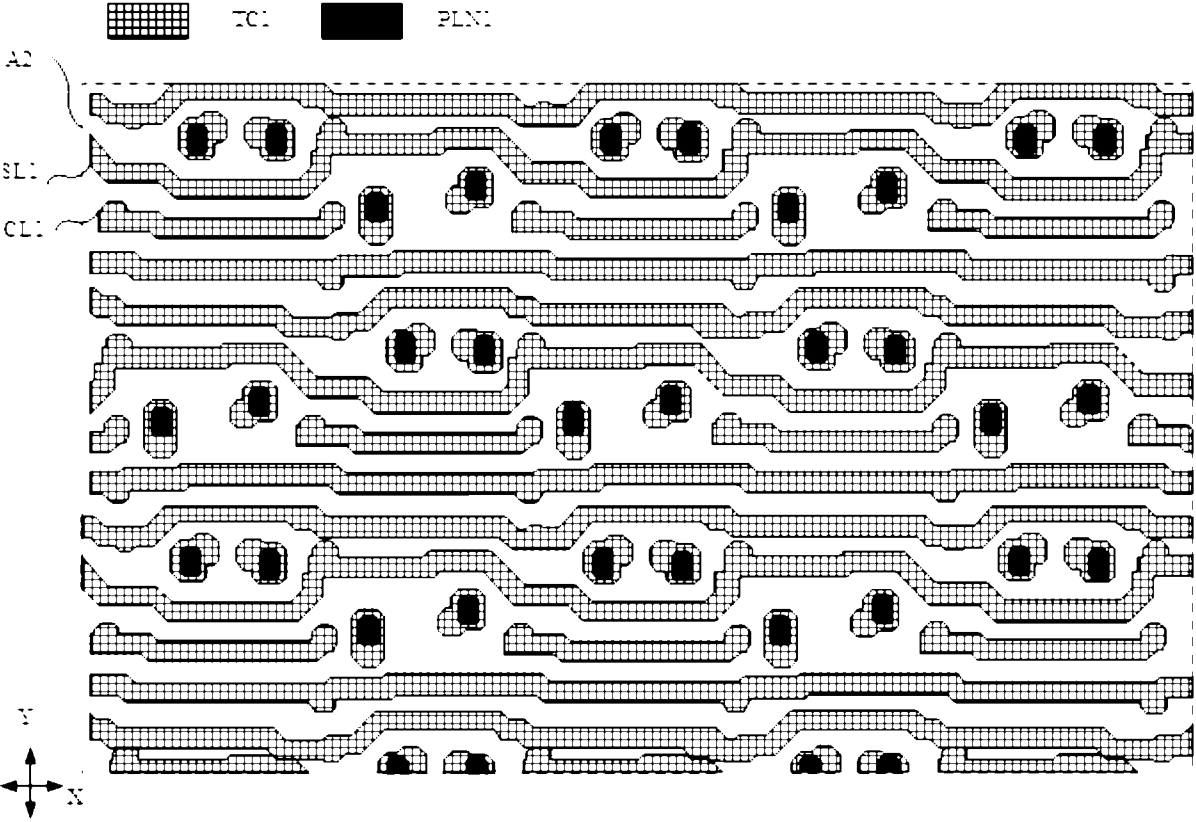


图 23

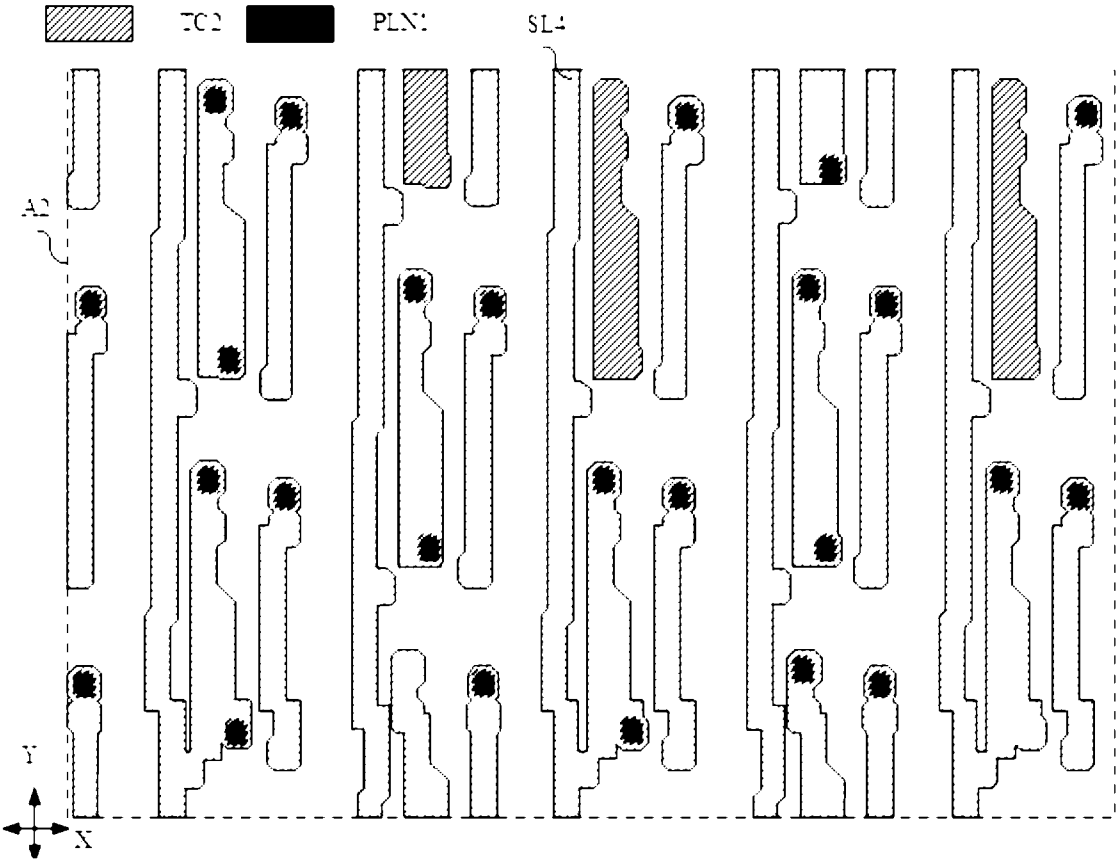


图 24

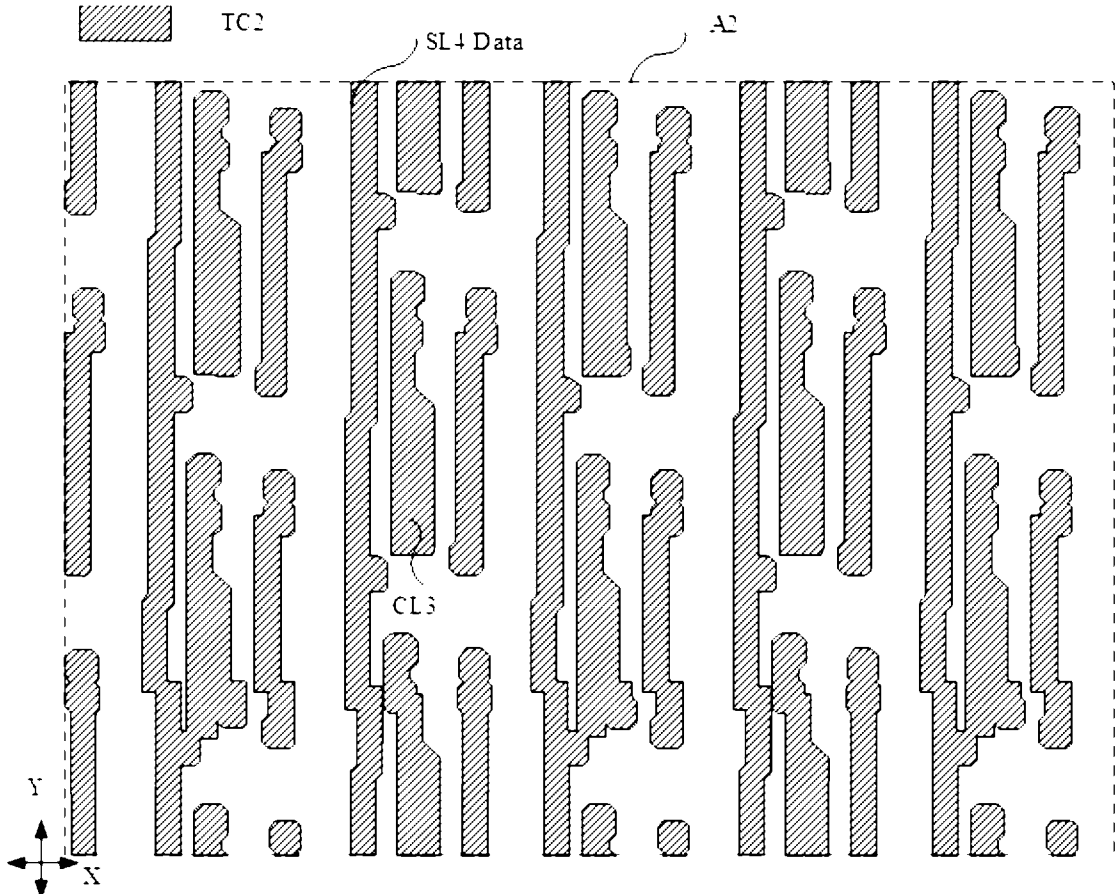


图 25

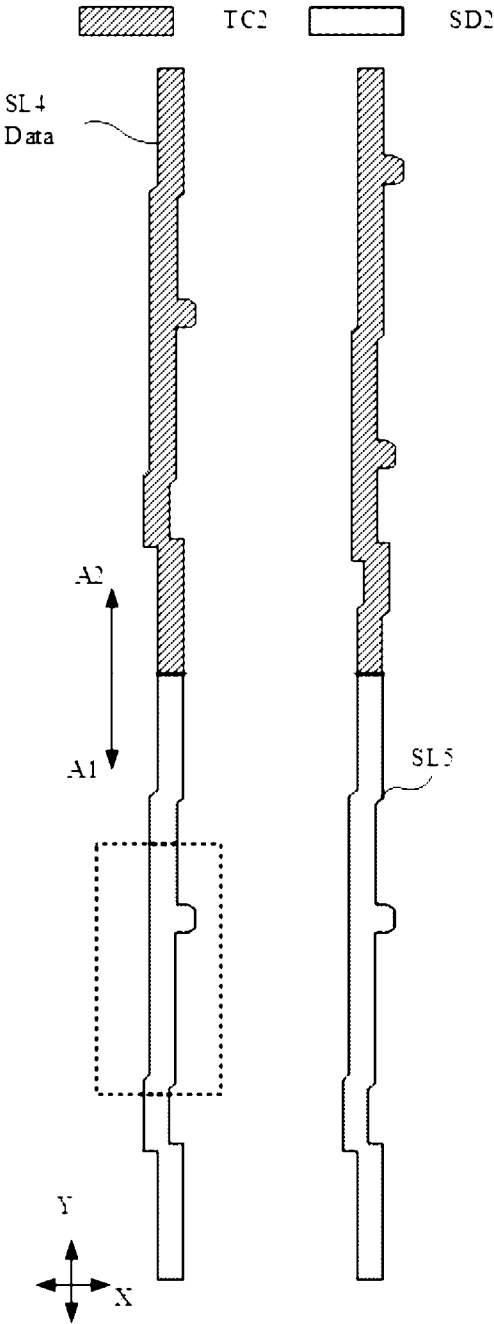


图 26

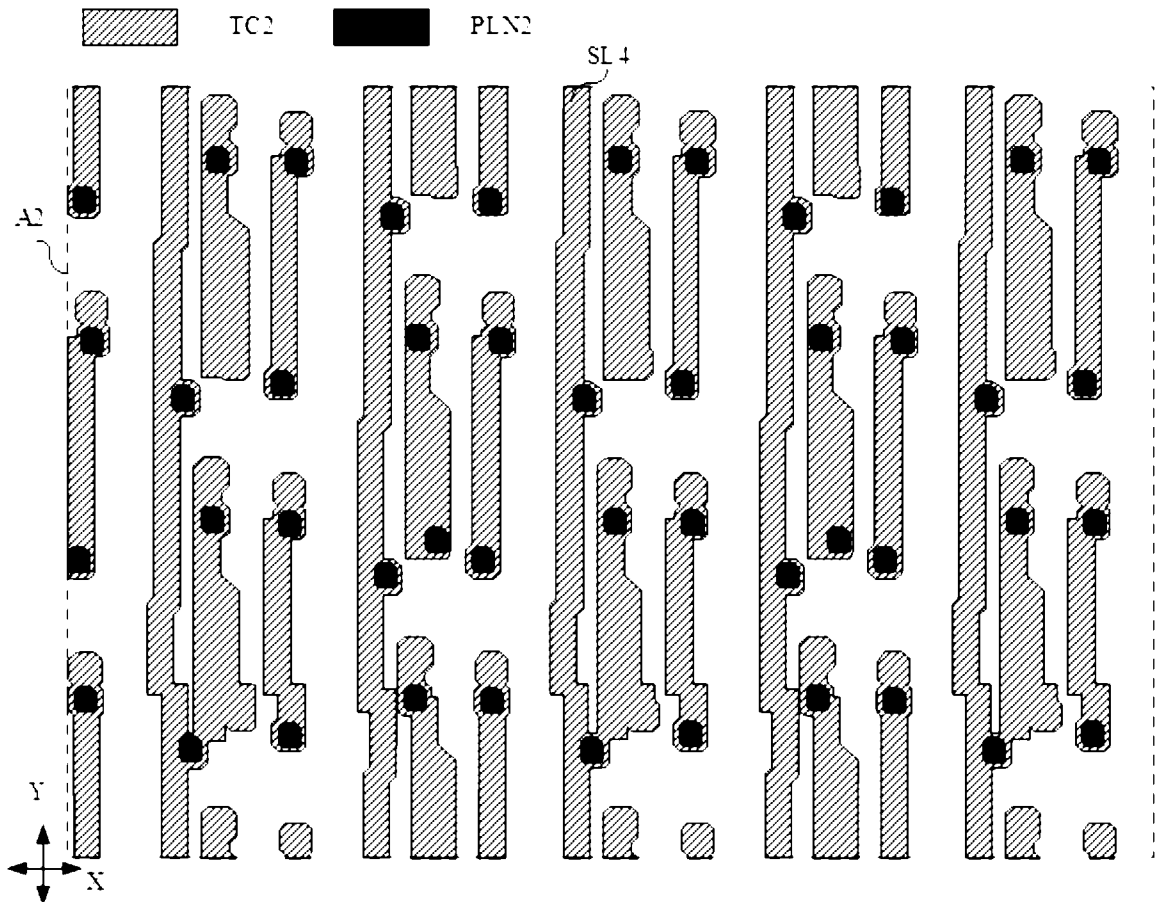


图 27

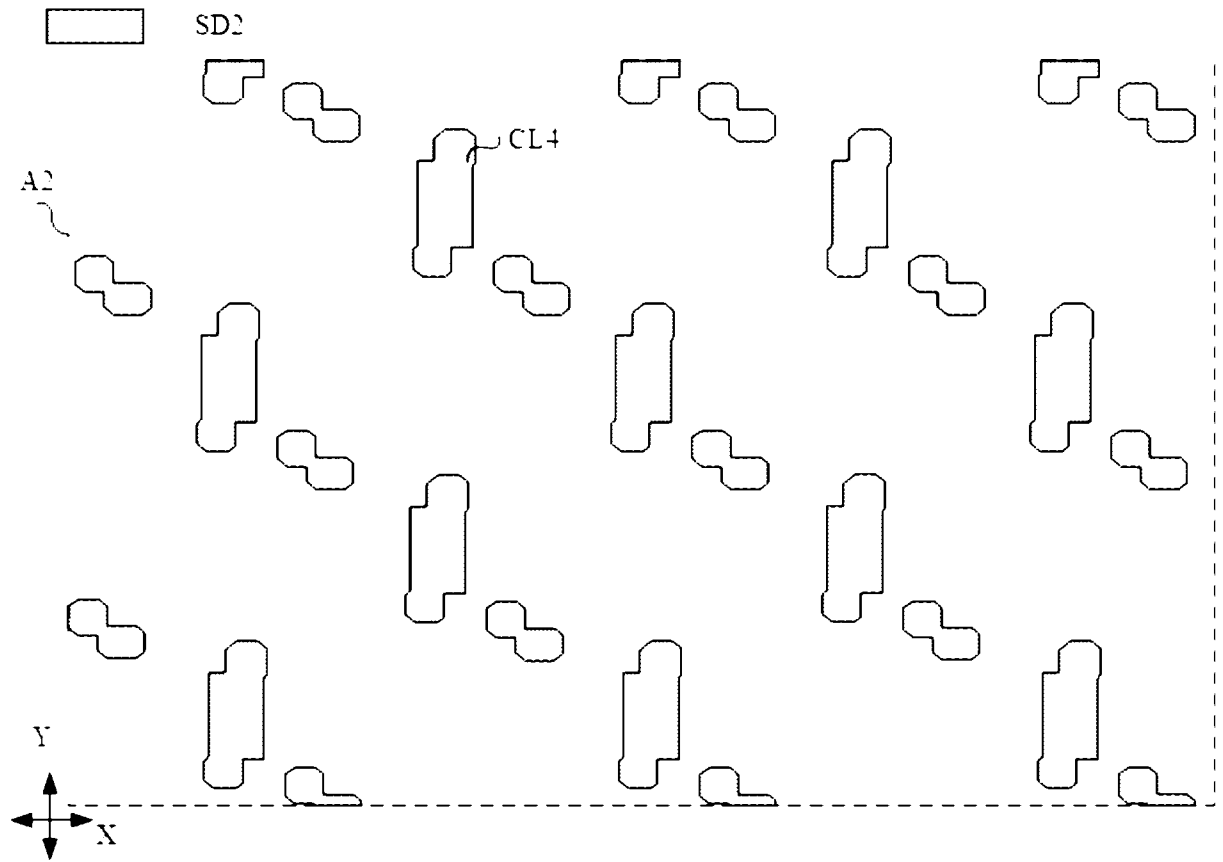


图 28

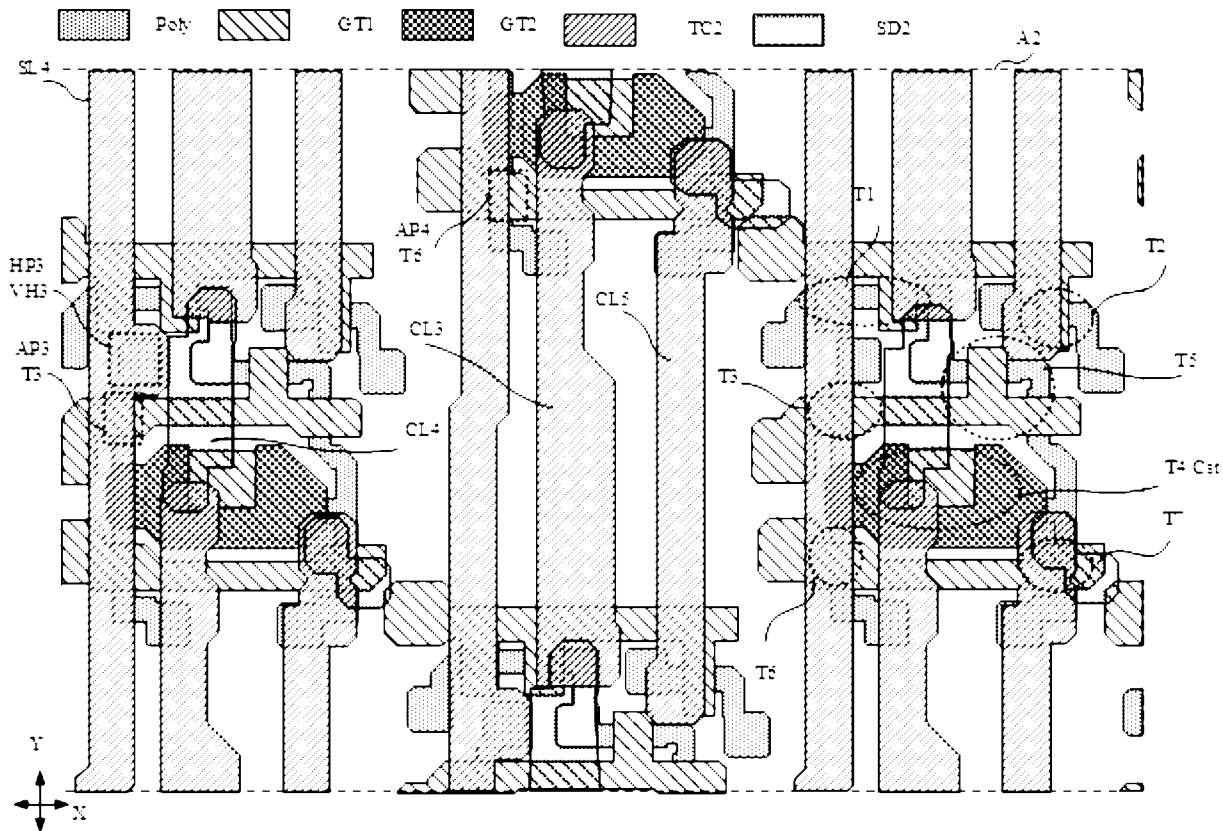


图 29

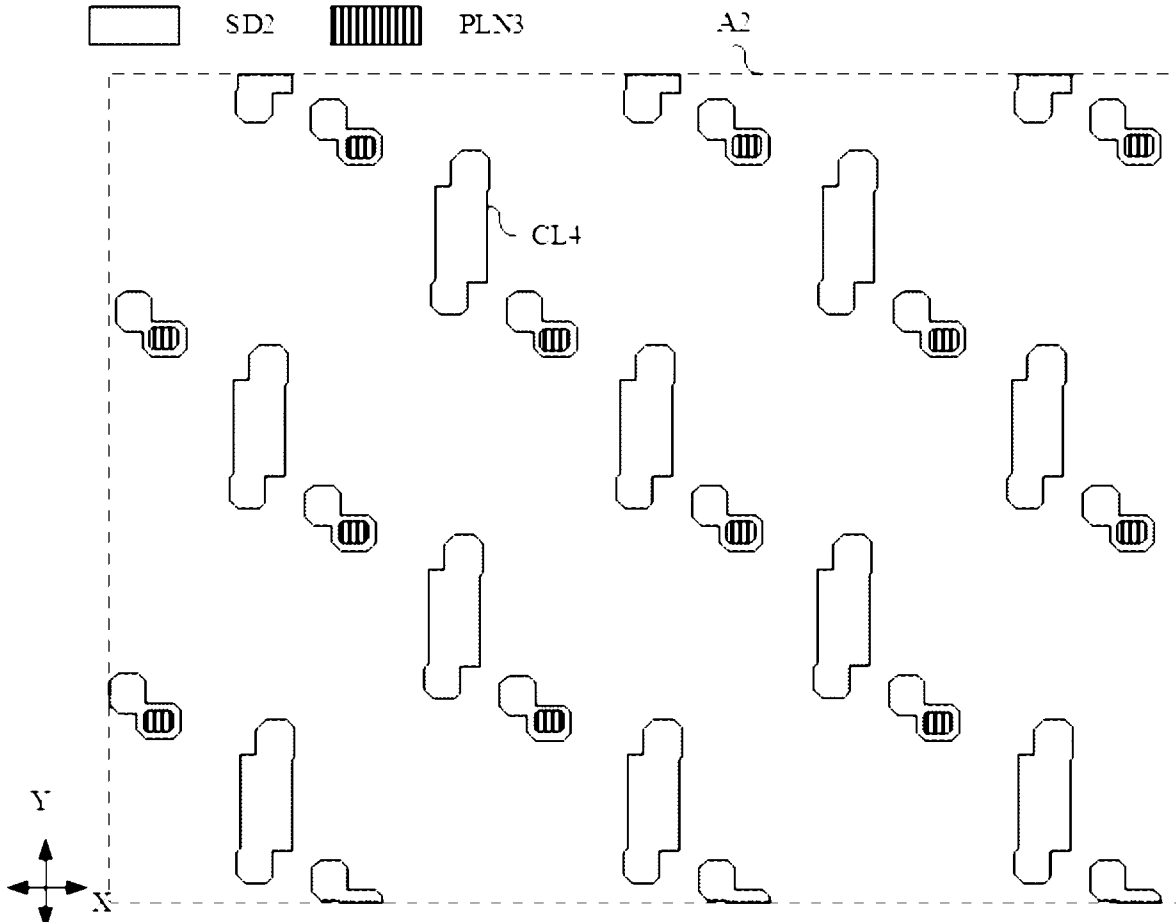


图 30

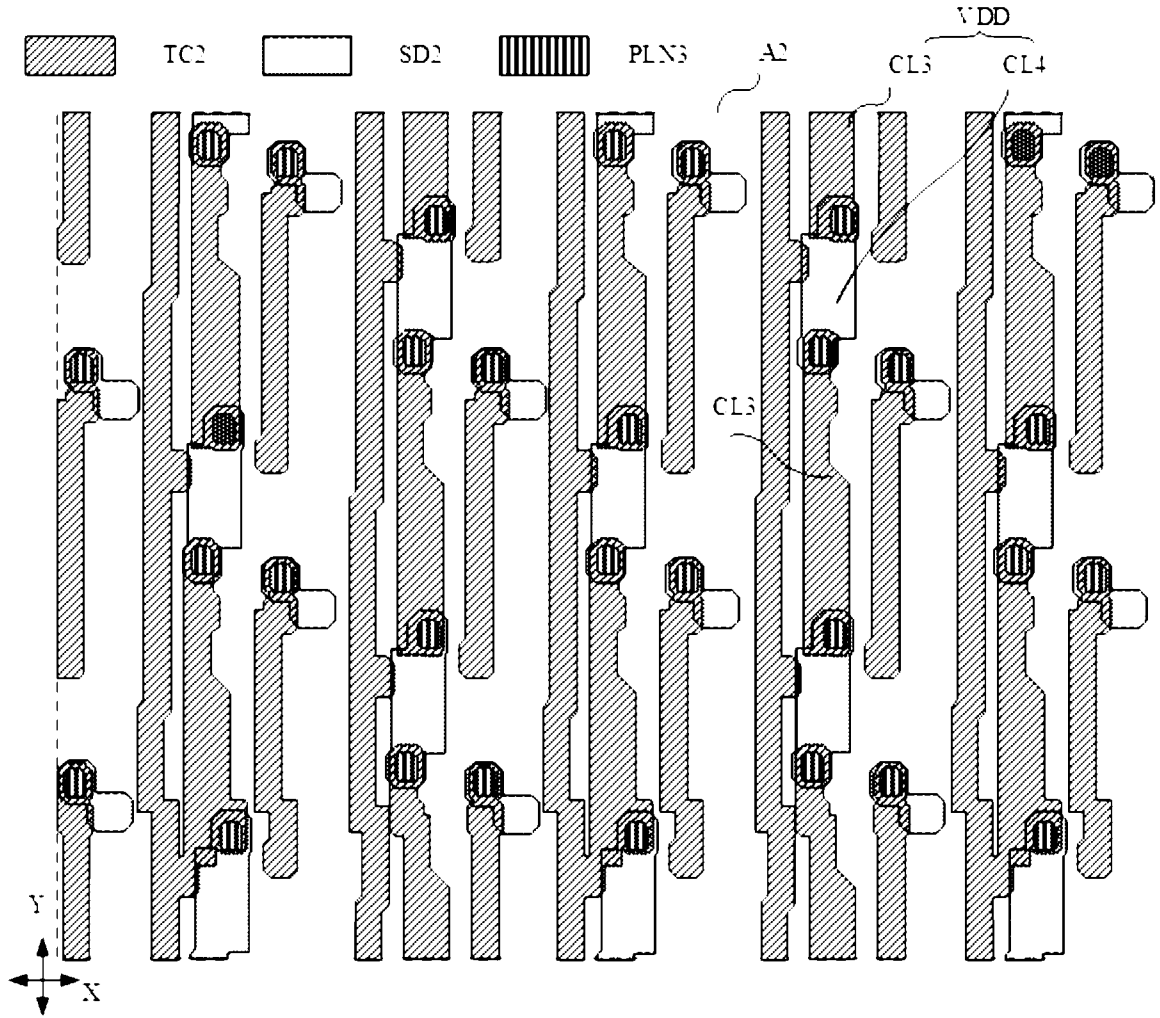


图 31

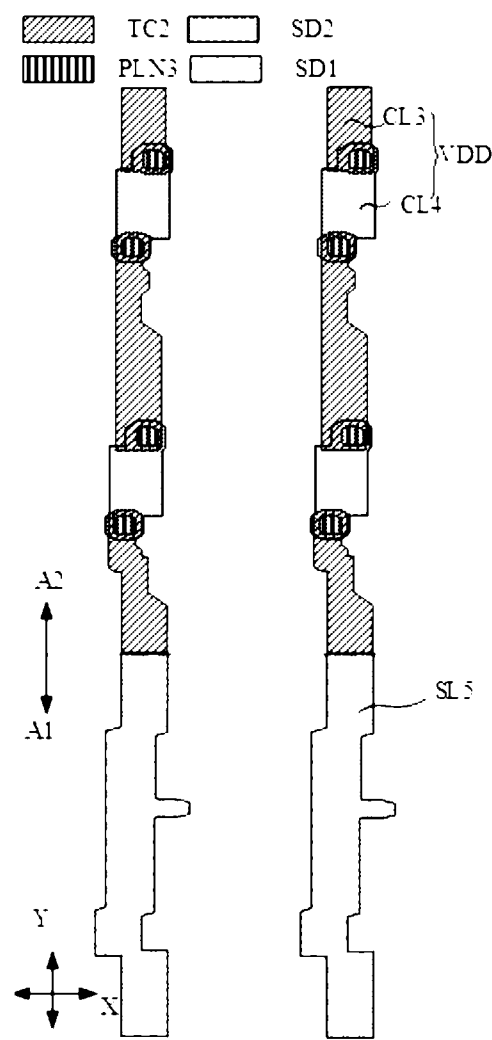


图 32

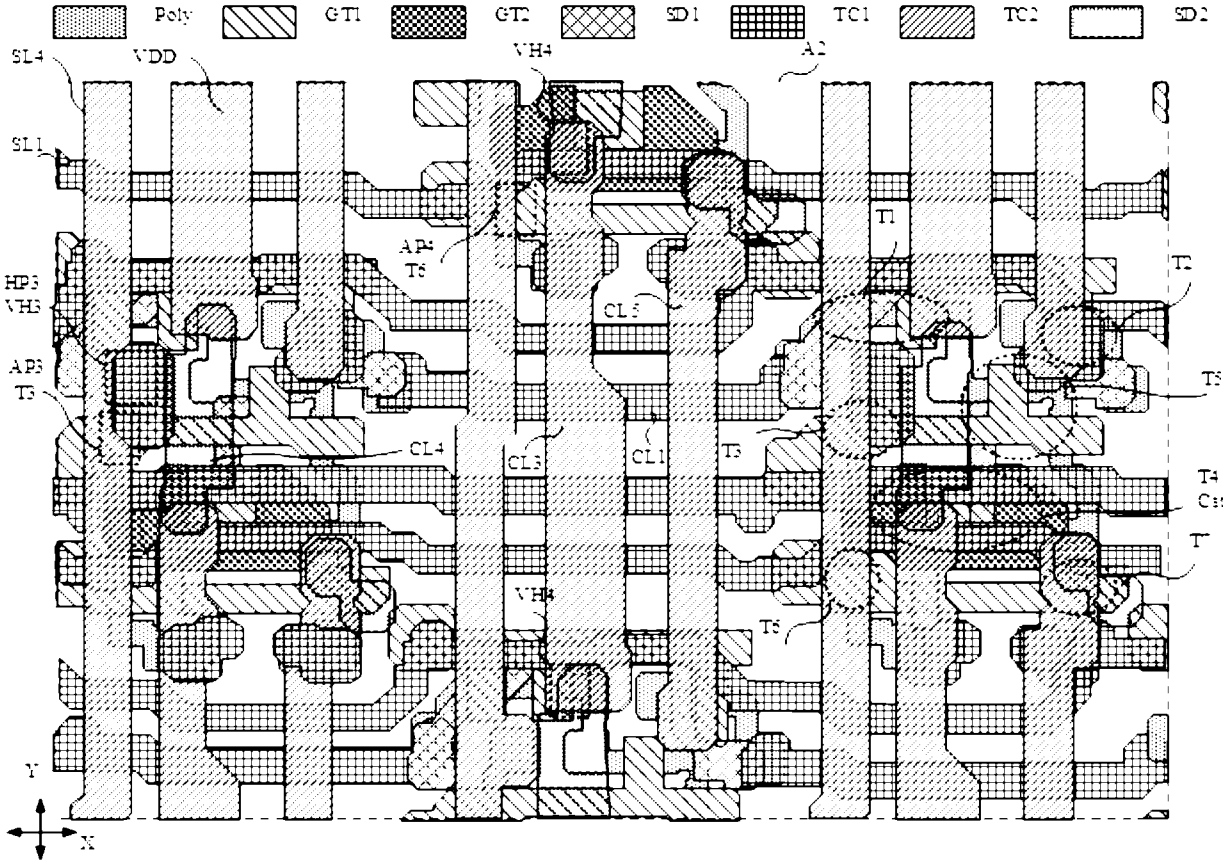


图 33

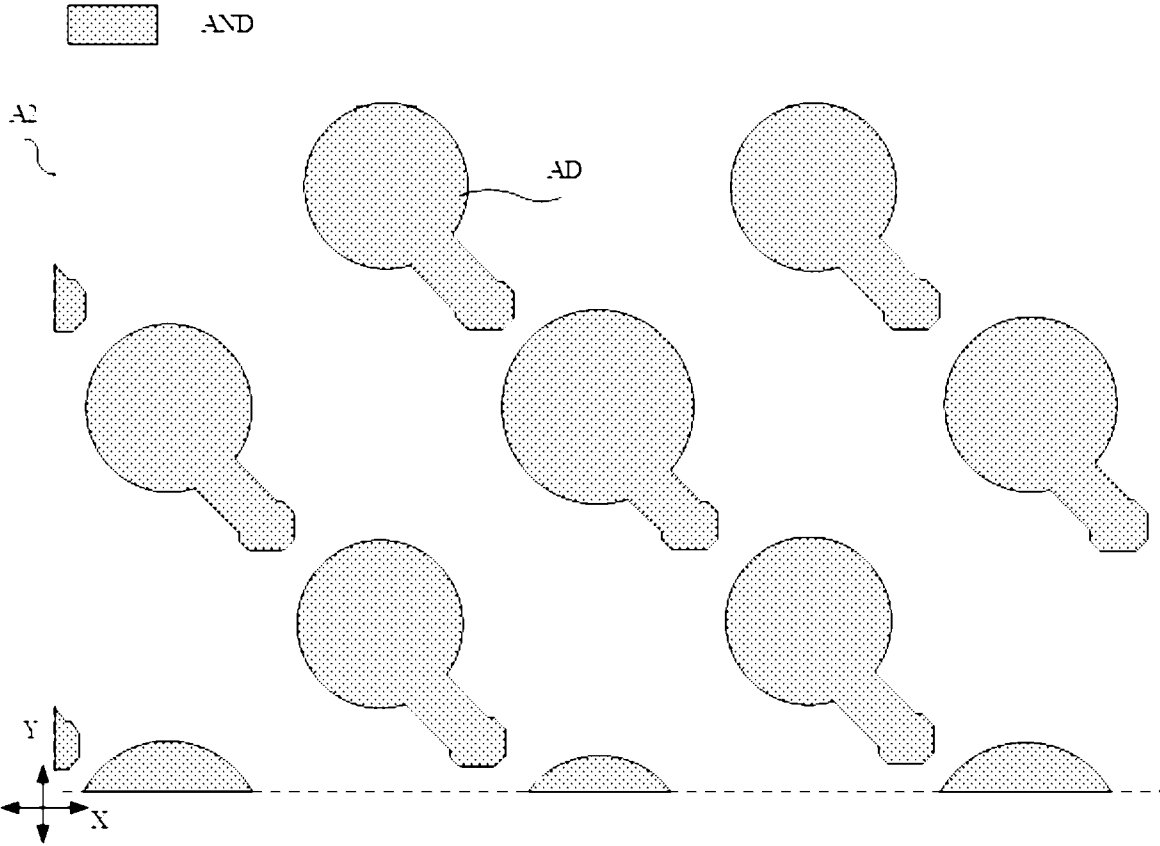


图 34

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/131284

A. CLASSIFICATION OF SUBJECT MATTER

H10K59/131(2023.01)i; G09F9/33(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09F, H10K, G09G, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXTC, WPABSC, DWPI, CJFD: 显示, 副, 次, 第二, 导电, 电连接, 电性连接, 过孔, 透过率, 透射率, display+, electric+, connect+, conduct+, via?, hole?, transmis+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 115802835 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 14 March 2023 (2023-03-14) claims 1-20	1-20
X	WO 2022242085 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 24 November 2022 (2022-11-24) description, page 10, line 23 to page 36, line 5, and figures 1-20	1-20
A	CN 115411082 A (WUHAN TIANMA MICROELECTRONICS CO., LTD.) 29 November 2022 (2022-11-29) entire document	1-20
A	US 2020395429 A1 (SAMSUNG DISPLAY CO., LTD.) 17 December 2020 (2020-12-17) entire document	1-20
A	CN 114373774 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 19 April 2022 (2022-04-19) entire document	1-20

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 December 2023

Date of mailing of the international search report

22 December 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/131284

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 114447032 A (YUNGU (GU'AN) TECHNOLOGY CO., LTD.) 06 May 2022 (2022-05-06) entire document	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/131284

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	115802835	A	14 March 2023	None			
WO	2022242085	A1	24 November 2022	None			
CN	115411082	A	29 November 2022	None			
US	2020395429	A1	17 December 2020	US	11276743	B2	15 March 2022
				EP	3754709	A1	23 December 2020
				KR	20200144171	A	29 December 2020
CN	114373774	A	19 April 2022	None			
CN	114447032	A	06 May 2022	None			

A. 主题的分类 H10K59/131(2023.01)i; G09F9/33(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC: G09F, H10K, G09G, H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNTXT, ENTXTC, WPABSC, DWPI, CJFD: 显示, 副, 次, 第二, 导电, 电连接, 电性连接, 过孔, 透过率, 透射率, display+, electric+, connect+, conduct+, via?, hole?, transmis+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 115802835 A (京东方科技集团股份有限公司 等) 2023年3月14日 (2023 - 03 - 14) 权利要求1-20	1-20
X	WO 202242085 A1 (京东方科技集团股份有限公司 等) 2022年11月24日 (2022 - 11 - 24) 说明书第10页第23行至第36页第5行、附图1-20	1-20
A	CN 115411082 A (武汉天马微电子有限公司) 2022年11月29日 (2022 - 11 - 29) 全文	1-20
A	US 2020395429 A1 (SAMSUNG DISPLAY CO., LTD.) 2020年12月17日 (2020 - 12 - 17) 全文	1-20
A	CN 114373774 A (京东方科技集团股份有限公司 等) 2022年4月19日 (2022 - 04 - 19) 全文	1-20
A	CN 114447032 A (云谷(固安)科技有限公司) 2022年5月6日 (2022 - 05 - 06) 全文	1-20
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
★ 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年12月18日	国际检索报告邮寄日期 2023年12月22日	
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	授权官员 李国琛 电话号码 (+86) 010-53962578	

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/131284

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	115802835	A	2023年3月14日	无	
WO	2022242085	A1	2022年11月24日	无	
CN	115411082	A	2022年11月29日	无	
US	2020395429	A1	2020年12月17日	US 11276743 B2	2022年3月15日
				EP 3754709 A1	2020年12月23日
				KR 20200144171 A	2020年12月29日
CN	114373774	A	2022年4月19日	无	
CN	114447032	A	2022年5月6日	无	