

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 27/115

(11) 공개번호 특1997-0077692
(43) 공개일자 1997년 12월 12일

(21) 출원번호	특1996-0015546
(22) 출원일자	1996년 05월 11일
(71) 출원인	삼성전자 주식회사 김광호
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 홍영기
	경기도 용인군 수지면 풍덕천리 663-1 삼성4차아파트 101동 1002호 이상원
	경기도 용인군 기흥읍 농서리 산 24 449-900

심사청구 : 없음

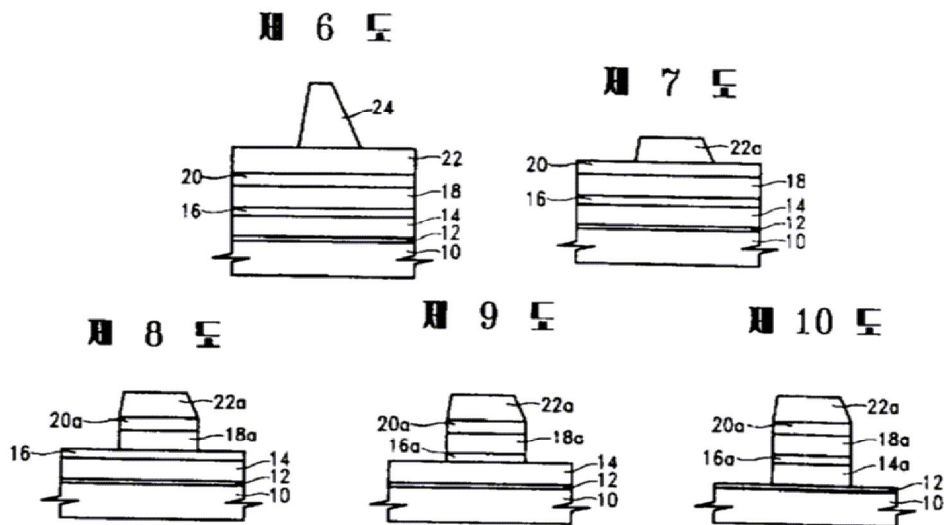
(54) 반도체장치의 게이트 형성방법

요약

본 발명은 반도체장치의 게이트 형성방법에 관해 개시한다. 본 발명에 의한 게이트 형성방법에서는 실리콘사이드층과는 에칭 친화성이 거의 없으며 식각과정에서는 폴리머를 발생시키고 폴리실리콘층과 산화막간에는 높은 식각선택비를 갖는 에천터를 사용한다.

따라서 본 발명은 게이트형성과정에서 산화막실리콘을 함유하는 물질층에 노칭이 형성되는 것을 막을 수 있다. 결국, 후속공정에서 양호한 박막을 형성할 수 있으므로 디바이스의 결함발생율을 낮출 수 있다.

대표도



명세서

[발명의 명칭]

반도체장치의 게이트 형성방법

[도면의 간단한 설명]

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체기판상에 제1절연막, 제1도전층, 제2절연막, 제2도전층, 실리콘사이드층 및 제3절연막을 형성하는 단계; 및 상기 제3절연막 내지 제1도전층을 순차적으로 자기정합적인 방법으로 식각하는 단계를 포함하는 반도체장치의 게이트 형성방법에 있어서, 상기 제1도전층 패턴을 형성하기 전에 자연산화막을 제거한 다음 상기 제1도전층 패턴을 형성하는 과정에서 상기 실리콘사이드층과는 에칭 친화성이 없으며 식각과정에서는 폴리머를 발생시키고 폴리실리콘층과 산화막간에는 높은 식각선택비를 갖는 에천터를 사용하는 것을 특징으로 하는 반도체장치의 게이트 형성방법.

청구항 2

제1항에 있어서, 상기 자연산화막은 헬륨(He)/4불화탄소(CF₄)를 에천터로 사용하는 것을 특징으로 하는 반도체 장치의 게이트 형성방법.

청구항 3

제1항에 있어서, 상기 에천터로는 He/HBr를 사용하는 것을 특징으로 하는 반도체 장치의 게이트 형성방법.

청구항 4

제3항에 있어서, 상기 에천터를 플라즈마화하는 것을 특징으로 하는 반도체 장치의 게이트 형성방법.

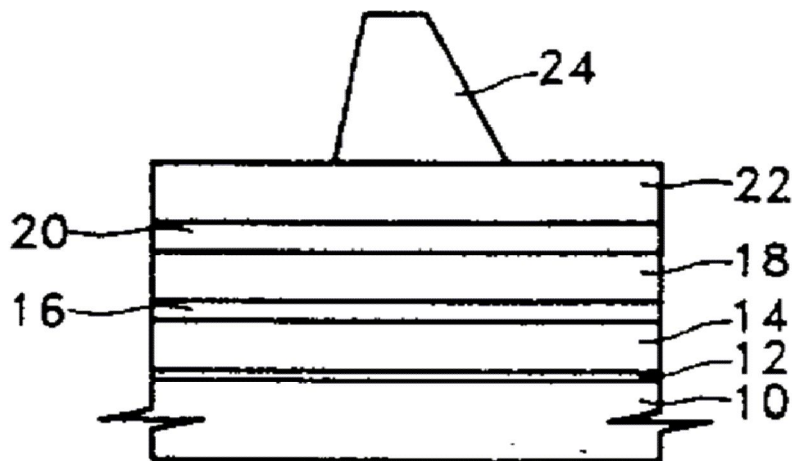
청구항 5

제1항에 있어서, 상기 에천터의 식각선택비는 25 : 1로 하는 것을 특징으로 하는 반도체 장치의 게이트 형성방법.

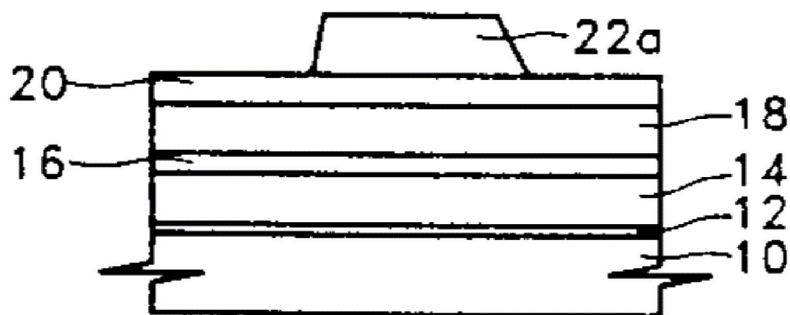
※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

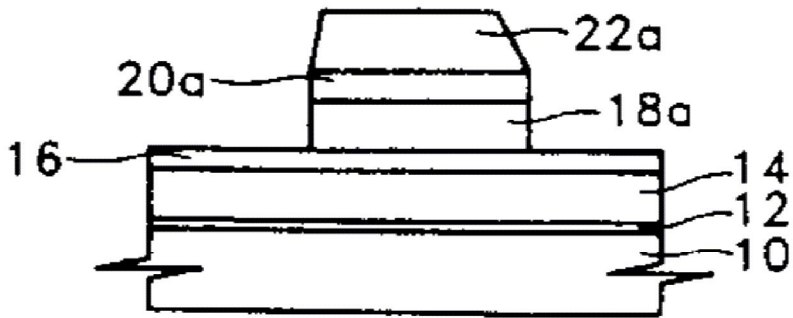
도면6



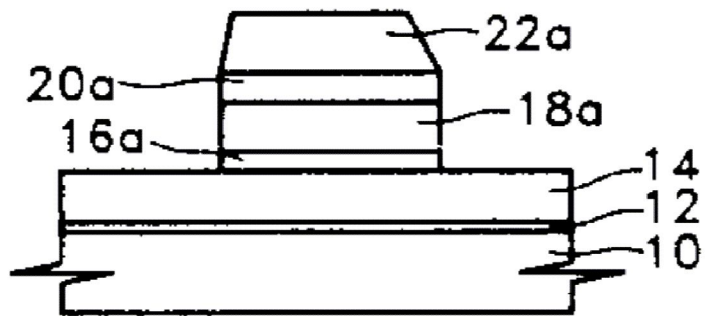
도면7



도면8



도면9



도면10

