

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2020年12月3日 (03.12.2020)



(10) 国际公布号  
**WO 2020/237543 A1**

- (51) 国际专利分类号:  
*H01G 4/30* (2006.01)
- (21) 国际申请号: PCT/CN2019/089119
- (22) 国际申请日: 2019年5月29日 (29.05.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 深圳市汇顶科技股份有限公司 (SHENZHEN GOODIX TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。
- (72) 发明人: 陆斌 (LU, Bin); 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。 沈健 (SHEN, Jian); 中国广东省深圳市福田保税区腾飞工业大厦B座13层, Guangdong 518045 (CN)。
- (74) 代理人: 北京龙双利达知识产权代理有限公司 (LONGSUN LEAD IP LTD.); 中国北京市海淀区北清路68号院3号楼101, Beijing 100094 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: CAPACITOR AND PREPARATION METHOD THEREFOR

(54) 发明名称: 电容器及其制备方法

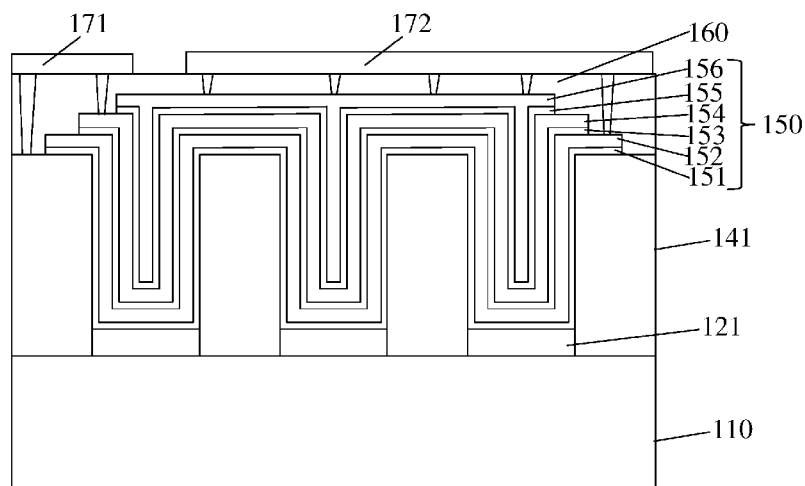


图 1

(57) Abstract: The embodiments of the present application provide a capacitor and a preparation method therefor. The capacitor comprises: a first electrode and a second electrode which are respectively used for connecting an external circuit; at least one support, which is a columnar structure or a wall-shaped structure; a laminated structure comprising at least one dielectric layer and at least one conductive layer; and an interconnected structure for electrically connecting the first electrode to the at least one support or to a first conductive layer of the at least one conductive layer, and electrically connecting the second electrode to a second conductive layer of the at least one conductive layer. The second conductive layer is connected, by means of one of the at least one dielectric layer, to the at least one support electrically connected to the first electrode or to the first conductive layer. The capacitor in the embodiments of



WO 2020/237543 A1

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

- 关于申请人有权申请并被授予专利(细则4.17(ii))

本国际公布:

- 包括国际检索报告(条约第21条(3))。

---

the present application uses the laminated structure to form the capacitor, so that a large capacitance value can be obtained in the case of a small device size, thereby improving the capacitance density of the capacitor. In addition, the at least one support is used as an electrode plate of the capacitor, simplifying the structure of the capacitor.

(57) 摘要: 本申请实施例提供了一种电容器及其制备方法。所述电容器包括: 第一电极和第二电极, 分别用于连接外部电路; 至少一个支架, 所述至少一个支架为柱状结构或墙状结构; 叠层结构, 包括至少一层电介质层和至少一层导电层; 互联结构, 用于将所述第一电极电连接至所述至少一个支架或所述至少一层导电层中的第一导电层, 并将所述第二电极电连接至所述至少一层导电层中的第二导电层, 所述第二导电层通过所述至少一层电介质层中的一层电介质层连接至与所述第一电极电连接的所述至少一个支架或所述第一导电层。本申请实施例的电容器, 利用叠层结构形成电容器, 能够在较小器件尺寸的情况下得到较大的电容值, 从而能够提高电容器的容值密度。此外, 将所述至少一个支架作为所述电容器的一个电极板, 简化了电容器的结构。

## 电容器及其制备方法

### 技术领域

本申请涉及电容器领域，并且更具体地，涉及电容器及其制备方法。

5

### 背景技术

电容器在电路中可以起到旁路、滤波、去耦等作用，是保证电路正常运转的不可或缺的一部分。但是，随着现代电子系统不断向多功能、高集成、低功耗、微型化发展，现有的电容器制造技术已经难以满足各类高端应用的

10

多样化需求。

因此，如何提高电容器的容值密度，成为一个亟待解决的技术问题。

### 发明内容

本申请实施例提供一种电容器及其制备方法，能够提高电容器的容值密

15

度。

第一方面，提供了一种电容器，包括：

第一电极和第二电极，分别用于连接外部电路；

至少一个支架，所述至少一个支架为柱状结构或墙状结构；

20

叠层结构，包括至少一层电介质层和至少一层导电层；所述至少一层电介质层和所述至少一层导电层覆盖所述至少一个支架，所述至少一层电介质层和所述至少一层导电层形成电介质层和导电层彼此相邻的结构；

25

互联结构，用于将所述第一电极电连接至所述至少一个支架或所述至少一层导电层中的第一导电层，并将所述第二电极电连接至所述至少一层导电层中的第二导电层；所述第二导电层通过所述至少一层电介质层中的一层电介质层连接至与所述第一电极电连接的所述至少一个支架或所述第一导电层。

第二方面，提供了一种制备电容器的方法，包括：

在衬底上制备至少一个支架，所述至少一个支架为柱状结构或墙状结构；

30

在所述至少一个支架上制备至少一层电介质层和至少一层导电层，得到叠层结构，其中，所述至少一层电介质层和所述至少一层导电层形成电介质层和导电层彼此相邻的结构；

在所述叠层结构上制备包括互联结构的绝缘结构;

在所述绝缘结构上制备第一电极和第二电极,其中,所述第一电极电连接至所述至少一个支架或所述至少一层导电层中的第一导电层,所述第二电极电连接至所述至少一层导电层中的第二导电层;所述第二导电层通过所述至少一层电介质层中的一层电介质层连接至与所述第一电极电连接的所述至少一个支架或所述第一导电层。

第三方面,提供了一种电容器,包括:

按照第二方面所述的方法制备的电容器。

基于以上技术方案,利用导电层与电介质层交替堆叠的叠层结构形成电容器,能够在较小器件尺寸的情况下得到较大的电容值,从而能够提高电容器的容值密度。此外,通过在所述至少一个支架上制备所述叠层结构,并将所述至少一个支架作为所述电容器的一个电极板,可以简化电容器的结构。

#### 附图说明

- 15 图 1 是本申请实施例的电容器的示意性结构图。  
图 2 是本申请实施例的具有导电区的衬底的示意性结构图。  
图 3 是本申请实施例的具有导电区的衬底的另一示意性结构图。  
图 4 是本申请实施例的电容器的另一示意性结构图。  
图 5 是本申请实施例的制备电容器的方法的示意性流程图。  
20 图 6 至图 17 是制备图 1 所示的电容器的示意性工艺流程图。  
图 18 至图 27 是制备图 2 所示的电容器的示意性工艺流程图。  
图 28 和图 29 是图 10 所示的结构另一示意性结构图。

#### 具体实施方式

25 下面将结合附图,对本申请实施例中的技术方案进行描述。

应理解,本申请实施例的电容器在电路中可以起到旁路、滤波、去耦等作用。

本申请实施例所述的电容器可以是 3D 硅电容器,3D 硅电容器可以利用半导体晶圆加工技术加工的电容器。

30 3D 硅电容器与多层陶瓷电容 (Multilayer ceramic capacitor, MLCC) 相比,其具有小尺寸、高精度、高稳定性、长寿命等优点。3D 硅电容器的加

工流程需要先在晶圆或衬底上加工出高深宽比的深孔(Via)、沟槽(Trench)、柱状(Pillar)、墙状(Wall)等3D结构,接着在3D结构表面沉积绝缘薄膜和低电阻率导电材料依次制作电容的下电极、电介质层和上电极。

以下,结合图1至图29,详细介绍本申请实的电容器及其制备方法。

5 需要说明的是,为便于说明,在本申请的实施例中,相同的附图标记表示相同的部件,并且为了简洁,在不同实施例中,省略对相同部件的详细说明。应理解,附图示出的本申请实施例中的各种部件的厚度、长宽等尺寸,以及集成装置的整体厚度、长宽等尺寸仅为示例性说明,而不应对本申请构成任何限定。

10 此外,为便于理解,在以下示出的实施例中,对于不同实施例中示出的结构中,相同的结构采用相同的附图标记,并且为了简洁,省略对相同结构的详细说明。

图1是本申请实施例的电容器100的示意性结构图。

15 请参见图1,所述电容器100可以包括第一电极171、第二电极172、至少一个支架、叠层结构150和互联结构。

第一电极171和第二电极172分别为电容器100的正负两个电极。第一电极171和第二电极172相互分离。第一电极171和第二电极172的材料可以采用各种导电材料,例如金属铝。第一电极171和第二电极172的形式可以以焊盘或锡球的方式实现。第一电极171和第二电极172可分别用于外接  
20 其他电路或者芯片等元件或装置。

可选地,所述至少一个支架可以为柱状结构。

即所述至少一个支架中的每个支架的3D结构可以为柱体。

25 所述柱体在纵轴方向上的长度可以大于或等于支架在横轴方向上的长度。所述柱体可以是棱角明显或棱角不明显的立柱,例如圆柱或棱柱。所述柱体的上端在横轴方向上的尺寸可以小于(或大于等于)所述立柱的下端在横轴方向上的尺寸,例如所述柱体在纵轴方向上的剖面形状可以为梯形或三角形。

可选地,所述至少一个支架可以为墙状结构。

即所述至少一个支架中的每个支架的3D结构可以为墙体。

30 所述墙体在第一横轴方向上的长度可以大于(或小于)所述墙体在第二横轴方向上的长度。所述第一横轴方向垂直于所述第二横轴方向。与所述柱

状结构类似，本申请对所述墙体的棱角和尺寸不做具体限定。

可选地，所述至少一个支架可以为彼此电连接的多个导电支架。

在一种实现中，所述多个支架在物理上是相连的。例如所述多个支架为多个纵横交错的墙体。即在俯视图上，所述多个支架形成“井”状结构形或  
5 网格结构。在另一种实现中，所述多个支架在物理上是分离开的。例如所述多个支架为多个呈阵列分布的柱体，此时可以通过其他元件电连接所述多个支架，例如可以通过导电层或导线电连接所述多个支架的底端。

请继续参见图 1，可选地，叠层结构 150 可以包括至少一层电介质层（也可称为绝缘层）和至少一层导电层。

10 其中，所述至少一层电介质层和所述至少一层导电层覆盖所述至少一个支架，所述至少一层电介质层和所述至少一层导电层形成电介质层和导电层彼此相邻的结构。

即所述叠层结构 150 中的与导电层相邻的层为电介质层，所述叠层结构 150 中的与电介质层相邻的层为导电层。换句话说，所述叠层结构 150 中的  
15 导电层的上一层和下一层均为电介质层，以及所述叠层结构 150 中的电介质层的上一层和下一层均为导电层。

可选地，所述叠层结构 150 中的与所述至少一个支架距离最近的层可以为电介质层。

即所述至少一个支架直接接触于所述叠层结构 150 内的电介质层。换句话  
20 说，所述叠层结构的底层为电介质层，该电介质层的下表面与所述至少一个支架的上表面直接接触。

可选地，所述叠层结构 150 中的与所述至少一个支架距离最近的层可以为导电层。

即所述至少一个支架直接接触于所述叠层结构 150 内的导电层。换句话  
25 说，所述叠层结构的底层为导电层，该导电层的下表面与所述至少一个支架的上表面直接接触。

可选地，所述至少一个支架可以为至少一个导电支架，也可以为至少一个绝缘支架，本申请对此不做具体限定。

以所述至少一个支架为导电支架，且所述叠层结构 150 的底层为电介质  
30 层为例，结合图 1 来说，所述至少一个支架包括 4 个支架 141；所述叠层结构 150 中的所述至少一层电介质层包括电介质层 151、153 和 155；所述叠层

结构 150 中的所述至少一层导电层包括导电层 152、154 和 156。所述叠层结构 150 的底层为电介质层 151。

5 可选地，所述叠层结构 150 的两端可以分别形成至少一个第一台阶和至少一个第二台阶。例如，所述叠层结构的两端分别设置于所述至少一个支架的上方。

结合图 1 来说，所述叠层结构 150 的两端分别设置于 4 个支架的两侧支架的上方。电介质层 151 与导电层 152 对齐设置，电介质层 153 和导电层 154 对齐设置，电介质层 155 和导电层 156 对齐设置，由此，使得导电层 152、导电层 154 以及导电层 156 支架形成台阶结构，以便与第一电极 171 或第二  
10 电极 172 进行电连接。

可选地，所述至少一个支架的深宽比大于某一阈值，以保证所述叠层结构 150 具有足够的表面积。可选地，所述至少一个支架也可以是深宽比不同的多个支架。

15 可选地，所述多个支架中的相邻的两个支架之间的间距大于某一阈值，例如一个支架的宽度，以保证所述相邻的两个支架之间的间距能够容纳所述叠层结构 150。进一步地，所述相邻的两个支架之间的间距也可以小于某一阈值，例如，两个支架的宽度，以保证所述叠层结构 150 具有足够的表面积。

综上所述，通过设置每个支架的深宽比以及相邻的两个支架之间的间隔，可以控制叠层结构 150 中的导电层的表面面积。换句话说，通过在高密度、  
20 高深宽比的支架（例如柱状结构或墙状结构的支架）上形成叠层结构，可以提高电极板表面积和叠层密度，进而形成小尺寸、高容量的电容器 100。

此外，将所述 4 个支架 141 复用于电容器 100 的电极板，能够简化电容器 100 的结构。

结合图 1 来说，电连接的 4 个支架 141 作为一层电极板，通过叠层的方式在所述 4 个支架 141 上依次形成电介质层 151、导电层 152、电介质层 153、  
25 导电层 154、电介质层 155 和导电层 156，可以得到叠层结构 150。进一步地，所述 4 个支架 141 作为一层电极板，与电介质层 151 和导电层 152 形成第一电容器，导电层 152、电介质层 153 和导电层 154 可以用于形成第二电容器，导电层 154、电介质层 155 和导电层 156 可以用于形成第三电容器。将所述  
30 4 个支架 141 和导电层 154 电连接至第一电极 171，将上述导电层 152 和所述导电层 156 电连接至第二电极 172，由此实现上述第一电容器、上述第二

电容器和上述第三电容器的并联，进而可以得到一个大容值的电容器。

互联结构用于将所述第一电极 171 和所述第二电极 172 至少分别连接至相邻的两个电极板，以保证电容器 100 能够实现电容器的基本功能，即容纳电荷。

5 例如，所述互联结构可以用于将所述第一电极 171 电连接至所述至少一个支架或所述叠层结构 150 中的第一导电层，将所述第二电极 172 电连接至所述叠层结构 150 中的第二导电层；所述第二导电层与所述第一电极 171 电连接的所述至少一个支架或所述第一导电层相邻。例如所述第二导电层通过所述至少一层电介质层中的一层电介质层连接至与所述第一电极 171 电连接的所述至少一个支架或所述第一导电层。

即所述第一电极 171 电连接至所述至少一个导电支架时，所述第二导电层与所述至少一个导电支架相邻；所述第一电极 171 电连接至上所述第一导电层时，所述第二导电层与所述第一导电层相邻。

15 例如，所述至少一个支架为至少一个导电支架时，所述互联结构可以用于将所述第一电极 171 电连接至所述至少一个导电支架和/或叠层结构 150 中的部分或全部偶数层导电层，以及将所述第二电极 172 电连接至叠层结构 150 中的部分或全部奇数层导电层，以最大程度的并联叠层结构 150 内的多个电容器。例如，所述至少一个支架为至少一个导电支架，且所述叠层结构 150 的底层为电介质层时，所述互联结构可以用于将所述第一电极 171 电连接至所述至少一个导电支架、所述叠层结构 150 中的全部偶数层导电层，以及将所述第二电极 172 电连接至叠层结构 150 中全部奇数层导电层。又例如，所述至少一个支架为至少一个导电支架，且所述叠层结构 150 的底层为导电层时，所述互联结构可以用于将所述第一电极 171 电连接至所述叠层结构 150 中的全部偶数层导电层，以及将所述第二电极 172 电连接至叠层结构 150 中的全部奇数层导电层。

又例如，所述至少一个支架为至少一个绝缘支架时，所述互联结构可以用于将所述第一电极 171 电连接至所述叠层结构 150 中的部分或全部奇数导电层，将所述第二电极 172 电连接至叠层结构 150 中部分或偶数导电层。

30 需要说明的是，在本申请所涉及的导电层的顺序可以为从叠层结构 150 的一侧到另一侧的顺序，例如，从上到下的顺序或者是从下到上的顺序。为了便于描述，以下以从下到上的顺序为例进行说明。

结合图 1 来说, 叠层结构 150 中的导电层 152、154、156 分别为第 1 层至第 3 层导电层。其中, 偶数层导电层可以为第 2 层导电层(即导电层 154), 所述 4 个支架 141 和导电层 154 可以通过互联结构可以电连接至所述第一电极 171。奇数层导电层可以为第 1 层导电层(即导电层 152)和第 3 层导电层(即导电层 156), 导电层 152 和导电层 156 可以通过互联结构可以电连接至所述第二电极 172。

互联结构的材料可以采用各种导电材料, 可以与叠层结构 150 中的导电层的材料相同或不同, 例如, 可以采用氮化钛和金属钨。

可选地, 电容器 100 还可以包括基座层。

10 基座层和所述至少一个支架形成至少一个凹槽结构, 所述基座层作为所述至少一个凹槽结构的底部, 所述至少一个支架作为所述至少一个凹槽的侧壁, 所述叠层结构覆盖所述至少一个凹槽结构。

15 请继续参见图 1, 所述基底层 121 可以设置有至少一个开口, 4 个支架 141 设置在所述至少一个开口内, 所述基底层 121 的下表面和所述 4 个支架 141 的下表面位于同一平面内。

可选地, 所述基座层 121 的材料为导电层。

基座层 121 的材料为导电层时, 所述基座层 121 可以将所述 4 个支架 141 进行电连接, 使得所述 4 个支架 141 可以以一个整体作为所述电容器 100 的一个电极板。

20 可选地, 所述基座层 121 的材料为绝缘层。

基座层 121 的材料为绝缘层时, 所述基座层 121 可以防止衬底 110 和叠层结构 150 之间发生电击穿, 以提升电容器 100 的性能。

请继续参见图 1, 电容器 100 还可包括绝缘层 160。

25 绝缘层 160 用于包覆所述叠层结构 150, 以保护叠层结构 150 以及降低叠层结构 150 与其他外部电路之间的干扰。

绝缘层 160 可以至少覆盖叠层结构 150 的上方和叠层结构 150 的两个侧面, 例如绝缘层 160 至少覆盖叠层结构 150 的上方和所述叠层结构 150 在两端形成的台阶。

互联结构还可以包括至少一个第一通孔和至少一个第二通孔。

30 即所述绝缘层 160 包括至少一个第一通孔和至少一个第二通孔, 所述第一电极 171 通过所述至少一个第一通孔至少电连接至所述至少一个支架或所

述第一导电层,所述第二电极 172 通过所述至少一个第二通孔至少电连接至所述第二导电层。

应当理解,所述至少一个第一通孔和所述至少一个第二通孔内可以填充有与叠层结构 150 中的导电层的材料相同或不同的导电材料,也可以设置有用  
5 用于电连接的布线层,以便所述第一电极 171 和所述第二电极 172 分别通过通孔内的导电材料或布线层电连接相应的导电层或支架。但本申请不限于此。

请继续参见图 1,电容器 100 还可以包括衬底 110。

衬底 110 设置在叠层结构 150 的下方,以支撑所述至少一个支架和/或基座层。所述衬底 110 还可以用于电连接上述至少一个支架。

10 可选地,衬底 110 可以是低电阻率的单晶硅晶圆。

当然,衬底 110 也可以是表面设置有低电阻率导电层的半导体衬底、玻璃衬底或有机物衬底,以保证上述多个支架的导电性能。例如,请参见图 2,所述衬底 110 的上表面可以设置有电阻率低于预设阈值的导电区 111;又例如,请参见图 3,所述衬底 110 的上表面向下延伸形成有凹槽,所述衬底  
15 的凹槽内设置有电阻率低于所述预设阈值的导电材料,以形成所述导电区 112。

半导体衬底的材料可以是硅、锗或 III-V 族元素(碳化硅(SiC)、氮化镓(GaN)以及砷化镓(GaAs)等),也可以是上述不同材料的组合。所述半导体衬底还可以包括衬底的用于绝缘衬底的外延层结构,例如硅晶绝缘体(silicon-on-insulator, SOI)结构。衬底 110 可以是一整片晶圆,也可以是从晶圆截取的一部分。  
20

低电阻率导电层可以是重掺杂的硅、金属、TiN、TaN、碳或导电有机物。低电阻率导电层可以是电阻率低于预设阈值的导电层。所述预设阈值的设置使得所述至少一个支架的底部电连接后,能够充当电容器 100 的一个电极板。

应理解,图 1 至图 3 仅为本申请电容器的一种示例,不应理解为对本申  
25 请的限制。例如叠层结构 150 的两端还可以分别设置于所述至少一个支架的两侧。

例如,所述至少一个支架的数量也可以大于 4 个或小于 4 个,本申请实施例对此不做具体限定。

又例如,所述叠层结构 150 中的各个层也可以采用其他对齐方式,本申  
30 请对此不做具体限定。例如,叠层结构 150 中的每个层也可以与其他层均不对齐。即电介质层 151、导电层 152、电介质层 153、导电层 154、电介质层

155 以及导电层 156 中层与层之间分别形成台阶。

又例如，电容器 100 中的通孔仅贯通绝缘层 160。可替代地，电介质层 153 和导电层 152 对齐设置时，导电层 152 和第二电极 172 之间的第二通孔还需要贯通电介质层 152。

- 5 又例如，所述第一电极 171 可以仅电连接至 4 个支架 141，此时，所述第二电极 172 可以仅电连接至导电层 152。所述第一电极也可以仅电连接至导电层 154，此时所述第二电极可以仅电连接至导电层 152 和/或导电层 156。本申请实施例对此不做具体限定。换句话说，本申请实施例中，通过控制第一电极 171 和第二电极 172 的连接对象，可以控制所述电容器 100 的电容值。
- 10 进一步地，所述第一电极 171 和所述第二电极 172 可以分别包括多个电极，此时通过控制每个电极的连接对象，可以形成电容值可变的电容器 100。

又例如，所述基座层 121 的材料为导电层时，可以通过所述基座层 121 电连接所述 4 个支架 141，此时，所述基座层的用于容纳所述 4 个支架 141 的 4 个开口可以替换为 4 个开口朝向叠层结构 150 的凹槽。

- 15 图 4 是本申请实施例的电容器 200 的另一示意性框图。

请参见图 4，电容器 200 可以包括第一电极 271、第二电极 272、两个支架 241、叠层结构 250 和互联结构。

叠层结构 250 可以包括电介质层 251、导电层 252、电介质层 253、导电层 254、电介质层 255 以及导电层 256。

- 20 请继续参见图 4，电容器 200 还可以包括基座层 221，以支撑叠层结构 250 和/或电连接上述 2 个支架 251。进一步地，电容器 200 还可以包括衬底 210，以支撑上述基座层 221 和/或上述 2 个支架 251。衬底 210 还可以用于电连接上述 2 个支架 251。进一步地，电容器 200 还可以包括绝缘层 260，以保护叠层结构 250 以及降低叠层结构 250 与其他外部电路之间的干扰。

- 25 应理解，由于电容器 200 可以理解为电容器 100 的变形结构，为了避免重复，此处省略相应的相关描述。例如，相应的导电层和电介质层的材料、相应工作原理以及相应的变形结构。

- 30 请继续参见图 4，叠层结构 250 的两端还可以分别设置于上述 2 个支架 241 的两侧。即所述衬底 210 的两端为基座层 221，叠层结构 250 的一端设置在所述 2 个支架 241 的右侧的基座层 221 的上方，叠层结构 250 的另一端设置在所述 2 个支架的左侧的基座层 221 的上方。可见，在电容器 100 中，

叠层结构 150 的两端的位置位于支架上，而在电容器 200 中，叠层结构 250 的两端的位置位于基座层 221 上。在具体实现中，可以根据电容值的实际需求或对加工工艺的要求选择相应的实现方式，本申请实施例对此不做具体限定。

5 应理解，图 1 至图 4 仅为本申请的示例，不应理解为对本申请的限制。

例如，基座层 221 的材料为绝缘材料时，第一电极 271 和所述基座层 221 之间的通孔可以替换为贯穿所述绝缘层 260 和所述基座层 221 的通孔。

又例如，所述至少一个支架可以替换为至少一个绝缘支架，即叠层结构设置在所述至少一个绝缘支架的上方。进一步地，所述叠层结构的底层为导电层。第一电极和第二电极至少分别电连接至所述叠层结构中相邻的两个导电层。  
10

应理解，以上结合附图详细描述了本申请的优选实施方式，但是，本申请并不限于上述实施方式中的具体细节，在本申请的技术构思范围内，可以对本申请的技术方案进行多种简单变型，这些简单变型均属于本申请的保护范围。  
15

本申请还提供了一种制备电容器 100 和电容器 200 的方法。

图 5 是本申请实施例的制备电容器的方法 300 的示意性工艺流程图。

如图 5 所示，所述方法 300 可以包括：

S310，在衬底上制备至少一个支架，所述至少一个支架为柱状结构或墙状结构。  
20

S320，在所述至少一个支架上制备至少一层电介质层和至少一层导电层，得到叠层结构，其中，所述至少一层电介质层和所述至少一层导电层形成电介质层和导电层彼此相邻的结构。

S330，在所述叠层结构上制备包括互联结构的绝缘结构。

S340，在所述绝缘结构上制备第一电极和第二电极，其中，所述第一电极通过所述互联结构电连接至所述至少一个支架或所述至少一层导电层中的第一导电层，所述第二电极通过所述互联结构电连接至第二导电层；所述第二导电层与所述第一电极电连接的所述至少一个支架或所述第一导电层相邻。  
25

30 以所述至少一层导电层为 3 层极板层为例，首先在衬底表面制备所述至少一个支架。然后，在所述至少一个支架上设置第 1 电容，其包含第 1 极板

层（即所述至少一个支架）、第 1 电介质层和第 2 极板层；其中第 1 电介质层电隔离第 1 和第 2 极板层。接着，在所述第 1 电容上设置第 2 电容，其包含第 2 极板层、第 2 电介质层和第 3 极板层；其中第 2 电介质层电隔离第 2 和第 3 极板层。最后，在所述第 3 极板层上设置绝缘结构，并在绝缘结构上设置互联结构和焊盘，其中至少一个焊盘通过所述互联结构电连接第 1 极板层以及第 3 极板层，至少一个焊盘通过所述互联结构电连接第 2 极板层，由此实现对第 1 电容、第 2 电容和第 3 电容的并联，进而得到一个大容值的电容器。

下面对结合图 6 至图 17 对制备电容器 100 的方法进行示例性说明。

10 制备电容器 100 的方法可以包括以下中的部分或全部内容：

步骤 0：

选取衬底。例如图 6 所示的低电阻率的单晶硅晶圆。

当然，衬底 110 也可以是表面设置有低电阻率导电层的半导体衬底、玻璃衬底或有机物衬底，以保证上述多个支架的导电性能。本申请实施例对此  
15 不做具体限定。

步骤 1：

在所述衬底 110 上形成基底层 120，以形成图 7 所示的结构。基底层 120 的材料可以是绝缘材料。例如，基座层 120 可以是利用热氧化工艺制作的二氧化硅，也可以是利用 CVD 工艺沉积的氧化硅、氮化硅、氮氧化硅、含硅玻璃（例如 USG、BSG、PSG 以及 BPSG），还可以是利用旋涂工艺制备的 SOG 或有机材料。基座层 120 的材料也可以是导电材料。例如，基座层 120 可以是利用 CVD 工艺沉积的重掺杂多晶硅，也可以是利用 PVD 工艺沉积的各类金属、TiN、TaN。

步骤 2：

25 在所述基底层 120 上形成所述造模层 130，以形成图 8 所示的结构。造模层 130 可以是利用 CVD 工艺沉积的多晶硅、不定形硅、氧化硅、氮化硅、氮氧化硅、TEOS、含硅玻璃（USG、BSG、PSG、BPSG），也可以是利用旋涂工艺制备的 SOG 或有机材料。

需要说明的是，造模层 130 相对于基座层 120 可以被选择性去除。

30 步骤 3：

形成贯通所述造模层 130 和所述基底层 120 的至少一个凹槽，以形成图

9 所示的结构。例如，可以利用光刻工艺结合干法刻蚀，在基座层 120 和造模层 130 中制作所述至少一个凹槽。

步骤 4:

5 在所述至少一个凹槽内填充导电材料 140，以形成图 10 所示的结构。例如，可以利用 ALD 工艺沉积导电材料 140，并完全填满所述至少一个凹槽。

需要说明的是，导电材料 140 相对于基座层 120 可以被选择性去除。

步骤 5:

10 去除所述造模层 130 上方的导电材料 140，以形成图 11 所示的结构。例如，可以利用干法刻蚀工艺，去除造模层 130 上方的导电材料 140，以露出造模层 130。

步骤 6:

15 去除所述衬底 110 上方的造模层 130，以形成所述至少一个支架 141，进而形成图 12 所示的结构。例如，所述造模层 130 的材料为 USG，且所述基座层 120 的材料和所述导电材料 140 均为 TiN 时，可以利用氢氟酸溶液选择性去除 USG，进而得到嵌入基座层 120 的 TiN 立柱。

需要说明的是，步骤 3 中形成的至少一个凹槽在衬底 110 上可以有多种实现方式，因此，步骤 6 中形成的至少一个支架 141 的 3D 结构也有多种实现方式。例如可以是一个个分立的柱或墙，也可以是彼此纵横交错的网格状结构。

20 步骤 7:

在所述至少一个支架 141 形成叠层结构 150，以形成图 13 所示的结构。例如，可以利用沉积工艺依次沉积电介质层 151、导电层 152、电介质层 153、导电层 154、电介质层 155 以及的导电层 156，进而得到叠层结构 150。其中，所述叠层结构 150 中的电介质层的材料可以是硅的氧化物、硅的氮化物、硅的氮氧化物、金属的氧化物、金属的氮化物或者金属的氮氧化物。例如二氧化硅，氮化硅，或者高介电常数材料，包括氧化铝，氧化钪，氧化锆，二氧化钛， $Y_2O_3$ ， $La_2O_3$ ， $HfSiO_4$ ， $LaAlO_3$ ， $SrTiO_3$ ， $LaLuO_3$  等；也可以是上述一种材料或多种材料的叠层或组合。所述叠层结构 150 中的导电层的材料可以由低电阻率导电材料构成，例如可以是重掺杂多晶硅，碳材料，或者是铝 (Al)、钨 (W)、铜 (Cu)、钛 (Ti)、钽 (Ta)、铂 (Pt)、钌 (Ru)、铱 (Ir)、铑 (Rh) 等各类金属，也可以是氮化钛、氮化钽等低电阻率的化合物，还可

25

30

以是上述几种导电材料的叠层或组合，本申请实施例对此不做具体限定。叠层结构 150 中的导电层和电介质层的具体材料和层厚可根据电容器的容值、频率特性、损耗等需求来调整。当然，叠层结构中的电介质层还可以包括一些其他具有高介电常数特性的材料层，本申请实施例对此不作限定。

5 需要说明的是，步骤 3 中形成的所述至少一个凹槽为所述至少一个支架 141 的位置，因此叠层结构 150 的两端会位于支架的上方。

步骤 8:

在所述叠层结构 150 的两端分别形成至少一个第一台阶和至少一个第二台阶，以形成图 14 所示的结构。例如，可以利用多步光刻工艺结合等离子刻蚀工艺，使得所述导电层 152、导电层 154 以及导电层 156 相互形成台阶。

步骤 9:

在所述叠层结构 150 上形成绝缘层 160，以形成图 15 所示的结构。例如，可以利用沉积工艺在所述叠层结构 150 上沉积绝缘层 160。绝缘层 160 的材料可以是机能的聚合物材料，例如可以是聚酰亚胺 (Polyimide)，帕里纶 (Parylene)，苯并环丁烯 (BCB) 等；也可以是一些无机材料，例如旋转涂布玻璃 (Spin on glass, SOG)，未掺杂硅玻璃 (Undoped Silicon Glass, USG)，硼硅玻璃 (Boro-silicate glass, BSG)，磷硅玻璃 (phospho-silicate glass, PSG)，硼磷硅玻璃 (Boro-phospho-silicate glass, BPSG)，由四乙氧基硅烷 (Tetraethyl Orthosilicate, TEOS) 合成的硅氧化物，硅的氧化物、氮化物，陶瓷；还可以是上述材料的叠层或组合。

步骤 10:

在所述绝缘层 160 上形成至少一个第一通孔和至少一个第二通孔，以形成图 16 所示的结构。例如，可以利用光刻及刻蚀工艺制备所述至少一个第一通孔和至少一个第二通孔；所述至少一个第一通孔包括通孔 161 和通孔 162，通孔 161 用于露出至少一个支架 141，通孔 162 用于露出叠层结构 150 中的导电层 154；所述至少一个第二通孔包括通孔 163、通孔 164、通孔 165、通孔 166 和通孔 167，通孔 163、通孔 164、通孔 165 以及通孔 166 均用于露出叠层结构 150 中的导电层 156，通孔 167 用于露出叠层结构 150 中的导电层 152。

30 步骤 11:

利用导电材料填充所述至少一个第一通孔和所述至少一个第二通孔，以

形成图 17 所示的结构。例如，可以利用沉积工艺在所述至少一个第一通孔和所述至少一个第二通孔中沉积低电阻率导电材料。进一步地，还可以利用表面平坦化工艺磨去绝缘层 160 上方多余的导电材料，进而得到一个个独立的导电通道。所述构成导电通道的低电阻率导电材料包括重掺杂多晶硅，钨，

5 Ti, TiN, Ta, TaN。

步骤 12:

在所述至少一个第一通孔的上方形形成所述第一电极，在所述至少一个第二通孔的上方形形成所述第二电极，以形成图 1 所示的结构。例如，可以利用沉积工艺先在绝缘层 160 上沉积导电材料，再利用光刻工艺形成第一电极  
10 171 和第二电极 172，其中第一电极 171 通过所述至少一个第一通孔电连接至 4 个支架中靠左的支架和导电层 154，第二电极 172 通过所述至少一个第二通孔电连接至导电层 152 和导电层 156。当然，也可以利用电镀工艺或化学镀工艺在绝缘层 160 上制备所述第一电极 171 和所述第二电极 172，本申请实施例对此不做具体限定。

15 以所述第一电极 171 和所述第二电极 172 均为焊盘 (pad) 为例，所述焊盘的材料可以为金属材料，例如铜或铝。进一步地，焊盘与 ILD 之间还可以设置有低电阻率的 Ti, TiN, Ta, TaN 层作为黏附层和/或阻挡层。进一步地，所述焊盘的表面还可以设置有金属层，用于后续打线或焊接工艺，例如所述金属层的材料可以为 Ni、Pd、Au、Sn 以及 Ag 等等。

20 需要说明的是，在步骤 10 中可以使得所述至少一个第一通孔所在的区域和所述至少一个第二通孔所在的区域无重叠，以保证能够分离设置所述第一电极 171 和所述第二电极 172。

应理解，所述刻蚀工艺可以包括以下工艺中的至少一种：

干法刻蚀工艺、湿法刻蚀工艺和激光刻蚀工艺。

25 进一步地，所述干法蚀刻 (dry etching) 工艺可以包括以下刻蚀工艺中的至少一种：反应性离子蚀刻 (reactive ion etching)、等离子体蚀刻 (plasma etching) 以及离子束刻蚀 (ion beam etching) 等。优选地，可以通过改变蚀刻气体的混合比可以改变蚀刻速度。所述湿法刻蚀工艺的化学原料可以包括但不限于含氢氟酸的刻蚀液。在本申请的一些实施例中，采用干法刻蚀与湿  
30 法刻蚀相结合的刻蚀方法，或者采用激光刻蚀结合湿法刻蚀的方法，能够有效保证刻蚀的形状以及底面平整度等。

所述沉积工艺包括但不限于:

物理气相沉积 (Physical Vapor Deposition, PVD) 工艺和/或化学气相沉积 (Chemical Vapor Deposition, CVD) 工艺。例如, 热氧化、等离子体增强化学的气相沉积法 (Plasma Enhanced Chemical Vapor Deposition, PECVD)、  
5 低压力化学气相沉积法 (Low Pressure Chemical Vapor Deposition, LPCVD) 等)、原子层沉积 (Atomic layer deposition, ALD)、旋涂或喷涂。

下面结合图 18 至图 27 对制备上述电容器 200 的方法进行详细说明。应理解, 电容器 100 和电容器 200 的制备方法类似, 为避免重复, 此处仅对制备流程进行说明, 其采用的具体工艺和具体材料可以参考制备电容器 100 中的  
10 的相应内容。

制备电容器 200 的方法可以包括以下中的部分或全部内容:

步骤 0:

先选取衬底 210, 接着在衬底 210 上形成基底层 220, 然后在所述基底层 220 上形成所述造模层 230, 以形成图 18 所示的结构。

15 步骤 1:

形成贯通所述造模层 230 和所述基底层 220 的 2 个凹槽, 以形成图 19 所示的结构。

步骤 2:

在所述 2 个凹槽内填充导电材料 240, 以形成图 20 所示的结构。

20 步骤 3:

去除所述造模层 230 上方的导电材料 240, 以形成图 21 所示的结构。

步骤 4:

去除所述衬底 210 上方的造模层 230, 以形成 2 个支架 241, 进而形成图 22 所示的结构。

25 步骤 5:

在所述 2 个支架 241 形成叠层结构 250, 以形成图 23 所示的结构。

需要说明的是, 步骤 1 中形成的 2 个凹槽为 2 个支架 241 的位置 (位于衬底 210 的中间), 且基座层 221 位于所述衬底 110 的边缘位置的上方, 因此, 在步骤 5 中去除所述 2 个支架 241 后, 叠层结构 150 的两端位于基座层  
30 221 上。

步骤 6:

在所述叠层结构 250 的两端分别形成至少一个第一台阶和至少一个第二台阶，以形成图 24 所示的结构。

步骤 7:

在所述叠层结构 250 上形成绝缘层 260，以形成图 25 所示的结构。

5

步骤 8:

在所述绝缘层 260 上形成至少一个第一通孔（即通孔 261 和通孔 262）和至少一个第二通孔（即通孔 263、通孔 264 和通孔 265），以形成图 26 所示的结构。

步骤 9:

10

利用导电材料填充所述至少一个第一通孔和所述至少一个第二通孔，以形成图 27 所示的结构。

步骤 10:

在所述至少一个第一通孔的上方形成所述第一电极，在所述至少一个第二通孔的上方形成所述第二电极，以形成图 4 所示的结构。

15

应理解，图 6-图 29 仅为本申请的示例，不应理解为对本申请的限制。

例如，在其他可替代实施例中，可以直接在省略上述基座层的制备过程。即直接在衬底上沉积造模层。

又例如，可替代地，可以利用 ALD 工艺沉积将 TiN 沉积到图 9 或图 19 所示的凹槽内，此时填充后的沟槽内部可能会存在细小的狭缝（例如图 28 所示）或空洞（例如图 29 所示）。

20 又例如，也可以采用类似的制备过程制备电容器 100 和电容器 200 的变形结构，为了避免重复，此处不再赘述。

本申请还提供了一种根据上述制备方法制备的电容器。

25 应理解，方法实施例与产品实施例可以相互对应，类似的描述可以参照产品实施例。为了简洁，在此不再赘述。

还应理解，上述列举的制备电容器的方法 300 的各实施例，可以通过机器人或者数控加工方式来执行，用于执行所述方法 300 的设备软件或工艺可以通过执行保存在存储器中的计算机程序代码来执行上述方法 300。

30 需要说明的是，在不冲突的前提下，本申请描述的各个实施例和/或各个实施例中的技术特征可以任意的相互组合，组合之后得到的技术方案也应落入本申请的保护范围。

应理解，在本申请的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不应对本申请实施例的实施过程构成任何限定。

本领域普通技术人员可以意识到，结合本文中所公开的实施例描述的各示例的制备方法，能够以电子硬件、或者计算机软件和电子硬件的结合来实现。5 这些功能究竟以硬件还是软件方式来执行，取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能，但是这种实现不应认为超出本申请的范围。

在本申请所提供的几个实施例中，应该理解到，所揭露的集成装置、集成装置内的部件和制备集成装置的方法，可以通过其它的方式实现。例如，10 以上所描述的集成装置实施例仅仅是示例性的。例如，所述层的划分，仅仅为一种逻辑功能划分，实际实现时可以有另外的划分方式。例如多个层或器件可以结合或者可以集成，例如，所述上极板和所述活性材料层可以合并为一个层。或一些特征（例如活性材料层）可以忽略或不制备。

15 以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

## 权利要求

1. 一种电容器，其特征在于，包括：

第一电极和第二电极，分别用于连接外部电路；

5 至少一个支架，所述至少一个支架为柱状结构或墙状结构；

叠层结构，包括至少一层电介质层和至少一层导电层；所述至少一层电介质层和所述至少一层导电层覆盖所述至少一个支架，所述至少一层电介质层和所述至少一层导电层形成电介质层和导电层彼此相邻的结构；

10 互联结构，用于将所述第一电极电连接至所述至少一个支架或所述至少一层导电层中的第一导电层，并将所述第二电极电连接至所述至少一层导电层中的第二导电层；所述第二导电层通过所述至少一层电介质层中的一层电介质层连接至与所述第一电极电连接的所述至少一个支架或所述第一导电层。

15 2. 根据权利要求1所述的电容器，其特征在于，所述至少一个支架为彼此电连接的多个导电支架。

3. 根据权利要求2所述的电容器，其特征在于，所述多个支架的底部通过导电层电连接，或者所述多个支架形成网格结构。

4. 根据权利要求2或3所述的电容器，其特征在于，所述多个支架呈阵列分布。

20 5. 根据权利要求1至4中任一项所述的电容器，其特征在于，所述叠层结构的两端分别形成至少一个第一台阶和至少一个第二台阶。

6. 根据权利要求5所述的电容器，其特征在于，所述叠层结构的两端均设置于所述至少一个支架的上方。

25 7. 根据权利要求5所述的电容器，其特征在于，所述叠层结构的两端分别设置于所述至少一个支架的两侧。

8. 根据权利要求1至7中任一项所述的电容器，其特征在于，所述电容器还包括：

30 基座层，所述基座层和所述至少一个支架形成至少一个凹槽结构，所述基座层作为所述至少一个凹槽结构的底部，所述至少一个支架作为所述至少一个凹槽的侧壁，所述叠层结构覆盖所述至少一个凹槽结构。

9. 根据权利要求8所述的电容器，其特征在于，所述基底层设置有至少

一个开口，所述至少一个支架设置在所述至少一个开口内，所述基底层的下表面和所述至少一个支架的下表面位于同一平面内。

10. 根据权利要求 8 或 9 所述的电容器，其特征在于，所述基座层的材料为导电材料或绝缘材料。

5 11. 根据权利要求 1 至 10 中任一项所述的电容器，其特征在于，所述电容器还包括：

绝缘层，设置于所述叠层结构的上方，所述第一电极和所述第二电极的下方，所述互联结构设置于所述绝缘层内。

10 12. 根据权利要求 11 所述的电容器，其特征在于，所述绝缘层包括至少一个第一通孔和至少一个第二通孔，所述第一电极通过所述至少一个第一通孔电连接至所述至少一个支架或所述第一导电层，所述第二电极通过所述至少一个第二通孔电连接至所述第二导电层。

13. 根据权利要求 1 至 12 中任一项所述的电容器，其特征在于，所述电容器还包括：

15 衬底，设置在所述叠层结构的下方。

14. 根据权利要求 13 所述的电容器，其特征在于，所述衬底为电阻率低于预设阈值的晶圆。

20 15. 根据权利要求 13 所述的电容器，其特征在于，所述衬底的上表面设置有电阻率低于预设阈值的导电区；或者，所述衬底的上表面向下延伸形成有凹槽，所述衬底的凹槽内设置有电阻率低于所述预设阈值的导电材料，以形成所述导电区。

25 16. 根据权利要求 1 至 15 中任一项所述的电容器，其特征在于，所述互联结构具体用于将所述第一电极电连接至所述叠层结构内的部分或全部偶数导电层，并将所述第二电极电连接至所述叠层结构内的部分或全部奇数导电层。

17. 一种制备电容器的方法，其特征在于，包括：

在衬底上制备至少一个支架，所述至少一个支架为柱状结构或墙状结构；

30 在所述至少一个支架上制备至少一层电介质层和至少一层导电层，得到叠层结构，其中，所述至少一层电介质层和所述至少一层导电层形成电介质层和导电层彼此相邻的结构；

在所述叠层结构上制备包括互联结构的绝缘结构；

5 在所述绝缘结构上制备第一电极和第二电极，其中，所述第一电极通过所述互联结构电连接至所述至少一个支架或所述至少一层导电层中的第一导电层，所述第二电极通过所述互联结构电连接至所述至少一层导电层中的第二导电层；所述第二导电层通过所述至少一层电介质层中的一层电介质层连接至与所述第一电极电连接的所述至少一个支架或所述第一导电层。

18. 根据权利要求 17 所述的方法，其特征在于，所述在衬底上制备至少一个支架，包括：

在衬底上形成造模层；

形成贯通所述造模层的至少一个凹槽；

10 在所述造模层中的至少一个凹槽内填充导电材料；

去除所述造模层上方的导电材料；

去除所述衬底上方的造模层，在所述衬底上形成所述至少一个支架。

19. 根据权利要求 18 所述的方法，其特征在于，所述在衬底上形成造模层，包括：

15 在所述衬底上形成基底层；

在所述基底层上形成所述造模层。

20. 根据权利要求 19 所述的方法，其特征在于，所述形成贯通所述造模层的至少一个凹槽，包括：

形成贯通所述造模层和所述基底层的所述至少一个凹槽。

20 21. 根据权利要求 19 或 20 所述的方法，其特征在于，所述基座层的材料为导电材料或绝缘材料。

22. 根据权利要求 17 至 21 中任一项所述的方法，其特征在于，所述方法还包括：

25 在所述叠层结构的两端分别形成至少一个第一台阶和至少一个第二台阶。

23. 根据权利要求 22 所述的方法，其特征在于，所述叠层结构的两端均设置于所述至少一个支架的上方。

24. 根据权利要求 22 所述的方法，其特征在于，所述叠层结构的两端分别设置于所述至少一个支架的两侧。

30 25. 根据权利要求 17 至 24 中任一项所述的方法，其特征在于，所述在所述叠层结构上制备包括互联结构的绝缘结构，包括：

在所述叠层结构上形成所述绝缘层;

在所述绝缘层上至少一个第一通孔和至少一个第二通孔;

在所述至少一个第一通孔的上方形形成所述第一电极;

在所述至少一个第二通孔的上方形形成所述第二电极。

5 26. 根据权利要求 25 所述的方法, 其特征在于, 所述方法还包括:

利用导电材料填充所述至少一个第一通孔和所述至少一个第二通孔。

27. 根据权利要求 17 至 26 中任一项所述的方法, 其特征在于, 所述至少一个支架为彼此电连接的多个导电支架。

10 28. 根据权利要求 27 所述的方法, 其特征在于, 所述多个支架的底部通过导电层电连接, 或者所述多个支架形成网格结构。

29. 根据权利要求 27 或 28 所述的方法, 其特征在于, 所述多个支架呈阵列分布。

30. 根据权利要求 17 至 29 中任一项所述的方法, 其特征在于, 所述衬底为电阻率低于预设阈值的晶圆。

15 31. 根据权利要求 17 至 29 中任一项所述的方法, 其特征在于, 所述衬底的上表面设置有电阻率低于预设阈值的导电区; 或者, 所述衬底的上表面向下延伸形成有凹槽, 所述衬底的凹槽内设置有电阻率低于所述预设阈值的导电材料, 以形成所述导电区。

20 32. 根据权利要求 17 至 31 中任一项所述的方法, 其特征在于, 所述互联结构具体用于将所述第一电极电连接至所述叠层结构内的部分或全部偶数导电层, 并将所述第二电极电连接至所述叠层结构内的部分或全部奇数导电层。

33. 一种电容器, 其特征在于, 包括:

根据权利要求 17 至 32 中任一项所述的方法制备的电容器。

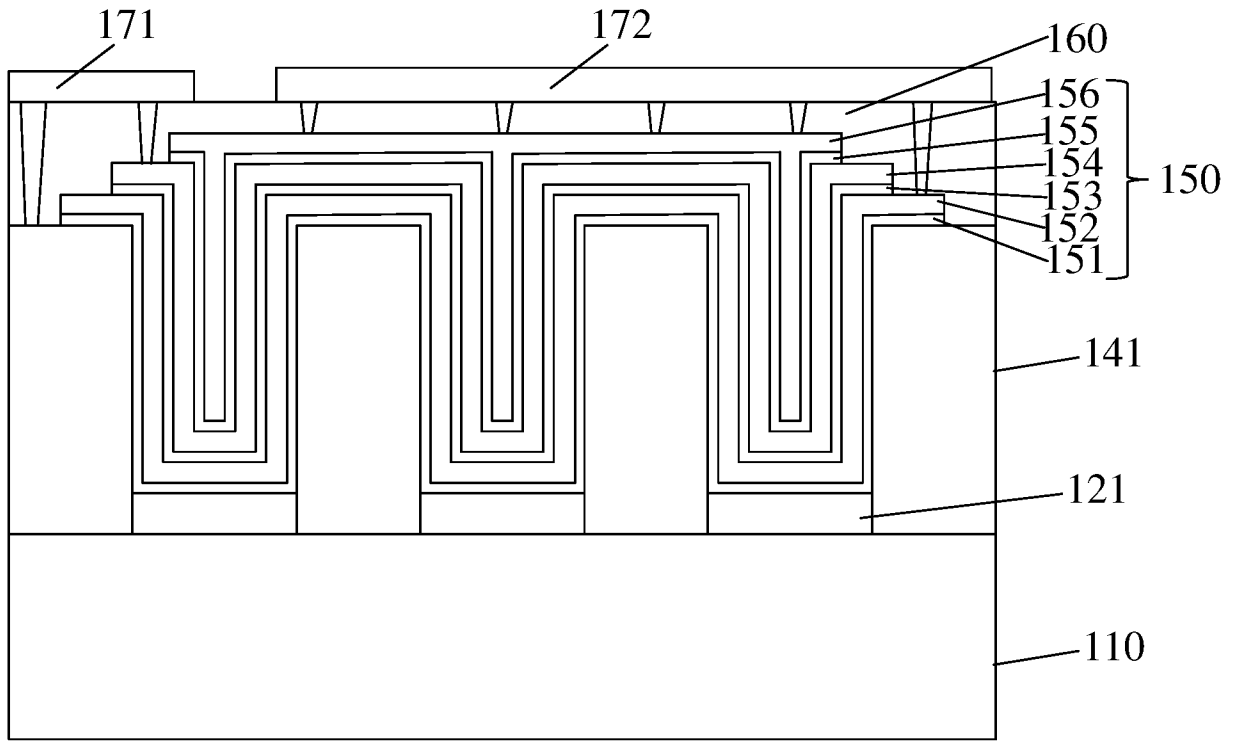


图 1

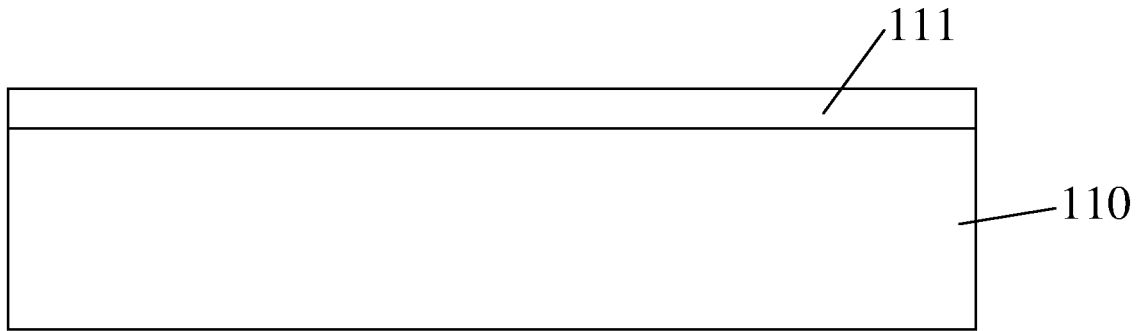


图 2

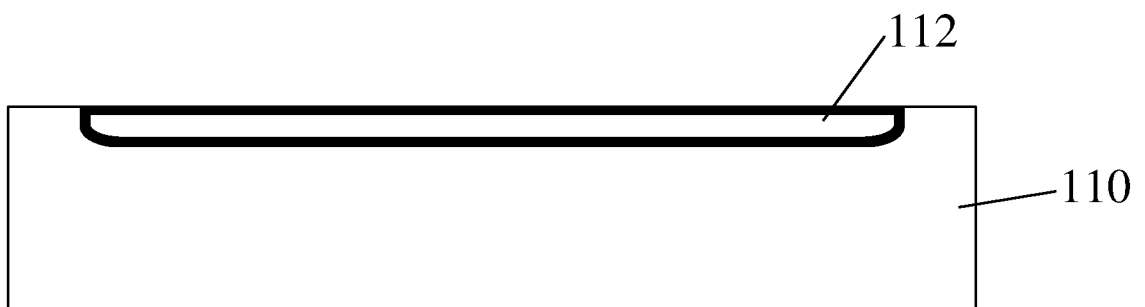


图 3

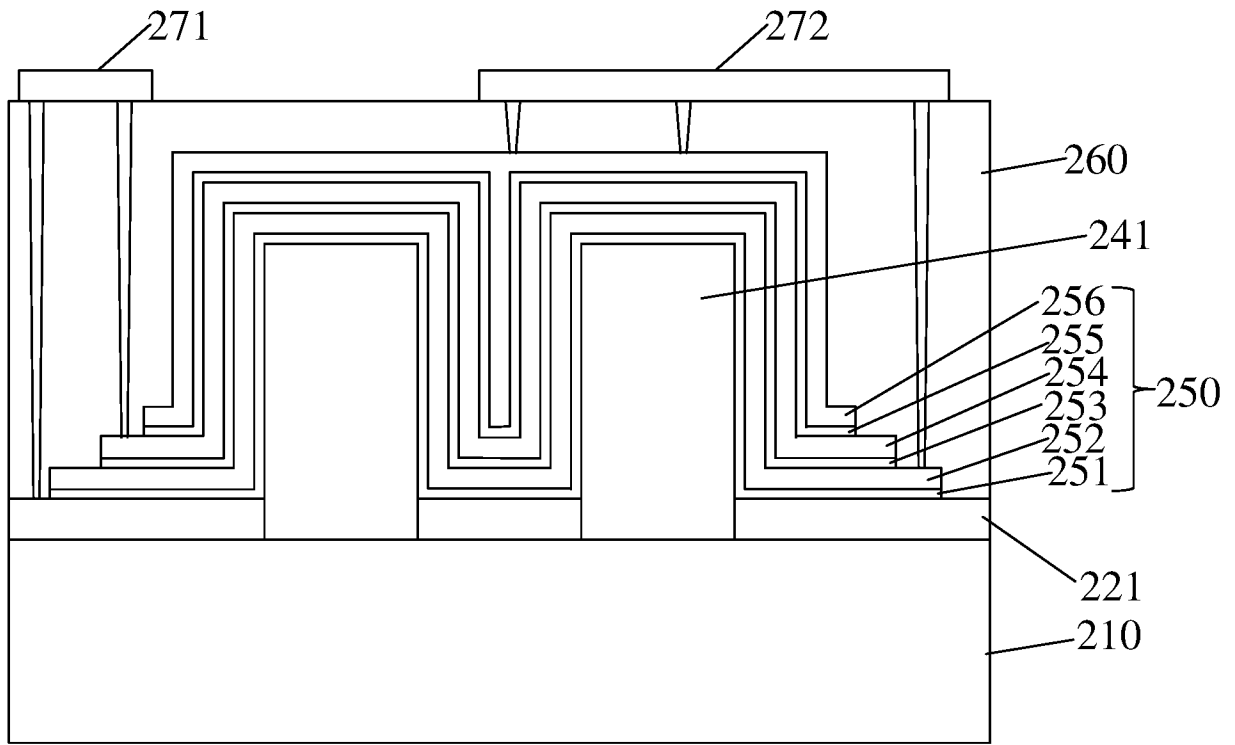


图 4

300

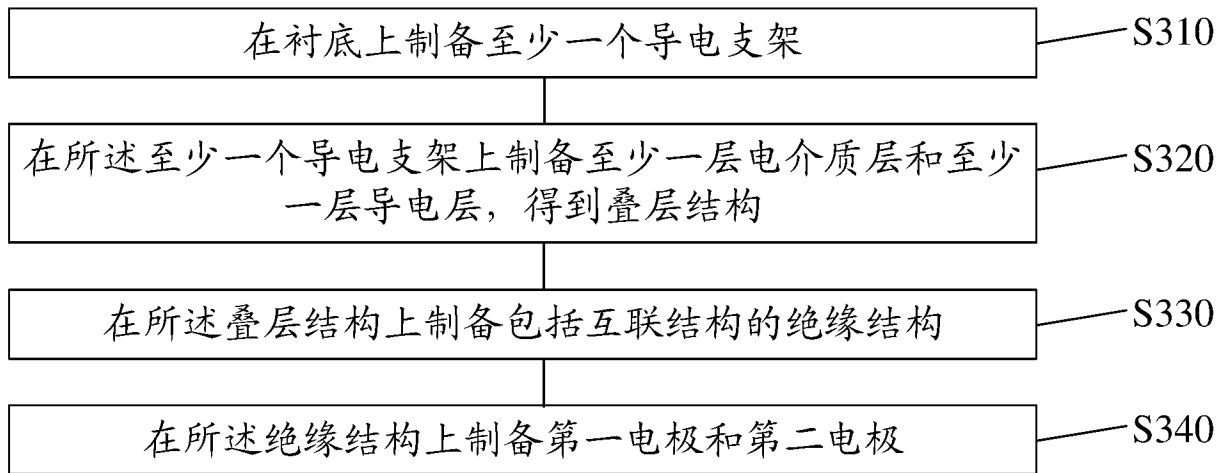


图 5

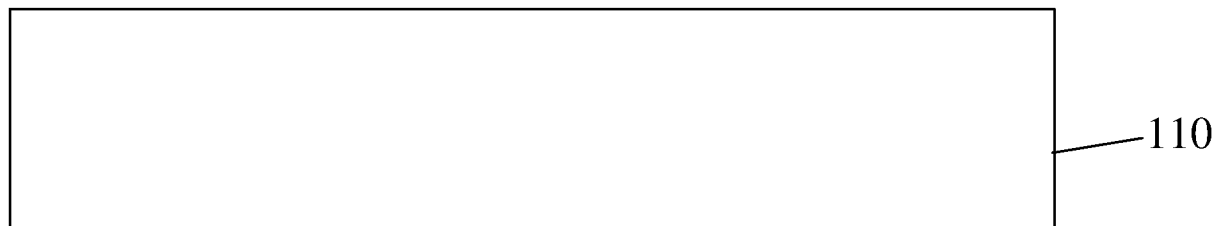


图 6

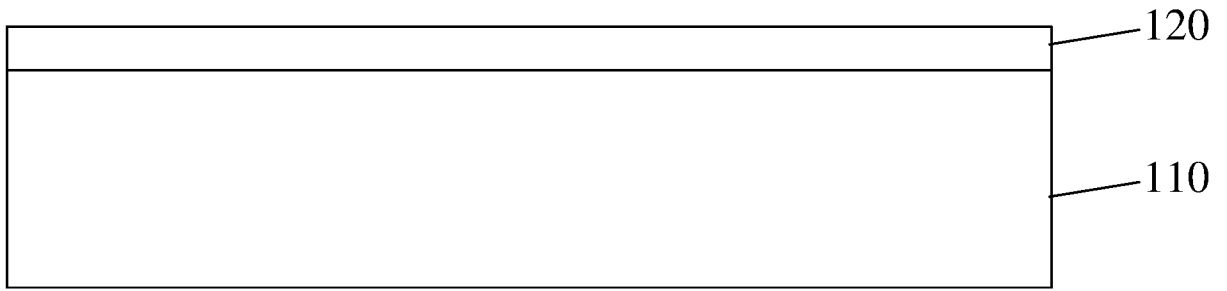


图 7

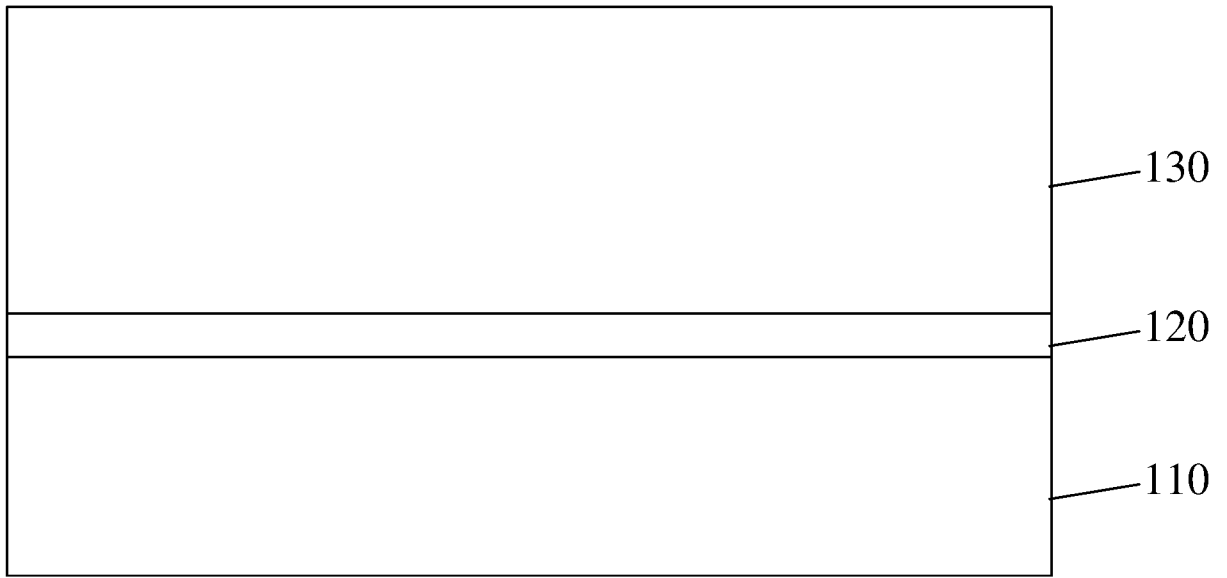


图 8

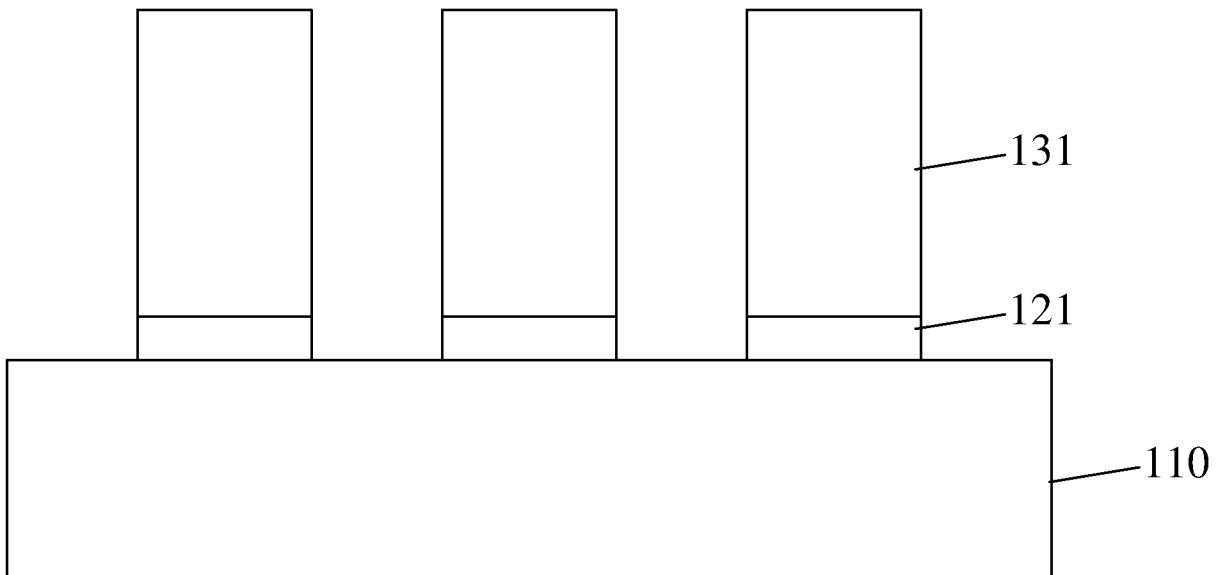


图 9

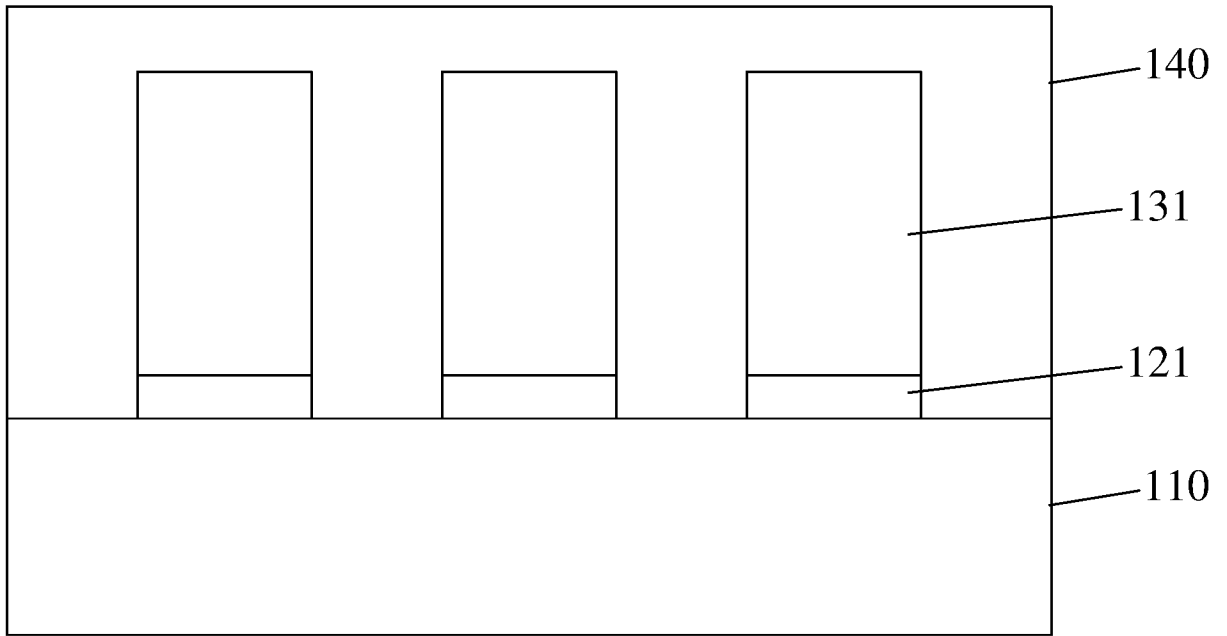


图 10

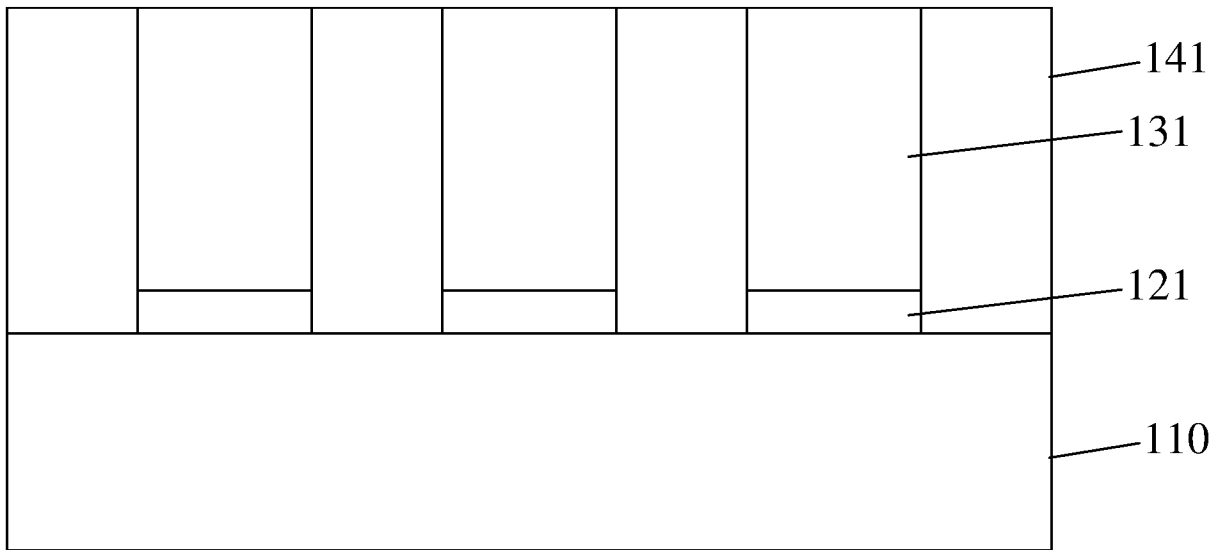


图 11

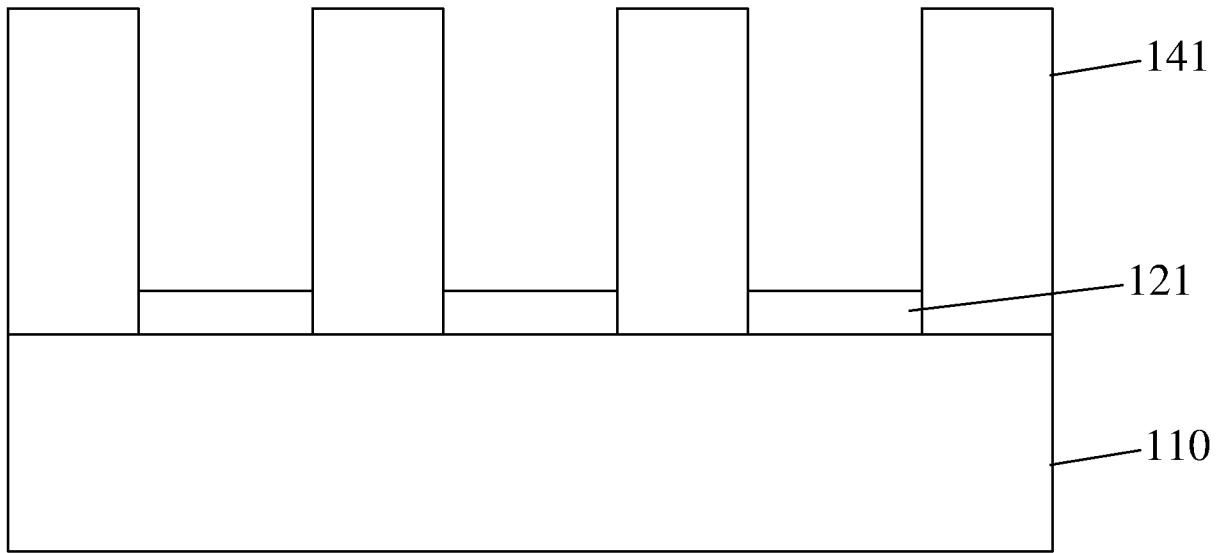


图 12

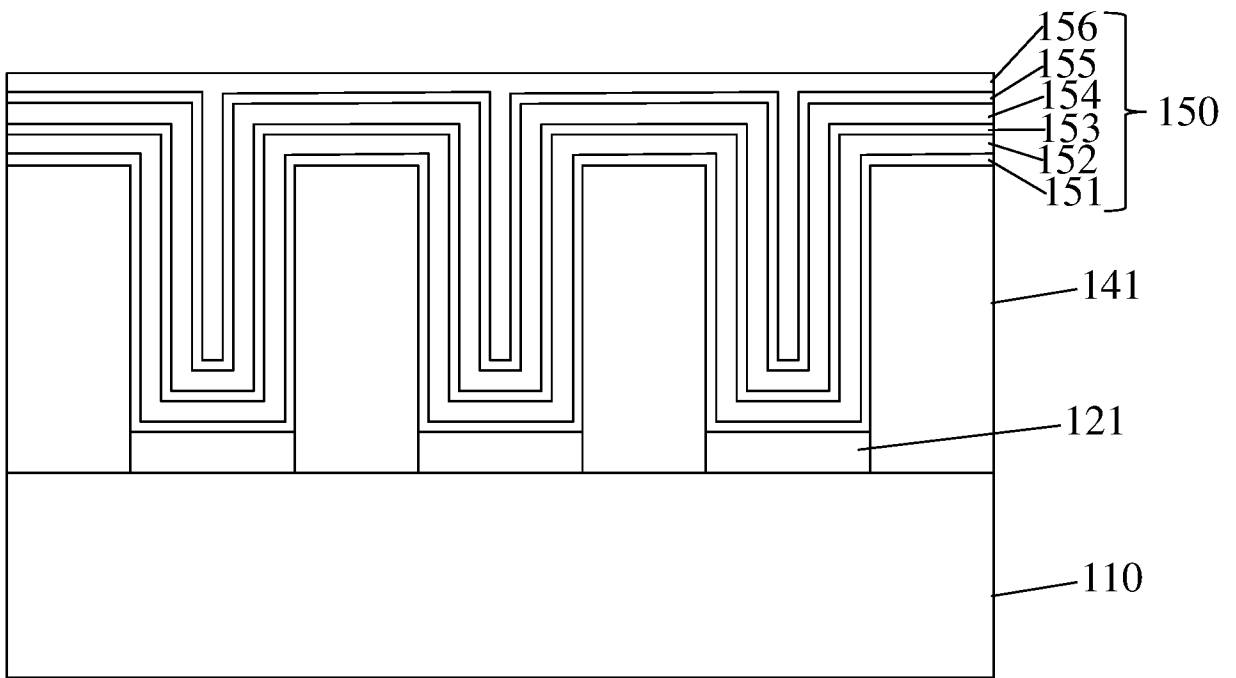


图 13

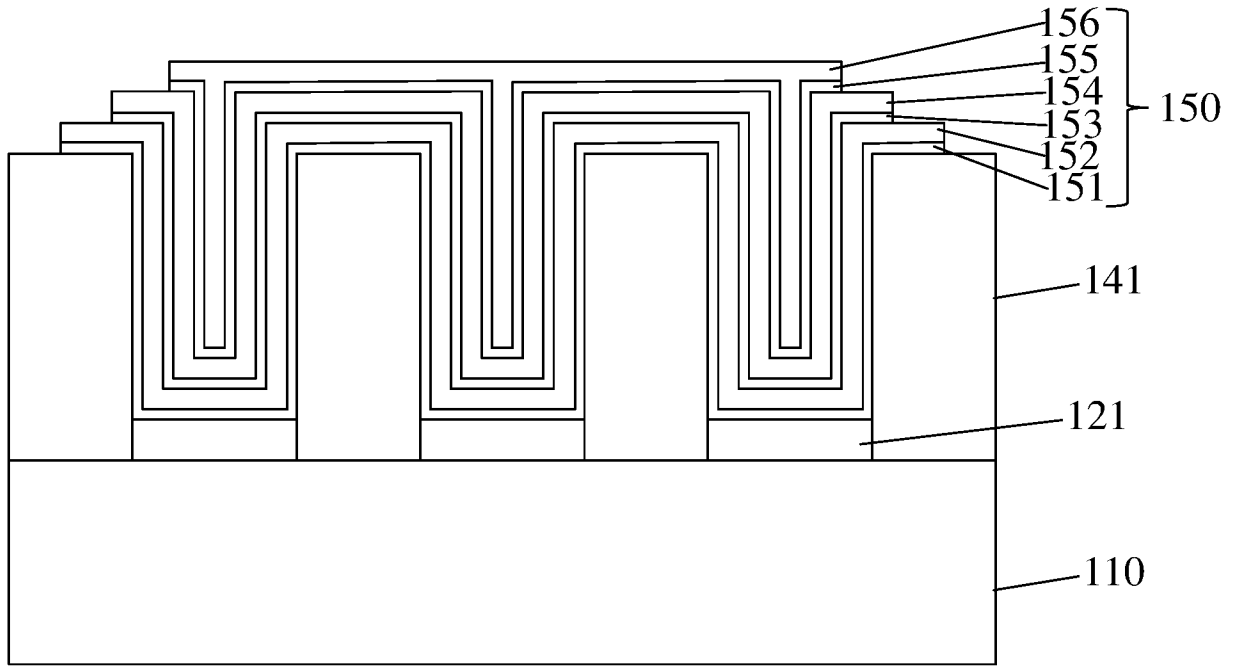


图 14

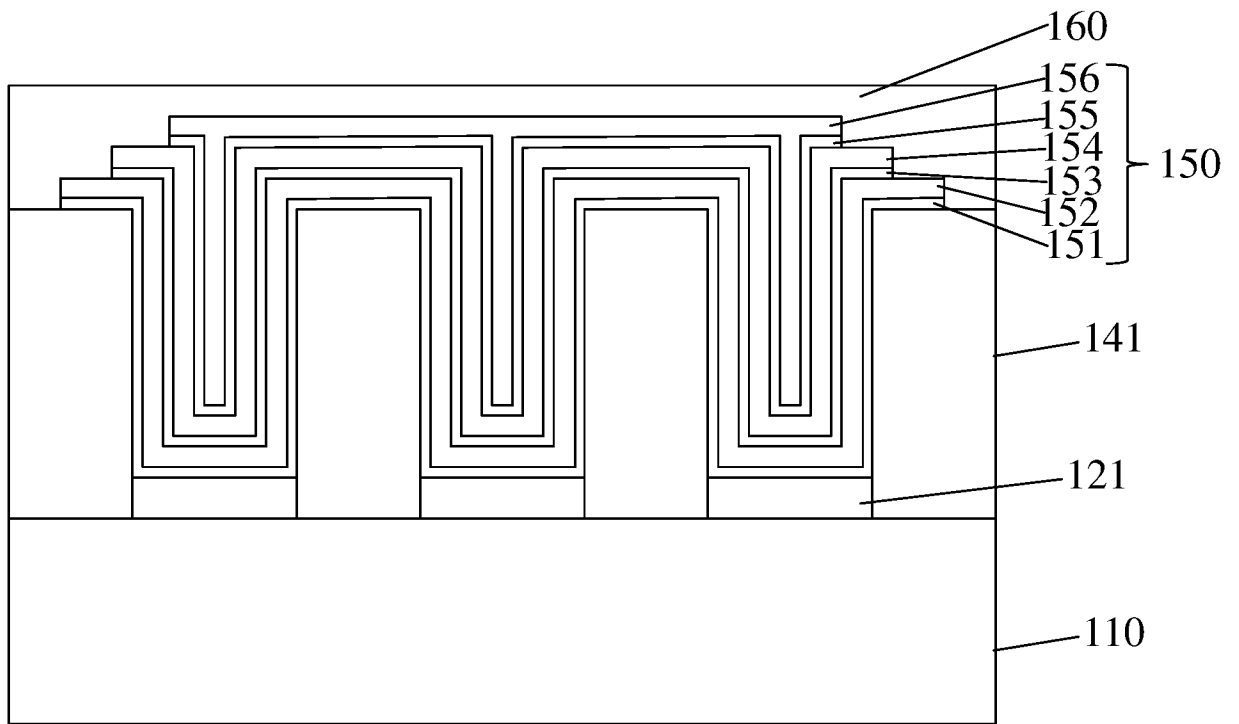


图 15

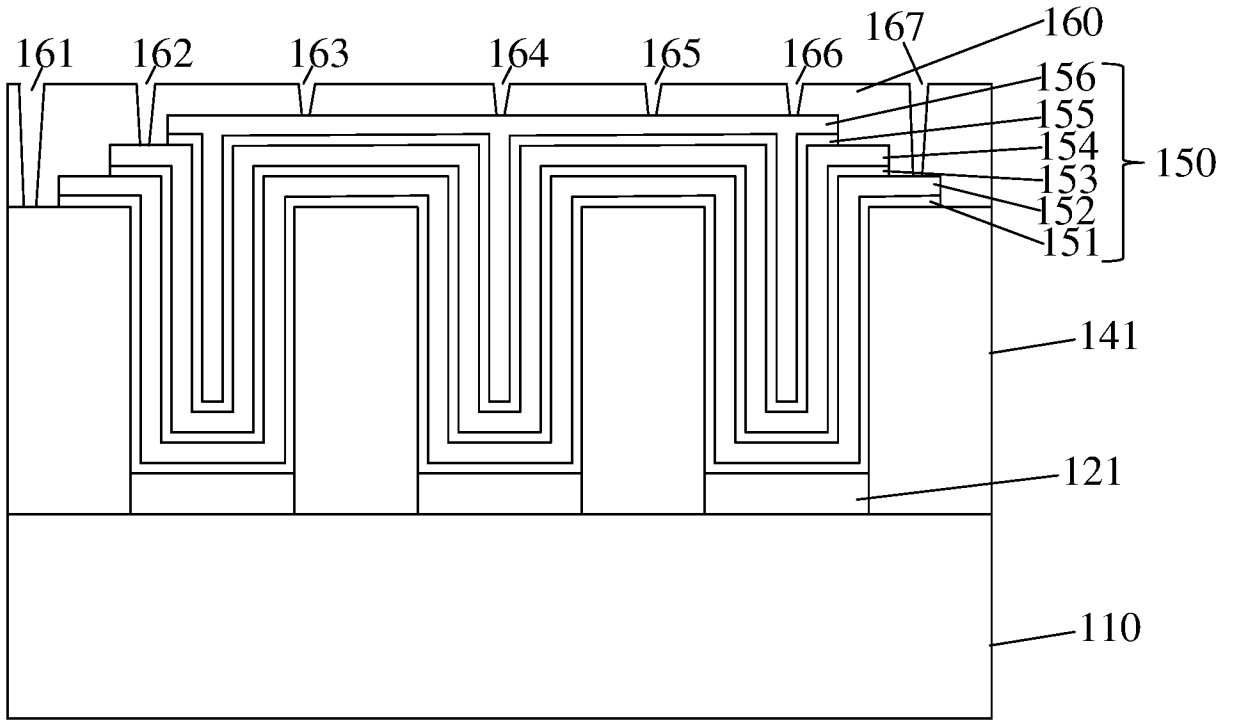


图 16

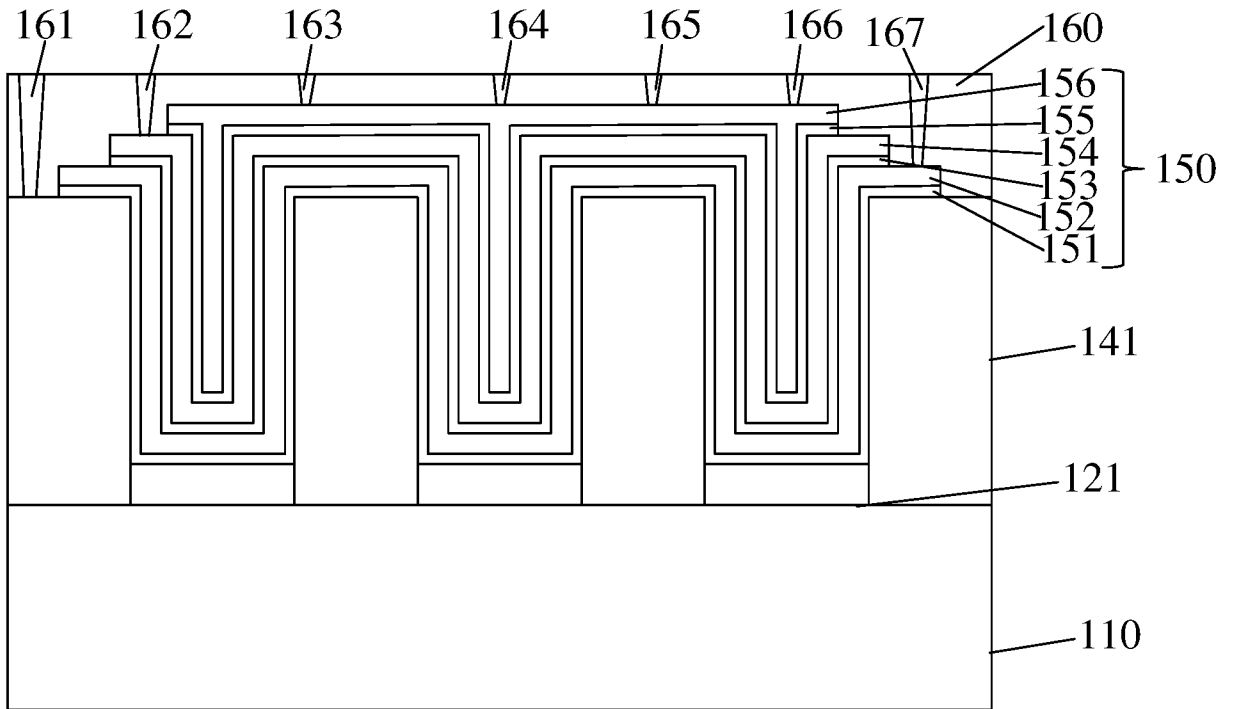


图 17

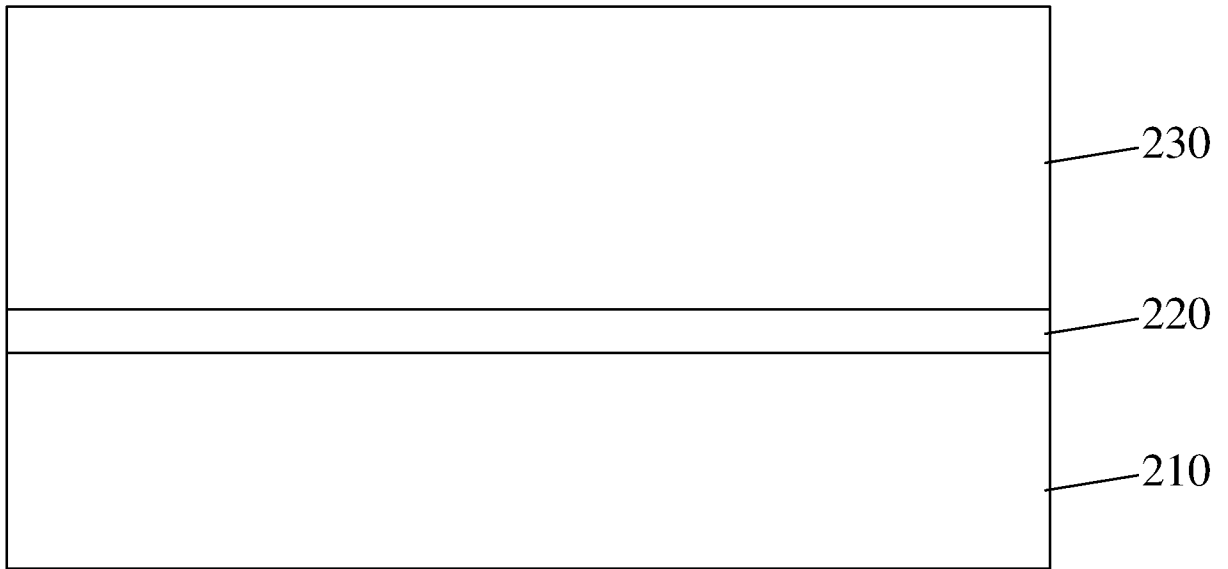


图 18

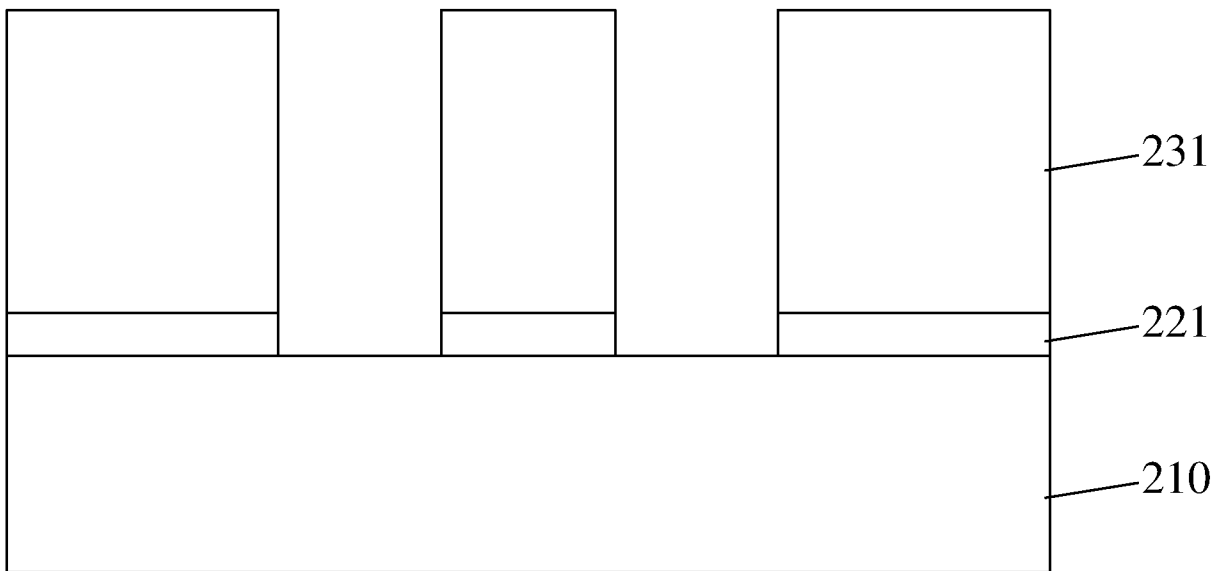


图 19

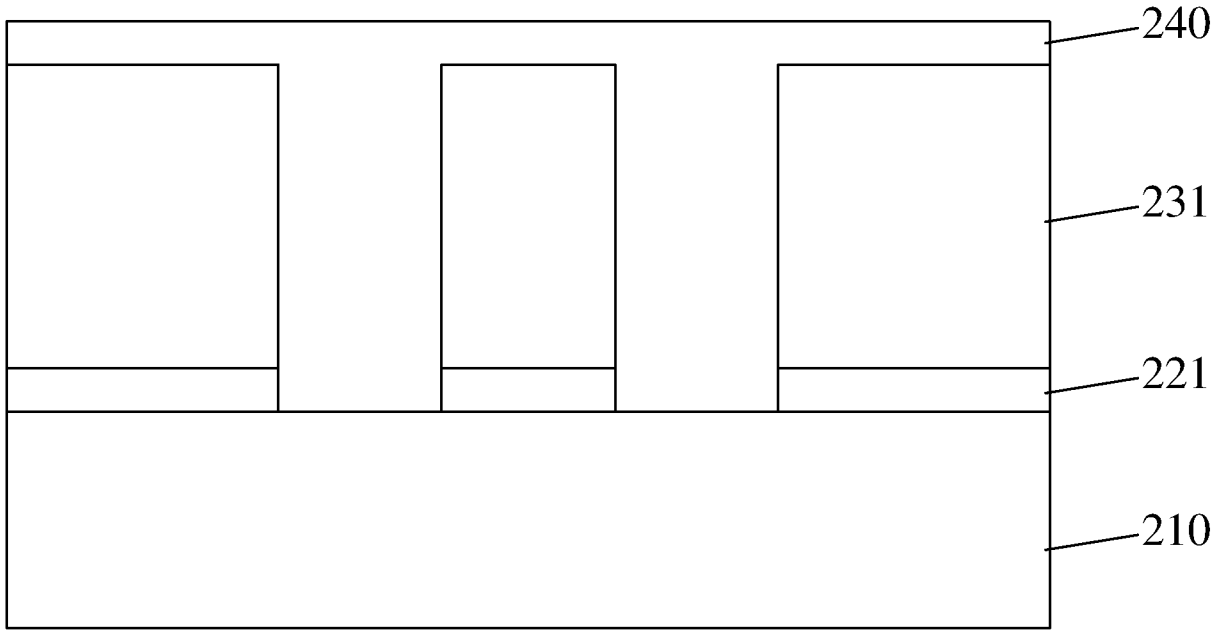


图 20

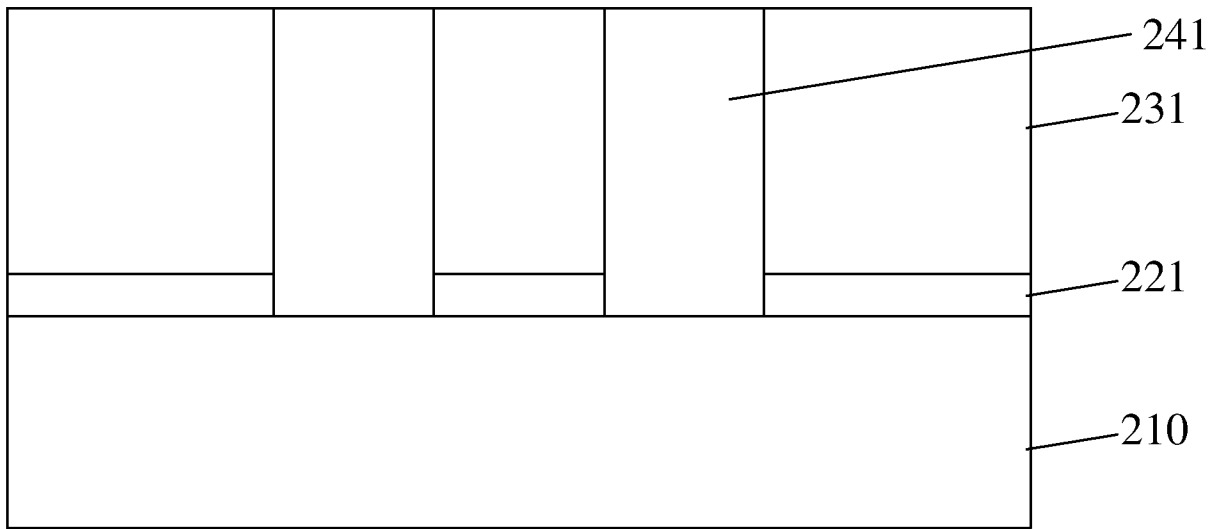


图 21

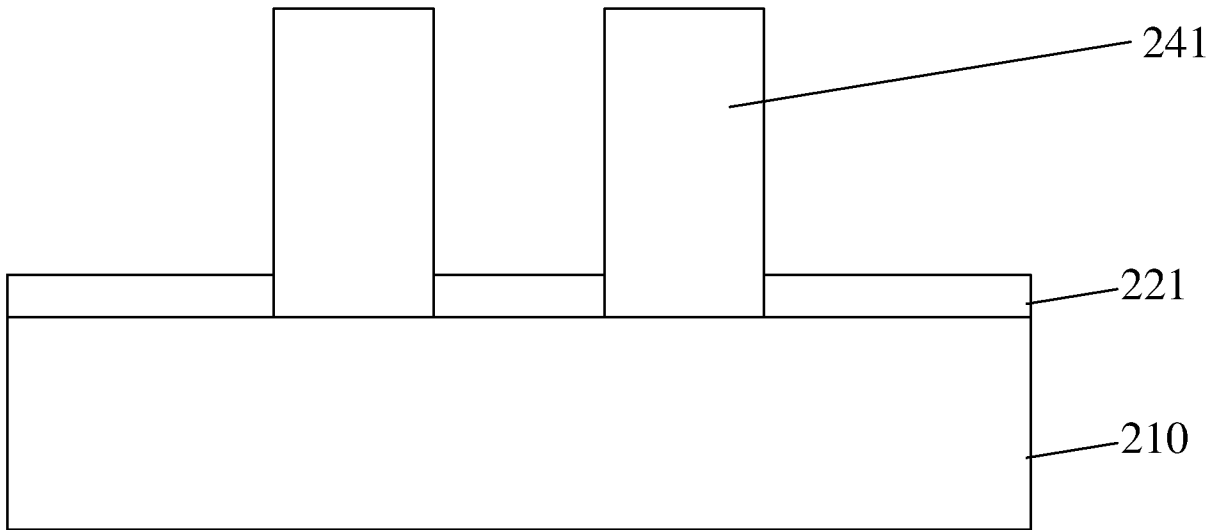


图 22

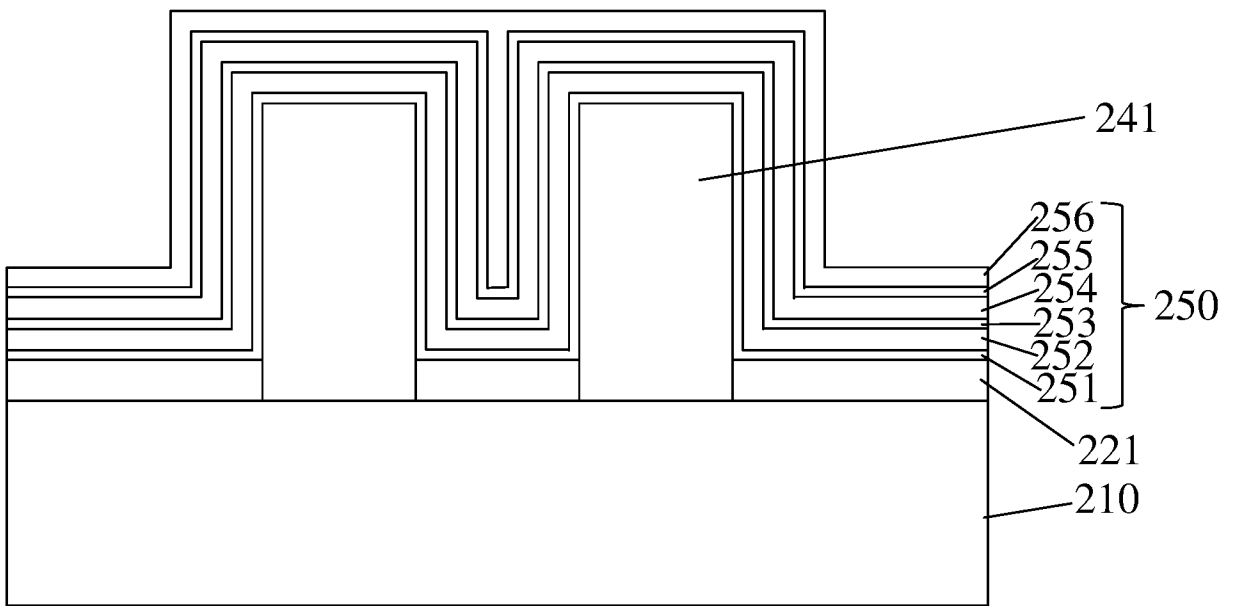


图 23

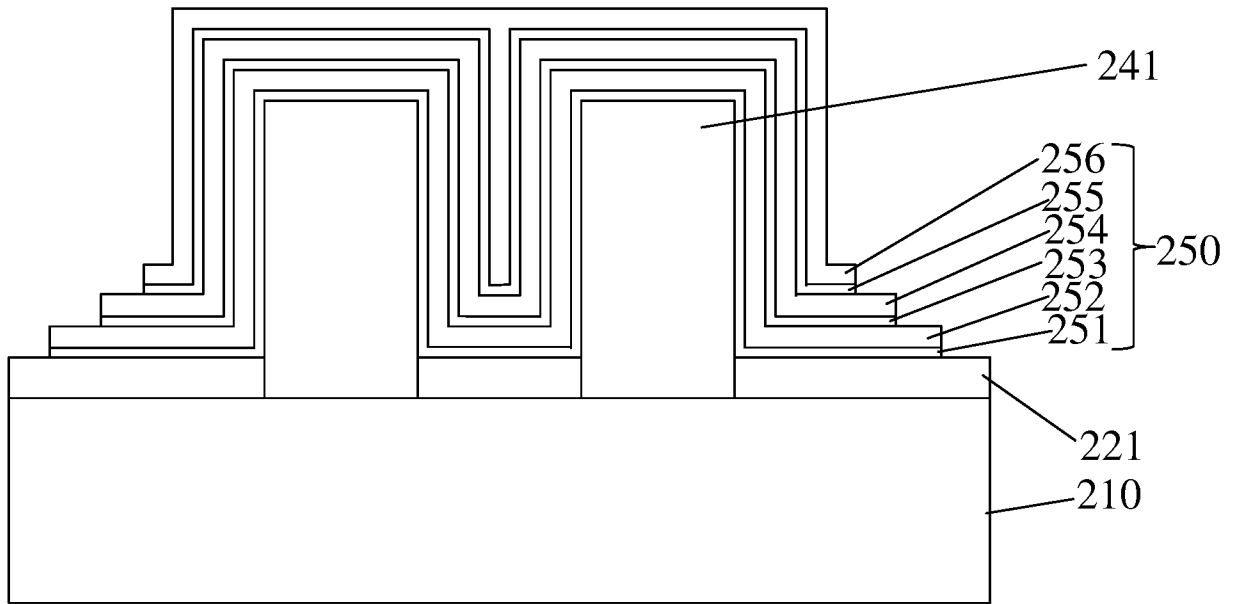


图 24

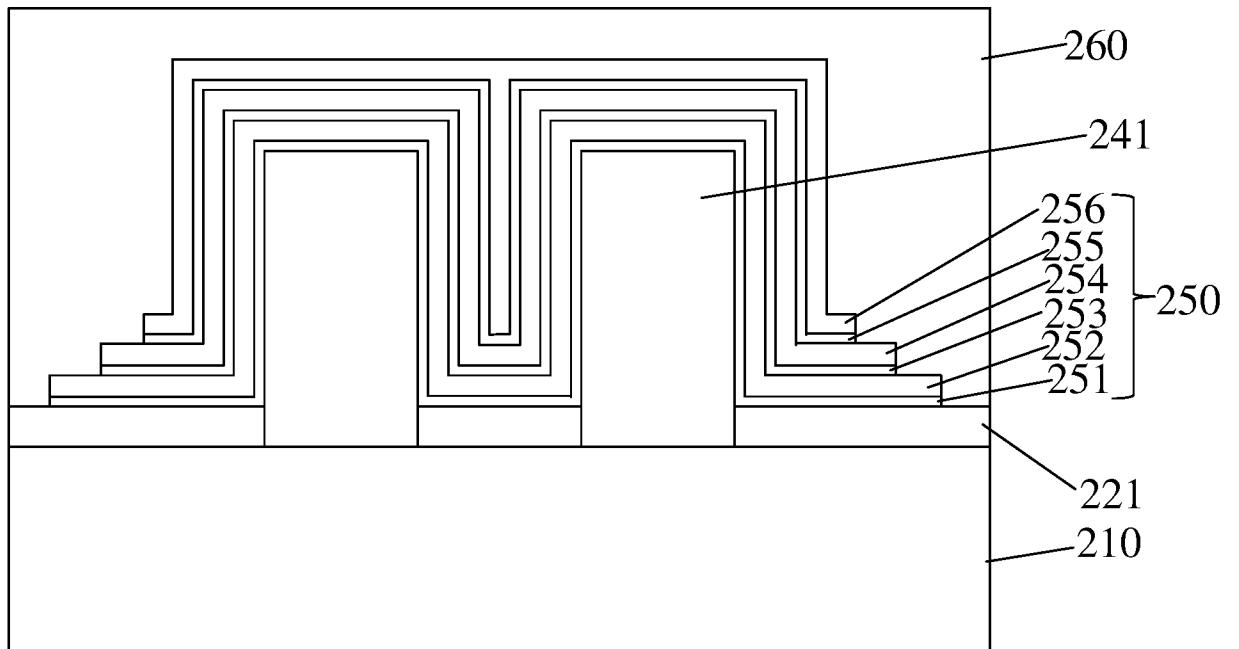


图 25

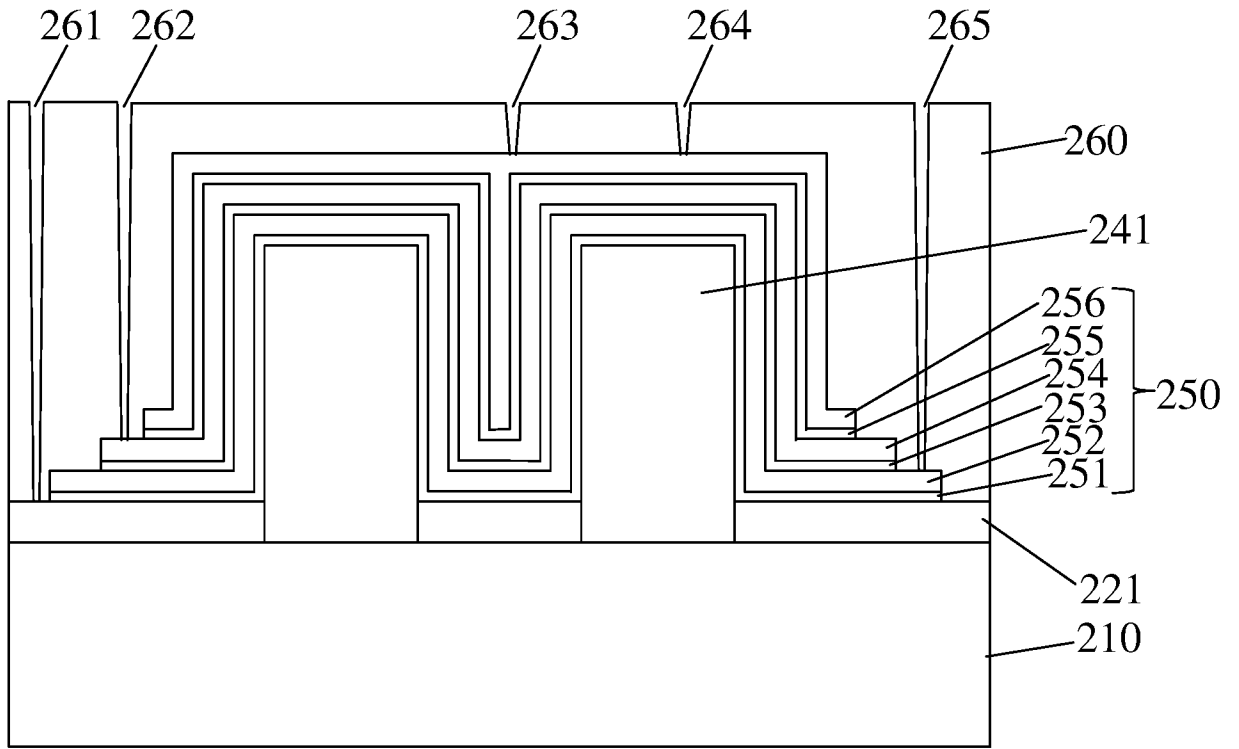


图 26

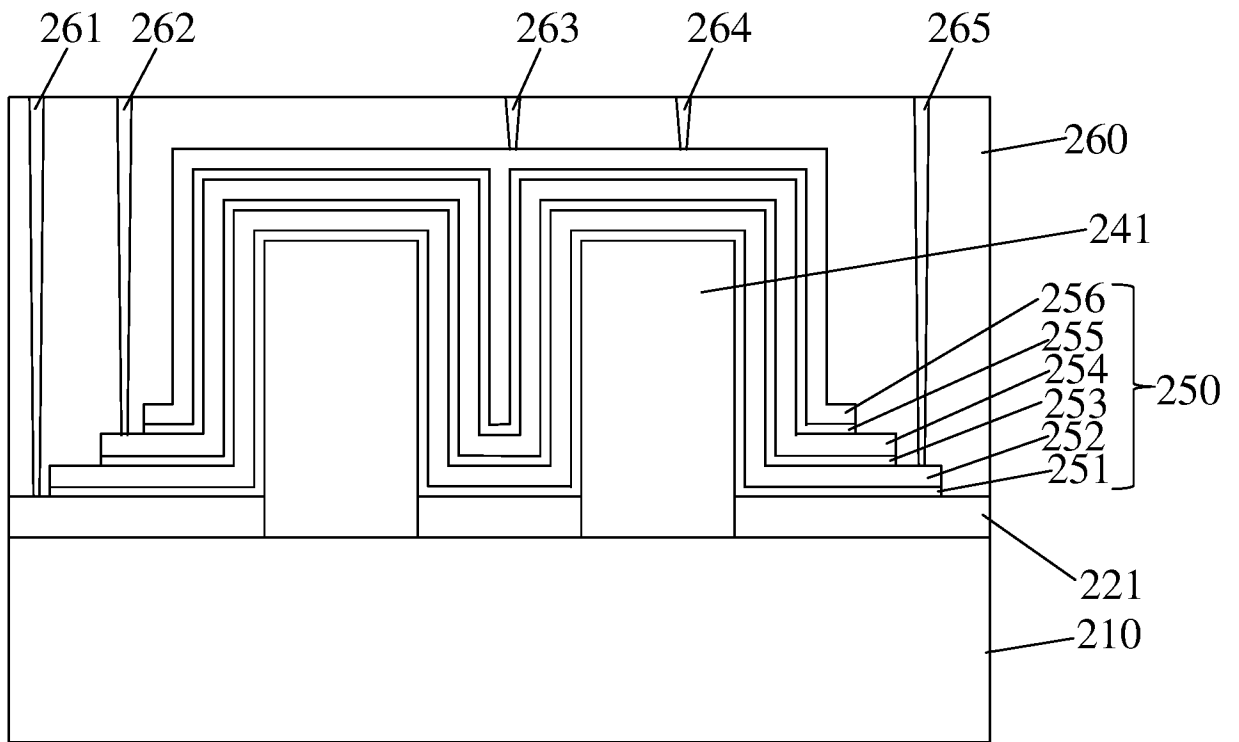


图 27

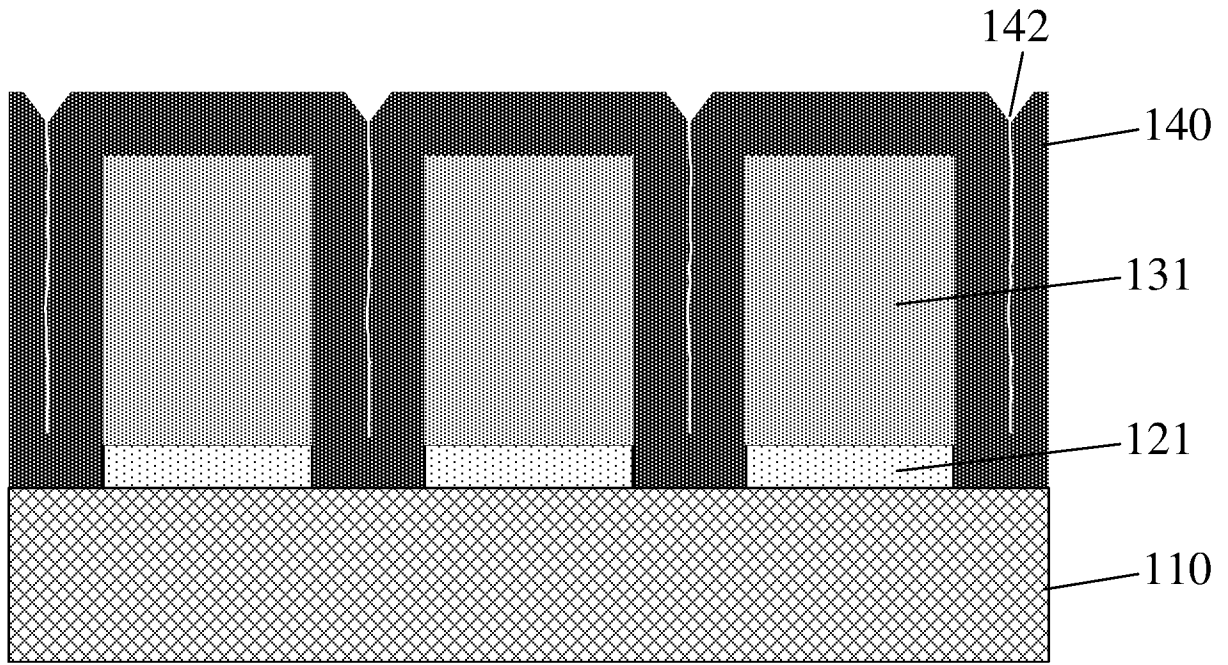


图 28

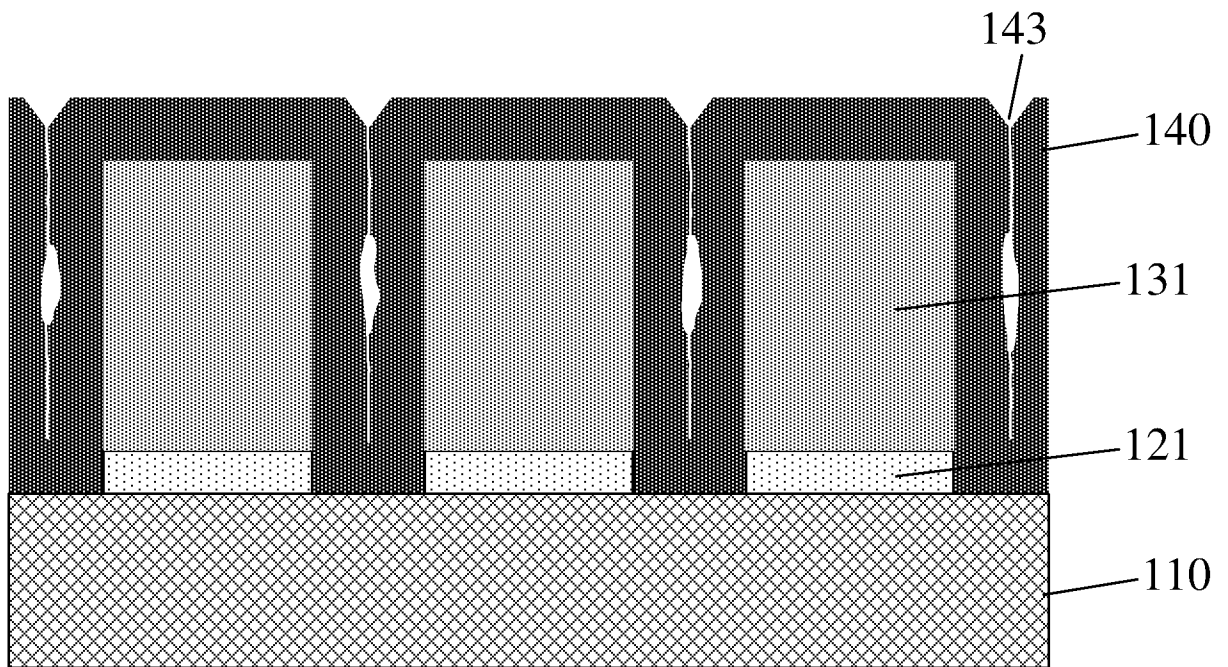


图 29

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/089119

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
H01G 4/30(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
H01G4		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS, CPRSABS, DWPI, SIPOABS, CNKI, IEEE: 电容, 叠, 层, 曲, 折, 柱, 墙, trench+, groove+, pillar+, post?, column?, layer+, capac+, stack+		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103456497 A (MACRONIX INTERNATIONAL CO., LTD.) 18 December 2013 (2013-12-18) description, paragraphs 59-74, and figures 1-13	1-33
X	CN 109585161 A (ADVANCED SEMICONDUCTOR ENGINEERING, INC.) 05 April 2019 (2019-04-05) description, paragraphs 20-46, and figures 1-7D	1-33
X	JP 2010045297 A (TDK CORP.) 25 February 2010 (2010-02-25) description, paragraphs 5-48, and figures 1-8	1-33
A	CN 109075164 A (MURATA INTEGRATED PASSIVE SOLUTIONS S.A.) 21 December 2018 (2018-12-21) entire document	1-33
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
24 February 2020		04 March 2020
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2019/089119**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103456497	A	18 December 2013	CN	103456497	B	12 April 2017
CN	109585161	A	05 April 2019	US	10446325	B2	15 October 2019
				US	2019103227	A1	04 April 2019
JP	2010045297	A	25 February 2010	None			
CN	109075164	A	21 December 2018	US	10403710	B2	03 September 2019
				EP	3446333	B1	23 October 2019
				JP	2019522890	A	15 August 2019
				WO	2018054828	A1	29 March 2018
				EP	3446333	A1	27 February 2019
				TW	201814913	A	16 April 2018
				US	2019035880	A1	31 January 2019
				EP	3297024	A1	21 March 2018
				JP	6609712	B2	20 November 2019

国际检索报告

国际申请号

PCT/CN2019/089119

<p><b>A. 主题的分类</b></p> <p>H01G 4/30 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01G4</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS, CPRSABS, DWPI, SIPOABS, CNKI, IEEE: 电容, 叠, 层, 曲, 折, 柱, 墙, trench+, groove+, pillar+, post?, column?, layer+, capac+, stack+</p>																	
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 103456497 A (旺宏电子股份有限公司) 2013年 12月 18日 (2013 - 12 - 18) 说明书第59-74段, 附图1-13</td> <td>1-33</td> </tr> <tr> <td>X</td> <td>CN 109585161 A (日月光半导体制造股份有限公司) 2019年 4月 5日 (2019 - 04 - 05) 说明书第20-46段, 附图1-7D</td> <td>1-33</td> </tr> <tr> <td>X</td> <td>JP 2010045297 A (TDK CORP) 2010年 2月 25日 (2010 - 02 - 25) 说明书第5-48段, 附图1-8</td> <td>1-33</td> </tr> <tr> <td>A</td> <td>CN 109075164 A (村田整合被动式解决方案公司) 2018年 12月 21日 (2018 - 12 - 21) 全文</td> <td>1-33</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 103456497 A (旺宏电子股份有限公司) 2013年 12月 18日 (2013 - 12 - 18) 说明书第59-74段, 附图1-13	1-33	X	CN 109585161 A (日月光半导体制造股份有限公司) 2019年 4月 5日 (2019 - 04 - 05) 说明书第20-46段, 附图1-7D	1-33	X	JP 2010045297 A (TDK CORP) 2010年 2月 25日 (2010 - 02 - 25) 说明书第5-48段, 附图1-8	1-33	A	CN 109075164 A (村田整合被动式解决方案公司) 2018年 12月 21日 (2018 - 12 - 21) 全文	1-33
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
X	CN 103456497 A (旺宏电子股份有限公司) 2013年 12月 18日 (2013 - 12 - 18) 说明书第59-74段, 附图1-13	1-33															
X	CN 109585161 A (日月光半导体制造股份有限公司) 2019年 4月 5日 (2019 - 04 - 05) 说明书第20-46段, 附图1-7D	1-33															
X	JP 2010045297 A (TDK CORP) 2010年 2月 25日 (2010 - 02 - 25) 说明书第5-48段, 附图1-8	1-33															
A	CN 109075164 A (村田整合被动式解决方案公司) 2018年 12月 21日 (2018 - 12 - 21) 全文	1-33															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>																	
<p>国际检索实际完成的日期</p> <p>2020年 2月 24日</p>		<p>国际检索报告邮寄日期</p> <p>2020年 3月 4日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>黄君</p> <p>电话号码 86-(10)-62411799</p>															

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2019/089119

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103456497	A	2013年 12月 18日	CN	103456497	B	2017年 4月 12日
CN	109585161	A	2019年 4月 5日	US	10446325	B2	2019年 10月 15日
				US	2019103227	A1	2019年 4月 4日
JP	2010045297	A	2010年 2月 25日	无			
CN	109075164	A	2018年 12月 21日	US	10403710	B2	2019年 9月 3日
				EP	3446333	B1	2019年 10月 23日
				JP	2019522890	A	2019年 8月 15日
				WO	2018054828	A1	2018年 3月 29日
				EP	3446333	A1	2019年 2月 27日
				TW	201814913	A	2018年 4月 16日
				US	2019035880	A1	2019年 1月 31日
				EP	3297024	A1	2018年 3月 21日
				JP	6609712	B2	2019年 11月 20日