



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0106714
(43) 공개일자 2018년10월01일

(51) 국제특허분류(Int. Cl.)
G01K 13/00 (2006.01) C23C 18/54 (2006.01)
(52) CPC특허분류
G01K 13/006 (2013.01)
C23C 18/54 (2013.01)
(21) 출원번호 10-2017-0035448
(22) 출원일자 2017년03월21일
심사청구일자 2017년03월21일

(71) 출원인
부경대학교 산학협력단
부산광역시 남구 신선로 365 (용당동,
부경대학교)
(72) 발명자
장재원
부산광역시 남구 분포로 113, 209동 904호(
용호동, 엘지메트로시티)
이승훈
부산시 부산진구 전포대로171번길 13, 101동 809
호(전포동, 한일유엔아이)
(74) 대리인
김정수

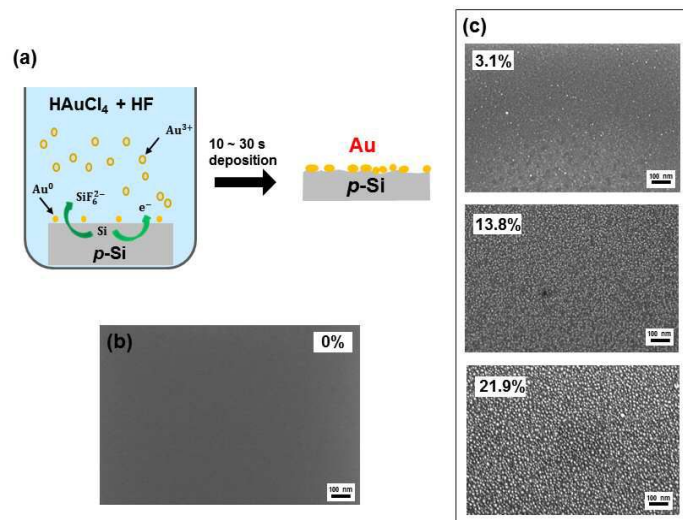
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 저온 센서용 금 나노입자-실리콘 복합소재

(57) 요약

본 발명은 p형 실리콘 기판; 및 갈바니 변위법(galvanic displacement)에 의해 상기 p형 실리콘 기판 상에 형성된 금(Au) 나노입자층;을 포함하며, 상기 p형 실리콘 기판 표면에 대한 상기 금 나노입자층의 피복률(coverage)은 3.0 내지 25.0%인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재에 대한 것으로서, 본 발명에 따른 금 나노입자-실리콘 복합소재는, 간단하고 경제적인 갈바니 변위법(galvanic displacement)을 통해 p-Si 상에 형성된 금 나노입자층 및 증가된 표면 거칠기를 가짐으로써, 금 나노입자에 의한 열(heat) 축적 효과 및 증가된 표면 거칠기에 의한 열 수송 억제 효과에 기인해 동결(freeze-out) 영역(10 내지 30K) 현저히 향상된 및 S_v 를 나타내므로, 종래의 볼로미터 또는 극저온 센서용 소재를 대체할 수 있는 소재로서 유용하게 사용될 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 NRF-2016K1A3A1A32913212

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 신진연구자후속지원

연구과제명 마이크로/나노 포토닉스 재료 기반 고차원 광자제어 기법 연구

기 여 율 1/1

주관기관 부경대학교

연구기간 2016.09.01 ~ 2017.08.31

명세서

청구범위

청구항 1

p형 실리콘 기판; 및

갈바니 변위법(galvanic displacement)에 의해 상기 p형 실리콘 기판 상에 형성된 금(Au) 나노입자층;을 포함하며,

상기 p형 실리콘 기판 표면에 대한 상기 금 나노입자층의 피복률(coverage)은 3.0 내지 25.0%인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재.

청구항 2

제1항에 있어서,

상기 금 나노입자층의 피복률이 3.1 내지 21.9%일 때,

동결(freeze-out) 영역(10 내지 30K)에서의 저항 온도계수(Temperature Coefficient of Resistivity, TCR) 절대값의 최대값은 21.9 내지 35.0%인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재.

청구항 3

제2항에 있어서,

상기 금 나노입자층의 피복률이 21.9%일 때, 동결 영역에서의 저항 온도계수 절대값의 최대값은 35.0%인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재.

청구항 4

제1항에 있어서,

상기 금 나노입자층의 피복률이 3.1 내지 21.9%일 때,

동결 영역에서의 극저온 민감도(Cryogenic Sensitivity, S_v) 절대값의 최대값은 40.9 내지 47.9 mV/K인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재.

청구항 5

제4항에 있어서,

상기 금 나노입자층의 피복률이 21.9%일 때, 동결 영역에서의 극저온 민감도 절대값의 최대값은 47.9 mV/K인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재.

청구항 6

제1항에 있어서,

상기 금(Au) 나노입자층은, 금 전구체 화합물을 포함하는 산 수용액에 p형 실리콘 기판을 일정 시간 동안 침지시켜 형성되는 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재.

청구항 7

제6항에 있어서,

상기 금 전구체 화합물은 HAuCl_4 이고, 상기 산 수용액은 HF 수용액인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재.

청구항 8

제1항의 금 나노입자-실리콘 복합소재를 포함해 이루어지는 볼로미터(bolometer).

청구항 9

제1항의 금 나노입자-실리콘 복합소재를 포함해 이루어지는 극저온 센서(cryogenic sensor).

발명의 설명

기술 분야

[0001] 본 발명은 금 나노입자 및 실리콘을 포함하는 복합소재에 대한 것으로서, 보다 상세하게는, 볼로미터 또는 극저온 센서에 사용되는 저온 센싱용 금 나노입자-실리콘 복합소재에 관한 것이다.

배경 기술

[0002] 실리콘(Si)은 비저항이 온도 변화에 민감하기 때문에 볼로미터(bolometer) 및 극저온 센서(cryogenic sensor)로서 적합한 재료이다. 예를 들어, 동결(freeze-out) 영역을 포함해 저온 영역에서 Si의 비저항(resistivity)은 광의 흡수 또는 온도 상승에 의해 현저하게 감소된다.

[0003] 이 경우에 저항 온도계수(Temperature Coefficient of Resistivity, TCR)는 볼로미터 및 극저온 센서의 성능을 평가하기에 좋은 파라미터이다.

[0004] 큰 TCR을 갖는 시편은 작은 온도 변화에도 그 비저항 변화를 관찰할 수 있다. 저온 영역(<100 K)에서 진성(intrinsic) Si는 충분히 높은 TCR을 가지지 않으며, 저항이 MΩ보다 크지 않기 때문에(높은 저항은 냉각 또는 가열 중에 더 큰 저항의 구배를 유발하기에 좋음), 일반적으로 도핑된 Si가 볼로미터 및 극저온 센서에 사용되어 왔다. 도핑된 Si는 진성 Si 보다 높은 TCR을 가지고 있는데, 이는 동결 영역에서 도펀트로 인해 더 많이 이온화되기 때문이다. Boragno et al.가 4.2 K에서 44.6 %의 TCR로 작동하는 도핑된 Si 볼로미터를 보고한 이래, TCR이 18.0 %에서 44.6 % 사이인 도핑된 Si 볼로미터에 대한 많은 연구가 보고된 바 있다. 그러나, 대부분의 반도체 볼로미터는 액체 헬륨 온도 근처에서 최대 TCR을 갖는다. 따라서, 헬륨 듀어(dewar)와 같은 값비싼 냉각 장치가 볼로미터 작동에 필요하다. 이러한 볼로미터의 작동 온도에 대한 한계를 극복하기 위해, 금속 산화물과 고- T_c (high- T_c) 초전도 물질을 비롯한 Si 이외의 물질을 사용하는 비냉각(uncooled) 볼로미터(액체 헬륨보다 높은 온도에서 작동)가 보고된 바 있다. 또한, 탄소계 물질 볼로미터로 Si 볼로미터를 대체하려는 연구도 최근 보고되었다.

[0005] 한편, 극저온 민감도(Cryogenic Sensitivity, S_v)는 TCR 뿐만 아니라 측정 분해능과 관련하여 볼로미터 및 극저온 센서의 성능을 평가하는 데 유용한 파라미터이다. S_v 는 극저온(<123 K)에서 온도에 대한 전압 민감도로 정의된다. 볼로미터 및 극저온 센서는 보통 온도 변화에 의해 변환된 전기 신호(즉, 전압)를 모니터링하기 때문에, 보다 큰 S_v 를 가지는 볼로미터 및 극저온 센서는 미세한 온도 변화를 검출하는데 유리하다. 전형적인 실리콘 기반 저온 센서의 S_v 는 22K 근처에서 2 ~ 21 mV/K로 보고된 바 있다.

선행기술문헌

비특허문헌

- [0006] (비특허문헌 0001) Richards, P. L. Bolometers for infrared and millimeter waves. J. Appl. Phys. 1994, 76, 1-24.
- (비특허문헌 0002) Low, F. J. Low-Temperature Germanium Bolometer. J. Opt. Soc. Am. 1961, 51, 1300-1304.
- (비특허문헌 0003) Mather, J. C. Bolometers: ultimate sensitivity, optimization, and amplifier coupling. Appl. Opt. 1984, 23, 584-588.
- (비특허문헌 0004) B. I. Shklovskii, A. L. E., Electronic properties of doped semiconductors; Springer-Verlag ed.; New York, 1984; pp 74-82.

(비특허문헌 0005) Boragno, C.; Valbusa, U.; Gallinaro, G.; Bassi, D.; Iannotta, S.; Mori, F. Fast silicon p doped low temperature bolometer. Cryogenics 1984, 24, 681-683.

(비특허문헌 0006) Boltovets, N. S.; Kholevchuk, V. V.; Konakova, R. V.; Mitin, V. F.; Venger, E. F. Ge-film resistance and Si-based diode temperature microsensors for cryogenic applications. Sens. Actuators, A 2001, 92, 191-196.

(비특허문헌 0007) Zwerdling, S.; Smith, R. A.; Theriault, J. P. A fast, high-responsivity bolometer detector for the very-far infrared. Infrared Phys. 1968, 8, 271-336.

(비특허문헌 0008) Boragno, C.; Valbusa, U.; Pignatelli, G. Fast P-doped silicon bolometer for detecting heat pulses. Appl. Phys. Lett. 1987, 50, 583-584.

(비특허문헌 0009) Downey, P. M.; Jeffries, A. D.; Meyer, S. S.; Weiss, R.; Bachner, F. J.; Donnelly, J. P.; Lindley, W. T.; Mountain, R. W.; Silversmith, D. J. Monolithic silicon bolometers. Appl. Opt. 1984, 23, 910-914.

(비특허문헌 0010) Chiao, J.-C.; Niklaus, F.; Vieider, C.; Jakobsen, H.; Chen, X.; Zhou, Z.; Li, X. MEMS-based uncooled infrared bolometer arrays: a review. Proc. of SPIE 2007, 6836, 68360D-68360D-15.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해, 액체 헬륨 온도보다 높은 온도에서도 현저히 개선된 TCR 및 S_v 를 가져 극저온 센서 등의 소재로서 유용하게 사용될 수 있는 실리콘 기반 저온 센서용 소재의 제공을 그 목적으로 한다.

과제의 해결 수단

[0008] 상기한 바와 같은 목적을 달성하기 위해, 본 발명은 p형 실리콘 기판; 및 갈바니 변위법(galvanic displacement)에 의해 상기 p형 실리콘 기판 상에 형성된 금(Au) 나노입자층;을 포함하며, 상기 p형 실리콘 기판 표면에 대한 상기 금 나노입자층의 피복률(coverage)은 3.0 내지 25.0%인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재를 제안한다.

[0009] 또한, 상기 금 나노입자층의 피복률이 3.1 내지 21.9%일 때, 동결(freeze-out) 영역(10 내지 30K)에서의 저항 온도계수(Temperature Coefficient of Resistivity, TCR) 절대값의 최대값은 21.9 내지 35.0%인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재를 제안한다.

[0010] 또한, 상기 금 나노입자층의 피복률이 21.9%일 때, 동결 영역에서의 저항 온도계수 절대값의 최대값은 35.0%인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재를 제안한다.

[0011] 또한, 상기 금 나노입자층의 피복률이 3.1 내지 21.9%일 때, 동결 영역에서의 극저온 민감도(Cryogenic Sensitivity, S_v) 절대값의 최대값은 40.9 내지 47.9 mV/K인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재를 제안한다.

[0012] 또한, 상기 금 나노입자층의 피복률이 21.9%일 때, 동결 영역에서의 극저온 민감도 절대값의 최대값은 47.9 mV/K인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재를 제안한다.

[0013] 또한, 상기 금(Au) 나노입자층은, 금 전구체 화합물을 포함하는 산 수용액에 p형 실리콘 기판을 일정 시간 동안 침지시켜 형성되는 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재를 제안한다.

[0014] 또한, 상기 금 전구체 화합물은 HAuCl_4 이고, 상기 산 수용액은 HF 수용액인 것을 특징으로 하는 저온 센서용 금 나노입자-실리콘 복합소재를 제안한다.

[0015] 그리고, 본 발명은 발명의 다른 측면에서 상기 금 나노입자-실리콘 복합소재를 포함해 이루어지는 볼로미터(bolometer)를 제안한다.

[0016] 그리고, 본 발명은 발명의 또 다른 측면에서 상기 금 나노입자-실리콘 복합소재를 포함해 이루어지는 극저온 센서(cryogenic sensor)를 제안한다.

발명의 효과

[0017] 본 발명에 따른 금 나노입자-실리콘 복합소재는, 간단하고 경제적인 갈바니 변위법(galvanic displacement)을 통해 p-Si 상에 형성된 금 나노입자층 및 증가된 표면 거칠기를 가짐으로써, 금 나노입자에 의한 열(heat) 축적 효과 및 증가된 표면 거칠기에 의한 열 수송 억제 효과에 기인해 동결(freeze-out) 영역(10 내지 30K) 현저히 향상된 TCR 및 S_v 를 나타내므로, 종래의 볼로미터 또는 극저온 센서용 소재를 대체할 수 있는 소재로서 유용하게 사용될 수 있다.

도면의 간단한 설명

[0018] 도 1(a)는 p-Si 상에 갈바니 변위된 Au NP를 포함하는 시편의 제조 공정 모식도이고, 도 1(b) 0 % 시편 (p-Si, 대조군)의 SEM 이미지이며, 도 1(c)는 위로부터 순서대로 각각 3.1 %, 13.8 % 및 21.9 % 시편 SEM 이미지이다.

도 2(a)는 p-Si 상에 갈바니 변위된 Au NP를 포함하는 시편의 계면에서의 단면 TEM 이미지 (Au 피복률 21.9 %) 이고, 도 2(b)는 상기 도 2(a)의 I와 II에서 측정한 EDS 스펙트럼이며, 도 2(c)는 시편의 계면에서 확대된 HR-TEM 이미지. (d) 계면에서 측정 된, p-Si 상에 갈바니 변위된 Au NP를 포함하는 시편(Au 피복률 13.8 %)의 인덱싱(indexing)된 전자 회절 이미지이다.

도 3(a)는 p-Si 상에 갈바니 변위된 Au NP를 포함하는 시편(0 % (p-Si, 대조군), 3.1 %, 13.8 %, 21.9 % 및 3.1 % + Au 에칭 (Au NP 제거된 Au 3.1 % 시편))의 온도 의존 비저항[$\rho(T)$] 그래프이며, 밝은 회색 박스는 금속으로부터 절연체로의 전이 온도를 나타낸다. 그리고, 삽입도는 $\rho(T)$ 를 측정하기 위한 4선법의 모식도이다. 도 3(b)는 상온 부근에서의 확대된 그래프이다. 도 3(c)는 동결 영역에서의 확대된 그래프이다.

도 4(a)는 p-Si 상에 갈바니 변위된 Au NP를 포함하는 시편의 동결 영역에서의 TCR 그래프이고, 도 4(b)는 p-Si 상에 갈바니 변위된 Au NP를 포함하는 시편의 동결 영역에서의 S_v 그래프이며, 도 4(c)는 상기 도 4(a) 및 (b)에서의 TCR과 S_v 의 최대값을 나타내는 그래프이다.

도 5(a)는 동결 영역에서 p-Si 상에 갈바니 변위된 Au NP를 포함하는 시편 의 온도 의존 전도도[$\rho(T)$]의 아래

니우스 플롯(Arrhenius plot)으로서, 실선과 파선은 아레니우스 방정식 $\propto \exp\left(-\frac{E_a}{k_B T}\right)$ []과의 피팅선(fitting line)을 나타낸다. 활성화 에너지(E_a) 값은 피팅으로부터 얻어지며, 0 % (검은색 실선), 3.1 % (붉은색 실선), 13.8 % (푸른색 실선), 21.9 % (녹색 실선) 및 3.1 % + Au 에칭 (적색 파선) 각각에 대해 17.9, 24.9, 27.0, 30.0 및 23.7 meV인 것으로 나타났다.

도 5(b) 내지 도 5(d)는 각각 p-Si 상에 갈바니 변위된 Au NP를 포함하는 시편의 평균 표면 조도 (R_a) 대 Au 피복률 그래프; Au 피복률 대 E_a 그래프; 및 R_a 대 E_a 그래프이며, 도 5(b) 내지 도 5(d)의 파선은 데이터("3.1 % + Au 에칭"은 제외) 및 피어슨 상관계수로부터 선형적으로 피팅된 선이다.

도 6(a)는 평평한 p-Si ($R_a = 0$ nm)와 피팅된(pitted) p-Si ($R_a = 0.31$ nm)의 모델 시스템을 대상으로 FEM 시뮬레이션으로 얻은 모델 시스템 왼쪽과 오른쪽 가장자리 사이의 온도차(ΔT)의 막대 그래프이며, 삽입도는 $R_a = 0$ nm 및 $R_a = 0.31$ nm의 표면 근처의 온도 매핑과 열 유속(heat flux) 플롯이다. 도 6(b)는 FEM 시뮬레이션에 의해 얻어진 평평한 p-Si (0 %) 및 Au NP가 증착된 p-Si (3.1 %)의 모델 시스템의 좌측 및 우측 가장자리 사이의 ΔT 의 막대 그래프이고, 삽입도는 Au NP 증착된 P-Si의 매핑이다. 도 6(c)는 시편의 좌측과 우측 가장자리 사이의 열전기적 전력 차이 ($P_{High} - P_{Low}$)의 막대 그래프. 삽입도는 $P_{High}-P_{Low}$ 를 시뮬레이션하기 위한 모델 시스템의 모식도이고, T_{High} 는 30K이고 T_{Low} 는 10K인 한편, 왼쪽에서 오른쪽 가장자리로 10^{-7} A가 인가된다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명을 설명함에 있어서 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

- [0020] 본 발명의 개념에 따른 실시예는 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있으므로 특정 실시예들을 도면에 예시하고 본 명세서 또는 출원에 상세하게 설명하고자 한다. 그러나 이는 본 발명의 개념에 따른 실시예를 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0021] 본 명세서에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0022] 이하, 본 발명을 상세히 설명하도록 한다.
- [0023] 본 발명에 따른 저온 센서용 금 나노입자-실리콘 복합소재는 p형 실리콘 기판을 상기 p형 실리콘 기판 상에 형성되는 금(Au) 나노입자들로 이루어진 층을 포함한다.
- [0024] 이때, 상기 금(Au) 나노입자층은 갈바니 변위법(galvanic displacement)에 의해 상기 p형 실리콘 기판 상에 증착되어 형성된다. 예를 들어, HAuCl_4 등과 같은 금 전구체 화합물이 포함된 HF 수용액 등의 산 수용액에 p형 실리콘 기판을 일정 시간 동안 침지시킬 경우 Si로부터 금 전구체로의 자발적 전자 이동을 통해 Si 상에 나노 구조를 생성시키고 동시에 Si 표면에서 천공(pitting)을 형성시킨다.
- [0025] 한편, 상기 p형 실리콘 기판 표면에 대한 상기 금 나노입자층의 피복률(coverage)은 3.0 내지 25.0%인 것이 바람직하다.
- [0026] 상기와 같이 p형 실리콘 기판 표면에 갈바니 변위법(galvanic displacement)에 의해 형성된 금 나노입자층을 포함하는 저온 센서용 금 나노입자-실리콘 복합소재는, 동결(freeze-out) 영역에서 저항 온도계수(Temperature Coefficient of Resistivity, TCR) 및 극저온 민감도(Cryogenic Sensitivity, S_v)가 현저하게 개선되는데, 이는 금 나노입자들에 의한 열 축적 및 표면 거칠기 증가에 의한 열 전달 억제 효과에 기인한다.
- [0027] 따라서, 본 발명에 따른 금 나노입자-실리콘 복합소재는 종래의 볼로미터 또는 극저온 센서용 소재를 대체할 수 있는 소재로서 유용하게 사용될 수 있다.
- [0028] 이하에서는, 본 발명에 대해 실시예를 들어 상세하게 설명하기로 한다.
- [0029] 그러나, 본 명세서에 따른 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 명세서의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되지 않는다. 본 명세서의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 명세서를 보다 완전하게 설명하기 위해 제공되는 것이다.
- [0030] **<실시예> 갈바니 변위법을 통한 금 나노입자-실리콘 복합소재의 제조 및 특성 분석**
- [0031] 먼저, 두께 525 - 575 μm , 비저항 1 - 10 $\Omega \cdot \text{cm}$ 인 봉소(B) 도핑된 p형 Si(100) 웨이퍼(UNISILL Co. Ltd, Seoul, Korea) 조각을 아세트론, 이소프로필 알콜 및 탈이온수(DI water)로 행궜다. 그리고, 상기 p-Si 조각을 10 분간 H_2SO_4 와 H_2O_2 (7 : 3)으로 피라나(piranha) 세정했다. p-Si 웨이퍼 조각을 0.4M HF 수용액에 3 분간 담근 후 탈이온수(DI water)로 행궜다. 금 나노입자(Au NP)의 갈바니 변위 증착을 위해, p-Si 웨이퍼 조각을 0.2 mM HAuCl_4 를 포함한 0.5 M HF 수용액에 10초(3.1 %) 및 30초 (13.8 % 및 21.9 %의 Au 피복률) 동안 침지시켰다. 동일한 침지 시간을 갖는 시편의 Au 피복률은 탈이온수 세척 및 N_2 가스 블로잉에 의한 건조와 같은 공정 중의 실험적 요인으로 인해 약간 변화하였다. p-Si 상에 갈바니 변위된 Au NP를 포함하는 시편의 표면 거칠기 효과를 살펴보기 위해, 3.1 % 시편을 5 분 동안 Au 에칭제(etchant)에 침적시켜 Au NP를 제거하였다. 이와 같이 Au NP가 제거된 3.1 % 시편은 "3.1 % + Au 에칭"("3.1% + Au etching")으로 표시하였다.
- [0032] 도 1(a)는 p형 Si(p-Si) 기판 상에 Au NP를 갈바니 변위로 형성하는 것을 보여주는 모식도이다. p-Si 기판 조각을 10-30 초 동안 AuCl_4^- 이온을 함유한 HF수용액에 담근다. p-Si의 표면에서, Au^{3+} 는 Si의 산화에 의해 Au^0 으로 환원된다. HF 존재 하에서 SiO_2 의 에칭으로 인해, p-Si의 표면 상에 피트-홀(pit-hole)이 생성된다. Au NP는 Au NP와 p-Si 사이의 p-Si의 거친 표면 상에 형성된다. Au NP의 증착이 없는 p-Si의 시편(0 %)과 함께, p-Si 시편 상의 Au NP의 피복률(coverage)이 3.1 %, 13.8 % 및 21.9 %인 3 개의 시편을 준비했다(도 1(b) 및 (c)). 금 나

노입자가 증착되지 않고 노출된 p-Si의 평평하고 균일한 표면과는 대조적으로, p-Si 상에 Au NP가 증착된 시편의 주사전자 현미경(SEM) 이미지는 어두운 배경에 밝은 반점을 보이며[도 1(c)], 증착된 Au NP는 신장되어(elongated) 있지 않은 것으로 관찰된다. 도 1(c)에서 보여지는 바와 같이 밝은 반점이 명확하게 분리되어 있다.

[0033] Au NP와 p-Si 계면의 특성을 분석하기 위해, 21.9의 Au NP 피복률을 가지는 p-Si 시편에 대해 고분해능 투과전자 현미경(HR-TEM), 에너지 분산 X-선 분광법(EDS) 및 전자 회절(electron diffraction)을 실시했다(도 2).

[0034] 도 2(a)에서 볼 수 있듯이, Au NP의 성장은 얇은 금속막 형성(Stranski-Krastanov mode) 대신 금속 섬(metal island) 성장이 지배적인 Volmer-Weber (VW) 성장을 따랐다. TEM 이미지와 EDS 스펙트럼은 Au NP에 의한 밝은 부분이 계면에서 피트 홀을 쌓아 채움으로써 p-Si 기판 위에 에피택셜하게(epitaxially) 성장한다는 것을 보여준다[도 2(c)]. VW 성장의 경우 계면에서 중간상(intermediate phase)은 존재하지 않으며, 이는 Au NP 및 p-Si 단결정 각각의 독립된 전자 회절에 의해 확인할 수 있다[도 2(d)]. 모든 회절 반점은 오직 Si와 Au에만 속하기 때문에, 혼합된 금 규화물(Au-Si)은 존재하지 않는다고 추정할 수 있다. 도 2(d)에 도시된 회절 반점은 Si(100), Au(210) 및 Au(200)에 대응된다. 더욱이, 이전 연구에서 측정된 p-Si상의 갈바니 변위된 Au 나노 형상의 x-선 광전자 분광법(XPS) 스펙트럼도 Au NP와 p-Si 사이의 계면에 Au-Si가 존재하지 않음을 보여준다. 그러므로, Au NP는 중간층(Au-Si) 또는 산화물 층이 없이 p-Si와 접촉한다고 추정할 수 있다.

[0035] 도 3의 삽입도에 묘사된 바와 같이 4선(four-line) 방법을 사용하여, 10 K와 300 K 사이의 온도 범위에서, 0 %, 3.1 %, 13.8 % 및 21.9 %의 Au NP 피복률을 p-Si 시편의 온도 의존 비저항[$\rho(T)$]을 측정했다[도 3].

[0036] Au NP의 영향을 배제하고 표면 거칠기에 의한 영향에 대해 분석하기 위해, Au 미증착 p-Si(0 %) 시편뿐만 아니라, 대조군으로 Au 에칭 공정을 수행한 3.1% 시편(3.1 % + Au 에칭)을 사용하였다. 측정 결과에 따르면, 모든 시편은 비슷한 온도 의존성을 보인다. 구체적으로, 상대적으로 높은 온도에서의 금속 거동(metallic behavior)과 감소된 온도에서의 절연체 유사 거동(insulator-like behavior)을 나타낸다. 도 3(a)의 밝은 회색 박스는 온도 감소에 따라 시편의 금속으로부터 절연체로의 전이 온도를 보여준다. 도핑된 반도체의 전형적인 온도 의존성에 따르면, 저온에서 도펀트의 에너지 준위에서의 동결된 전하가 온도가 증가함에 따라 활성화(즉, 도펀트의 이온화)되기 시작한다(동결(freeze-out) 영역). 도펀트의 이온화가 포화된 후에, 온도에 의존하는 전하 농도의 변화는 더 이상 예상되지 않는다(외인성(extrinsic) 영역). 도펀트 농도가 10^{15} cm^{-3} 인 경우, 외인성 영역은 대략 100 K와 500 K 사이이며, 동결 영역은 100 K 미만이다. 본 실시예에서, p-Si의 도핑 레벨은 $10^{14} - 10^{15} \text{ cm}^{-3}$ (보소)이므로, 절연체와 같은 거동은 동결 영역에서 일어나고, 금속과 같은 거동은 외인성 영역에서 일어난다. 외인성 영역에서, 전하 농도는 불변이지만, 온도가 증가함에 따라 열적으로 활성화된 전하 산란이 지배적이 된다. 따라서, 도 3(a)에서 보는 바와 같이 온도가 증가함에 따라 외인성 영역에서 시편의 비저항이 점차 증가한다. 이 단계에서 모든 시편은 온도 변화에 대해 유사한 반응을 보인다.

[0037] 시편의 Au NP 피복률 의존 비저항을 살펴보기 위해, 갈바니 변위에서 p-Si에 대한 Au NP의 영향에 대해 가정을 할 필요가 있다. 즉, (1) p-Si상의 Au NP의 갈바니 변위 동안, p-Si의 표면 근처의 양전하의 농도는 p-Si의 표면에서의 Au 감소로 인해 증가한다. 또한, (2) p-Si 표면의 Au NP의 갈바니 변위 동안 p-Si 산화로 인해 표면이 거칠어진다. 더 많은 Au NP가 증착될 때, p-Si가 더 큰 표면 거칠기를 가질 것으로 예상된다. (3) p-Si 상에 Au NP의 갈바니 변위 후, Au NP의 에너지 준위에 피닝하는 p-Si의 페르미 준위 때문에 양전하가 Au NP의 근방과 아래에 축적된다. (4) Au NP와 p-Si 사이의 계면을 통한 열 수송은 Au NP의 거친 표면과 상대적으로 낮은 열 전도성에 의해 방해 받는다(축열 효과).

[0038] 도 3(b)는 실온 근처(외인성 영역)에서 $\rho(T)$ 가 Au NP 피복률에 의존함을 보여준다. Au NP 피복률이 증가함에 따라 시편의 $\rho(T)$ 는 낮아진다. 이것은 Au NP의 감소 과정($\rho(T)$ 를 낮추는)에 의해 p-Si에서 양전하의 농도가 증가(정공 도핑 유사 효과)하기 때문일 것이다. 특히, Au NP 근처 및 아래에 축적된 양전하는 열적으로 보다 활성화될 수 있고 저온에서보다 실온 부근에서 캐리어 전하의 증가에 더 기여할 수 있다. 한편, Au NP가 에칭에 의해 제거될 경우((3.1 % + Au 에칭)), 3.1 % 시편의 $\rho(T)$ 는 더 커진다. 3.1 % 시편의 R_a 는 Au NP가 제거될 때 0.53 nm에서 0.31 nm로 약간 감소한다. 소량의 Au NP(3.1 %)의 경우, Au NP에 기인하는 정공 도핑 유사 효과 [$\rho(T)$ 를 낮춤]는 표면 거칠기에 기인하는 전하 수송 방해 효과 [$\rho(T)$ 를 증가시킴]보다 영향력이 덜한 것으로 보인다.

[0039] 도 3(c)는 저온(동결) 영역에서 $\rho(T)$ 가 Au NP 피복률에 의존함을 보여준다. 온도가 낮아짐에 따른 $\rho(T)$ 의 증가는 p-Si 시편 상의 Au NP에서 현저하게($10^2 - 10^3$ 정도) 확대된다. Au NP가 p-Si에 더 많이 증착됨에 따라 시

편에 더 많은 동결된 전하가 존재한다. p-Si에 동결된 많은 수의 전하는 많은 수의 증착된 Au NP와 함께 동결 영역에서 $\rho(T)$ 를 갑작스럽게 변화시킨다. Au NP 피복률이 증가함에 따라 18 - 70 K의 저온 영역에서 $\rho(T)$ 가 증가하는 경향이 있다[도 3(c)]. 축적된 양전하의 수가 Au NP의 제거 의해 감소하면 동결된 전하의 수는 감소한다. 이것은 Au NP 에칭(3.1 % + Au 에칭)에 의해 3.1 % 시편의 $\rho(T)$ 가 약간 낮아지는 것을 설명해준다.

[0040] 저온에서의 시편의 $\rho(T)$ 증가는 대부분 18K 아래에서 포화되며, p-Si 시편에서 Au NP의 $\rho(T)$ 의 교차(crossover) 역시 18K 미만의 온도에서 나타난다. 이러한 결과와 유사하게, 도핑된 Si의 $\rho(T)$ 가 동결 영역에서 포화된 것과 같은 거동을 나타냄이 이전에 보고되었고, 도펀트의 에너지 준위 퇴보(degeneracy)가 해당 현상에서 중요한 역할을 하는 것으로 판명되었다. 또한, 동결 영역에서 몇개의 단일층(monolayer) Au 막이 증착된 도핑된 Si와 도핑된 Si 시편 간의 $\rho(T)$ 의 교차 또한 보고되었고, 도핑된 Si에서 전자 수송에 대한 Au 막의 영향이 동결 영역에서 보다 분명해진다는 것이 설명되었다. p-Si 시편에서의 Au NP의 $\rho(T)$ 의 포화 거동 및 교차는 Au NP 증착의 정도와 강하게 관련되어 있다. 동결 영역의 저온에서 시편의 $\rho(T)$ 의 포화 거동 및 교차에 대해 갈바니 변위된 Au NP이 미치는 영향을 정확히 밝히기 위해서는 더 많은 조사가 필요하다. 그러나 본 실시예에서는 $\rho(T)$ 의 현저한 변화에 더 초점을 맞추고 있는데, 이는 큰 TCR과 S_v 가 볼로미터와 극저온 응용에서 중요하기 때문이다.

[0041] 동결 영역에서 p-Si 시편 상의 Au NP의 TCR과 S_v 는 도 4에 나타났다. TCR과 S_v 는 아래 식 (1)과 식 (2)에 따라 정의된다.

$$TCR (\% \cdot K^{-1}) = 100 \left[-\frac{1}{\rho_M} \left(\frac{d\rho}{dT} \right) \right] \quad (1)$$

$$S_v (mV/K) = \frac{dV}{dT} \quad (2)$$

[0042]

[0043] 여기서 ρ_M 은 $d\rho/dT$ 가 최대일 때의 시편 비저항이며, A는 전하 수송의 유효 영역(시편의 도핑 깊이 x 접촉된 은(Ag) 와이어 길이)이고, l은 라인-전극의 거리 (센싱을 위해 시편 상에 접촉되어 있는 은 와이어 사이의 거리)를 나타낸다. 전극의 접촉 거리와 시편의 크기에 따른 영향을 없애기 위해, 시편의 기하학적 요인에 따라 정규화된(normalized) 감도가 S_v 로 사용된다. 최대 TCR(TCR_{Max})은 도 4(a)와 같이 Au NP의 피복률이 증가함에 따라 변한다. 0 %의 TCR_{Max} 는 $-17.2 \% \cdot K^{-1}$ 이고 21.9 %의 TCR_{Max} 는 $-35.0 \% \cdot K^{-1}$ 이다. 또한, TCR_{Max} 는 Au NP가 제거됨에 따라 $-28.5 \% \cdot K^{-1}$ (3.1 %)에서 $-21.0 \% \cdot K^{-1}$ (3.1 % + Au 에칭)로 변한다. 그러나, 최대 $S_v(S_{v, Max})$ 는 Au NP가 p-Si에 증착됨에 따라 급격히 변한다[도 4(b)]. p-Si 시편에서 p-Si와 Au NP 사이의 $S_{v, Max}$ 의 차이를 확인해보면, $S_{v, Max}$ 는 Au NP의 피복률이 3.1 %에서 21.9 %로 증가함에 따라 $-40.9 mV/K$ 에서 $-47.9 mV/K$ 로 약간 변한다. 또한, 갈바니 변위 시편의 TCR_{Max} 는 동결 영역에서 전형적인 반도체 볼로미터와 비교해 개선된 경향을 보여준다.

[0044] TCR_{Max} 과 유사하게, Au NP가 제거됨에 따라 $S_{v, Max}$ 는 $-40.9 mV/K$ (3.1 %)에서 $-24.6 mV/K$ (3.1 % + Au)로 변화한다. 시편의 TCR_{Max} 및 $S_{v, Max}$ 는 도 4(c)에 막대 그래프로 도시되어 있다. Au NP의 갈바니 변위에 의해 p-Si의 S_v 는 $0.81 mV/K$ 에서 $47.9 mV/K$ 로 급격히 향상($\sim 5813 \%$)되고, p-Si의 TCR($-17.2 \% \cdot K^{-1}$ 내지 $35.0 \% \cdot K^{-1}$)은 최대 35 % 만큼 증가하는 것으로 확인된다. 즉, 상용 극저온 센서의 S_v (22K에서 $-21.1 mV/K$)와 대비해 2.27 배(22K에서 $-47.9 mV/K$)가 향상된 것이다.

[0045] 이 영역에서, p-Si 상에 갈바니 변위로 형성된 Au NP를 포함하는 시편의 온도 의존 전도도[$\sigma(T)$]는 Arrhenius

방정식 $\propto \exp\left(-\frac{E_a}{k_B T}\right)$ 로 피팅(fitting)하여 분석되며, 이때 피팅은 TCR의 변화가 명백한 온도 영역에서 수행된다[도 5(a)]. 그 결과, 이 동결 영역 내의 시편의 전하 수송의 활성화 에너지(E_a)가 얻어지고, R_a 및 Au 피복률 사이의 관계가 평가된다. 도 5(b)는 시편의 Au 피복률과 R_a 사이의 관계를 보여준다. R_a 는 Au 피복률과 강한 상관 관계를 가지면서 이와 선형적으로 비례하는 경향을 보여준다. Au 피복률과 R_a 사이의 선형 피팅의 피

어는 상관계수(Pearson correlation coefficient) r 은 0.92이다. Au 피복률이 3.1에서 21.9 %로 증가할 때, 시편의 R_a 는 0.53에서 2.31 nm로 증가하는 것으로 확인되며, 이것은 Au NP와 R_a 사이의 관계에 대해 전술한 가정과 일치한다. 또한, 3.1 % Au 피복률의 R_a (0.53nm)는 에칭된 3.1 % Au 피복률 (3.1 % + Au 에칭)의 R_a (0.31nm) 보다 약간 더 크다. 이것은 Au NP가 그 형상 및 갈바니 변위 공정에 의해 야기되는 금속 유기 피팅(metal-induced pitting)으로 인해 p-Si 표면을 보다 거칠게 만든다는 것을 의미한다. 도 5(c) 및 (d)는 E_a 에 대한 R_a 및 Au 피복률의 선형 비례 경향을 도시한다. 한편, Au 제거된 시편(3.1 % + Au 에칭)은 선형 피팅에서 배제된다. 더 큰 Au 피복률을 갖는 시편은, Au 피복률의 증가에 의해 강화된 페르미 레벨 피닝 효과를 가져 (동결 아웃 영역에서의) 동결 전하의 활성화를 억제하는 것으로 추정된다. E_a 와 Au의 피복률의 강한 상관관계($r = 0.89$)와 Au 피복률과 R_a 의 강한 상관관계($r = 0.92$) 때문에, 도 5(d)에서와 같이 E_a 와 R_a 간의 강한 상관관계($r = 0.91$)가 예상된다.

[0046] p-Si 상에 갈바니 변위로 형성된 Au NP를 가지는 시편의 거친 표면 및 Au NP에 의해 열전달이 방해받는다라는 가정에 의해, Au 피복률 및 R_a 는 시편의 열전기 특성을 결정하는 중요한 요소이다. 동결 영역의 시편의 열수송에 대한 Au 피복률과 R_a 의 영향을 특성화하기 위해, 도 6(a)와 같이 모델 시스템의 열전기 특성에 대한 FEM 시뮬레이션이 수행되었다. FEM 시뮬레이션에서 시편의 왼쪽 끝을 30K로하고 시편의 오른쪽 끝을 10K로 설정하여 열 유속(heat flux)은 시편의 왼쪽에서 오른쪽으로 적용되었다. 도 6(a)에 도시된 것처럼, 동결 영역에서 p-Si의 표면 거칠기에 따라 전류가 가해질 때의 열전달 능력은 평평한 p-Si ($R_a = 0$ nm)와 피팅된(pitted) Si ($R_a = 0.31$ nm)의 표면 근처에서의 온도 맵핑과 열유속 플롯에 의해 특성 분석되었다. 평평한 p-Si는 균일한 온도 맵핑을 보여 주며 피팅된 Si보다 동요가 덜한 열유속 플롯을 보여준다. 피팅된 p-Si ($R_a = 0.31$ nm)의 왼쪽과 오른쪽 가장자리 사이의 온도차(ΔT)는 평평한 p-Si보다 22 % 더 크다. 피팅된 p-Si에서 피트홀(pit-hole)에 의해 유발된 불안정한 열유속은 더 큰 ΔT 로 이어진다. 따라서 표면 거칠기는 동결 영역에서 p-Si 시편의 열 수송을 저하시킨다는 결론을 얻을 수 있다. 일반적으로, 반도체에서의 열 수송은 주로 포논 산란(포논 불순물 및 포논 전자 산란)에 의해 지배된다. 피팅된 p-Si ($R_a = 0.31$ nm)의 더 큰 ΔT 는 거친 표면에서 포논 산란의 증가에 의한 것으로 설명할 수 있다. 모델 시스템(피팅된 p-Si, $R_a = 0.31$ nm)의 표면 거칠기 정도는 Au 제거 시편(3.1 % + Au 에칭)의 R_a 를 실험적으로 측정하여 결정되었다. 실제로, 나노 구조화된 Si에서 표면 거칠기가 증가함에 따른 열전도도의 감소가 보고되었다. 또한, Martin et al.은 Si 나노 와이어에서 표면 거칠기에 대한 열전도도의 2차 의존성을 증명했다.

[0047] 동결 영역에서 p-Si의 표면 거칠기에 따라 전류가 가해질 때의 열전달 능력은 도 6(b)에 도시되어 있다. 시편의 왼쪽 가장자리를 30 K로 설정하고 시편의 오른쪽 가장자리를 10 K로 설정하면 도 6(b) 온도 맵핑 다이어그램에 보여지는 것처럼 Au NP가 p-Si보다 더 뜨겁다. Au NP가 시편에서 열 저장소로 작동하므로 열수송이 Au NP에 의해 억제된다고 추정할 수 있다. 도 6(b)에서, 3.1 % Au 피복률을 갖는 p-Si 시편의 ΔT (0.54K)는 0 % Au 피복률을 갖는 p-Si 시편(0.41K)보다 30 % 더 크다. 또한, 3.1 % Au 피복률을 갖는 p-Si 시편의 ΔT (0.54 K)는 피팅된 p-Si($R_a = 0.31$ nm) (0.50 K)보다 6 % 더 크다. 피팅된 크기는 Au NP 크기와 동일합니다(대략 반원). 이는 Au NP가 표면 거칠기로 인한 저하뿐만 아니라 열전달의 저하를 강화한다는 것을 의미한다. 직경 100 nm 이하의 금속 NP의 열전도도($0.1-0.5 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$)벌크 금속의 열전도도($> 300 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$)에 비해 상대적으로 작다. 작은 열전도도는 저온 영역에서 열 축적을 증가시킨다. p-Si 상의 갈바니 변위 Au NP(평균 직경 5 nm 미만)는 열전도율이 Si ($\sim 140 \text{ W} \cdot \text{m}^{-1} \cdot \text{K}^{-1}$)보다 훨씬 작기 때문에 열 저장소로 작용할 수 있다.

[0048] p-Si 상의 갈바니 변위된 Au NP의 모델 시스템의 열전 전력은 도 6(c)의 FEM 시뮬레이션에 의해 얻어진다. P-Si 시편 상에 갈바니 변위된 Au NP 포함하는 시편을 모사하기 위해 Au NP가 없는 평평한 p-Si(0 %), 3.1 % Au NP 피복률을 가지는 피팅된 p-Si(3.1 %), 피팅된 p-Si (3.1 % + Au 식각), 13.8 % Au NP 피복률을 갖는 피팅된 p-Si(13.8 %)를 모델 시스템으로 사용 하였다. 시편의 왼쪽과 오른쪽 모서리 사이의 열전 전력 차이($P_{\text{High}} - P_{\text{Low}}$)는, 도 3에서 결정된 경험값(10^{-7} A)으로 일정하게 인가되는 전류와, 양단에 상이한 온도 설정($T_{\text{High}} = 30\text{K}$, $T_{\text{Low}} = 10 \text{ K}$)을 이용해 시뮬레이션 되었다. 도 6(c)에서 알 수 있듯이 전력 차이는 0 %, 3.1 % + Au 에칭, 3.1 % 및 13.8 %의 순서로, 0.06 nW에서 0.13 nW, 0.14 nW 및 0.18 nW로 커진다. 도 6(a)와 (b)에 나타난 결과에 따르면, Au 피복률 및 표면 거칠기가 커지면 시편에 더 큰 ΔT 를 야기함을 예상할 수 있다. 따라서, 열 전압 thermal voltage 및 열전기 전력thermoelectric power의 더 큰 차이도 예상된다. 도 6 (c)에서와 같이, '0 %'

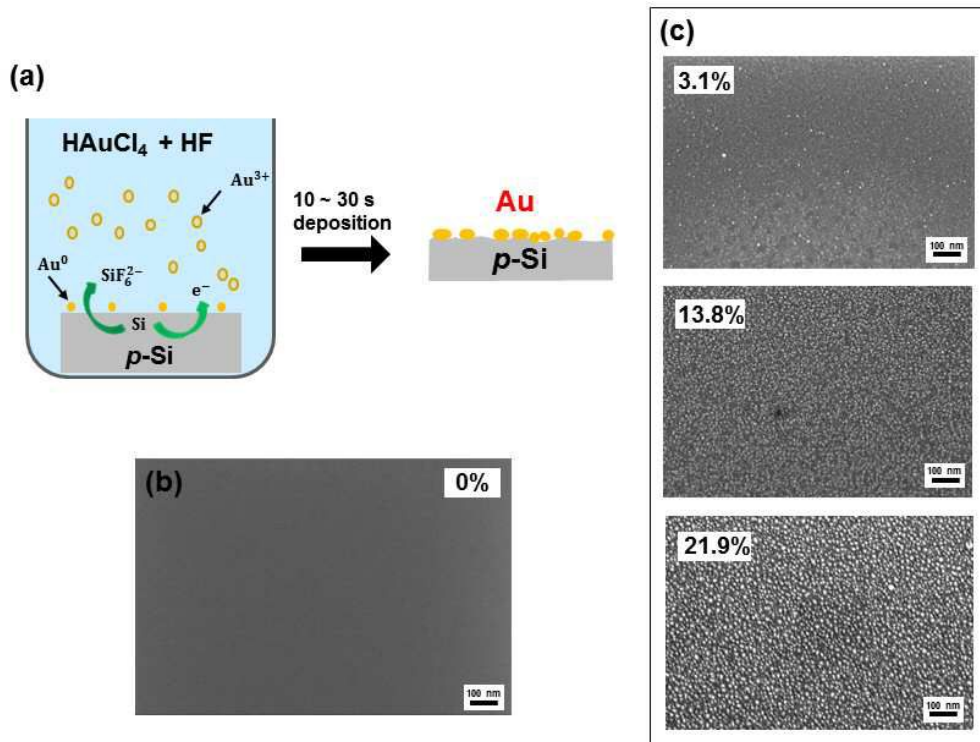
와 '3.1 % + Au 에칭'의 차이가 '0 %'와 '3.1 %' 간의 차이보다 약간 작으므로 열전기 전력의 차이에 대한 표면 거칠기의 영향이 Au NP의 영향에 비해 우월한 것으로 예상된다.

[0049]

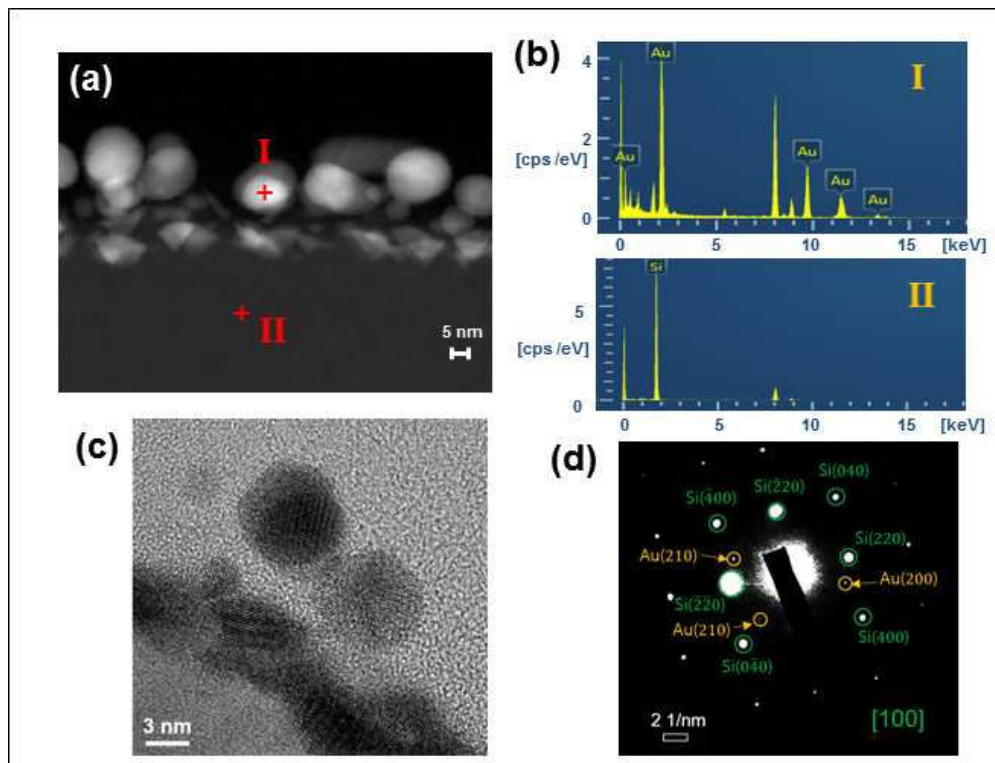
일반적으로 반도체가 온도차를 겪게 되면 반도체의 ρ 는 온도차에 비례하여 변화한다. 또한, 반도체가 옴 법칙 ($J \propto \sigma E$, J : 전류 밀도, E : 전기장)을 따르는 경우, 일정하게 인가되는 전류로 반도체에 유도된 전압(V)도 온도 차이에 비례한다. 온도(T)에 비례하는 ρ 의 변화가 큰 경우, TCR과 S_v 의 정의상[상기 식 (1) 및 (2) 참조], 큰 TCR과 S_v 가 예상 될 수 있다. 도 6(c)에 도시된 바와 같이, 시편의 모서리에서의 열 전압 및 열전기 전력의 차이가 더 크면, 시편의 비저항 및 전압의 구배(각각 $d\rho/dT$ 및 dV/dT) 또한 커지게 된다. 따라서, 열전 전력의 차이가 더 큰 시편에서 TCR 및 S_v 이 보다 클 것으로 예상된다. 이러한 결과는 갈바니 변위된 Au NP으로의 열 축적 및 표면 거칠기를 증가시킴으로써 열 전달을 저하시키면 동결 영역에서 p-Si의 TCR과 S_v 를 향상시킬 수 있음을 보여준다.

도면

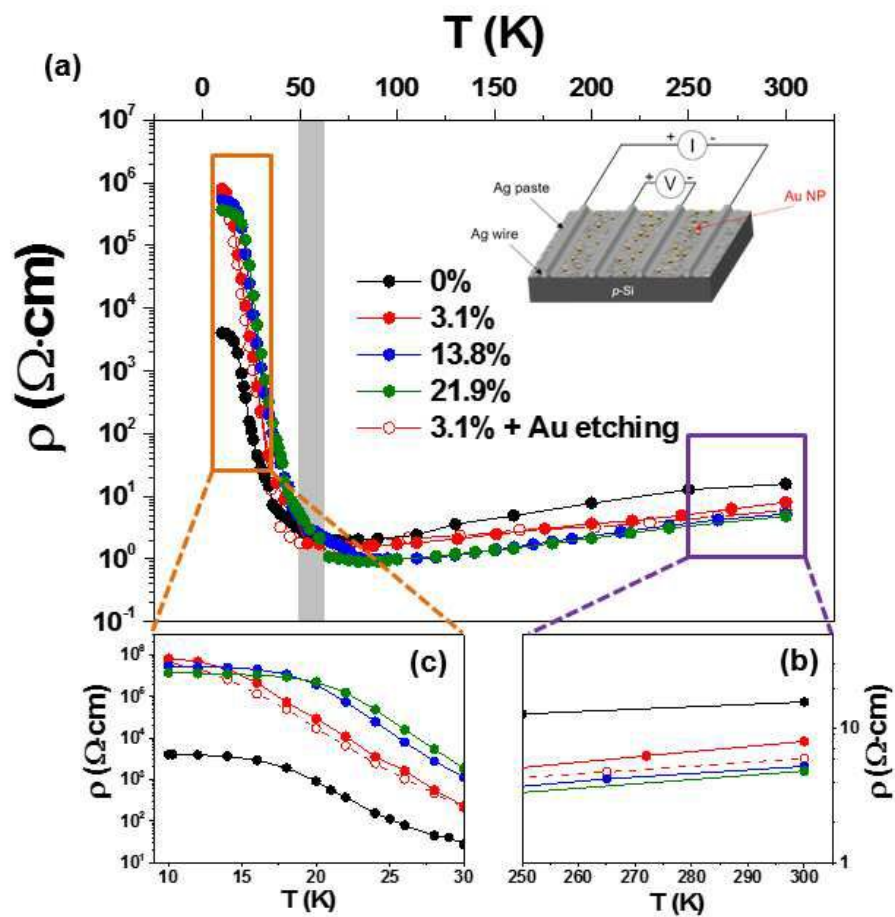
도면1



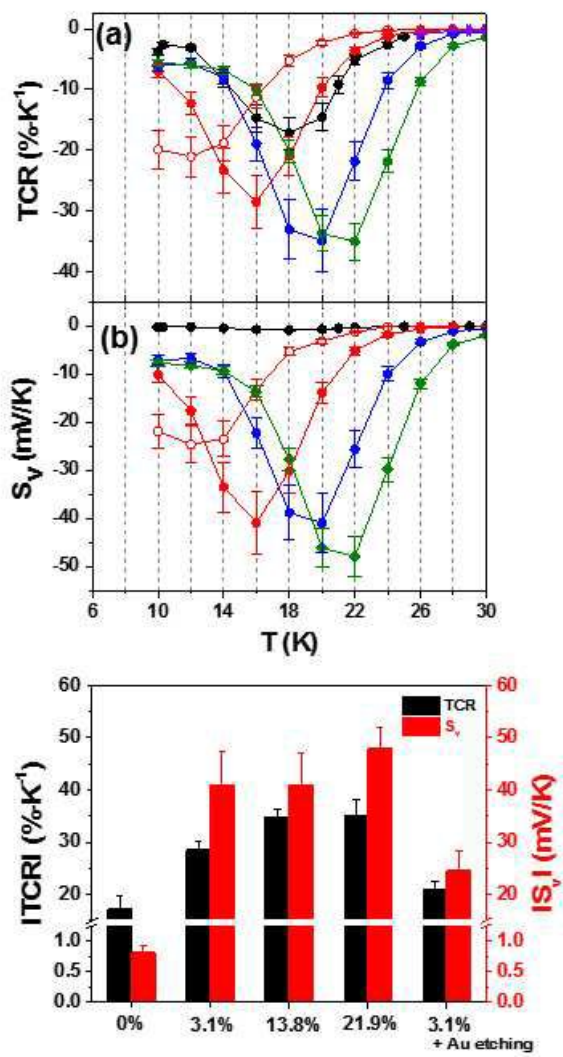
도면2



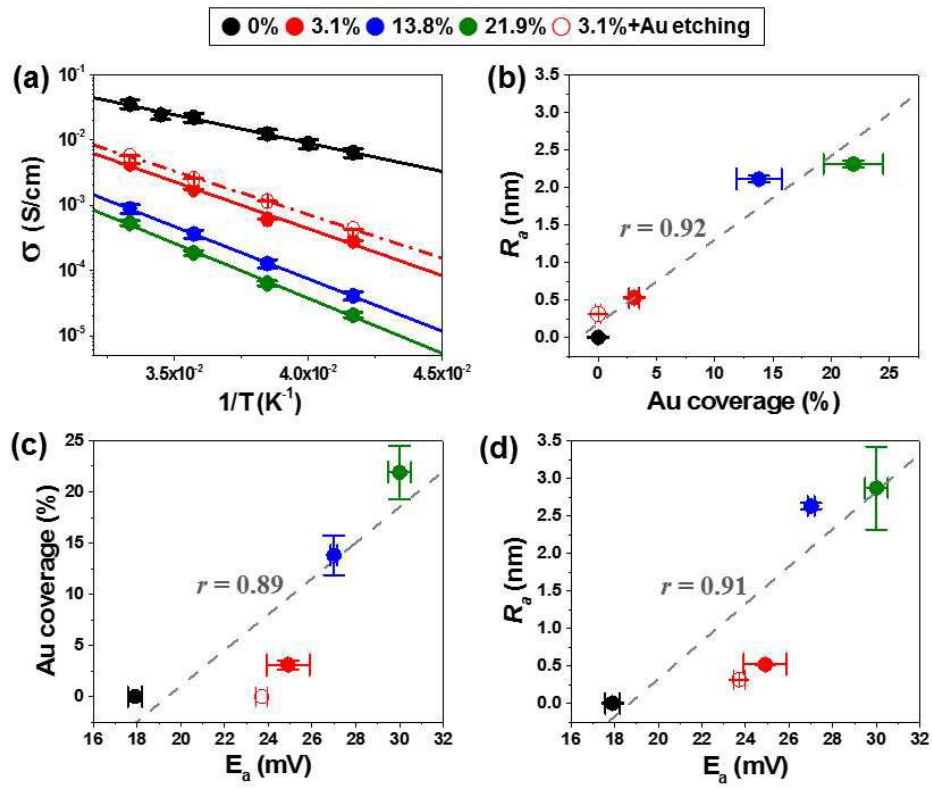
도면3



도면4



도면5



도면6

