(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月13日(13.09.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/163236 A1

(51) 国際特許分類:
*H01L 27/14* (2006.01) *H04N 5/369* (2011.01)

(21) 国際出願番号： PCT/JP2017/008733

(22) 国際出願日： 2017年3月6日(06.03.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: オリンパス株式会社 (**OLYMPUS CORPORATION**) [JP/JP]; 〒1928507 東京都八王子市石川町２９５１番地 Tokyo (JP).

(72) 発明者: 齊藤 晴久(**SAITO Haruhisa**); 〒1928507 東京都八王子市石川町２９５１番地 オリンパス株式会社内 Tokyo (JP).

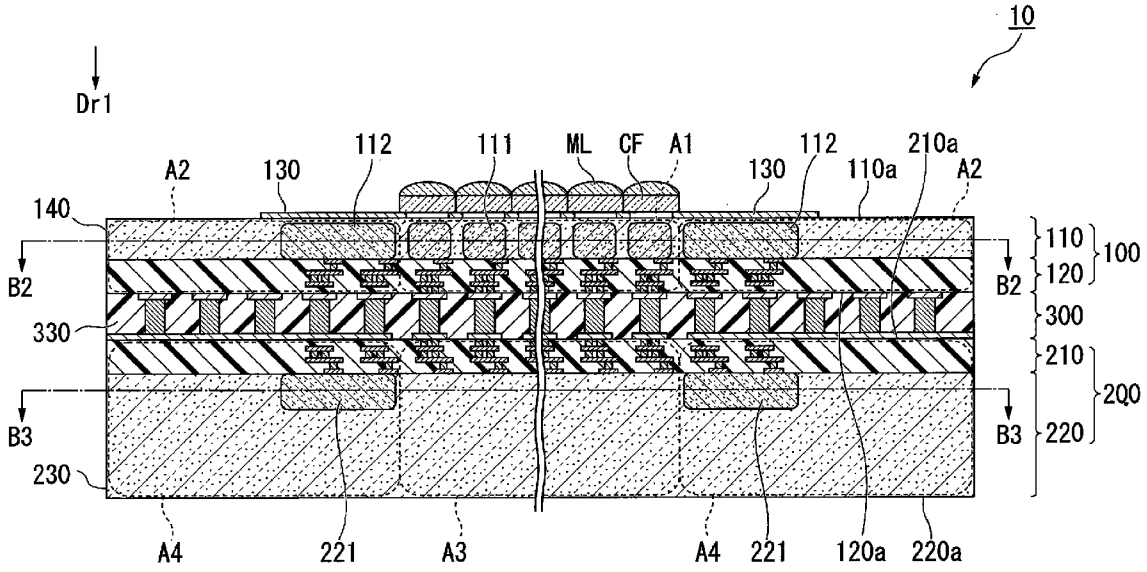
(74) 代理人: 棚井 澄雄, 外 (**TANAI Sumio** et al.); 〒1006620 東京都千代田区丸の内一丁目９番２号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,

WO 2018/163236 A1

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置および半導体装置の製造方法




(57) **Abstract:** Disclosed is a semiconductor device wherein a second region surrounds a first region when a first semiconductor substrate is viewed from the direction perpendicular to a first main surface. A fourth region surrounds a third region when a second semiconductor substrate is viewed from the direction perpendicular to a third main surface. The fourth region includes a peripheral circuit. A third base electrode is disposed in the second region of a second main surface of the first semiconductor substrate. A fourth base electrode is disposed in the fourth region of the third main surface of

[続葉有]

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

the second semiconductor substrate, and overlaps the whole peripheral circuit when the second semiconductor substrate is viewed from the direction perpendicular to the third main surface. A second bump electrode is disposed between the third base electrode and the fourth base electrode.

(57) 要約:半導体装置において第1の主面に垂直な方向に第1の半導体基板を見たときに第2の領域は第1の領域を囲む。第3の主面に垂直な方向に第2の半導体基板を見たときに第4の領域は第3の領域を囲む。前記第4の領域は周辺回路を含む。第3の下地電極は、前記第1の半導体基板の第2の主面において第2の領域に配置されている。第4の下地電極は、前記第2の半導体基板の第3の主面において前記第4の領域に配置され、かつ前記第3の主面に垂直な方向に前記第2の半導体基板を見たときに前記周辺回路の全てと重なる。第2のバンプ電極は、前記第3の下地電極と前記第4の下地電極との間に配置されている。

# 明　細　書

## 発明の名称 ： 半導体装置および半導体装置の製造方法

## 技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関する。

## 背景技術

[0002] ＣＣＤ（Ｃｈａｒｇｅ　Ｃｏｕｐｌｅｄ　Ｄｅｖｉｃｅｓ）イメージセンサおよびＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ　Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）イメージセンサなどの撮像装置の１つとして、光が基板表面側から入射する表面照射（Ｆｒｏｎｔ　Ｓｉｄｅ　Ｉｌｌｕｍｉｎａｔｉｏｎ（ＦＳＩ））型イメージセンサがある。フォトダイオードなどの素子が配置された画素を含む画素回路領域と、周辺回路が配置された周辺回路領域とがイメージセンサに含まれる。周辺回路領域には、垂直駆動回路、水平駆動回路、信号処理回路、および出力回路などの回路が配置されている。信号処理回路は、ＣＤＳ（Ｃｏｒｒｅｌａｔｅｄ　Ｄｏｕｂｌｅ　Ｓａｍｐｌｉｎｇ）回路、Ａ／Ｄ変換回路、および増幅回路などの回路を含む。また、信号処理回路は、デジタル信号処理回路も含む。さらに、周辺回路領域において、画素回路領域を囲むように遮光膜が形成されている。この周辺回路領域の遮光膜は、不必要な光が周辺回路領域に照射されないように遮光する役割を持っている。これにより、周辺回路領域の遮光膜は、周辺回路領域にあるトランジスタなどの素子が不必要な光を受けることによりその電気特性が変化することを防ぐ。画素回路領域には画素間の部分を遮光するための格子状のパターンの遮光膜が形成されている。画素回路領域の遮光膜は、各画素間のクロストークを防ぐ。さらに、基板の表面にはカラーフィルター（Ｒ，Ｇ，Ｂなど）と、マイクロレンズとが２次元にアレイ状に配置されている。カラーフィルタは、光を色毎に透過させ、マイクロレンズは、光を効率よく画素に集光する。

[0003] 一方、光が基板裏面側から入射する裏面照射（Ｂａｃｋ　Ｓｉｄｅ　Ｉｌ

ｌｕｍｉｎａｔｉｏｎ（ＢＳＩ））型イメージセンサがある。薄くされたシリコン基板の背面（裏面）に光が入射する。シリコン内で光電変換により生成された信号電荷は、表面に形成された回路から出力される。ＢＳＩ型イメージセンサにおいて、遮光膜、カラーフィルタ、およびマイクロレンズは裏面側に形成される。

[0004] 最近では、積層型イメージャが開発されている。積層型イメージャは、フォトダイオード基板（ＰＤ基板）および読み出し基板（ＲＯ基板）を各基板の縦方向にＦｔｏＦ（Ｆａｃｅ　ｔｏ　Ｆａｃｅ）で積層し、かつ各基板を接続電極で電気的に接続した構造を有する。ＰＤ基板には、画素領域が配置されている。画素領域には、フォトダイオード（ＰＤ）、およびＰＤが光電変換により生成した信号電荷を読み出す回路などが配置されている。ＰＤ基板にはＢＳＩ型イメージセンサが用いられる。ＲＯ基板には、垂直駆動回路、水平駆動回路、信号処理回路、および出力回路などの回路が配置されている。

[0005] 図３０および図３１は、積層型イメージャである半導体装置１０１０の構成を示す。図３０および図３１において、半導体装置１０１０の断面が示されている。図３１は、半導体装置１０１０の一部を拡大した図である。

[0006] 図３０および図３１に示すように、半導体装置１０１０は、第１の半導体基板１１００、第２の半導体基板１２００、接続層１３００、複数のマイクロレンズＭＬ、および複数のカラーフィルタＣＦを有する。図３０および図３１において、代表として１つのマイクロレンズＭＬおよび１つのカラーフィルタＣＦの符号が示されている。

[0007] 第１の半導体基板１１００は、第１の半導体層１１１０、第１の配線層１１２０、および遮光膜１１３０を有する。第１の半導体層１１１０および第１の配線層１１２０は、方向Ｄｒ１０に積層されている。方向Ｄｒ１０は、第１の半導体基板１１００および第２の半導体基板１２００の厚さ方向である。第１の半導体層１１１０は、複数の光電変換素子１１１１および複数の第１の周辺回路１１１２を有する。図３０および図３１において、代表とし

て１つの光電変換素子１１１１の符号が示されている。

[0008] 光電変換素子１１１１は、第１の半導体層１１１０の中央部に配置されている。光電変換素子１１１１は、光電変換素子１１１１に入射した光を信号に変換する。第１の周辺回路１１１２は、第１の半導体層１１１０の周辺部に配置されている。遮光膜１１３０は、第１の周辺回路１１１２に光が照射されないように遮光する。

[0009] 第１の配線層１１２０は、複数の第１の配線１１２１、複数の第１のビア１１２２、および第１の層間絶縁膜１１２３を有する。図３１において、代表として１つの第１の配線１１２１および１つの第１のビア１１２２の符号が示されている。第１の配線１１２１は、光電変換素子１１１１によって生成された信号を伝送する。第１のビア１１２２は、異なる層の第１の配線１１２１を接続する。第１の配線層１１２０において、第１の配線１１２１および第１のビア１１２２以外の部分は、第１の層間絶縁膜１１２３で構成されている。

[0010] 第２の半導体基板１２００は、第２の配線層１２１０および第２の半導体層１２２０を有する。第２の配線層１２１０および第２の半導体層１２２０は、方向Ｄｒ１０に積層されている。

[0011] 第２の配線層１２１０は、複数の第２の配線１２１１、複数の第２のビア１２１２、および第２の層間絶縁膜１２１３を有する。図３１において、代表として１つの第２の配線１２１１および１つの第２のビア１２１２の符号が示されている。第２の配線１２１１は、第１の半導体基板１１００から出力された信号を伝送する。第２のビア１２１２は、異なる層の第２の配線１２１１を接続する。第２の配線層１２１０において、第２の配線１２１１および第２のビア１２１２以外の部分は、第２の層間絶縁膜１２１３で構成されている。

[0012] 第２の半導体層１２２０は、複数の第２の周辺回路１２２１を有する。第２の周辺回路１２２１は、第２の半導体層１２２０の周辺部に配置されている。

[0013] 接続層１３００は、第１の半導体基板１１００と第２の半導体基板１２００との間に配置されている。接続層１３００は、接続電極１３１０および樹脂層１３３０を有する。図３１において、代表として１つの接続電極１３１０の符号が示されている。

[0014] 接続電極１３１０は、第１の下地電極１３１１、第２の下地電極１３１２、およびバンプ電極１３１３を有する。第１の下地電極１３１１、第２の下地電極１３１２、およびバンプ電極１３１３は、第１の半導体基板１１００から出力された信号を第２の半導体基板１２００に転送する。接続層１３００において、接続電極１３１０以外の部分は、樹脂層１３３０で構成されている。樹脂層１３３０は、第１の半導体基板１１００と第２の半導体基板１２００とを接着する。

[0015] カラーフィルタＣＦは、遮光膜１１３０に設けられた貫通孔と重なるように配置されている。マイクロレンズＭＬは、カラーフィルタＣＦに積層されている。

[0016] 第２の周辺回路１２２１への光の入射を防ぐ必要があるため、複数層の第２の配線１２１１の構造が工夫されている。例えば、１つの層の第２の配線１２１１が、他の層の第２の配線１２１１においてパターンがない部分に重なるように各層の第２の配線１２１１が配置されている。

## 先行技術文献

## 特許文献

[0017] 特許文献1：日本国特開２０１６－１６７６３１号公報

特許文献2：日本国特開２０１３－１０７１４４号公報

## 発明の概要

## 発明が解決しようとする課題

[0018] しかしながら、第２の周辺回路１２２１への光の入射を防ぐことが難しい。例えば、画素回路領域において、画素毎に第２の配線１２１１の電気的な絶縁が必要である。このため、第２の配線１２１１のパターンがない部分す

なわちスリットが必ず存在する。第２の配線１２１１におけるスリットが複数層の全てにおいて重なることを避けるように複数層の第２の配線１２１１を配置することが難しい。

[0019] 他の方法として、１つの層の第２の配線１２１１を遮光のために使用することが考えられる。遮光のための第２の配線１２１１が回路の電気特性に影響を与えることを避けるために、遮光のための第２の配線１２１１は他の層の第２の配線１２１１から電気的に絶縁される。遮光のための第２の配線１２１１が他の２つの層の第２の配線１２１１の間に配置される場合、遮光のための第２の配線１２１１から電気的に絶縁され、かつ他の２つの層の第２の配線１２１１を電気的に接続する第２のビア１２１２の形成が難しい。

[0020] したがって、複数層の第２の配線１２１１のうち第１の半導体基板１１００に最も近い層の第２の配線１２１１を遮光のために使用することが考えられる。例えば、半導体装置１０１０は、図３２に示す構造を有するように形成される。

[0021] 図３２は、図３１の線Ｂ１０に示す位置における半導体装置１０１０の断面を示す。図３２において、第２の半導体基板１２００の表面に垂直な方向Ｄｒ１０に第２の半導体基板１２００を見たときの各要素の配列が示されている。つまり、図３２において、第２の半導体基板１２００の正面から第２の半導体基板１２００を見たときの各要素の配列が示されている。図３２に示すように、第２の配線１２１１を通る断面における各要素の配列が示されている。図３２において、マイクロレンズＭＬおよび光電変換素子１１１１の位置が破線で示されている。図３２において、代表として１つのマイクロレンズＭＬと１つの光電変換素子１１１１との符号が示されている。図３２において、光電変換素子１１１１の一部およびマイクロレンズＭＬの一部は省略されている。図３２において、第２の周辺回路１２２１の位置が破線で示されている。４つの第２の周辺回路１２２１が配置されている。図３２に示すように、第２の配線１２１１は、画素回路領域を囲むように配置されている。第２の配線１２１１は、４つの第２の周辺回路１２２１の全体と重な

る。

[0022] 遮光のための第２の配線１２１１を除く第２の配線１２１１が画素回路領域において接続電極１３１０に電気的に接続する必要がある。遮光のための第２の配線１２１１が画素回路領域に配置されている場合、遮光のための第２の配線１２１１から電気的に絶縁され、かつ他の層の第２の配線１２１１と接続電極１３１０とを電気的に接続する第２のビア１２１２の形成が難しい。このため、第２の配線１２１１は画素回路領域に配置されていない。

[0023] ＣＭＯＳイメージャに限らず一般的な半導体装置の配線層の製造工程は、化学的機械研磨すなわちＣＭＰ（Ｃｈｅｍｉｃａｌ Ｍｅｃｈａｎｉｃａｌ Ｐｏｌｉｓｈｉｎｇ）プロセスを使用することにより各層を平坦にする工程を含む。図３２に示す第２の配線１２１１のパターンを含む配線層の製造工程において、その第２の配線１２１１が形成された後に絶縁層が堆積される。絶縁層が堆積された後、ＣＭＰにより絶縁層の表面の平坦化が行われる。図３２に示す第２の配線１２１１のパターンがない画素回路領域において平坦化によりディッシングやエロージョンが発生してしまう。ディッシングは、ＣＭＰ後に起こるパターンの凹みである。この場合、ディッシングは、チップ内に発生する。一方、エロージョンは、ＣＭＰ後に起こるパターンの粗密の違いで起こる凹みである。この場合、エロージョンは、ウェハ内でのうねりとなって発生する。その結果、画素回路領域と周辺回路領域で層間絶縁膜の厚さが異なってしまう。あるいは、チップ間で層間絶縁膜の厚さが異なってしまう。

[0024] 図３３は、半導体装置１０１０の製造工程における構造の断面を示す。図３３において、第２の配線層１２１０上に第２の下地電極１３１２およびバンプ電極１３１３が形成された後の構造が示されている。図３３において、遮光のための第２の配線１２１１を除く他の第２の配線１２１１は示されていない。ＣＭＰによる平坦化の影響により、画素回路領域における第２の層間絶縁膜１２１３の厚さＴ１０は、周辺回路領域における第２の層間絶縁膜１２１３の厚さＴ１１よりも小さい。その結果、画素回路領域におけるバン

プ電極１３１３と周辺回路領域におけるバンプ電極１３１３との高さの差Ｈ１０が発生する。

[0025] ＣＭＰにより平坦化が行われた層間絶縁膜の平坦性を確保するための技術が特許文献１に開示されている。具体的には、配線のパターンがない領域にダミーパターンを配置することにより、各領域においてパターンが占有する面積の比率を均一化する技術が開示されている。

[0026] 図３３に示すように高さの差Ｈ１０が発生することにより、画素回路領域において接続電極１３１０による第１の半導体基板１１００と第２の半導体基板１２００との電気的な接続の歩留まりが低下する。接合荷重を増やすことによりバンプ電極１３１３が潰された状態で２枚の基板が接合された場合、接合後の基板に歪みまたはクラックが発生しうる。一方、第２の配線１２１１を画素回路領域に配置することが困難であるため、特許文献１に開示された技術を半導体装置１０１０に適用することが難しい。以上の理由により、第２の配線１２１１により遮光膜を形成することが難しい。

[0027] また、画素回路領域におけるバンプ電極１３１３と周辺回路領域におけるバンプ電極１３１３との高さの差Ｈ１０をそろえるために、バイト研削によりバンプ電極高さを均一にする技術が特許文献２に開示されている。特許文献２には、不均一な高さのバンプの先端をバイトで切削することにより高さの位置を均一にそろえることができると記載されている。しかしながら、バイト切削には、切削後にバリと呼ばれる切削残りが発生したり、バンプが抜けたりしてしまう問題が起こる。これは、パッケージに実装するような１０ｕｍよりも大きな寸法のバンプでは問題にならない。しかし、１０ｕｍ以下のバンプでは上記のような問題が発生してしまい、かつバンプ高さの位置を均一にすることが難しい。

[0028] 本発明は、複数の半導体基板の電気的な接続の歩留まりの低下を低減し、かつ周辺回路を遮光することができる半導体装置および半導体装置の製造方法を提供することを目的とする。

## 課題を解決するための手段

[0029] 本発明の第１の態様によれば、半導体装置は、第１の半導体基板、第２の半導体基板、第１の下地電極、第２の下地電極、第１のバンプ電極、第３の下地電極、第４の下地電極、および第２のバンプ電極を有する。前記第１の半導体基板は、第１の主面、第２の主面、第１の領域、および第２の領域を有する。前記第１の主面および前記第２の主面は互いに反対方向を向く。前記第１の領域は複数の光電変換素子を含む。前記第１の主面に垂直な方向に前記第１の半導体基板を見たときに前記第２の領域は前記第１の領域を囲む。前記第２の半導体基板は、第３の主面、第４の主面、第３の領域、および第４の領域を有する。前記第３の主面および前記第４の主面は互いに反対方向を向く。前記第３の主面は前記第２の主面と対向する。前記第３の領域は前記第１の領域と対向する。前記第４の領域は周辺回路を含む。前記第４の領域は前記第２の領域と対向する。前記第３の主面に垂直な方向に前記第２の半導体基板を見たときに前記第４の領域は前記第３の領域を囲む。前記第１の下地電極は、前記第２の主面において前記第１の領域に配置されている。前記第２の下地電極は、前記第３の主面において前記第３の領域に配置されている。前記第１のバンプ電極は、前記第１の下地電極と前記第２の下地電極との間に配置されている。前記第３の下地電極は、前記第２の主面において前記第２の領域に配置されている。前記第４の下地電極は、前記第３の主面において前記第４の領域に配置され、かつ前記第３の主面に垂直な方向に前記第２の半導体基板を見たときに前記周辺回路の全てと重なる。前記第２のバンプ電極は、前記第３の下地電極と前記第４の下地電極との間に配置されている。

[0030] 本発明の第２の態様によれば、第１の態様において、前記第１の半導体基板は、前記第１の主面および前記第２の主面に接続された第１の側面を有してもよい。前記第２の半導体基板は、前記第３の主面および前記第４の主面に接続された第２の側面を有してもよい。前記第４の下地電極の端部の位置は、前記第２の側面と一致してもよい。

[0031] 本発明の第３の態様によれば、第２の態様において、前記第４の下地電極

の端部のうち一部のみの位置は、前記第２の側面と一致してもよい。

[0032] 本発明の第４の態様によれば、第３の態様において、前記第３の下地電極の端部のうち一部のみの位置は、前記第１の側面と一致してもよい。

[0033] 本発明の第５の態様によれば、第２の態様において、前記第３の下地電極の端部の位置は、前記第１の側面と一致してもよい。

[0034] 本発明の第６の態様によれば、第１の態様において、前記第１の半導体基板は、前記第１の主面および前記第２の主面に接続された第１の側面を有してもよい。前記第２の半導体基板は、前記第３の主面および前記第４の主面に接続された第２の側面を有してもよい。前記第４の下地電極の端部の全ては、前記第２の側面から離れていてもよい。

[0035] 本発明の第７の態様によれば、第６の態様において、前記第３の下地電極の端部の全ては、前記第１の側面から離れていてもよい。

[0036] 本発明の第８の態様によれば、第１の半導体基板および第２の半導体基板を有する半導体装置の製造方法は、第１の工程、第２の工程、第３の工程、第４の工程、第５の工程、および第６の工程を有する。前記第１の半導体基板は、第１の主面、第２の主面、第１の領域、および第２の領域を有する。前記第１の主面および前記第２の主面は互いに反対方向を向く。前記第１の領域は複数の光電変換素子を含む。前記第１の主面に垂直な方向に前記第１の半導体基板を見たときに前記第２の領域は前記第１の領域を囲む。第２の半導体基板は、第３の主面、第４の主面、第３の領域、および第４の領域を有する。前記第３の主面および前記第４の主面は互いに反対方向を向く。前記第３の主面は前記第２の主面と対向する。前記第３の領域は前記第１の領域と対向する。前記第４の領域は周辺回路を含む。前記第４の領域は前記第２の領域と対向する。前記第３の主面に垂直な方向に前記第２の半導体基板を見たときに前記第４の領域は前記第３の領域を囲む。前記第１の工程において、前記第２の主面において前記第１の領域に第１の下地電極が形成され、かつ前記第２の主面において前記第２の領域に第３の下地電極が形成される。前記第２の工程において、前記第３の主面において前記第３の領域に第

２の下地電極が形成され、かつ前記第３の主面において前記第４の領域に第４の下地電極が形成される。前記第３の主面に垂直な方向に前記第２の半導体基板を見たときに前記第４の下地電極は前記周辺回路の全体と重なる。前記第３の工程において、前記第１の下地電極と前記第２の下地電極とのいずれか１つに第１のバンプ電極が形成される。前記第４の工程において、前記第３の下地電極と前記第４の下地電極とのいずれか１つに第２のバンプ電極が形成される。前記第５の工程において、前記第３の主面が前記第２の主面と対向している状態で前記第１のバンプ電極が前記第１の下地電極と前記第２の下地電極とのいずれか１つに接続し、かつ前記第２のバンプ電極が前記第３の下地電極と前記第４の下地電極とのいずれか１つに接続する。前記第６の工程において、前記第１の主面が削られることにより前記第１の半導体基板が薄くなる。

## 発明の効果

[0037] 上記の各態様によれば、半導体装置および半導体装置の製造方法は、複数の半導体基板の電気的な接続の歩留まりの低下を低減し、かつ周辺回路を遮光することができる。

## 図面の簡単な説明

[0038] [図1]本発明の第１の実施形態の半導体装置の断面図である。

[図2]本発明の第１の実施形態の半導体装置の断面図である。

[図3]本発明の第１の実施形態の半導体装置の断面図である。

[図4]本発明の第１の実施形態の半導体装置の断面図である。

[図5]本発明の第１の実施形態の半導体装置の断面図である。

[図6]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図7]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図8]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図9]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図10]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図11]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図12]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図13]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図14]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図15]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図16]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図17]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図18]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図19]本発明の第１の実施形態の半導体装置の製造方法を説明するための断面図である。

[図20]本発明の第１の実施形態の第１の変形例の半導体装置の断面図である。

[図21]本発明の第１の実施形態の第１の変形例の半導体装置の断面図である。

[図22]本発明の第１の実施形態の第１の変形例の半導体装置の断面図である。

[図23]本発明の第１の実施形態の第２の変形例の半導体装置の断面図である。

[図24]本発明の第１の実施形態の第３の変形例の半導体装置の断面図である。

[図25]本発明の第２の実施形態の半導体装置の断面図である。

[図26]本発明の第２の実施形態の半導体装置の断面図である。

[図27]本発明の第２の実施形態の半導体装置の断面図である。

[図28]本発明の第３の実施形態の半導体装置の断面図である。

[図29]本発明の第４の実施形態の半導体装置の断面図である。

[図30]従来技術の半導体装置の断面図である。

[図31]従来技術の半導体装置の断面図である。

[図32]従来技術の半導体装置の断面図である。

[図33]従来技術の半導体装置の断面図である。

## 発明を実施するための形態

[0039] 図面を参照し、本発明の実施形態を説明する。

[0040] （第１の実施形態）

図１および図２は、本発明の第１の実施形態の半導体装置１０の構成を示す。図１および図２において、半導体装置１０の断面が示されている。図２は、半導体装置１０の一部を拡大した図である。

[0041] 半導体装置１０を構成する部分の寸法は、図１および図２に示される寸法に従うとは限らない。半導体装置１０を構成する部分の寸法は任意であってよい。他の断面図における寸法についても同様である。

[0042] 半導体装置１０の概略構成について説明する。半導体装置１０は、第１の半導体基板１００および第２の半導体基板２００を有する。第１の半導体基板１００は、第１の主面１１０ａ、第２の主面１２０ａ、第１の領域Ａ１、および第２の領域Ａ２を有する。第１の主面１１０ａおよび第２の主面１２０ａは互いに反対方向を向く。第１の領域Ａ１は複数の光電変換素子１１１を含む。第１の主面１１０ａに垂直な方向Ｄｒ１に第１の半導体基板１００

を見たときに第２の領域Ａ２は第１の領域Ａ１を囲む。第２の半導体基板２００は、第３の主面２１０ａ、第４の主面２２０ａ、第３の領域Ａ３、および第４の領域Ａ４を有する。第３の主面２１０ａおよび第４の主面２２０ａは互いに反対方向を向く。第３の主面２１０ａは第２の主面１２０ａと対向する。第３の領域Ａ３は第１の領域Ａ１と対向する。第４の領域Ａ４は第２の周辺回路２２１を含む。第４の領域Ａ４は第２の領域Ａ２と対向する。第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たときに第４の領域Ａ４は第３の領域Ａ３を囲む。

[0043] また、半導体装置１０は、第１の下地電極３１１、第２の下地電極３１２、第１のバンプ電極３１３、第３の下地電極３２１、第４の下地電極３２２、および第２のバンプ電極３２３を有する。第１の下地電極３１１は、第２の主面１２０ａにおいて第１の領域Ａ１に配置されている。第２の下地電極３１２は、第３の主面２１０ａにおいて第３の領域Ａ３に配置されている。第１のバンプ電極３１３は、第１の下地電極３１１と第２の下地電極３１２との間に配置されている。第３の下地電極３２１は、第２の主面１２０ａにおいて第２の領域Ａ２に配置されている。第４の下地電極３２２は、第３の主面２１０ａにおいて第４の領域Ａ４に配置されている。第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たときに第４の下地電極３２２は、第２の周辺回路２２１の全てと重なる。第２のバンプ電極３２３は、第３の下地電極３２１と第４の下地電極３２２との間に配置されている。

[0044] 半導体装置１０の詳細な構成について説明する。図１に示すように、半導体装置１０は、第１の半導体基板１００、第２の半導体基板２００、接続層３００、複数のカラーフィルタＣＦ、および複数のマイクロレンズＭＬを有する。図１および図２において、代表として１つのマイクロレンズＭＬおよび１つのカラーフィルタＣＦの符号が示されている。

[0045] 第１の半導体基板１００は、ＢＳＩ型イメージセンサを構成する。第１の半導体基板１００は、第１の半導体層１１０、第１の配線層１２０、および

遮光膜１３０を有する。第１の半導体層１１０および第１の配線層１２０は、方向Ｄｒ１に積層されている。方向Ｄｒ１は、第１の半導体基板１００および第２の半導体基板２００の厚さ方向である。方向Ｄｒ１は、第１の主面１１０ａ、第２の主面１２０ａ、第３の主面２１０ａ、および第４の主面２２０ａに垂直な方向である。第１の半導体層１１０および第１の配線層１２０は、互いに接触する。第１の主面１１０ａおよび第２の主面１２０ａは、第１の半導体基板１００の表面を構成する複数の面のうち相対的に広い面である。

[0046] 第１の領域Ａ１は、第１の半導体基板１００の中心を含む。第１の領域Ａ１は、画素を含む画素回路領域を構成する。第２の領域Ａ２は、第１の領域Ａ１の周囲に配置されている。第２の領域Ａ２は、周辺回路領域を構成する。第１の領域Ａ１および第２の領域Ａ２は、第１の主面１１０ａと第２の主面１２０ａとの一部を含む。

[0047] 第１の半導体層１１０は、半導体材料で構成されている。例えば、半導体材料は、シリコン（Ｓｉ）およびゲルマニウム（Ｇｅ）の少なくとも１つである。第１の半導体層１１０は、第１の主面１１０ａを有する。

[0048] 第１の半導体層１１０は、複数の光電変換素子１１１（フォトダイオード）および複数の第１の周辺回路１１２を有する。図１および図２において、代表として１つの光電変換素子１１１の符号が示されている。

[0049] 光電変換素子１１１は、画素を構成する。光電変換素子１１１は、第１の領域Ａ１に配置されている。例えば、光電変換素子１１１は、第１の半導体層１１０を構成する半導体材料とは不純物濃度が異なる半導体材料で構成されている。光電変換素子１１１は、光電変換素子１１１に入射した光を信号に変換する。例えば、第１の周辺回路１１２は、垂直駆動回路、水平駆動回路、信号処理回路、および出力回路などの回路である。信号処理回路は、ＣＤＳ回路、Ａ／Ｄ変換回路、および増幅回路などの回路を含んでもよい。また、信号処理回路は、デジタル信号処理回路も含んでもよい。第１の周辺回路１１２は、第２の領域Ａ２に配置されている。

[0050] 第１の配線層１２０は、第１の半導体層１１０に対して方向Ｄｒ１に積層されている。第１の配線層１２０は、第２の主面１２０ａを有する。第２の主面１２０ａは、接続層３００と接触する。第１の主面１１０ａおよび第２の主面１２０ａは、互いに反対方向を向く。

[0051] 第１の配線層１２０は、複数の第１の配線１２１、複数の第１のビア１２２、および第１の層間絶縁膜１２３を有する。図２において、代表として１つの第１の配線１２１および１つの第１のビア１２２の符号が示されている。

[0052] 第１の配線１２１および第１のビア１２２は、第１の導電材料で構成されている。例えば、第１の導電材料は、アルミニウム（Ａｌ）および銅（Ｃｕ）などの金属である。第１の配線１２１および第１のビア１２２が、互いに異なる導電材料で構成されてもよい。第１の配線１２１は、配線パターンが形成された薄膜である。第１の配線１２１は、光電変換素子１１１によって生成された信号を伝送する。１層のみの第１の配線１２１が配置されてもよいし、複数層の第１の配線１２１が配置されてもよい。図１および図２に示す例では、３層の第１の配線１２１が配置されている。

[0053] 第１のビア１２２は、異なる層の第１の配線１２１を接続する。第１の配線層１２０において、第１の配線１２１および第１のビア１２２以外の部分は、第１の層間絶縁膜１２３で構成されている。第１の層間絶縁膜１２３は、絶縁材料で構成されている。例えば、絶縁材料は、二酸化珪素（ＳｉＯ２）である。

[0054] 遮光膜１３０は、第１の主面１１０ａに配置されている。遮光膜１３０は、少なくとも第２の領域Ａ２に配置されている。図１および図２において、遮光膜１３０は第１の領域Ａ１にも配置されている。遮光膜１３０は、薄膜である。第１の領域Ａ１に配置された遮光膜１３０の部分は、貫通孔を有する。遮光膜１３０は、遮光性を有する材料で構成されている。例えば、遮光膜１３０は、銅（Ｃｕ）、アルミニウム（Ａｌ）、およびタングステン（Ｗ）などの金属で構成されている。第１の主面１１０ａに垂直な方向Ｄｒ１に

第１の半導体基板１００を見たときに遮光膜１３０は、第１の周辺回路１１２の全てと重なる。遮光膜１３０は、第１の周辺回路１１２に光が照射されないように遮光する。

[0055] 図１および図２において、第１の半導体基板１００は、２つの層を有する。第１の半導体基板１００は、１つの層のみを有してもよい。あるいは、第１の半導体基板１００は、３つ以上の層を有してもよい。

[0056] 第２の半導体基板２００は、第２の配線層２１０および第２の半導体層２２０を有する。第２の配線層２１０および第２の半導体層２２０は、方向Ｄｒ１に積層されている。第２の配線層２１０および第２の半導体層２２０は、互いに接触する。第３の主面２１０ａおよび第４の主面２２０ａは、第２の半導体基板２００の表面を構成する複数の面のうち相対的に広い面である。

[0057] 第３の領域Ａ３は、第２の半導体基板２００の中心を含む。第３の領域Ａ３は、画素回路領域を構成する。第４の領域Ａ４は、第３の領域Ａ３の周囲に配置されている。第４の領域Ａ４は、周辺回路領域を構成する。第３の領域Ａ３および第４の領域Ａ４は、第１の主面１１０ａと第２の主面１２０ａとの一部を含む。

[0058] 第２の配線層２１０は、第３の主面２１０ａを有する。第３の主面２１０ａは、接続層３００と接触する。第２の配線層２１０は、複数の第２の配線２１１、複数の第２のビア２１２、および第２の層間絶縁膜２１３を有する。図２において、代表として１つの第２の配線２１１および１つの第２のビア２１２の符号が示されている。

[0059] 第２の配線２１１および第２のビア２１２は、第１の導電材料で構成されている。第２の配線２１１および第２のビア２１２が、互いに異なる導電材料で構成されてもよい。第２の配線２１１は、配線パターンが形成された薄膜である。第２の配線２１１は、第１の半導体基板１００から出力された信号を伝送する。１層のみの第２の配線２１１が配置されてもよいし、複数層の第２の配線２１１が配置されてもよい。図１および図２に示す例では、３

層の第２の配線２１１が配置されている。

[0060] 第２のビア２１２は、異なる層の第２の配線２１１を接続する。第２の配線層２１０において、第２の配線２１１および第２のビア２１２以外の部分は、第２の層間絶縁膜２１３で構成されている。第２の層間絶縁膜２１３は、絶縁材料で構成されている。

[0061] 第２の半導体層２２０は、第２の配線層２１０に対して方向Ｄｒ１に積層されている。第２の半導体層２２０は、半導体材料で構成されている。第２の半導体層２２０は、第４の主面２２０ａを有する。第３の主面２１０ａおよび第４の主面２２０ａは、互いに反対方向を向く。

[0062] 第２の半導体層２２０は、複数の第２の周辺回路２２１を有する。例えば、第２の周辺回路２２１は、垂直駆動回路、水平駆動回路、信号処理回路、および出力回路などの回路である。第２の周辺回路２２１は、第４の領域Ａ４に配置されている。

[0063] 図１および図２において、第２の半導体基板２００は、２つの層を有する。第２の半導体基板２００は、１つの層のみを有してもよい。あるいは、第２の半導体基板２００は、３つ以上の層を有してもよい。

[0064] 接続層３００は、第１の半導体基板１００と第２の半導体基板２００との間に配置されている。接続層３００は、第１の接続電極３１０、第２の接続電極３２０、および樹脂層３３０を有する。図２において、代表として１つの第１の接続電極３１０および１つの第２の接続電極３２０の符号が示されている。

[0065] 第１の接続電極３１０は、第１の領域Ａ１および第３の領域Ａ３の間に配置されている。第１の接続電極３１０は、第１の下地電極３１１、第２の下地電極３１２、および第１のバンプ電極３１３を有する。第１の下地電極３１１、第２の下地電極３１２、および第１のバンプ電極３１３は、第２の導電材料で構成されている。例えば、第２の導電材料は、金（Ａｕ）、アルミニウム（Ａｌ）、および銅（Ｃｕ）などの金属である。

[0066] 第１の下地電極３１１および第２の下地電極３１２は、薄膜である。第１

の下地電極３１１は、第２の主面１２０ａにおいて第１のビア１２２と接触する。このため、第１の下地電極３１１は、第１の半導体基板１００と電気的に接続されている。第２の下地電極３１２は、第３の主面２１０ａにおいて第２のビア２１２と接触する。このため、第２の下地電極３１２は、第２の半導体基板２００と電気的に接続されている。第１のバンプ電極３１３は柱状または球状である。第１のバンプ電極３１３は、第１の下地電極３１１と第２の下地電極３１２との間に配置されている。第１のバンプ電極３１３は、第１の下地電極３１１および第２の下地電極３１２と接触する。第１の下地電極３１１、第２の下地電極３１２、および第１のバンプ電極３１３は、第１の半導体基板１００と第２の半導体基板２００とを電気的に接続する。第１の下地電極３１１、第２の下地電極３１２、および第１のバンプ電極３１３は、第１の半導体基板１００から出力された信号を第２の半導体基板２００に転送する。

[0067] 第２の接続電極３２０は、第２の領域Ａ２および第４の領域Ａ４の間に配置されている。第２の接続電極３２０は、第３の下地電極３２１、第４の下地電極３２２、および第２のバンプ電極３２３を有する。第３の下地電極３２１、第４の下地電極３２２、および第２のバンプ電極３２３は、第２の導電材料で構成されている。

[0068] 第３の下地電極３２１および第４の下地電極３２２は、薄膜である。第３の下地電極３２１は、第２の主面１２０ａにおいて第１のビア１２２と接触しない。このため、第３の下地電極３２１は、第１の半導体基板１００から電気的に絶縁されている。第４の下地電極３２２は、第３の主面２１０ａにおいて第２のビア２１２と接触しない。このため、第４の下地電極３２２は、第２の半導体基板２００から電気的に絶縁されている。例えば、第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たときに第４の下地電極３２２の面積は、複数の第３の下地電極３２１の面積の合計よりも大きい。第２のバンプ電極３２３は柱状または球状である。第２のバンプ電極３２３は、第３の下地電極３２１と第４の下地電極３２２との間に配置

されている。第２のバンプ電極３２３は、第３の下地電極３２１および第４の下地電極３２２と接触する。第４の下地電極３２２は、第２の周辺回路２２１に光が照射されないように遮光する。

[0069] 例えば、第３の下地電極３２１、第４の下地電極３２２、および第２のバンプ電極３２３は、電気的にフローティングに設定される。第３の下地電極３２１および第４の下地電極３２２の少なくとも１つはグランドに接続されてもよい。例えば、第３の下地電極３２１および第４の下地電極３２２の少なくとも１つは、グランド用のパッド電極に接続されてもよい。パッド電極は、半導体装置１０と外部のパッケージとを接続するための電極である。第１の配線１２１および第２の配線２１１の少なくとも１つがグランド配線を含む場合、第３の下地電極３２１および第４の下地電極３２２の少なくとも１つは、グランド配線に接続されてもよい。

[0070] 接続層３００において、第１の接続電極３１０および第２の接続電極３２０以外の部分は、樹脂層３３０で構成されている。樹脂層３３０は、樹脂材料で構成されている。樹脂層３３０は、第１の半導体基板１００と第２の半導体基板２００とを接着する。第１の接続電極３１０と第２の接続電極３２０との間の空隙に樹脂層３３０が充填されている。

[0071] カラーフィルタＣＦは、第１の主面１１０ａにおいて、遮光膜１３０に設けられた貫通孔と重なるように配置されている。マイクロレンズＭＬは、カラーフィルタＣＦに積層されている。

[0072] 半導体装置１０の光学的前方に配置された撮像レンズを通過した、被写体からの光がマイクロレンズＭＬに入射する。マイクロレンズＭＬは、撮像レンズを通過した光を結像する。カラーフィルタＣＦは、マイクロレンズＭＬに対応する領域に配置されている。つまり、カラーフィルタＣＦは、マイクロレンズＭＬを通過した光が通過する領域に配置されている。マイクロレンズＭＬを通過した光は、カラーフィルタＣＦに入射する。カラーフィルタＣＦは、特定の波長範囲の光を透過させる。

[0073] カラーフィルタＣＦを透過した光は、第１の半導体層１１０に入射する。

第１の半導体層１１０において光電変換素子１１１は、マイクロレンズＭＬに対応する領域に配置されている。つまり、光電変換素子１１１は、マイクロレンズＭＬを通過した光が通過する領域に配置されている。第１の半導体層１１０に入射した光は、光電変換素子１１１に入射する。光電変換素子１１１は、光電変換素子１１１に入射した光を信号に変換する。

[0074] 光電変換素子１１１から出力された信号は、第１の配線１２１と第１のビア１２２とによって接続層３００に転送される。接続層３００に転送された信号は、第１の接続電極３１０によって第２の半導体基板２００に転送される。

[0075] 第１の半導体基板１００は、第１の主面１１０ａおよび第２の主面１２０ａに接続された第１の側面１４０を有する。第２の半導体基板２００は、第３の主面２１０ａおよび第４の主面２２０ａに接続された第２の側面２３０を有する。第４の下地電極３２２の端部の位置は、第２の側面２３０と一致する。

[0076] 第１の側面１４０は第１の半導体基板１００の端面であり、かつ第２の側面２３０は第２の半導体基板２００の端面である。第１の側面１４０および第２の側面２３０は、半導体装置１０の側面を構成する。第１の側面１４０および第２の側面２３０の各々の面積は、第１の主面１１０ａ、第２の主面１２０ａ、第３の主面２１０ａ、および第４の主面２２０ａの各々の面積よりも小さい。第１の側面１４０および第２の側面２３０は、第１の主面１１０ａ、第２の主面１２０ａ、第３の主面２１０ａ、および第４の主面２２０ａにほぼ垂直である。第１の側面１４０および第２の側面２３０は、樹脂層３３０の側面と滑らかに接続されている。

[0077] 半導体装置１０の製造工程において、第１の側面１４０および第２の側面２３０は、ダイシングにより形成される。第１の側面１４０および第２の側面２３０は、１つの基板を複数のチップに分割する工程において形成された面である。図１において、第１の側面１４０および第２の側面２３０は、第１の半導体基板１００および第２の半導体基板２００の左端の位置にある面

と、第１の半導体基板１００および第２の半導体基板２００の右端の位置にある面とを含む。第１の側面１４０および第２の側面２３０は、図１に示されていない２つの面を含む。２つの面は、図１における奥側の位置と手前側の位置とに配置されている。第２の領域Ａ２は、第１の側面１４０を含む。第４の領域Ａ４は、第２の側面２３０を含む。

[0078] 第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たときに第４の下地電極３２２は第２の側面２３０に接している。第４の下地電極３２２の端部の全ての位置は第２の側面２３０と一致する。つまり、第４の下地電極３２２の端部の全ては半導体装置１０の側面に露出している。第３の下地電極３２１の端部の全ては第１の側面１４０から離れている。第２の主面１２０ａに垂直な方向（方向Ｄｒ１に垂直な方向）に第１の半導体基板１００を見たときに第３の下地電極３２１は第１の側面１４０に接していない。つまり、第３の下地電極３２１は半導体装置１０の側面に露出していない。

[0079] 図３は、図２の線Ｂ１に示す位置における半導体装置１０の断面を示す。図３において、第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たときの各要素の配列が示されている。つまり、図３において、第２の半導体基板２００の正面から第２の半導体基板２００を見たときの各要素の配列が示されている。図３に示すように、第２の半導体基板２００の第３の主面２１０ａは、第２の下地電極３１２、第４の下地電極３２２、および樹脂層３３０で覆われている。図３において、マイクロレンズＭＬおよび光電変換素子１１１の位置が破線で示されている。図３において、代表として１つのマイクロレンズＭＬと１つの光電変換素子１１１との符号が示されている。図３において、光電変換素子１１１の一部およびマイクロレンズＭＬの一部は省略されている。図３において、代表として１つの第２の下地電極３１２の符号が示されている。図３において、第２の下地電極３１２の一部は省略されている。図３において、第２の周辺回路２２１の位置が破線で示されている。４つの第２の周辺回路２２１が配置されている。

[0080] 複数の光電変換素子１１１と複数のマイクロレンズＭＬとは、行列状に配置されている。第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たとき、複数の光電変換素子１１１の各々は、複数のマイクロレンズＭＬのいずれか１つと重なる。１つの光電変換素子１１１と１つのマイクロレンズＭＬとが互いに対応する。第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たとき、光電変換素子１１１の中心とマイクロレンズＭＬの中心とが一致する。複数の光電変換素子１１１と複数のマイクロレンズＭＬとは、画素回路領域に配置されている。画素回路領域は、第１の半導体基板１００の中央に配置されている。

[0081] 第２の下地電極３１２は、光電変換素子１１１およびマイクロレンズＭＬに対応する位置に配置されている。１つの第２の下地電極３１２が、複数の光電変換素子１１１および複数のマイクロレンズＭＬに対応する位置に配置されてもよい。

[0082] 第４の下地電極３２２は、画素回路領域を囲むように配置されている。つまり、第３の主面２１０ａに平行な断面において第４の下地電極３２２は、第３の領域Ａ３を囲むように配置されている。第４の下地電極３２２は、第２の下地電極３１２を囲むように配置されている。第４の下地電極３２２は、４つの第２の周辺回路２２１の全体と重なる。第２の半導体基板２００は、４つの第２の側面２３０を有する。第４の下地電極３２２の４つの端部は、４つの第２の側面２３０の各々と一致する。図３において、第４の下地電極３２２の外周の位置は、第２の側面２３０の位置と同一である。

[0083] 図４は、図１の線Ｂ２に示す位置における半導体装置１０の断面を示す。図４において、第１の主面１１０ａに垂直な方向Ｄｒ１に第１の半導体基板１００を見たときの各要素の配列が示されている。つまり、図４において、第１の半導体基板１００の正面から第１の半導体基板１００を見たときの各要素の配列が示されている。図４において、マイクロレンズＭＬの位置が破線で示されている。図４において、代表として１つのマイクロレンズＭＬと１つの光電変換素子１１１との符号が示されている。図４において、光電変

換素子１１１の一部およびマイクロレンズＭＬの一部は省略されている。図４に示すように、第２の領域Ａ２は第１の領域Ａ１を囲む。

[0084] 図５は、図１の線Ｂ３に示す位置における半導体装置１０の断面を示す。図５において、第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たときの各要素の配列が示されている。つまり、図５において、第２の半導体基板２００の正面から第２の半導体基板２００を見たときの各要素の配列が示されている。図５において、マイクロレンズＭＬおよび光電変換素子１１１の位置が破線で示されている。図５において、代表として１つのマイクロレンズＭＬと１つの光電変換素子１１１との符号が示されている。図５において、光電変換素子１１１の一部およびマイクロレンズＭＬの一部は省略されている。図５に示すように、第４の領域Ａ４は第３の領域Ａ３を囲む。

[0085] 第１の半導体層１１０において第１の周辺回路１１２が配置されていなくてもよい。第１の周辺回路１１２が配置されていない場合、第２の領域Ａ２における遮光膜１３０は配置されていなくてもよい。第４の主面２２０ａに第３の半導体基板が積層されてもよい。したがって、半導体装置１０は、３以上の半導体基板を有してもよい。

[0086] 図６から図１９を参照し、半導体装置１０の製造方法を説明する。図６から図１９は、半導体装置１０を構成する部分の断面を示している。図６から図１９において、１チップの断面が示されている。

[0087] 図６に示すように、第１の半導体基板１００が準備される。

[0088] 図７に示すように、第２の主面１２０ａにおいて第２の主面１２０ａを覆うように金属膜４００が形成される。

[0089] 図８に示すように、金属膜４００の表面においてレジスト膜４０１が形成される。具体的には、金属膜４００を覆うようにレジスト膜４０１が形成された後、フォトリソグラフィによってレジスト膜４０１にパターンが形成される。レジスト膜４０１において、第１の下地電極３１１および第３の下地電極３２１が形成される領域以外の領域におけるレジスト膜４０１が除去さ

れる。

[0090] 図９に示すように、第２の主面１２０ａにおいて第１の領域Ａ１に第１の下地電極３１１が形成され、かつ第２の主面１２０ａにおいて第２の領域Ａ２に第３の下地電極３２１が形成される（第１の工程）。具体的には、図８に示す構造において金属膜４００がエッチングされる。レジスト膜４０１はエッチングのマスクとして機能する。金属膜４００のエッチングにおいて、金属膜４００のうちレジスト膜４０１で覆われた部分以外の部分が除去される。これにより、第１の下地電極３１１および第３の下地電極３２１が同時に形成される。金属膜４００のエッチングによって第２の主面１２０ａの一部が露出する。その後、レジスト膜４０１が除去される。これにより、第１の下地電極３１１および第３の下地電極３２１の表面が露出する。

[0091] 図１０に示すように、第２の半導体基板２００が準備される。

[0092] 図１１に示すように、第３の主面２１０ａにおいて第３の主面２１０ａを覆うように金属膜４０２が形成される。

[0093] 図１２に示すように、金属膜４０２の表面においてレジスト膜４０３が形成される。具体的には、金属膜４０２を覆うようにレジスト膜４０３が形成された後、フォトリソグラフィによってレジスト膜４０３にパターンが形成される。レジスト膜４０３において、第２の下地電極３１２および第４の下地電極３２２が形成される領域以外の領域におけるレジスト膜４０３が除去される。

[0094] 図１３に示すように、第３の主面２１０ａにおいて第３の領域Ａ３に第２の下地電極３１２が形成され、かつ第３の主面２１０ａにおいて第４の領域Ａ４に第４の下地電極３２２が形成される（第２の工程）。具体的には、図１２に示す構造において金属膜４０２がエッチングされる。レジスト膜４０３はエッチングのマスクとして機能する。金属膜４０２のエッチングにおいて、金属膜４０２のうちレジスト膜４０３で覆われた部分以外の部分が除去される。これにより、第２の下地電極３１２および第４の下地電極３２２が同時に形成される。金属膜４０２のエッチングによって第３の主面２１０ａ

の一部が露出する。その後、レジスト膜４０３が除去される。これにより、第２の下地電極３１２および第４の下地電極３２２の表面が露出する。前述したように、第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たときに第４の下地電極３２２は第２の周辺回路２２１の全体と重なる。

[0095] 図６から図９に示す工程の組合せと図１０から図１３に示す工程の組合せとの時間的な関係は任意である。したがって、図６から図９に示す工程の組合せと図１０から図１３に示す工程の組合せとのどちらが先に行われてもよい。

[0096] 図１４に示すように、第２の下地電極３１２に第１のバンプ電極３１３が形成され、かつ第４の下地電極３２２に第２のバンプ電極３２３が形成される（第３の工程および第４の工程）。例えば、メッキ法により第１のバンプ電極３１３および第２のバンプ電極３２３が同時に形成される。

[0097] 第１の下地電極３１１に第１のバンプ電極３１３が形成され、かつ第３の下地電極３２１に第２のバンプ電極３２３が形成されてもよい。したがって、第１の下地電極３１１と第２の下地電極３１２とのいずれか１つに第１のバンプ電極３１３が形成される。また、第３の下地電極３２１と第４の下地電極３２２とのいずれか１つに第２のバンプ電極３２３が形成される。第１の下地電極３１１に第１のバンプ電極３１３が形成される場合、第３の下地電極３２１に第２のバンプ電極３２３が形成される。第２の下地電極３１２に第１のバンプ電極３１３が形成される場合、第４の下地電極３２２に第２のバンプ電極３２３が形成される。

[0098] 図１５に示すように、第３の主面２１０ａが第２の主面１２０ａと対向するように第１の半導体基板１００および第２の半導体基板２００が配置される。その状態で第１のバンプ電極３１３が第１の下地電極３１１に接続され、かつ第２のバンプ電極３２３が第３の下地電極３２１に接続される（第５の工程）。このとき、圧力と熱が第１の半導体基板１００および第２の半導体基板２００に加えられる。これにより、第１の半導体基板１００および第

２の半導体基板２００が接合される。

[0099] 前述したように第１の下地電極３１１に第１のバンプ電極３１３が形成され、かつ第３の下地電極３２１に第２のバンプ電極３２３が形成されてもよい。その場合、第１のバンプ電極３１３が第２の下地電極３１２に接続され、かつ第２のバンプ電極３２３が第４の下地電極３２２に接続される。したがって、上記の工程において、第１のバンプ電極３１３は第１の下地電極３１１と第２の下地電極３１２とのいずれか１つに接続され、かつ第２のバンプ電極３２３は第３の下地電極３２１と第４の下地電極３２２とのいずれか１つに接続される。第１の下地電極３１１および第２の下地電極３１２のうち第１のバンプ電極３１３が接続されていない電極に第１のバンプ電極３１３が接続される。第３の下地電極３２１および第４の下地電極３２２のうち第２のバンプ電極３２３が接続されていない電極に第２のバンプ電極３２３が接続される。

[0100] 図１６に示すように、第２の主面１２０ａと第３の主面２１０ａとの間に樹脂が注入される。これにより、樹脂層３３０が形成され、かつ第１の半導体基板１００と第２の半導体基板２００とが接着される。

[0101] 図１７に示すように、第１の主面１１０ａが削られることにより第１の半導体基板１００が薄くなる（第６の工程）。第６の工程が行われた後の第１の半導体基板１００の厚さＴ２（図１７）は、第６の工程が行われる前の第１の半導体基板１００の厚さＴ１（図１６）よりも小さい。

[0102] 図１８に示すように、第１の主面１１０ａにおいて遮光膜１３０が形成される。具体的には、第１の主面１１０ａにおいて第１の主面１１０ａを覆うように、遮光膜１３０を構成する金属膜が形成される。その金属膜を覆うようにレジスト膜が形成された後、フォトリソグラフィによってそのレジスト膜にパターンが形成される。そのレジスト膜において、遮光膜１３０が形成される領域以外の領域におけるレジスト膜が除去される。その後、金属膜がエッチングされる。これにより、遮光膜１３０が形成される。その後、レジスト膜が除去される。

[0103] 図１９に示すように、カラーフィルタＣＦおよびマイクロレンズＭＬが順に形成される。その後、ダイシングラインＤＬ１においてダイシングが行われる。ダイシングラインＤＬ１は、半導体装置１０を構成する各チップの境界位置に設定される。ダイシングにより１つのウェハから複数の半導体装置１０が形成される。ダイシングにより、第１の側面１４０および第２の側面２３０が形成される。

[0104] 本発明の各態様の半導体装置は、第１の周辺回路１１２、遮光膜１３０、樹脂層３３０、カラーフィルタＣＦ、およびマイクロレンズＭＬの少なくとも１つに対応する構成を有していなくてもよい。本発明の各態様の半導体装置の製造方法は、上記の第１から第６の工程以外の工程を有していなくてもよい。

[0105] 第１の実施形態の半導体装置１０において、第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たときに第４の下地電極３２２は、第２の周辺回路２２１の全てと重なる。つまり、第４の下地電極３２２は第２の周辺回路２２１を遮光する。遮光のための第２の配線２１１を配置する必要がないので、ＣＭＰにより第２の配線層２１０を平坦化する必要がない。したがって、第１のバンプ電極３１３と第２のバンプ電極３２３とで高さの差が発生しにくい。その結果、半導体装置１０は、複数の半導体基板の電気的な接続の歩留まりの低下を低減し、かつ周辺回路を遮光することができる。

[0106] 遮光のための第２の配線２１１を配置する必要がない。このため、第４の領域Ａ４における第２の配線２１１のパターンが制限されにくい。

[0107] 第１の実施形態の半導体装置１０において、第４の下地電極３２２は半導体装置１０の側面に露出している。これにより、半導体装置１０の放熱効果が高まる。

[0108] （第１の実施形態の第１の変形例）

図２０および図２１は、本発明の第１の実施形態の第１の変形例の半導体装置１１の構成を示す。図２０および図２１において、半導体装置１１の断

面が示されている。図２１は、半導体装置１１の一部を拡大した図である。図２０および図２１に示す構成について、図１および図２に示す構成と異なる点を説明する。

[0109] 半導体装置１１において、図１に示す第１の半導体基板１００は第１の半導体基板１０１に変更される。第１の半導体基板１０１において、図１に示す第１の半導体層１１０は第１の半導体層１１３に変更され、かつ図１に示す第１の配線層１２０は第１の配線層１２４に変更される。

[0110] 第１の半導体層１１３において、図１に示す第１の主面１１０ａは第１の主面１１３ａに変更される。第１の半導体層１１３は、第２の領域Ａ２に形成された貫通孔１１４を有する。貫通孔１１４は、第１の半導体層１１３を貫通する。貫通孔１１４において、第１の配線層１２４が露出している。第１の半導体層１１３においてその他の部分は、図１に示す第１の半導体層１１０と同様に構成されている。

[0111] 第１の配線層１２４において、図１に示す第２の主面１２０ａは第２の主面１２４ａに変更される。第１の配線層１２４において、第１の配線１２１および第１のビア１２２のパターンは、図１に示す第１の配線層１２０における各パターンと異なる。貫通孔１１４において、第１の配線１２１が露出している。貫通孔１１４に露出した第１の配線１２１は、半導体装置１１と外部のパッケージとを電気的に接続するためのパッド電極を構成する。第１の配線層１２４においてその他の部分は、図１に示す第１の配線層１２０と同様に構成されている。

[0112] 半導体装置１１において、図１に示す接続層３００は接続層３０１に変更される。接続層３０１は、第３の接続電極３４０を有する。図２１において、代表として１つの第３の接続電極３４０の符号が示されている。第３の接続電極３４０は、第２の領域Ａ２および第４の領域Ａ４の間に配置されている。第３の接続電極３４０は、第２の接続電極３２０よりも外側に配置されている。第３の接続電極３４０は、第５の下地電極３４１、第６の下地電極３４２、および第３のバンプ電極３４３を有する。第５の下地電極３４１、

第６の下地電極３４２、および第３のバンプ電極３４３は、第２の導電材料で構成されている。

[0113] 第５の下地電極３４１および第６の下地電極３４２は、薄膜である。第５の下地電極３４１は、第２の主面１２４ａにおいて第１のビア１２２と接触する。このため、第５の下地電極３４１は、第１の半導体基板１０１と電気的に接続されている。第６の下地電極３４２は、第３の主面２１０ａにおいて第２のビア２１２と接触する。このため、第６の下地電極３４２は、第２の半導体基板２００と電気的に接続されている。第３のバンプ電極３４３は柱状または球状である。第３のバンプ電極３４３は、第５の下地電極３４１と第６の下地電極３４２との間に配置されている。第３のバンプ電極３４３は、第５の下地電極３４１および第６の下地電極３４２と接触する。

[0114] 樹脂層３３０において、第４の下地電極３２２のパターンは、図１に示す第４の下地電極３２２のパターンと異なる。第４の下地電極３２２は第６の下地電極３４２と接触していない。つまり、第４の下地電極３２２は第６の下地電極３４２から電気的に絶縁されている。貫通孔１１４に露出した第１の配線１２１がグランド用のパッド電極を構成する場合、第４の下地電極３２２は、そのパッド電極に電気的に接続された第６の下地電極３４２に接続されてもよい。

[0115] 第３の接続電極３４０の外側にも第４の下地電極３２２が配置されている。図２０において、図示の都合により、第３の接続電極３４０の外側の部分は示されていない。接続層３０１においてその他の部分は、図１に示す接続層３００と同様に構成されている。

[0116] 上記以外の点について、図２０および図２１に示す構成は、図１および図２に示す構成と同様である。

[0117] 図２２は、図２１の線Ｂ４に示す位置における半導体装置１１の断面を示す。図２２に示す構成について、図３に示す構成と異なる点を説明する。

[0118] 図２２に示すように、第２の半導体基板２００の第３の主面２１０ａは、第２の下地電極３１２、第４の下地電極３２２、第６の下地電極３４２、お

よび樹脂層３３０で覆われている。図２２において、代表として１つの第６の下地電極３４２の符号が示されている。図２２において、第６の下地電極３４２の一部は省略されている。第４の下地電極３２２において、外周に近い領域に複数の貫通孔が形成されている。その貫通孔の内部に第６の下地電極３４２が配置されている。

[0119] 上記以外の点について、図２２に示す構成は、図３に示す構成と同様である。

[0120] 上記のように、半導体装置１１は、パッド電極を有する。このため、半導体装置１１は、外部のパッケージと電気的に接続することができる。

[0121] （第１の実施形態の第２の変形例）

図２３は、本発明の第１の実施形態の第２の変形例の半導体装置１２の構成を示す。図２３において、半導体装置１２の断面が示されている。図２３に示す構成について、図１に示す構成と異なる点を説明する。

[0122] 半導体装置１２において、図１に示す第１の半導体基板１００は第１の半導体基板１０２に変更される。第１の半導体基板１０２において、図１に示す第１の配線層１２０は第１の配線層１２４に変更される。第１の配線層１２４の構成は、図２０および図２１に示す構成と同一である。

[0123] 半導体装置１２において、図１に示す第２の半導体基板２００は第２の半導体基板２０１に変更される。第２の半導体基板２０１において、図１に示す第２の半導体層２２０は第２の半導体層２２２に変更される。第２の半導体層２２２において、図１に示す第４の主面２２０ａは第４の主面２２２ａに変更される。第２の半導体層２２２は、貫通電極２２３（Ｔｈｒｏｕｇｈ－Ｓｉｌｉｃｏｎ－Ｖｉａ）を有する。貫通電極２２３は、導電材料で構成されている。貫通電極２２３は、第２の半導体層２２２を貫通する。貫通電極２２３は、第２の配線２１１と接触する。貫通電極２２３は、第４の領域Ａ４に配置されている。第２の半導体層２２２においてその他の部分は、図１に示す第２の半導体層２２０と同様に構成されている。

[0124] 半導体装置１２は、半田バンプ５００を有する。半田バンプ５００は、第

４の主面２２２ａに配置されている。半田バンプ５００は、貫通電極２２３と電気的に接続されている。貫通電極２２３は、第２の半導体基板２０１に入力された信号を、半田バンプ５００を介して外部のパッケージに転送する。半田バンプ５００は、外部のパッケージと電気的に接続されている。

[0125] 半導体装置１２において、図１に示す接続層３００は接続層３０１に変更される。接続層３０１は、図２０および図２１に示す接続層３０１と同一である。

[0126] 上記以外の点について、図２３に示す構成は、図１に示す構成と同様である。

[0127] 上記のように、半導体装置１２は、半田バンプ５００を有する。このため、半導体装置１２は、外部のパッケージと電気的に接続することができる。

[0128] （第１の実施形態の第３の変形例）

図２４は、本発明の第１の実施形態の第３の変形例の半導体装置１３の構成を示す。図２４において、半導体装置１３の断面が示されている。図２４に示す構成について、図１に示す構成と異なる点を説明する。

[0129] 半導体装置１３において、図１に示す第２の半導体基板２００は第２の半導体基板２０２に変更される。第２の半導体基板２０２は、ＦＳＩ型イメージセンサを構成する。第２の半導体基板２０２において、図１に示す第２の半導体層２２０は第２の半導体層２２４に変更される。第２の半導体層２２４において、図１に示す第４の主面２２０ａは第４の主面２２４ａに変更される。第２の半導体層２２４は、複数の光電変換素子２２５を有する。図２４において、代表として１つの光電変換素子２２５の符号が示されている。

[0130] 光電変換素子２２５は、画素を構成する。光電変換素子２２５は、第３の領域Ａ３に配置されている。例えば、光電変換素子２２５は、第２の半導体層２２４を構成する半導体材料とは不純物濃度が異なる半導体材料で構成されている。光電変換素子２２５は、光電変換素子２２５に入射した光を信号に変換する。

[0131] 例えば、光電変換素子２２５は、位相差オートフォーカスの画素として機

能することができる。撮像装置は、半導体装置１３を有する。撮像装置は、光電変換素子２２５によって生成された信号に基づいて、撮像レンズの焦点位置に対する撮像対象の位置を推定することができる。撮像装置は、推定結果に応じて、撮像レンズの焦点位置を調整することができる。

[0132] 光電変換素子２２５は、特殊光に基づく信号を取得してもよい。例えば、特殊光は、蛍光である。医療現場では、カラー画像と蛍光画像とを用いた病変部の観察が行われている。例えば、励起光がインドシアニングリーン（ＩＣＧ）に照射され、かつ病変部からの蛍光が検出される。ＩＣＧは、蛍光物質である。ＩＣＧは、予め検査対象者の体内に投与される。ＩＣＧは、励起光によって赤外領域で励起され、かつ蛍光を発する。投与されたＩＣＧは、癌などの病変部に集積される。病変部から強い蛍光が発生するため、検査者は撮像された蛍光画像に基づいて病変部の有無を判断することができる。例えば、光電変換素子２２５と光電変換素子１１１との間に、蛍光のみを透過させるフィルタが配置される。光電変換素子２２５は、蛍光に基づく信号を生成する。

[0133] 特殊光は、狭帯域光であってもよい。血液中のヘモグロビンに吸収されやすい波長の光を血管に照射することにより、血管が強調された画像を取得することができる。例えば、青色の狭帯域光または緑色の狭帯域光が血管に照射される。例えば、光電変換素子２２５と光電変換素子１１１との間に狭帯域光のみを透過させるフィルタが配置される。光電変換素子２２５は、狭帯域光に基づく信号を生成する。

[0134] 上記以外の点について、図２４に示す構成は、図１に示す構成と同様である。

[0135] 上記のように、半導体装置１３は、複数の光電変換素子２２５を有する。このため、半導体装置１３は、光電変換素子１１１によって生成された信号と、光電変換素子２２５によって生成された信号とを得ることができる。

[0136] （第２の実施形態）

図２５および図２６は、本発明の第２の実施形態の半導体装置１４の構成

を示す。図２５および図２６において、半導体装置１４の断面が示されている。図２５および図２６に示す構成について、図１および図２に示す構成と異なる点を説明する。

[0137] 第３の下地電極３２１のパターンは、図１に示す第３の下地電極３２１のパターンと異なる。第３の下地電極３２１の端部の位置は、第１の側面１４０と一致する。第２の主面１２０ａに垂直な方向（方向Ｄｒ１の反対方向）に第１の半導体基板１００を見たときに第３の下地電極３２１は第１の側面１４０に接している。第３の下地電極３２１の端部の全ての位置は第１の側面１４０と一致する。つまり、第３の下地電極３２１の端部の全ては半導体装置１４の側面に露出している。

[0138] 上記以外の点について、図２５および図２６に示す構成は、図１および図２に示す構成と同様である。

[0139] 図２７は、図２６の線Ｂ５に示す位置における半導体装置１４の断面を示す。図２７において、第２の主面１２０ａに垂直な方向（方向Ｄｒ１に垂直な方向）に第１の半導体基板１００を見たときの各要素の配列が示されている。つまり、図２７において、第１の半導体基板１００の正面から第１の半導体基板１００を見たときの各要素の配列が示されている。図２７に示すように、第１の半導体基板１００の第２の主面１２０ａは、第１の下地電極３１１、第３の下地電極３２１、および樹脂層３３０で覆われている。図２７において、マイクロレンズＭＬおよび光電変換素子１１１の位置が破線で示されている。図２７において、代表として１つのマイクロレンズＭＬと１つの光電変換素子１１１との符号が示されている。図２７において、光電変換素子１１１の一部およびマイクロレンズＭＬの一部は省略されている。図２７において、代表として１つの第１の下地電極３１１の符号が示されている。図２７において、第１の下地電極３１１の一部は省略されている。図２７において、第１の周辺回路１１２の位置が破線で示されている。４つの第１の周辺回路１１２が配置されている。

[0140] 第１の下地電極３１１は、光電変換素子１１１およびマイクロレンズＭＬ

に対応する位置に配置されている。１つの第１の下地電極３１１が、複数の光電変換素子１１１および複数のマイクロレンズＭＬに対応する位置に配置されてもよい。

[0141] 第３の下地電極３２１は、画素回路領域を囲むように配置されている。つまり、第２の主面１２０ａに平行な断面において第３の下地電極３２１は、第３の領域Ａ３を囲むように配置されている。第３の下地電極３２１は、第１の下地電極３１１を囲むように配置されている。第１の半導体基板１００は、４つの第１の側面１４０を有する。第３の下地電極３２１の４つの端部は、４つの第１の側面１４０の各々と一致する。図２７において、第３の下地電極３２１の外周の位置は、第１の側面１４０の位置と同一である。

[0142] 第２の実施形態の半導体装置１４は、第１の実施形態の半導体装置１０と同様に、複数の半導体基板の電気的な接続の歩留まりの低下を低減し、かつ周辺回路を遮光することができる。

[0143] 第２の実施形態の半導体装置１４において、第３の下地電極３２１は半導体装置１４の側面に露出している。これにより、半導体装置１４の放熱効果が高まる。

[0144] （第３の実施形態）

図２８は、本発明の第３の実施形態の半導体装置１５の構成を示す。図２８において、図２の線Ｂ１に示す位置と同様の位置における半導体装置１５の断面が示されている。図２８に示す構成について、図３に示す構成と異なる点を説明する。

[0145] 第４の下地電極３２２の端部のうち一部のみの位置が、第２の側面２３０と一致する。第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たときに第４の下地電極３２２の一部のみが第２の側面２３０に接する。つまり、第４の下地電極３２２の端部のうち一部のみが半導体装置１５の側面に露出している。第４の下地電極３２２の端部のうち一部の外側に樹脂層３３０が配置されている。

[0146] 上記以外の点について、図２８に示す構成は、図３に示す構成と同様であ

る。

[0147] 第３の下地電極３２１の端部の位置は、第１の側面１４０と一致する。例えば、第３の下地電極３２１の端部のうち一部のみの位置が、第１の側面１４０と一致する。あるいは、第３の下地電極３２１の端部の全ての位置は第１の側面１４０と一致する。第３の下地電極３２１の端部の全ては第１の側面１４０から離れていてもよい。

[0148] 第３の実施形態の半導体装置１５は、第１の実施形態の半導体装置１０と同様に、複数の半導体基板の電気的な接続の歩留まりの低下を低減し、かつ周辺回路を遮光することができる。

[0149] 第３の実施形態の半導体装置１５において、第４の下地電極３２２の端部のうち一部は半導体装置１５の側面に露出している。これにより、半導体装置１５の放熱効果が高まる。

[0150] （第４の実施形態）

図２９は、本発明の第４の実施形態の半導体装置１６の構成を示す。図２９において、図２の線Ｂ１に示す位置と同様の位置における半導体装置１６の断面が示されている。図２９に示す構成について、図３に示す構成と異なる点を説明する。

[0151] 第４の下地電極３２２の端部の全ては第２の側面２３０から離れている。第３の主面２１０ａに垂直な方向Ｄｒ１に第２の半導体基板２００を見たときに第４の下地電極３２２は第２の側面２３０に接していない。つまり、第４の下地電極３２２は半導体装置１６の側面に露出していない。第４の下地電極３２２の端部の外側に樹脂層３３０が配置されている。

[0152] 上記以外の点について、図２９に示す構成は、図３に示す構成と同様である。

[0153] 第３の下地電極３２１の端部の位置は、第１の側面１４０と一致する。例えば、第３の下地電極３２１の端部のうち一部のみの位置が、第１の側面１４０と一致する。あるいは、第３の下地電極３２１の端部の全ての位置は第１の側面１４０と一致する。第３の下地電極３２１の端部の全ては第１の側

面１４０から離れていてもよい。

[0154] 第４の実施形態の半導体装置１６は、第１の実施形態の半導体装置１０と同様に、複数の半導体基板の電気的な接続の歩留まりの低下を低減し、かつ周辺回路を遮光することができる。

[0155] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

## 産業上の利用可能性

[0156] 本発明の各実施形態によれば、半導体装置および半導体装置の製造方法は、複数の半導体基板の電気的な接続の歩留まりの低下を低減し、かつ周辺回路を遮光することができる。

## 符号の説明

[0157] １０，１１，１２，１３，１４，１５，１６，１０１０　半導体装置
１００，１０１，１０２，１１００　第１の半導体基板
１１０，１１３，１１１０　第１の半導体層
１１０ａ，１１３ａ　第１の主面
１１１，２２５，１１１１　光電変換素子
１１２，１１１２　第１の周辺回路
１１４　貫通孔
１２０，１２４，１１２０　第１の配線層
１２０ａ，１２４ａ　第２の主面
１２１，１１２１　第１の配線
１２２，１１２２　第１のビア
１２３，１１２３　第１の層間絶縁膜
１３０，１１３０　遮光膜
１４０　第１の側面

２００，２０１，２０２，１２００　第２の半導体基板

２１０，１２１０　第２の配線層

２１０ａ　第３の主面

２１１，１２１１　第２の配線

２１２，１２１２　第２のビア

２１３，１２１３　第２の層間絶縁膜

２２０，２２２，２２４，１２２０　第２の半導体層

２２０ａ，２２２ａ，２２４ａ　第４の主面

２２１，１２２１　第２の周辺回路

２２３　貫通電極

２３０　第２の側面

３００，３０１，１３００　接続層

３１０　第１の接続電極

３１１，１３１１　第１の下地電極

３１２，１３１２　第２の下地電極

３１３　第１のバンプ電極

３２０　第２の接続電極

３２１　第３の下地電極

３２２　第４の下地電極

３２３　第２のバンプ電極

３３０，１３３０　樹脂層

３４０　第３の接続電極

３４１　第５の下地電極

３４２　第６の下地電極

３４３　第３のバンプ電極

５００　半田バンプ

１３１０　接続電極

１３１３　バンプ電極

# 請求の範囲

[請求項1] 第１の半導体基板であって、第１の主面、第２の主面、第１の領域、および第２の領域を有し、前記第１の主面および前記第２の主面は互いに反対方向を向き、前記第１の領域は複数の光電変換素子を含み、前記第１の主面に垂直な方向に前記第１の半導体基板を見たときに前記第２の領域は前記第１の領域を囲む前記第１の半導体基板と、

第２の半導体基板であって、第３の主面、第４の主面、第３の領域、および第４の領域を有し、前記第３の主面および前記第４の主面は互いに反対方向を向き、前記第３の主面は前記第２の主面と対向し、前記第３の領域は前記第１の領域と対向し、前記第４の領域は周辺回路を含み、前記第４の領域は前記第２の領域と対向し、前記第３の主面に垂直な方向に前記第２の半導体基板を見たときに前記第４の領域は前記第３の領域を囲む前記第２の半導体基板と、

前記第２の主面において前記第１の領域に配置された第１の下地電極と、

前記第３の主面において前記第３の領域に配置された第２の下地電極と、

前記第１の下地電極と前記第２の下地電極との間に配置された第１のバンプ電極と、

前記第２の主面において前記第２の領域に配置された第３の下地電極と、

前記第３の主面において前記第４の領域に配置され、かつ前記第３の主面に垂直な方向に前記第２の半導体基板を見たときに前記周辺回路の全てと重なる第４の下地電極と、

前記第３の下地電極と前記第４の下地電極との間に配置された第２のバンプ電極と、

を有する半導体装置。

[請求項2] 前記第１の半導体基板は、前記第１の主面および前記第２の主面に

接続された第１の側面を有し、

前記第２の半導体基板は、前記第３の主面および前記第４の主面に接続された第２の側面を有し、

前記第４の下地電極の端部の位置は、前記第２の側面と一致する

請求項１に記載の半導体装置。

[請求項3] 前記第４の下地電極の端部のうち一部のみの位置は、前記第２の側面と一致する

請求項２に記載の半導体装置。

[請求項4] 前記第３の下地電極の端部のうち一部のみの位置は、前記第１の側面と一致する

請求項３に記載の半導体装置。

[請求項5] 前記第３の下地電極の端部の位置は、前記第１の側面と一致する

請求項２に記載の半導体装置。

[請求項6] 前記第１の半導体基板は、前記第１の主面および前記第２の主面に接続された第１の側面を有し、

前記第２の半導体基板は、前記第３の主面および前記第４の主面に接続された第２の側面を有し、

前記第４の下地電極の端部の全ては、前記第２の側面から離れている

請求項１に記載の半導体装置。

[請求項7] 前記第３の下地電極の端部の全ては、前記第１の側面から離れている

請求項６に記載の半導体装置。

[請求項8] 第１の半導体基板および第２の半導体基板を有する半導体装置の製造方法であって、

前記第１の半導体基板は、第１の主面、第２の主面、第１の領域、および第２の領域を有し、前記第１の主面および前記第２の主面は互いに反対方向を向き、前記第１の領域は複数の光電変換素子を含み、

前記第１の主面に垂直な方向に前記第１の半導体基板を見たときに前記第２の領域は前記第１の領域を囲み、

第２の半導体基板は、第３の主面、第４の主面、第３の領域、および第４の領域を有し、前記第３の主面および前記第４の主面は互いに反対方向を向き、前記第３の主面は前記第２の主面と対向し、前記第３の領域は前記第１の領域と対向し、前記第４の領域は周辺回路を含み、前記第４の領域は前記第２の領域と対向し、前記第３の主面に垂直な方向に前記第２の半導体基板を見たときに前記第４の領域は前記第３の領域を囲み、

前記第２の主面において前記第１の領域に第１の下地電極を形成し、かつ前記第２の主面において前記第２の領域に第３の下地電極を形成する第１の工程と、

前記第３の主面において前記第３の領域に第２の下地電極を形成し、かつ前記第３の主面において前記第４の領域に第４の下地電極を形成する第２の工程であって、前記第３の主面に垂直な方向に前記第２の半導体基板を見たときに前記第４の下地電極は前記周辺回路の全体と重なる前記第２の工程と、

前記第１の下地電極と前記第２の下地電極とのいずれか１つに第１のバンプ電極を形成する第３の工程と、

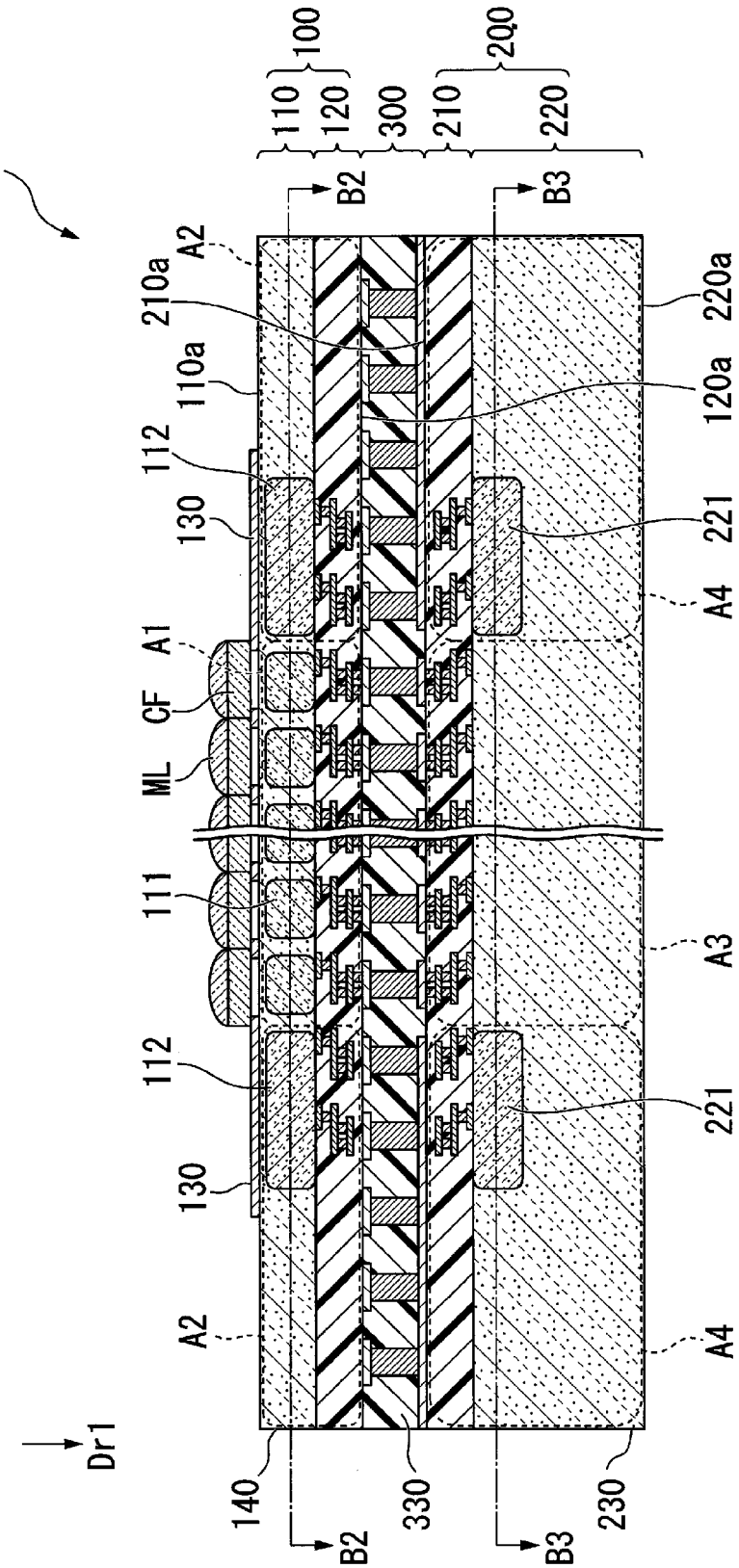
前記第３の下地電極と前記第４の下地電極とのいずれか１つに第２のバンプ電極を形成する第４の工程と、

前記第３の主面が前記第２の主面と対向している状態で前記第１のバンプ電極を前記第１の下地電極と前記第２の下地電極とのいずれか１つに接続させ、かつ前記第２のバンプ電極を前記第３の下地電極と前記第４の下地電極とのいずれか１つに接続させる第５の工程と、

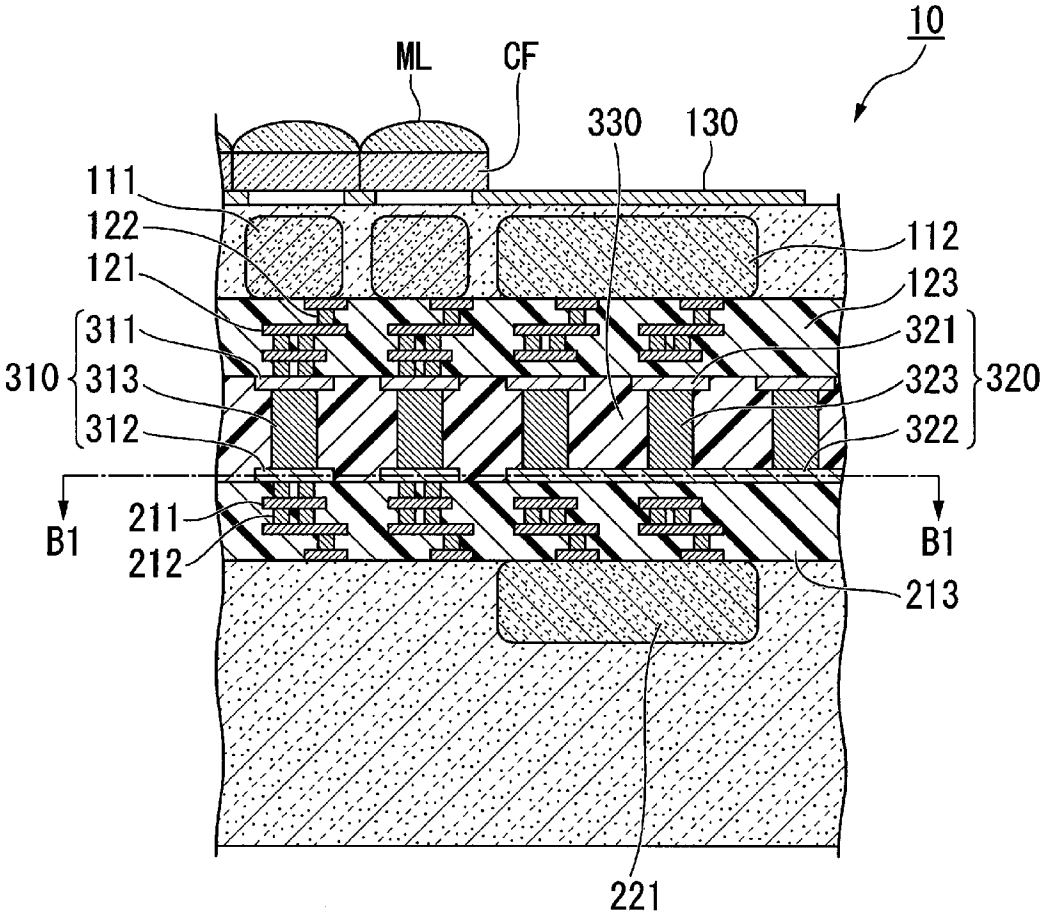
前記第１の主面を削ることにより前記第１の半導体基板を薄くする第６の工程と、

を有する半導体装置の製造方法。

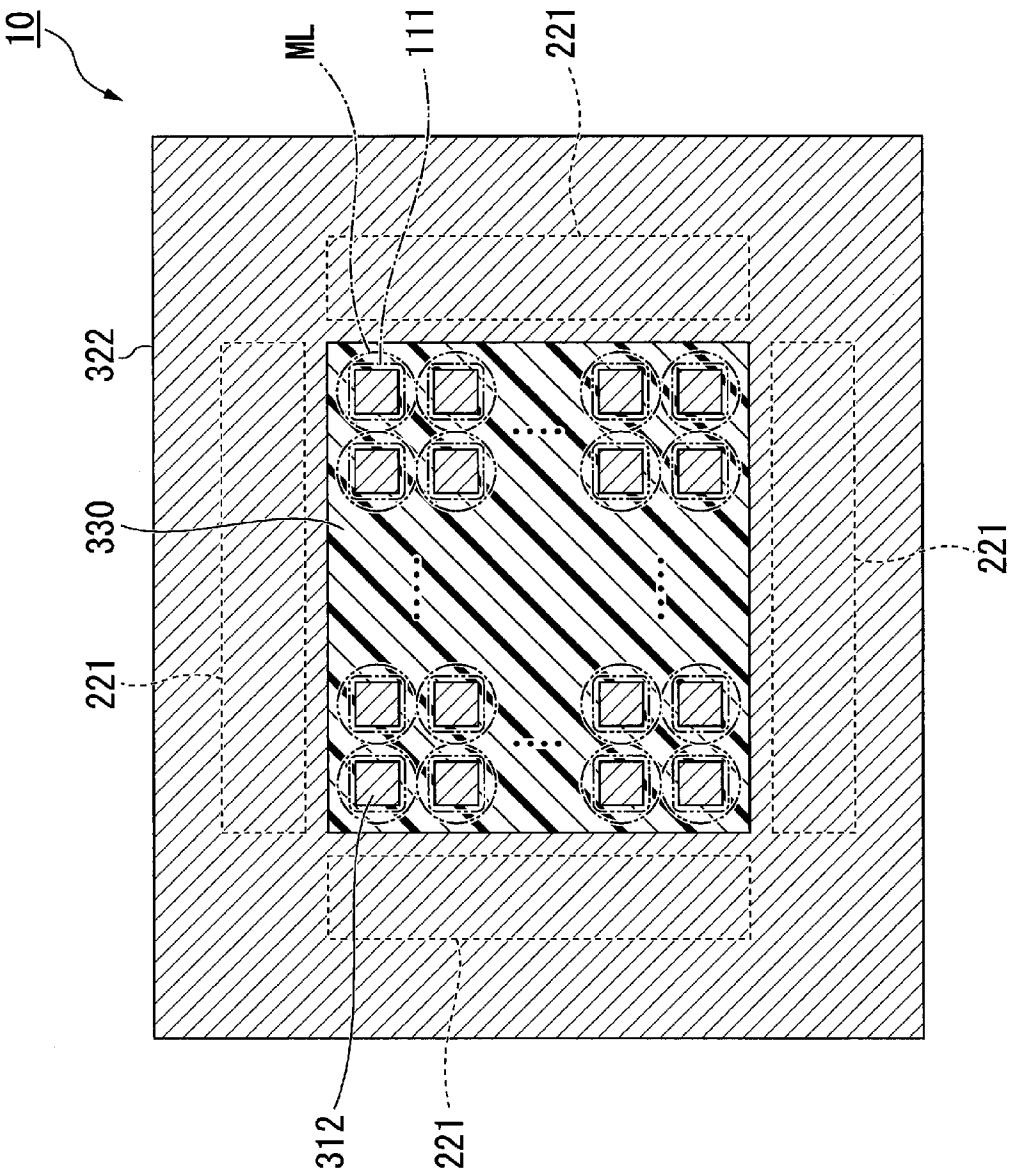
[図1]


10
100
200
110
120
300
210
220
B2
B3
A2
210a
110a
112
130
A1
CF
ML
111
112
130
A2
220a
120a
221
A4
A3
221
A4
Dr1
140
330
230
B2
B3

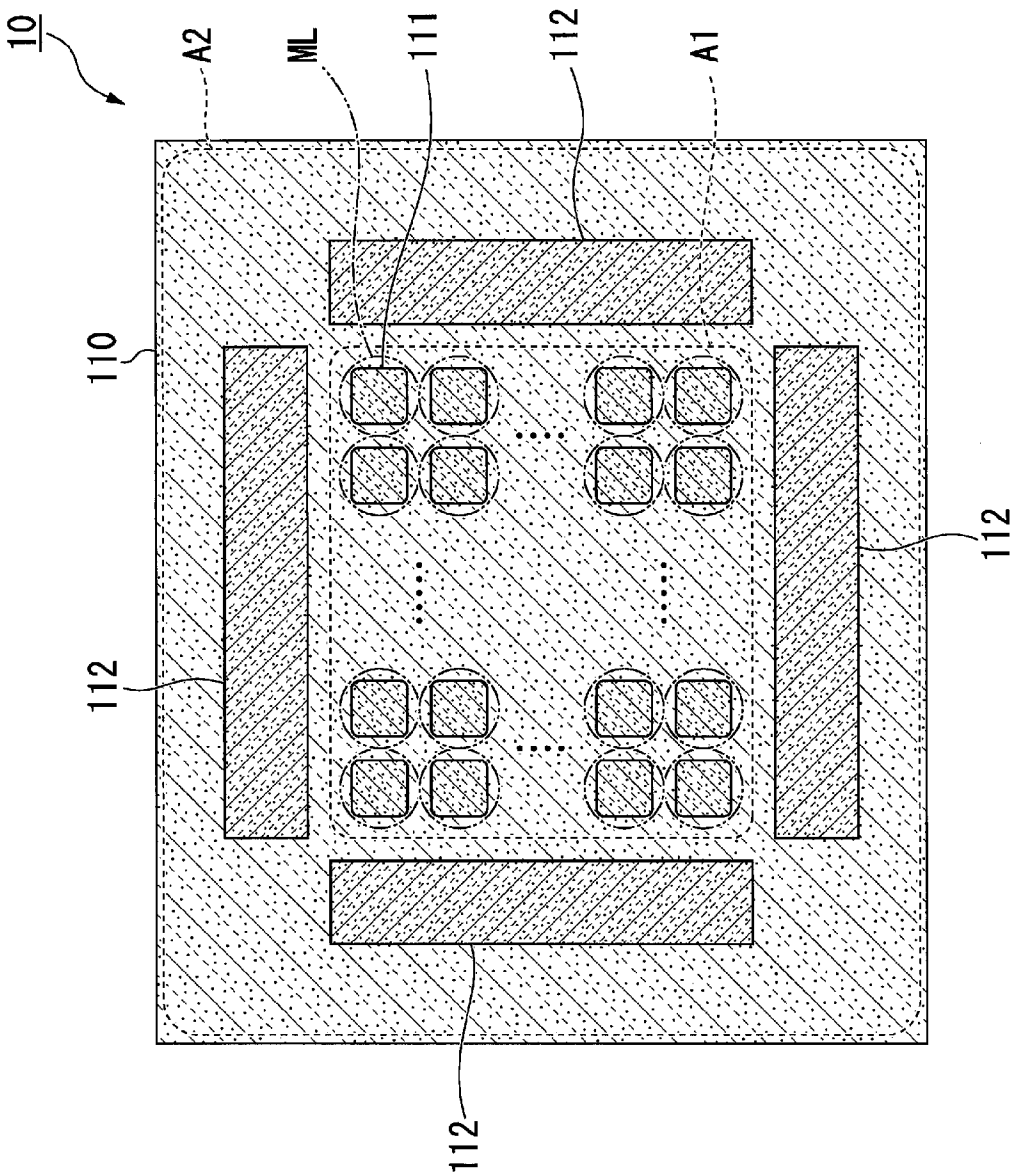
[図2]


10
ML
CF
330
130
111
122
121
112
123
311
321
310
313
323
320
312
322
B1
211
212
B1
213
221

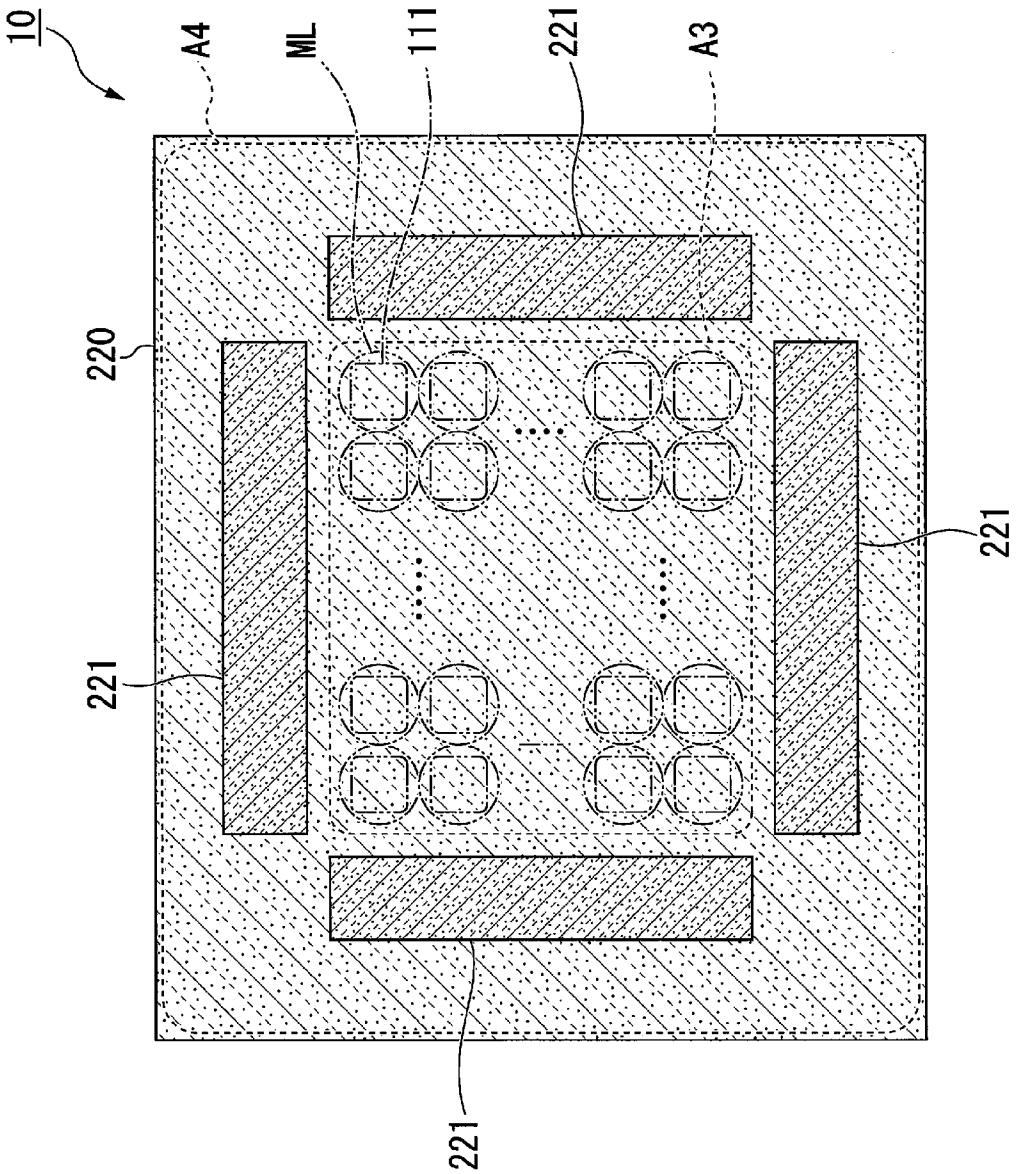
[図3]



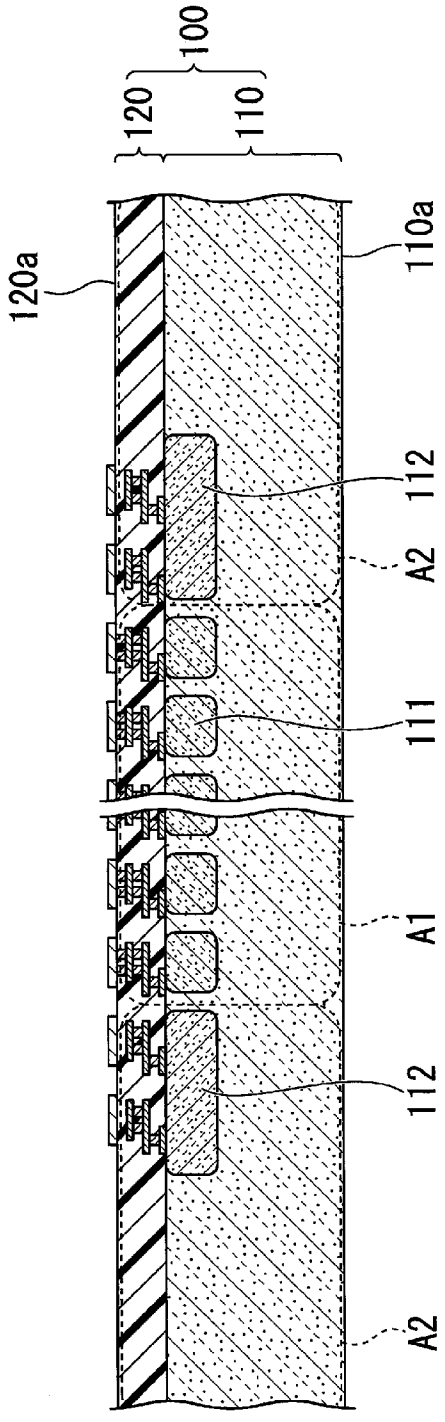
[図4]



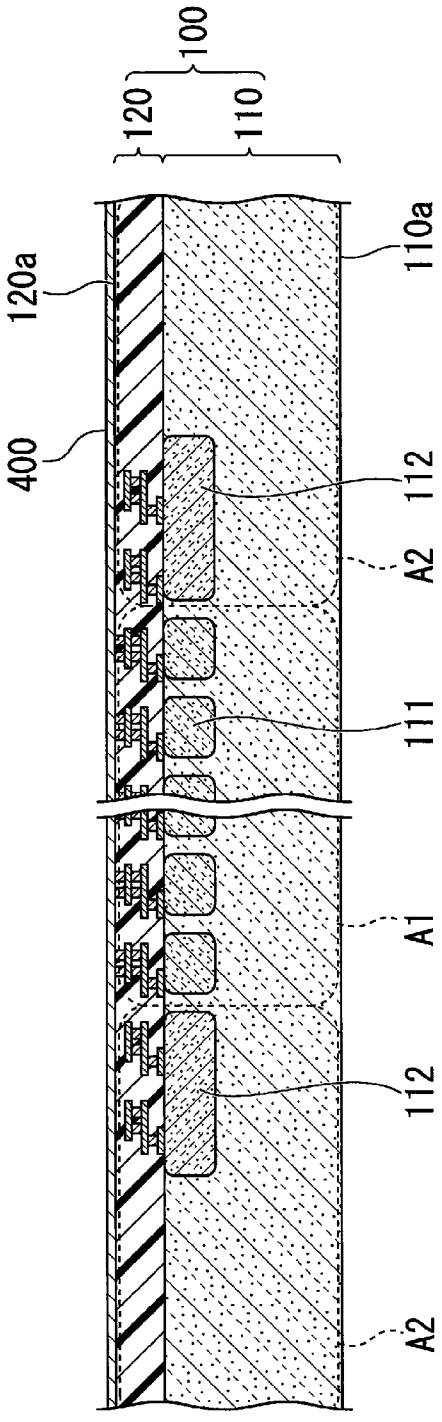
[図5]



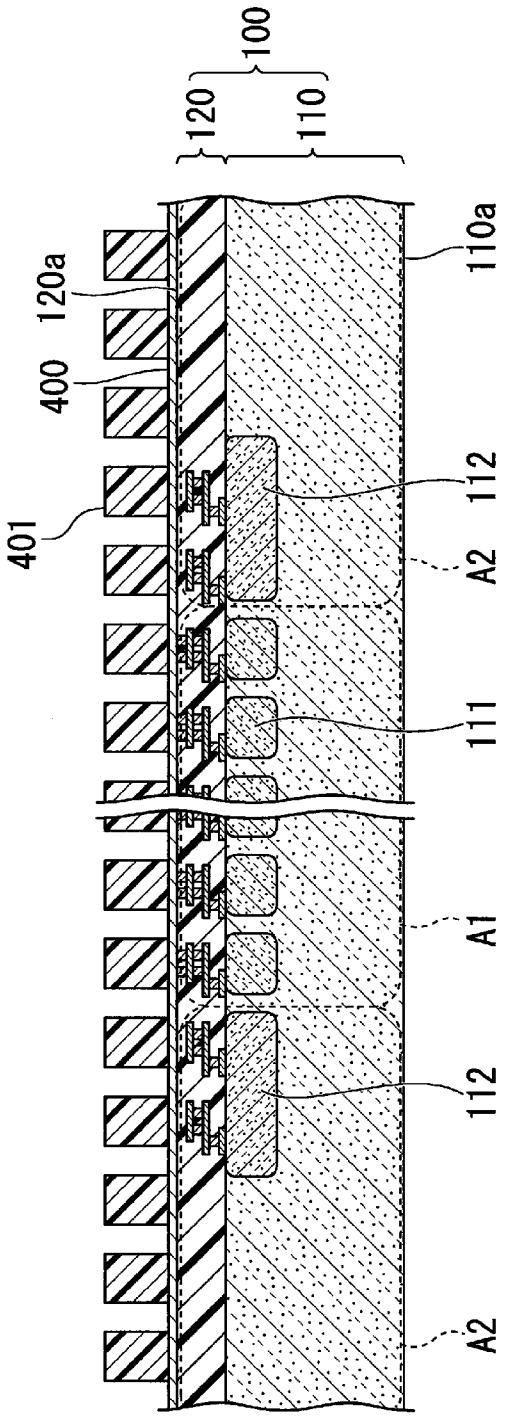
[図6]



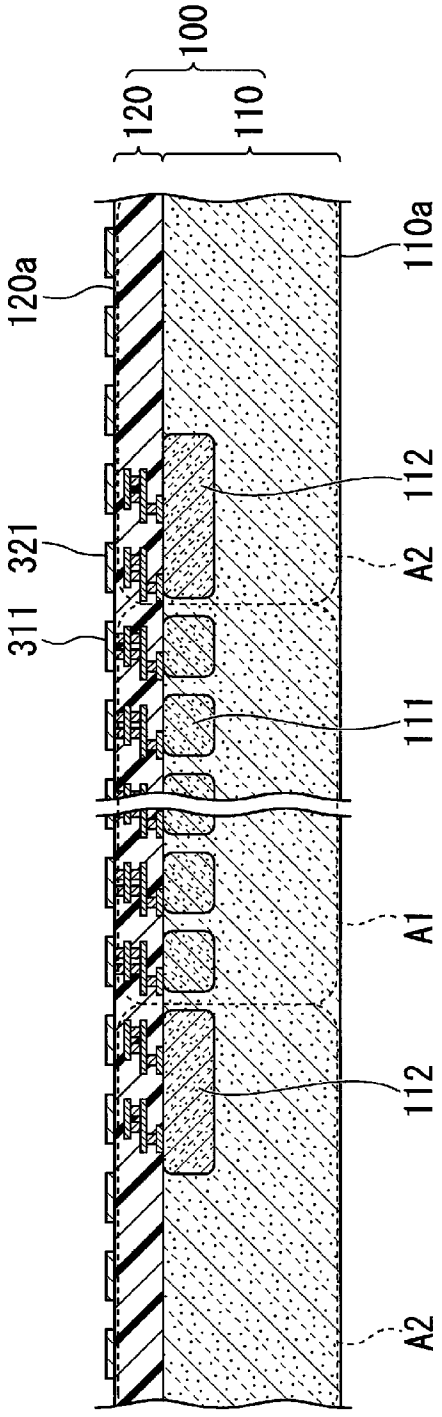
[図7]



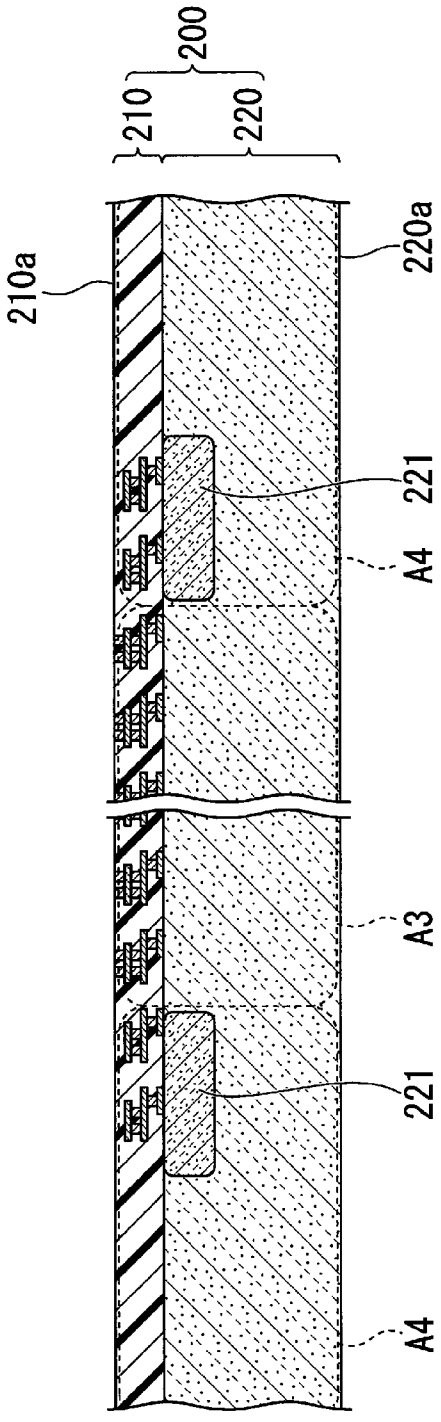
[図8]



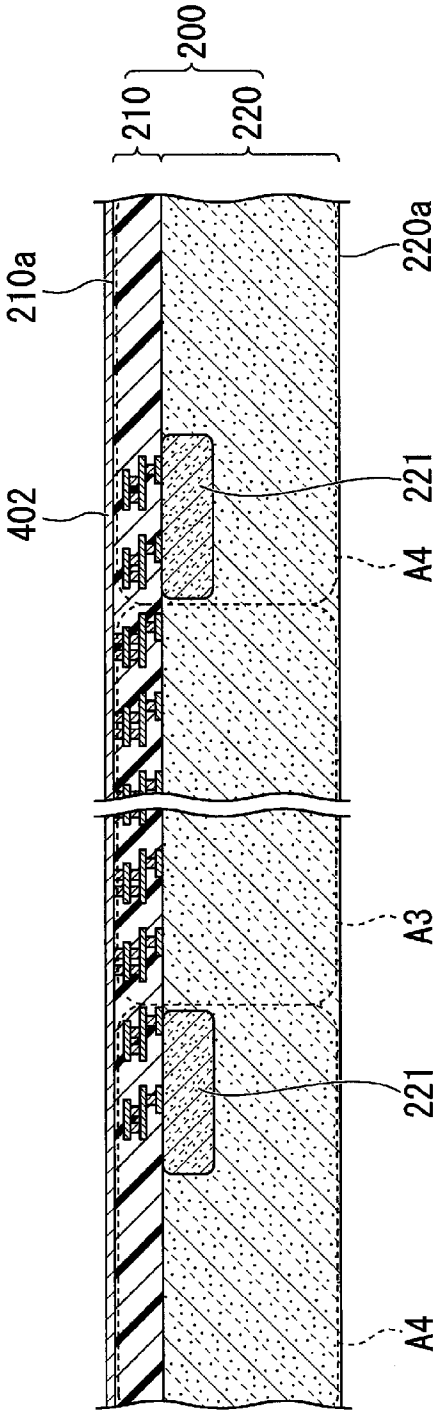
[図9]



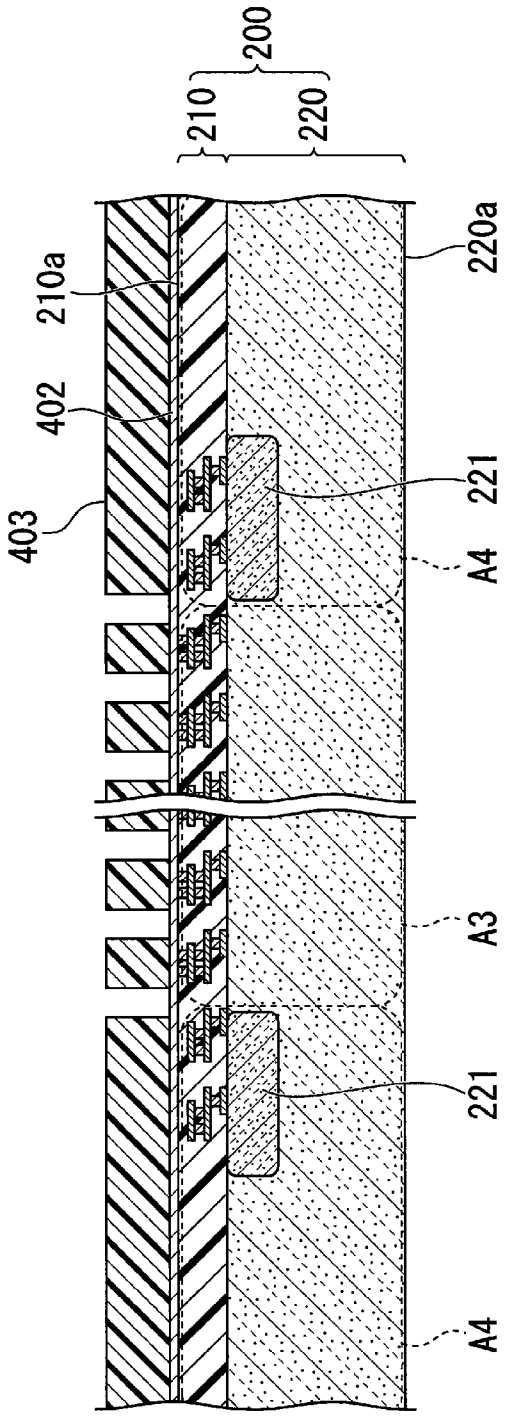
[図10]



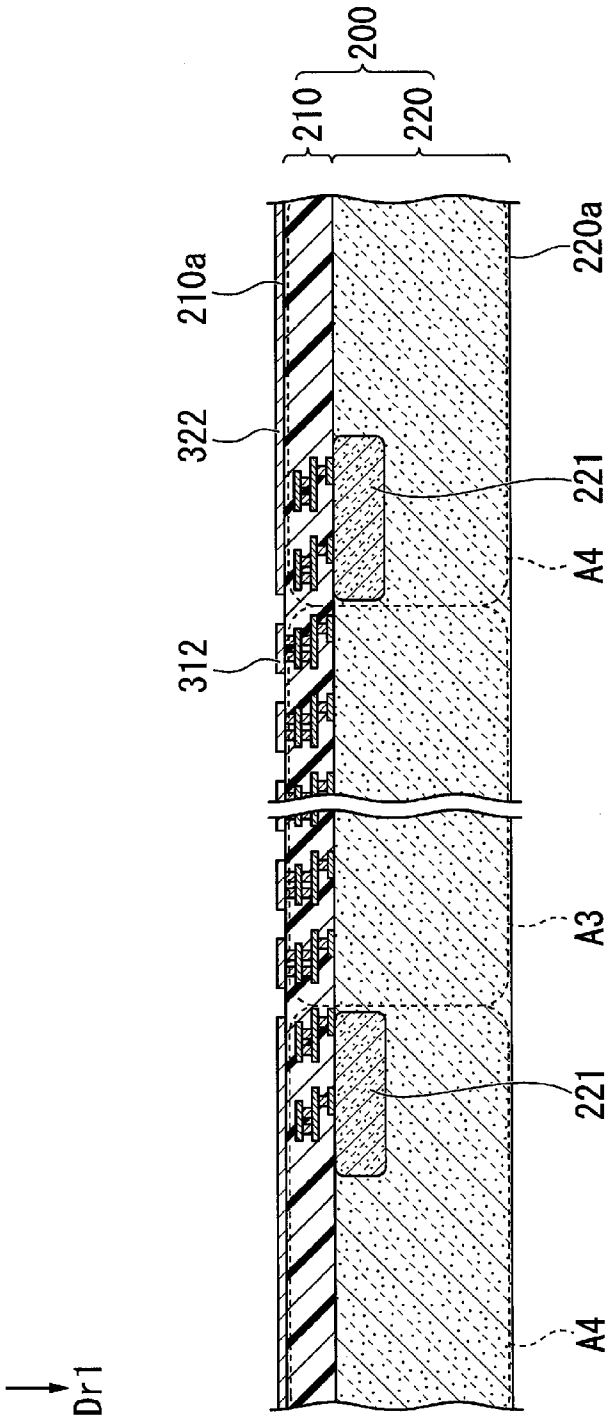
[図11]



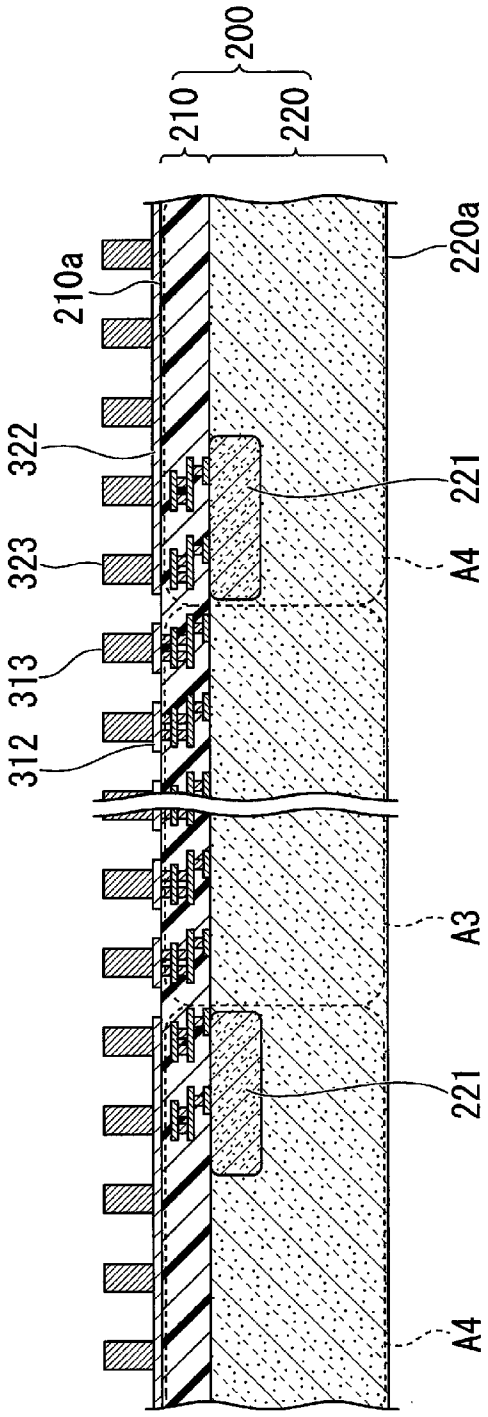
[図12]



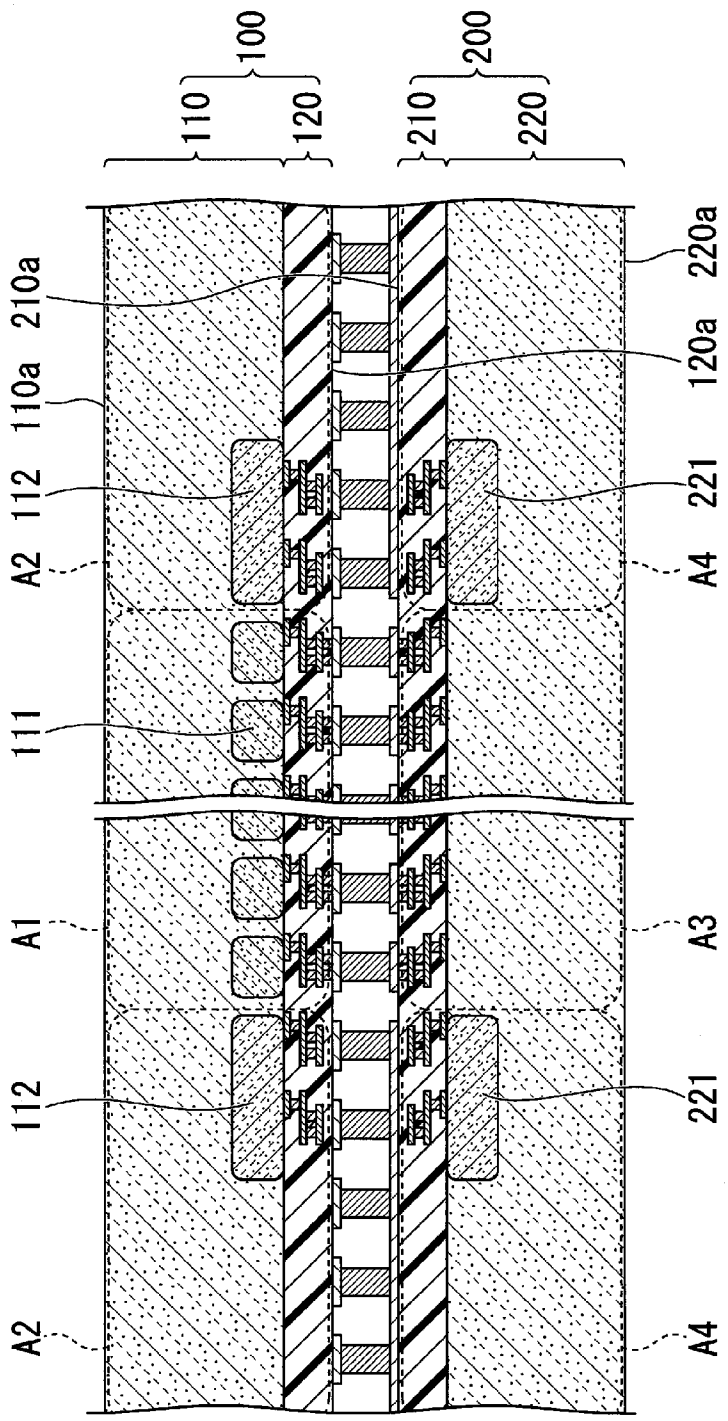
[図13]



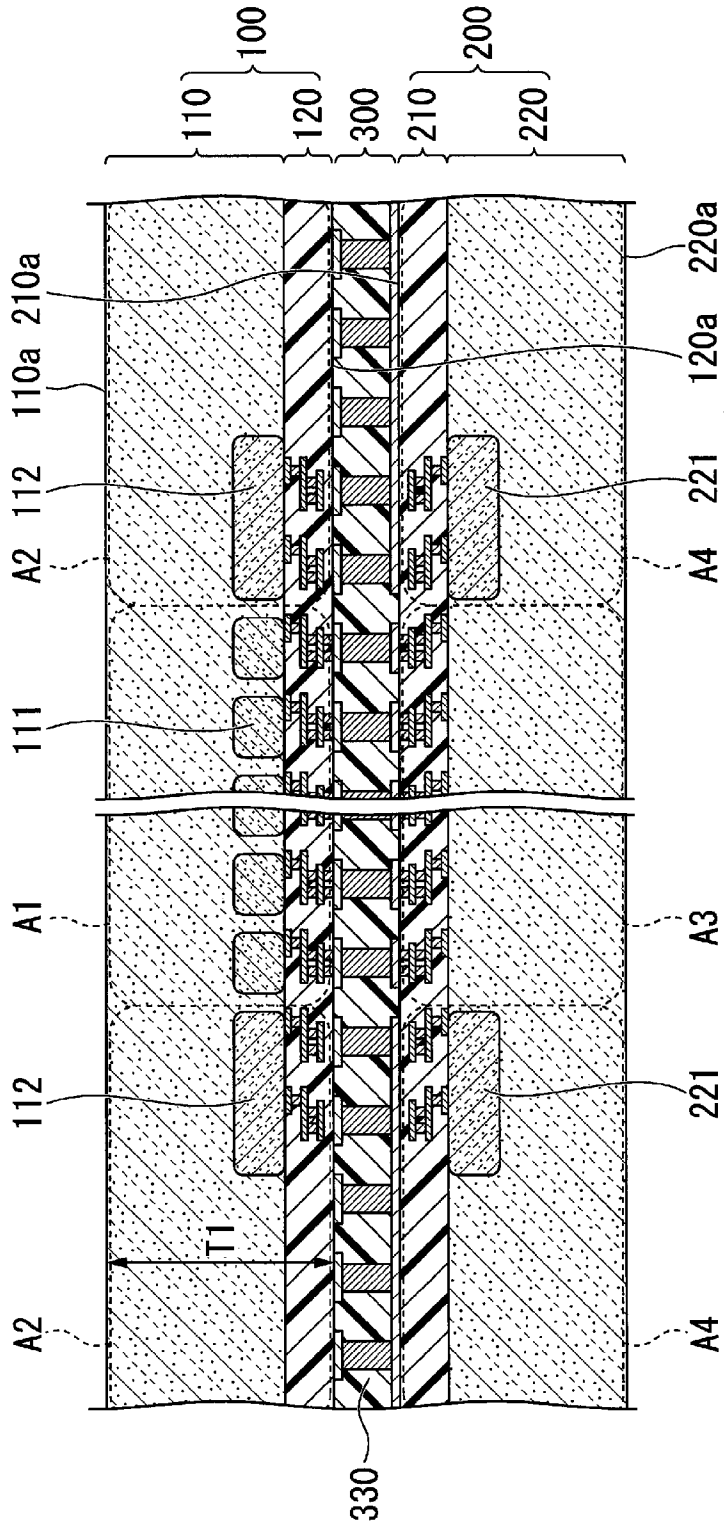
[図14]



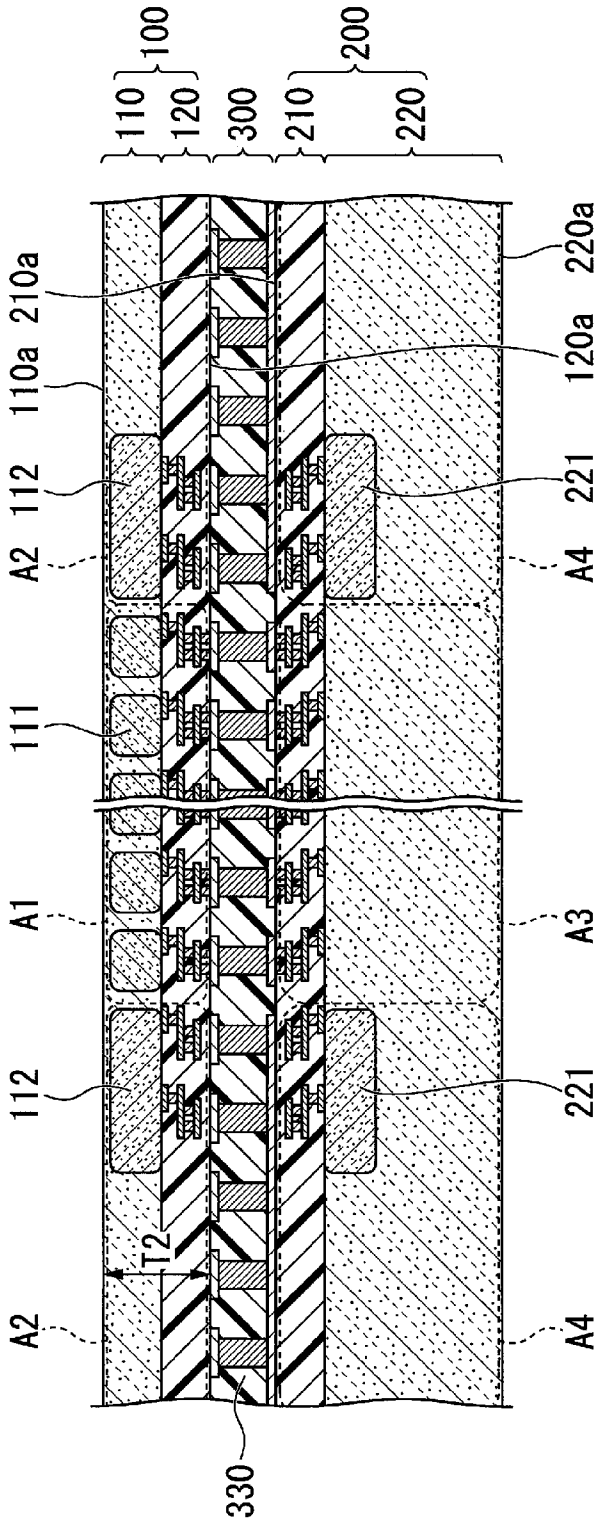
[図15]


100
200
110
120
210
220
210a
110a
112
A2
111
A1
112
A2
220a
120a
221
A4
A3
221
A4

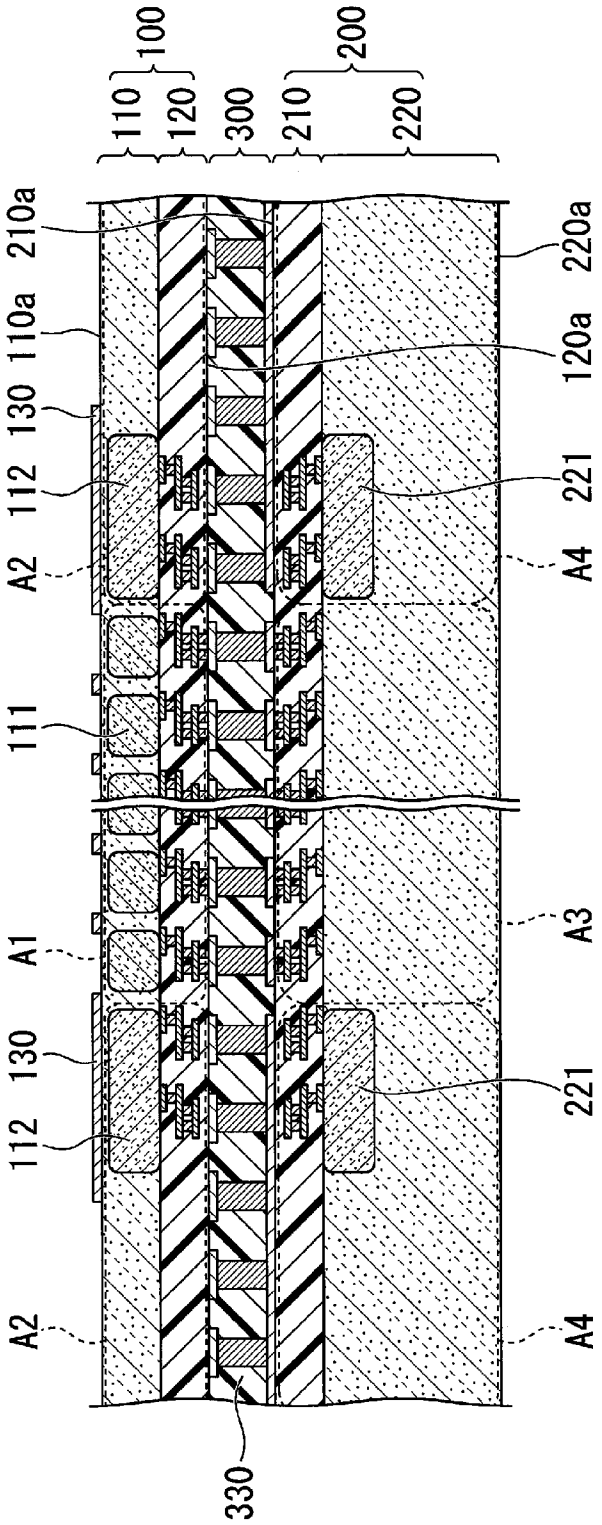
[図16]


100
200
110
120
300
210
220
210a
220a
110a
120a
112
221
A2
A4
111
A1
A3
112
221
T1
A2
A4
330

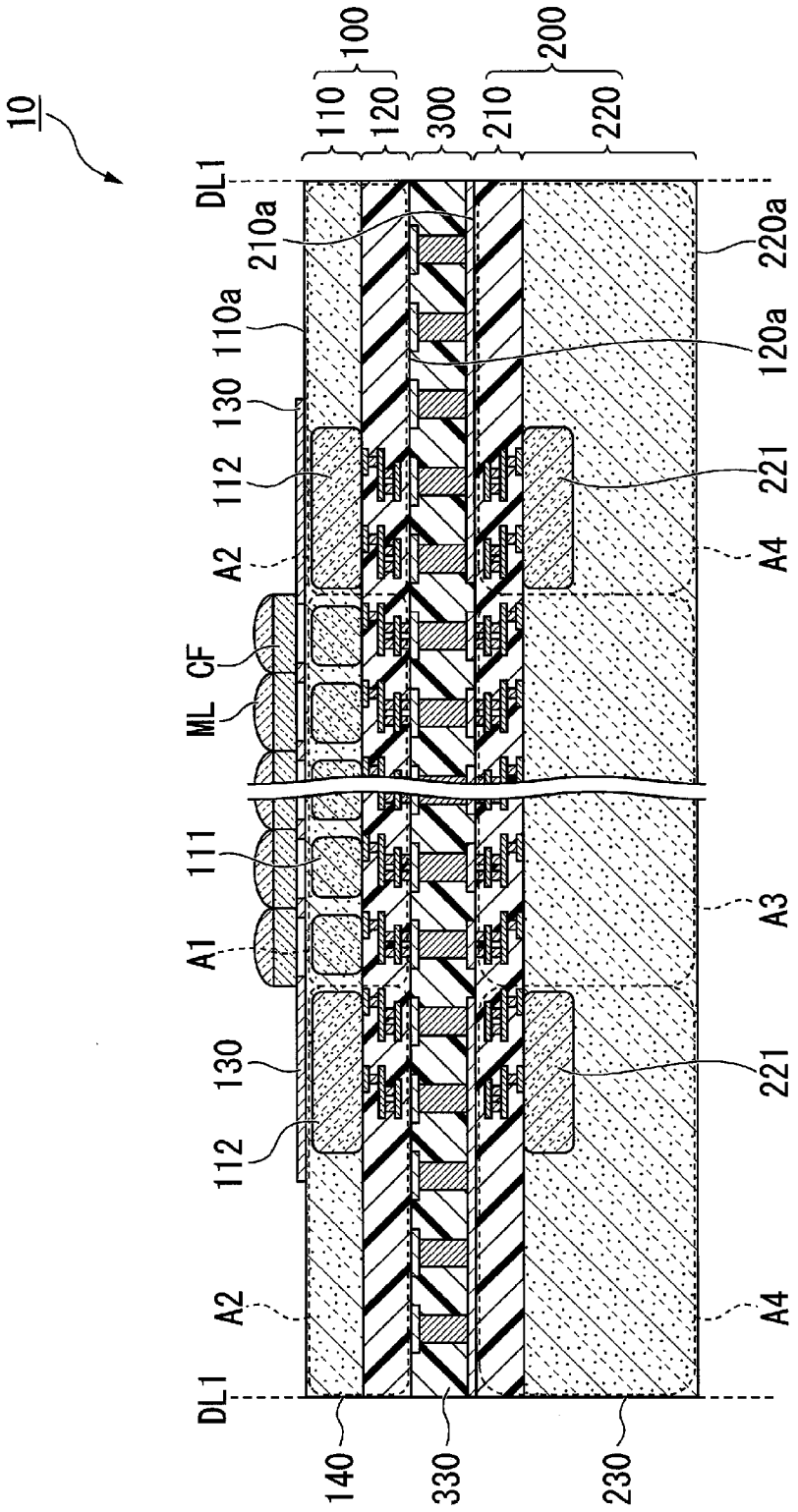
[図17]


100
200
110
120
300
210
220
210a
220a
110a
120a
112
221
A2
A4
111
A1
A3
112
221
T2
A2
A4
330

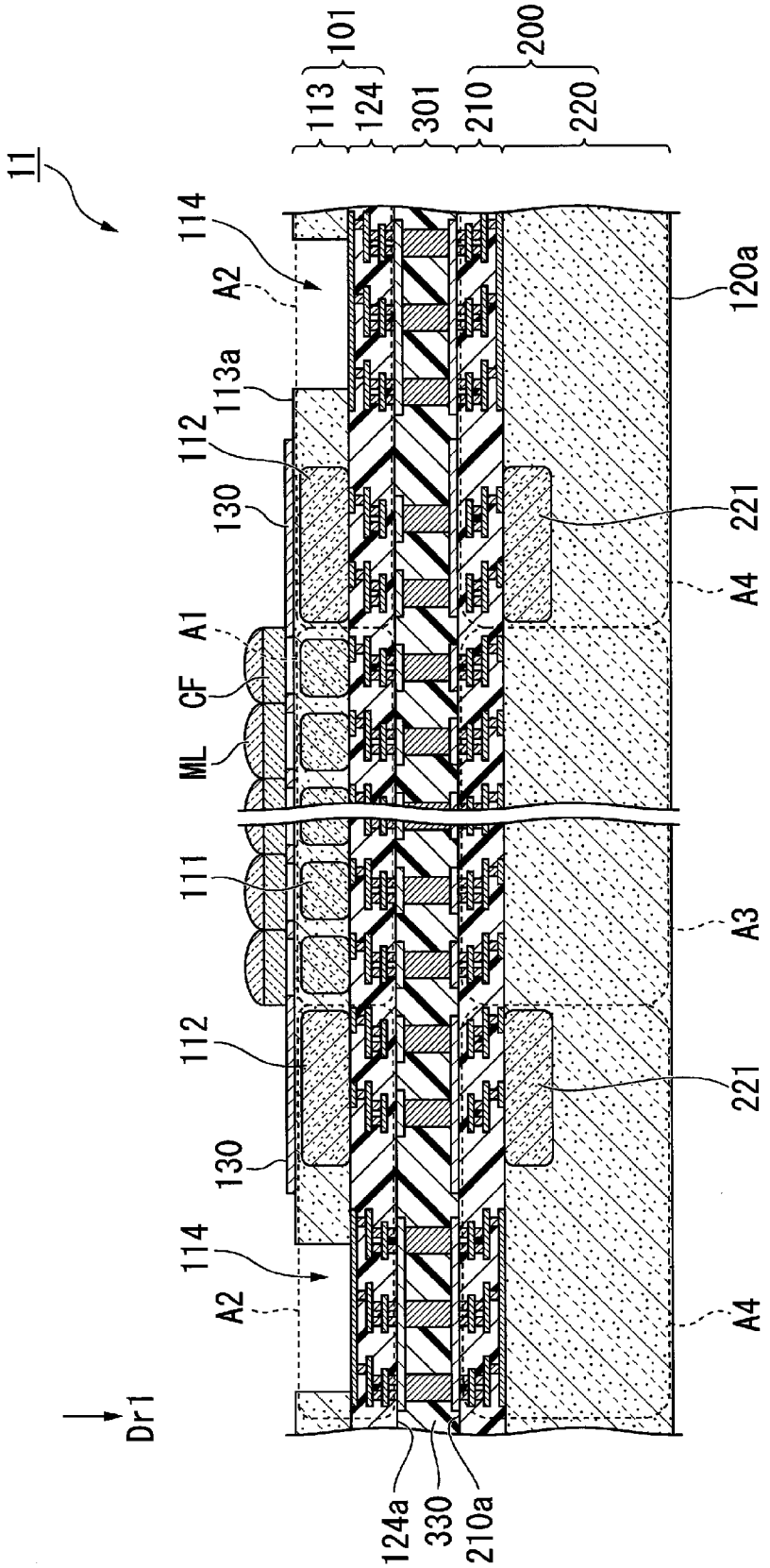
[図18]


100
200
110
120
300
210
220
210a
220a
110a
120a
130
112
221
A2
A4
111
A1
A3
130
221
112
A2
A4
330

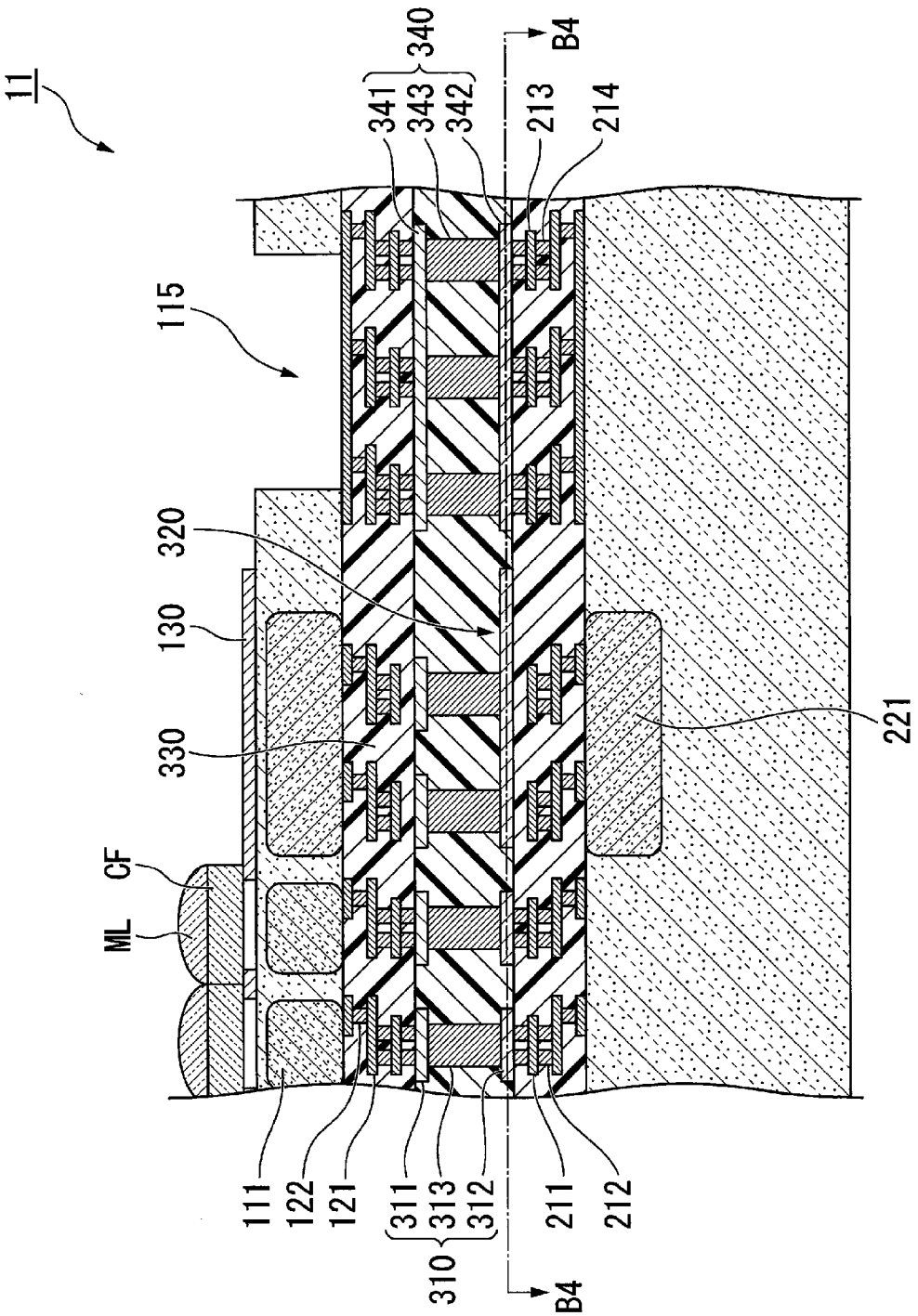
[図19]


10
100
200
110
120
300
210
220
DL1
210a
220a
110a
120a
130
112
221
A2
A4
CF
ML
111
A1
A3
130
221
112
A2
A4
DL1
140
330
230

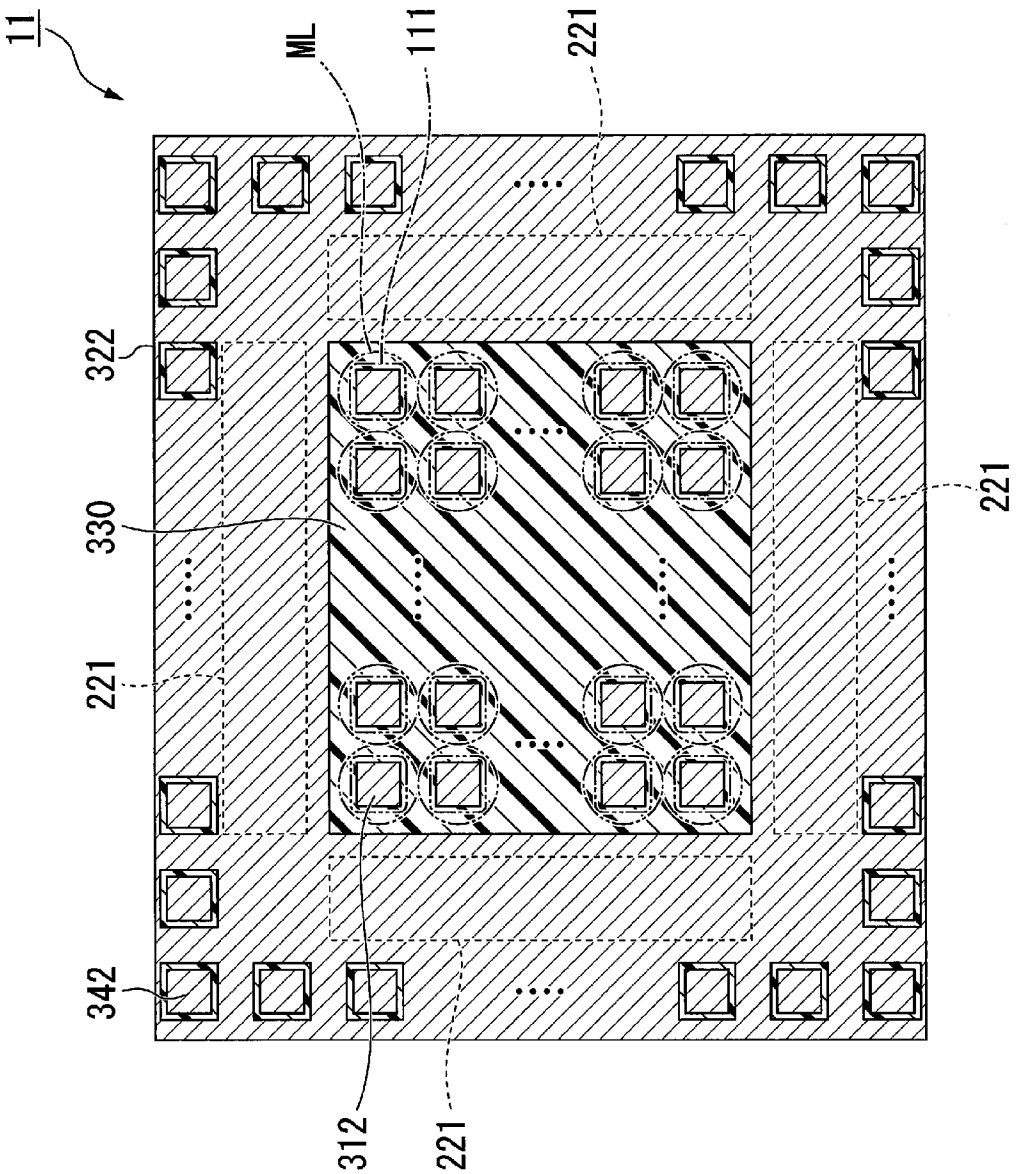
[図20]


11
101
200
113
124
301
210
220
114
A2
113a
112
130
A1
CF
ML
111
112
130
114
A2
120a
221
A4
A3
221
A4
Dr1
124a
330
210a

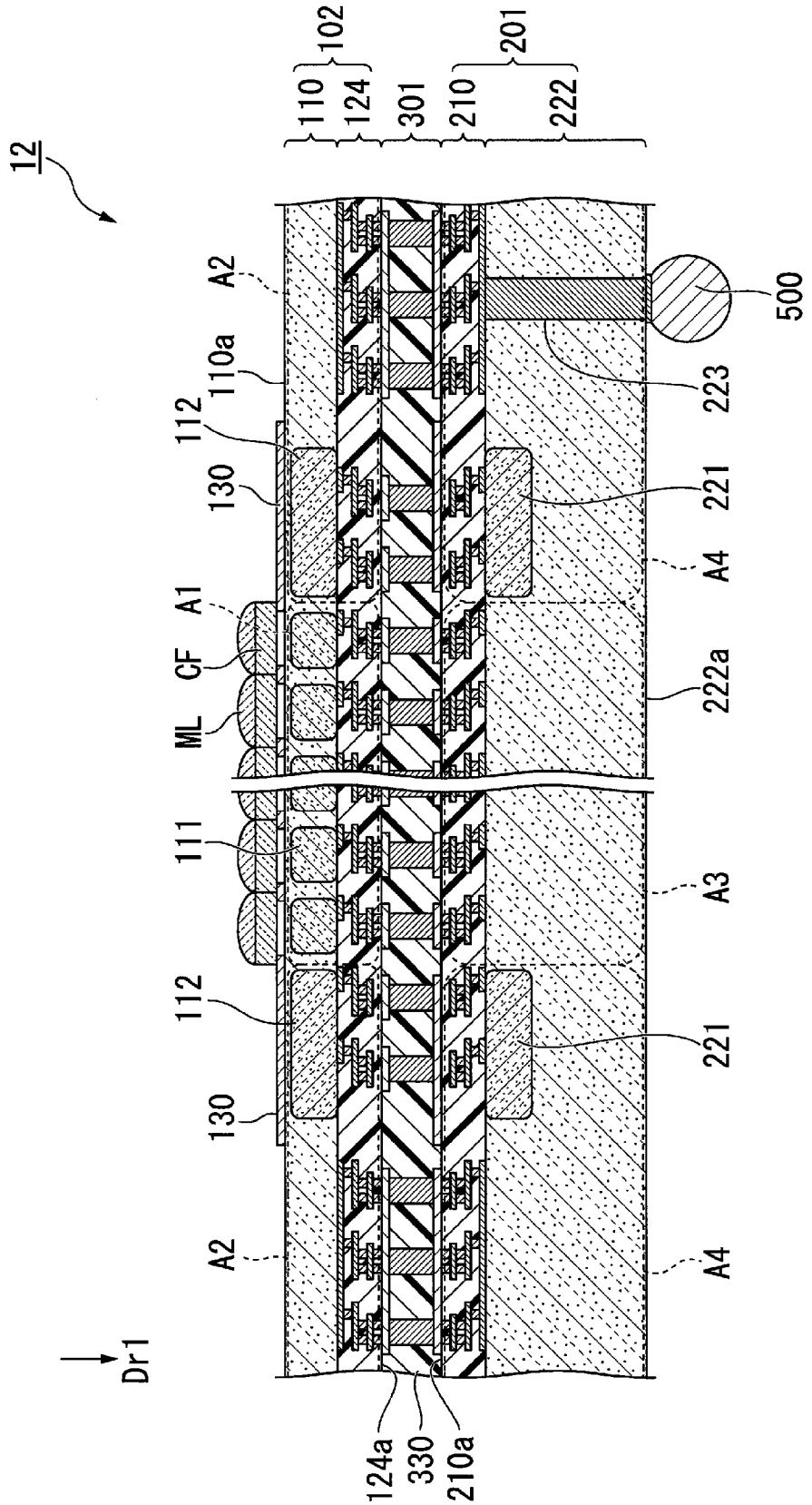
[図21]


11
340
341
343
342
213
214
B4
115
320
130
330
221
CF
ML
111
122
121
311
313
312
211
212
310
B4

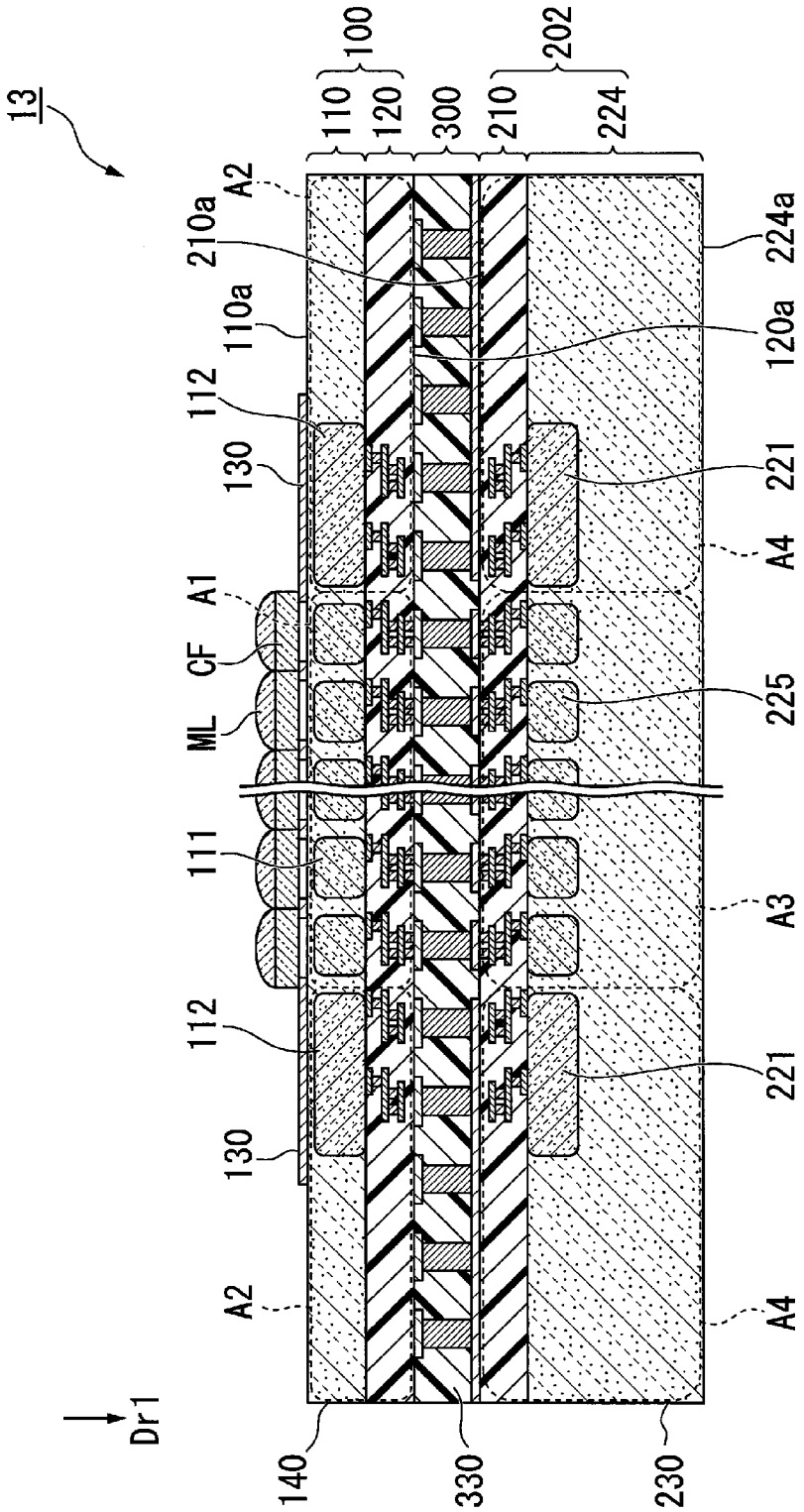
[図22]



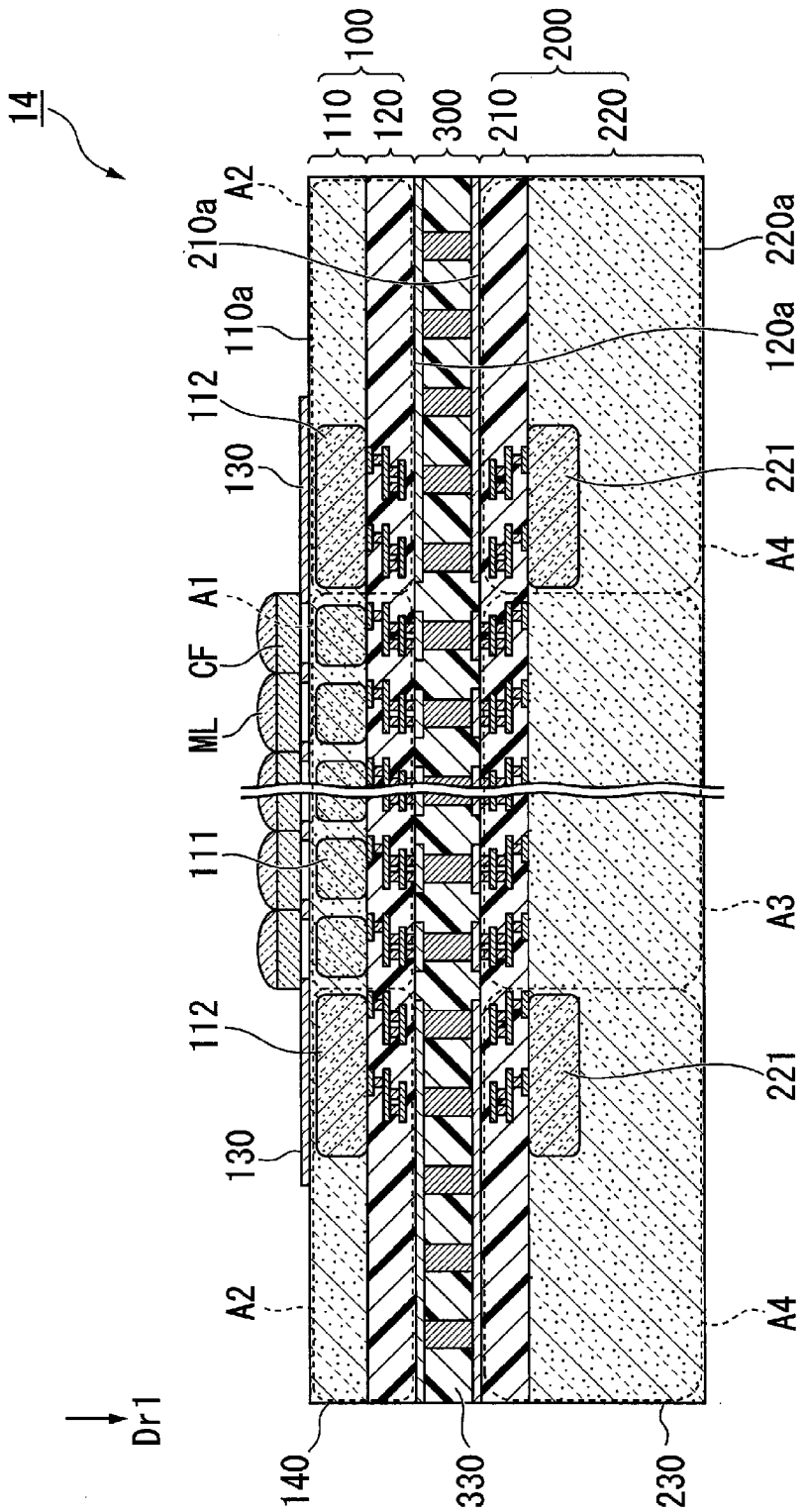
[図23]


12
102
110
124
301
201
210
222
A2
110a
112
130
A1
CF
ML
111
112
130
A2
500
223
221
A4
222a
A3
221
A4
Dr1
124a
330
210a

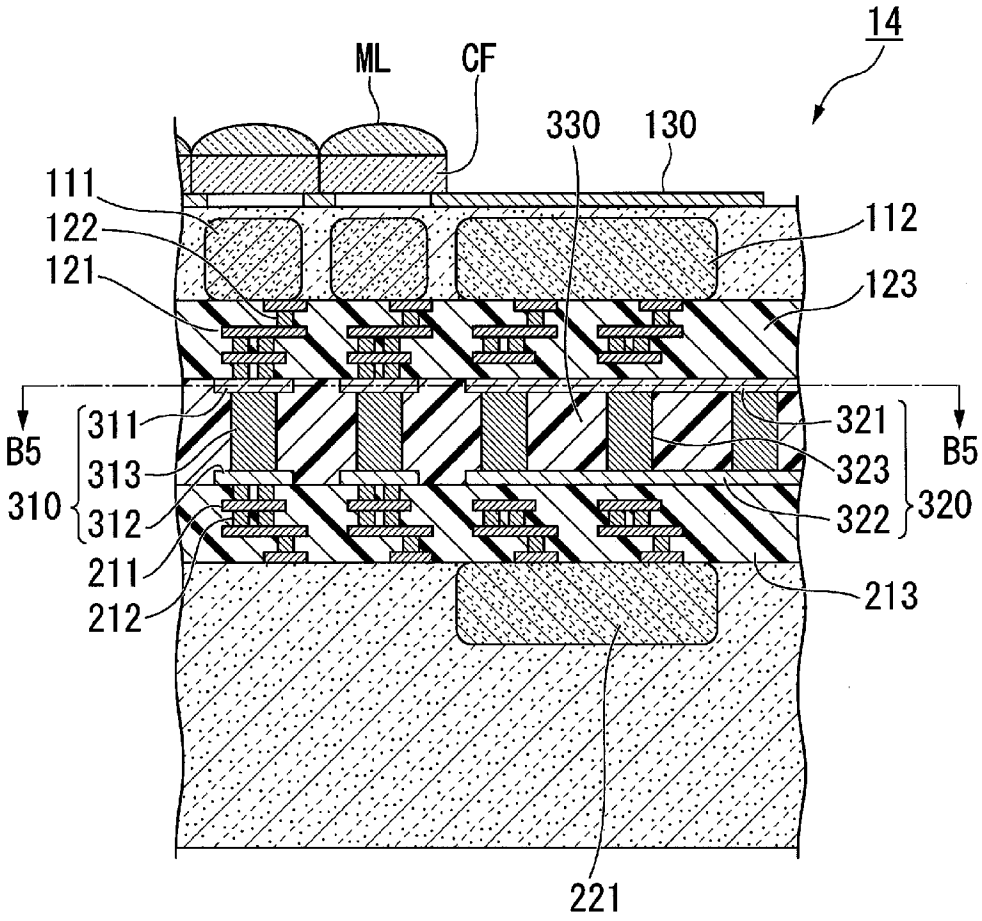
[図24]


13
100
202
110
120
300
210
224
A2
210a
224a
110a
120a
112
130
221
A4
A1
CF
ML
225
111
A3
112
221
130
A2
A4
Dr1
140
330
230

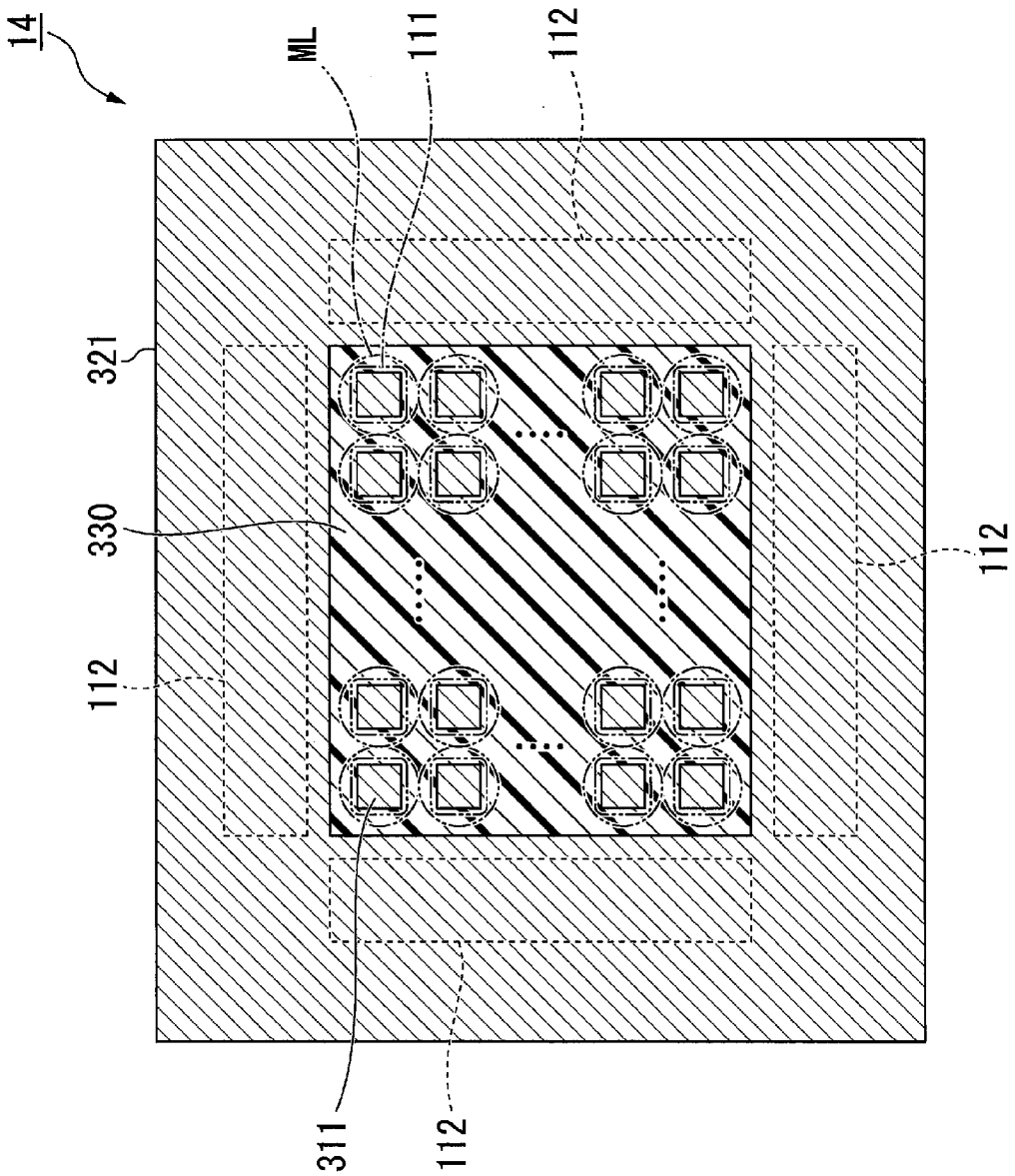
[図25]


14
100
200
110
120
300
210
220
A2
210a
110a
112
130
A1
CF
ML
111
112
130
A2
140
330
230
220a
120a
221
A4
A3
221
A4
Dr1

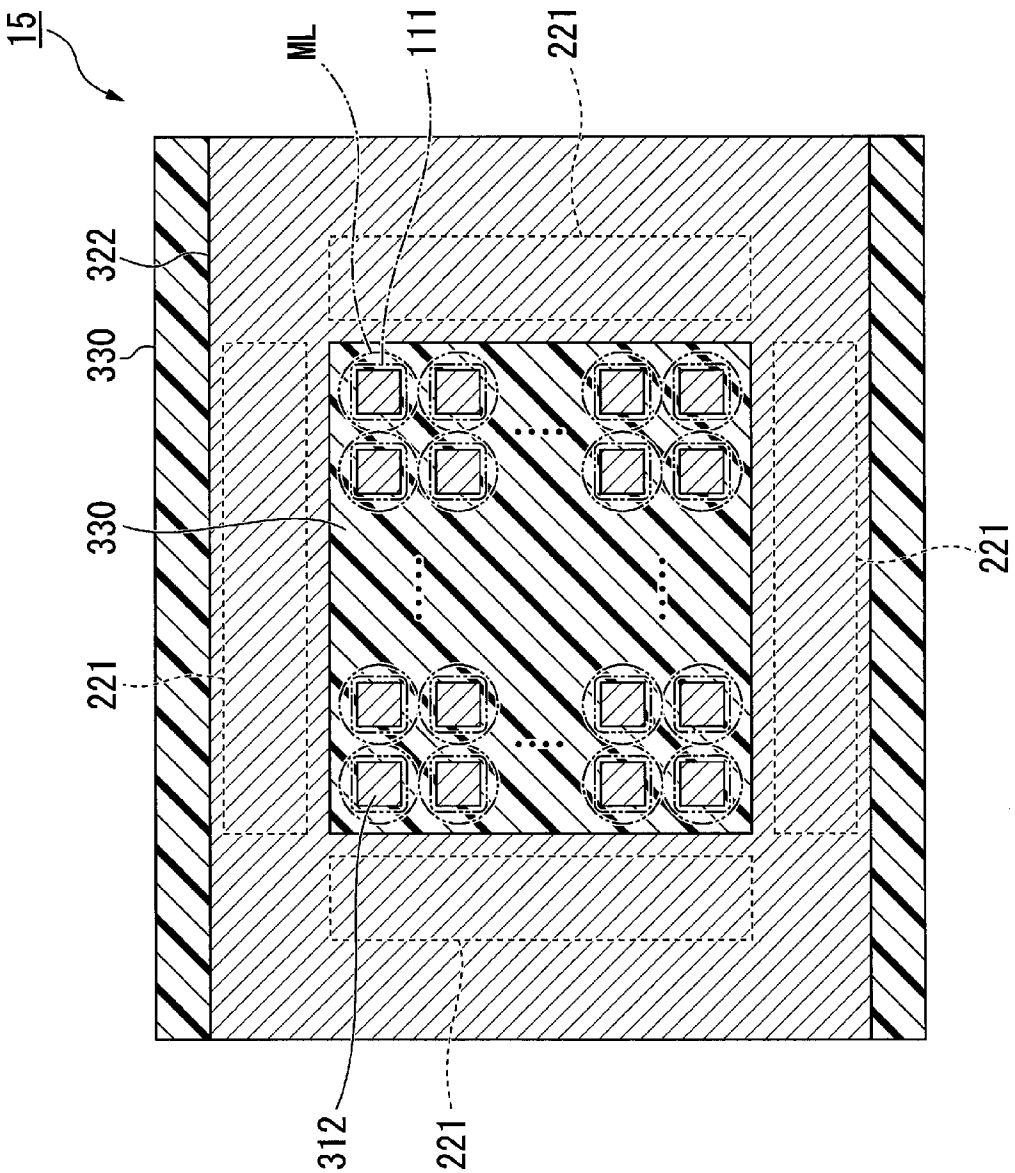
[図26]


14
ML
CF
330
130
111
122
121
112
123
B5
311
313
310
312
211
212
321
323
322
320
B5
213
221

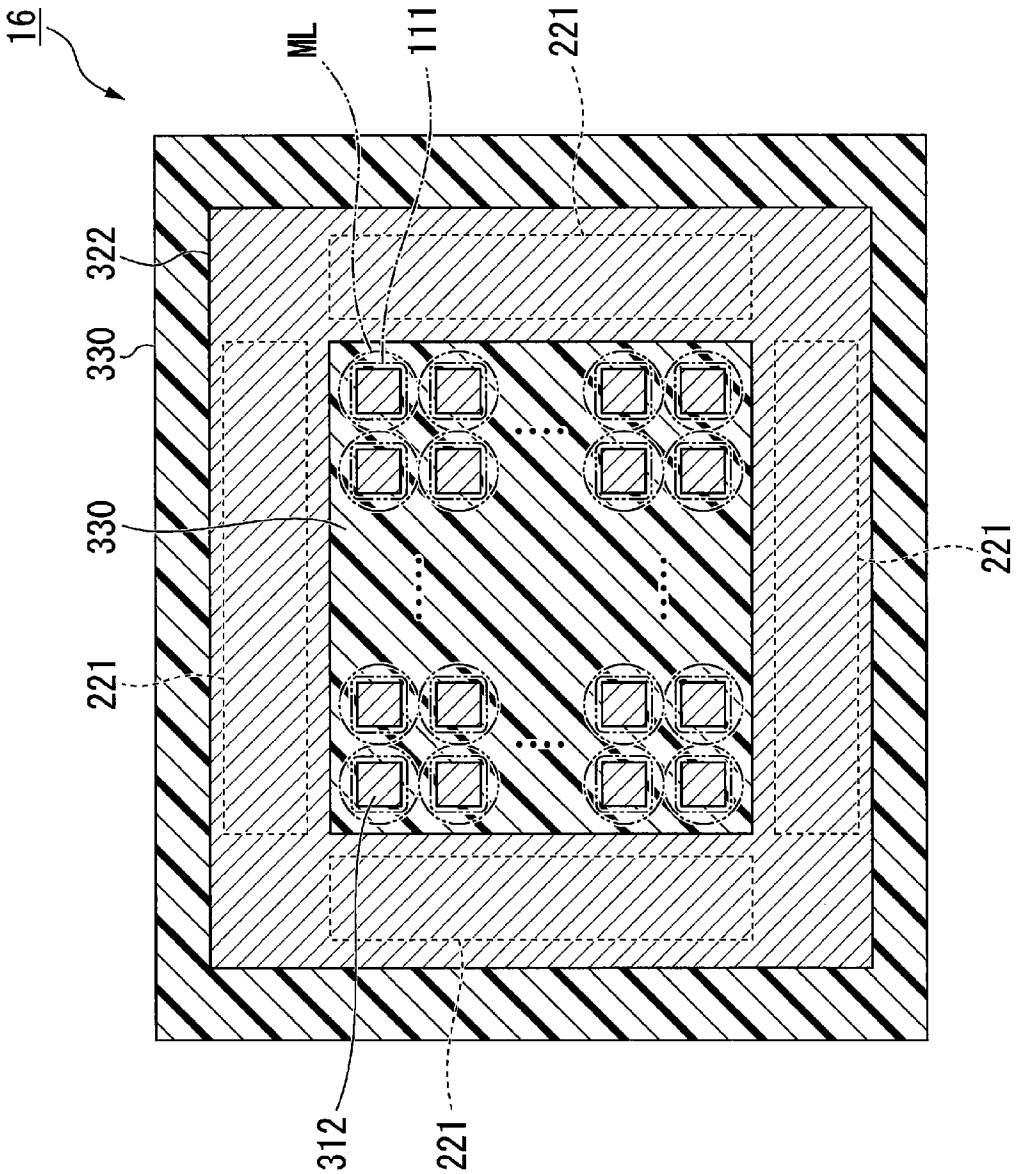
[図27]



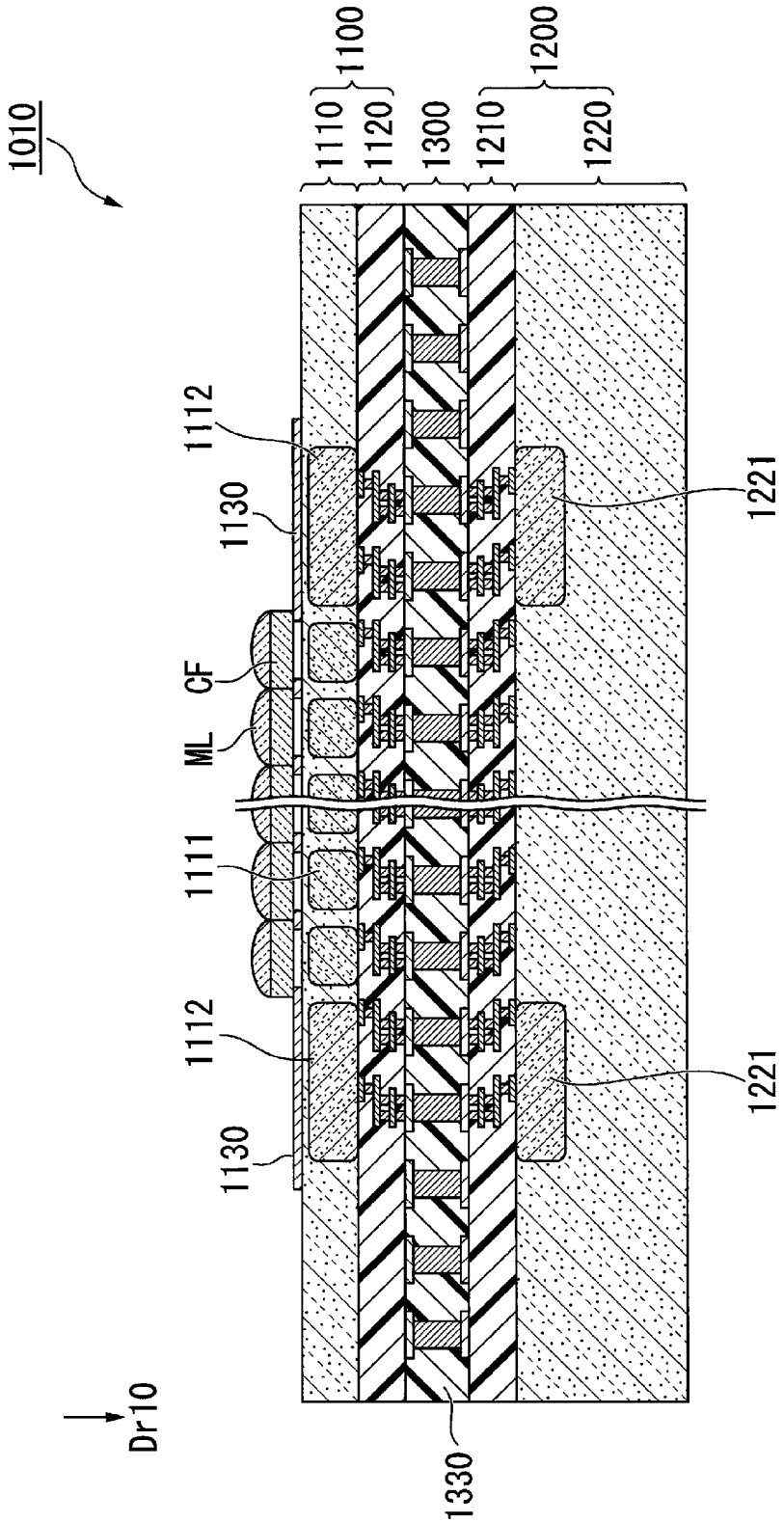
[図28]



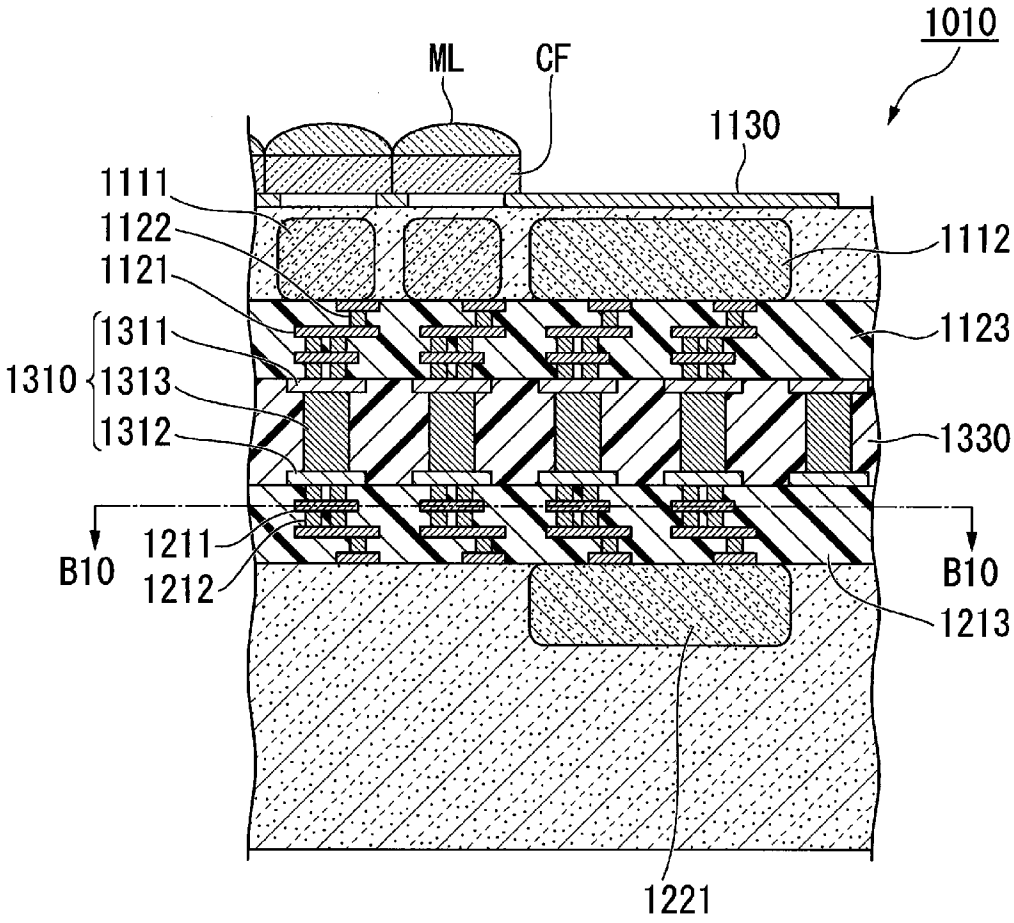
[図29]



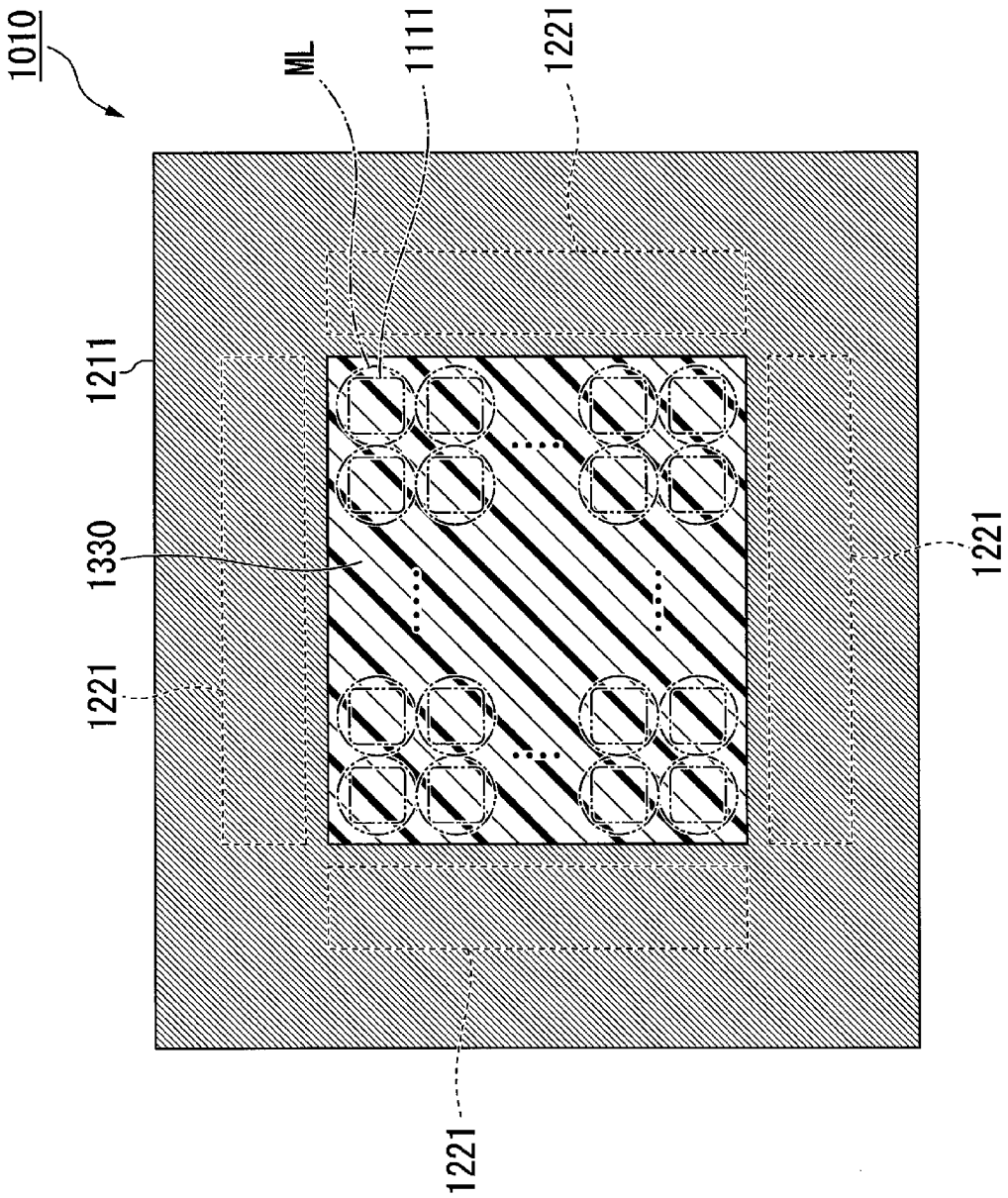
[図30]


1010
1100
1200
1110
1120
1300
1210
1220
1112
1130
CF
ML
1111
1112
1130
1221
1221
Dr10
1330

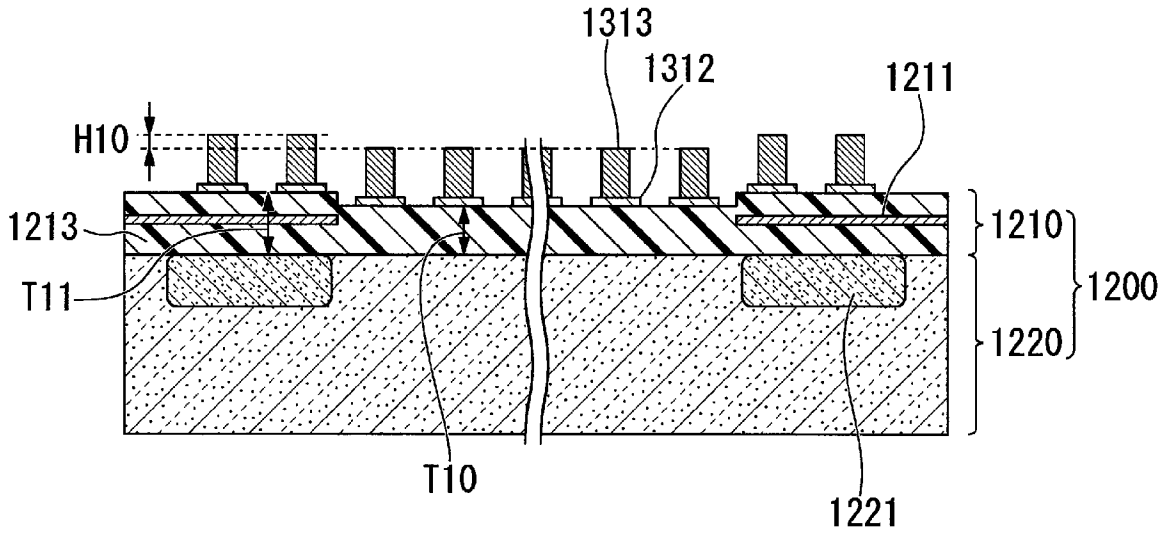
[図31]


1010
ML
CF
1130
1111
1122
1121
1112
1123
1310
1311
1313
1312
1330
B10
1211
1212
B10
1213
1221

[図32]



[図33]



# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/008733

A. CLASSIFICATION OF SUBJECT MATTER
*H01L27/14*(2006.01)i, *H04N5/369*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/14, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | | | |
|---|---|---|---|
| Jitsuyo Shinan Koho | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2017 |
| Kokai Jitsuyo Shinan Koho | 1971-2017 | Toroku Jitsuyo Shinan Koho | 1994-2017 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | JP 2013-16963 A (Olympus Corp.), 24 January 2013 (24.01.2013), fig. 1 to 6 and explanations thereof (Family: none) | 1-8 |
| Y | JP 2010-98376 A (Olympus Corp.), 30 April 2010 (30.04.2010), fig. 1 to 9 and explanations thereof (Family: none) | 1-8 |
| Y | JP 2005-44861 A (Seiko Epson Corp.), 17 February 2005 (17.02.2005), fig. 1 to 5 and explanations thereof (Family: none) | 2-5 |

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 16 March 2017 (16.03.17) | 28 March 2017 (28.03.17) |

| Name and mailing address of the ISA/ | Authorized officer |
|---|---|
| Japan Patent Office<br>3-4-3,Kasumigaseki,Chiyoda-ku,<br>Tokyo 100-8915,Japan | Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2017/008733

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| Y | JP 2013-175540 A (Nikon Corp.), 05 September 2013 (05.09.2013), fig. 7 and explanation thereof (Family: none) | 8 |
| A | JP 2013-168623 A (Olympus Corp.), 29 August 2013 (29.08.2013), entire text; all drawings & US 2013/0181316 A1 & US 2014/0367853 A1 & CN 103208501 A | 1-8 |
| A | JP 2012-33878 A (Canon Inc.), 16 February 2012 (16.02.2012), entire text; all drawings & US 2013/0105924 A1 & WO 2012/001915 A1 | 1-8 |
| A | JP 2011-198862 A (Nikon Corp.), 06 October 2011 (06.10.2011), entire text; all drawings (Family: none) | 1-8 |
| A | JP 2009-283902 A (Panasonic Corp.), 03 December 2009 (03.12.2009), entire text; all drawings & US 2010/0148294 A1 & WO 2009/130839 A1 | 1-8 |
| A | JP 2012-164870 A (Sony Corp.), 30 August 2012 (30.08.2012), entire text; all drawings & US 2012/0199930 A1 & CN 102629616 A & TW 201241999 A | 1-8 |
| A | JP 2013-21031 A (Sony Corp.), 31 January 2013 (31.01.2013), entire text; all drawings & US 2013/0010145 A1 & CN 102867836 A | 1-8 |

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／００８７３３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/14(2006.01)i, H04N5/369(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/14, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１７年 |
| 日本国実用新案登録公報 | １９９６－２０１７年 |
| 日本国登録実用新案公報 | １９９４－２０１７年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | JP 2013-16963 A (オリンパス株式会社) 2013.01.24, 図 1-6 及びその説明箇所 (ファミリーなし) | 1-8 |
| Y | JP 2010-98376 A (オリンパス株式会社) 2010.04.30, 図 1-9 及びその説明箇所 (ファミリーなし) | 1-8 |

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| １６．０３．２０１７ | ２８．０３．２０１７ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　４６６６
今井　聖和
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| Y | JP 2005-44861 A (セイコーエプソン株式会社)<br>2005.02.17, 図 1-5 及びその説明箇所<br>(ファミリーなし) | 2-5 |
| Y | JP 2013-175540 A (株式会社ニコン)<br>2013.09.05, 図 7 及びその説明箇所<br>(ファミリーなし) | 8 |
| A | JP 2013-168623 A (オリンパス株式会社)<br>2013.08.29, 全文全図<br>& US 2013/0181316 A1 & US 2014/0367853 A1 & CN 103208501 A | 1-8 |
| A | JP 2012-33878 A (キヤノン株式会社)<br>2012.02.16, 全文全図<br>& US 2013/0105924 A1 & WO 2012/001915 A1 | 1-8 |
| A | JP 2011-198862 A (株式会社ニコン)<br>2011.10.06, 全文全図<br>(ファミリーなし) | 1-8 |
| A | JP 2009-283902 A (パナソニック株式会社)<br>2009.12.03, 全文全図<br>& US 2010/0148294 A1 & WO 2009/130839 A1 | 1-8 |
| A | JP 2012-164870 A (ソニー株式会社)<br>2012.08.30, 全文全図<br>& US 2012/0199930 A1 & CN 102629616 A & TW 201241999 A | 1-8 |
| A | JP 2013-21031 A (ソニー株式会社)<br>2013.01.31, 全文全図<br>& US 2013/0010145 A1 & CN 102867836 A | 1-8 |