

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007年7月5日 (05.07.2007)

PCT

(10) 国際公開番号
WO 2007/074775 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) H01L 27/088 (2006.01)
H01L 21/28 (2006.01) H01L 27/092 (2006.01)
H01L 21/336 (2006.01) H01L 29/423 (2006.01)
H01L 21/8234 (2006.01) H01L 29/49 (2006.01)
H01L 21/8238 (2006.01)

(72) 発明者; および

(75) 発明者/出願人 (米国についてののみ): 間部 謙三 (MAN-
ABE, Kenzou) [JP/JP]; 〒1088001 東京都港区芝五丁
目7番1号 日本電気株式会社内 Tokyo (JP). 五十嵐
信行 (IKARASHI, Nobuyuki) [JP/JP]; 〒1088001 東京
都港区芝五丁目7番1号 日本電気株式会社内 Tokyo
(JP).

(21) 国際出願番号:

PCT/JP2006/325790

(22) 国際出願日:

2006年12月25日 (25.12.2006)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願 2005-372462

2005年12月26日 (26.12.2005) JP

(71) 出願人 (米国を除く全ての指定国について): 日本電気
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001
東京都港区芝五丁目7番1号 Tokyo (JP).

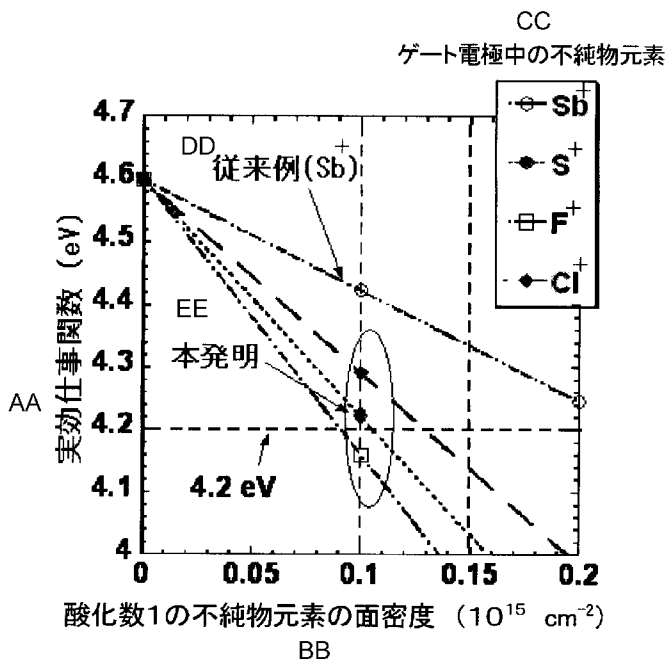
(74) 代理人: 天野 広 (AMANO, Hiroshi); 〒1050014 東京
都港区芝三丁目40番4号 シャイン三田ビル5階
Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,

[続葉有]

(54) Title: NMOSFET AND METHOD FOR MANUFACTURING SAME, AND CMOSFET AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: NMOSFET及びその製造方法並びにCMOSFET及びその製造方法



AA- EFFECTIVE WORK FUNCTION (eV)

BB- AREA DENSITY OF IMPURITY ELEMENT

HAVING OXIDATION NUMBER OF 1 (10^{15} cm^{-2})

CC- IMPURITY ELEMENT IN GATE ELECTRODE

DD- COMPARATIVE EXAMPLE (Sb^+)

EE- PRESENT INVENTION

(57) Abstract: Disclosed is an NMOSFET comprising a semiconductor substrate (1), a gate insulating film (3) formed on the semiconductor substrate (1), and a first gate electrode (13) formed on the gate insulating film (3). The first gate electrode (13) is composed of a silicide of a metal M and at least one element selected from the group consisting of sulfur (S), fluorine (F) and chlorine (Cl) as impurities. The impurities are present as an impurity layer (17) in a surface of the first gate electrode (13) which is in contact with the gate insulating film (3).

(57) 要約: 本発明は、半導体基板1と、半導体基板1上に設けられたゲート絶縁膜3と、ゲート絶縁膜3上に設けられた第一ゲート電極13と、を備えるNMOSFETを提供する。第一ゲート電極13は、金属Mのシリサイドと、不純物として硫黄(S)、フッ素(F)及び塩素(Cl)からなる群から選択された少なくとも一種の元素とからなり、この不純物は、第一ゲート電極13中のゲート絶縁膜3と接する面において、不純物層17として存在している。

WO 2007/074775 A1



SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

NMOSFET及びその製造方法並びにCMOSFET及びその製造方法 技術分野

[0001] 本発明は、不純物を含むフルシリサイドゲート電極を有するNMOSFET及びその製造方法並びにCMOSFET及びその製造方法に関するものであり、特に、NMOSFET(N Metal Oxide Semiconductor Field Effect Transistor)の高性能化と高信頼性化に関する。

背景技術

[0002] トランジスタの微細化が進む先端MOS(Metal Oxide Semiconductor)の開発ではポリシリコン(poly-Si)電極の空乏化による駆動電流の劣化が問題となっている。

[0003] そこで、メタルゲート電極を用いて電極の空乏化を回避することにより、駆動電流の劣化を防ぐ技術が検討されている。

[0004] メタルゲート電極に用いる材料としては、純金属や金属窒化物あるいはシリサイド材料等が検討されているが、いずれの場合においても、NMOSFETのしきい値電圧(V_{th})を適切な値に設定することが可能でなければならない。

[0005] 高性能NMOSFETにおいてはしきい値電圧(V_{th})をできるだけ低くすることが求められる。従来は、NMOSFETのしきい値電圧(V_{th})を0.3V程度まで下げることが可能であった。

[0006] しかしながら、近年、高性能NMOSFETにおいてはしきい値電圧(V_{th})の更なる低減が求められるようになった。具体的には、ことが求められるようになった。

[0007] しきい値電圧(V_{th})を±0.1V程度まで低減するためには実効仕事関数が4.2eV以下の材料をゲート電極に用いる必要があった。

[0008] ここで、ゲート電極を構成する材料の実効仕事関数の制御を容易にするため、最近では、多結晶シリコン(poly-Si)電極をニッケル(Ni)、ハフニウム(Hf)、タングステン(W)などで完全にシリサイド化したフルシリサイドゲート電極に関する技術が注目されている。

- [0009] 例えば、米国特許50064636号明細書(特許文献1)には、ゲート絶縁膜として二酸化シリコン(SiO_2)膜を用い、ゲート電極としてPやBなどの不純物を注入した多結晶シリコン(poly-Si)電極をニッケル(Ni)で完全にシリサイド化したNiシリサイド電極を用いたNMOSFETが開示されている。
- [0010] 上記米国特許明細書には、(1)このNMOSFETの形成プロセスは従来のMOS形成プロセスと整合性が高いこと、(2)ゲート電極の形成のためのシリサイド化前に、ゲートパターンを構成するポリシリコン中に不純物を添加することにより、しきい値電圧の制御を行えること、が開示されている。
- [0011] これらのことからフルシリサイド電極は仕事関数(しきい値電圧)の制御が容易であり、有望なメタルゲート電極材料と考えられている。特に、上記(2)のように、フルシリサイド電極への不純物添加によるしきい値電圧の制御は有効な方法である。
- [0012] ここで、従来から半導体形成プロセスにおいて用いられている不純物(N、P、As、Sb、Bi)を用いると、NMOSFET用ゲート電極においては、4.2乃至4.4eV程度の実効仕事関数が得られ、しきい値電圧を制御することが可能となる。
- [0013] また、近年、NMOSFETとPMOSFETとからなるCMOSFETにおいて、NMOSFET用ゲート電極とPMOSFET用ゲート電極との実効仕事関数を個別に制御する技術が提案されている。具体的にこれらを実現する手段として、異なる実効仕事関数を持った異種の金属又は合金をNMOSFET、PMOSFETのゲート電極にそれぞれ使い分けることにより、トランジスタのしきい値電圧(V_{th})を制御する方法(デュアルメタルゲート技術)が提案されている。
- [0014] 例えば、「インターナショナル・エレクトロン・デバイス・ミーティング・テクニカルダイジェスト2002」(非特許文献1)には、 SiO_2 膜上に、それぞれタンタル(Ta)からなるNMOSFET用ゲート電極と、ルテニウム(Ru)からなるPMOSFET用ゲート電極とを有するCMOSが開示されている。非特許文献1においては、NMOSFET用ゲート電極及びPMOSFET用ゲート電極の実効仕事関数はそれぞれ4.15eVと4.95eVであり、この二つのゲート電極間においては0.8eVの実効仕事関数の変調が可能であると述べられている。

特許文献1:米国特許50064636号明細書

非特許文献1:インターナショナル・エレクトロン・デバイス・ミーティング・テクニカルダイジェスト(International electron devices meeting technical digest)2002, p. 359

発明の開示

発明が解決しようとする課題

[0015] しかしながら、上記の技術にはそれぞれ以下のような問題点が存在していた。

[0016] 米国特許50064636号明細書(特許文献1)のように、二酸化シリコン(SiO_2)からなるゲート絶縁膜上にゲート電極として、リン(P)やホウ素(B)などの不純物を注入したニッケル(Ni)シリサイド電極を形成する場合、上述のように、NMOSFET用ゲート電極の実効仕事関数は4.2乃至4.4eV程度となっていた。このため、しきい値電圧(V_{th})の制御を行うことは可能であるものの、しきい値電圧(V_{th})の低減化には限界があった。

[0017] また、インターナショナル・エレクトロン・デバイス・ミーティング・テクニカルダイジェスト2002(非特許文献1)のように、NMOSFET用ゲート電極とPMOSFET用ゲート電極とで異なる実効仕事関数を持った異種の金属又は合金を作り分けるデュアルメタルゲートにおいては、NMOSFET用ゲートパターンとPMOSFET用ゲートパターン上に堆積された層の一方又は双方をエッチング除去するプロセスが必要となる。このため、エッチングの際にゲート絶縁膜の品質を劣化させてしまい、素子の特性や信頼性が損なわれる場合があった。

[0018] 本発明は、上記の問題点に対してなされたものであり、NMOSFETのしきい値電圧(V_{th})を±0.1V程度まで低減させることができ、素子特性や信頼性を向上させるNMOSFET及びその製造方法を提供することを目的としている。

[0019] さらに、このNMOSFETを含み、素子特性や信頼性を損なわずにNMOSFETとPMOSFETとのしきい値電圧(V_{th})を個別に制御することが可能なCMOSFET及びその製造方法を提供することを目的としている。

課題を解決するための手段

[0020] そこで、本発明者は様々に検討した結果、NMOSFET用ゲート電極中に、従来、用いられていなかった不純物元素として硫黄(S)、フッ素(F)または塩素(Cl)を添加し、かつ、これらの不純物元素をゲート電極のゲート絶縁膜との界面に偏析させること

により、従来技術では困難であったしきい値電圧 (V_{th}) を $\pm 0.1V$ 程度まで低減できることを発見した。

[0021] また、NMOSFETとPMOSFETとからなるCMOSFETにおいては、NMOSFET用ゲート電極とPMOSFET用ゲート電極とを電氣的に連通させて共通のライン状電極を構成し、NMOSFET用ゲート電極とPMOSFET用ゲート電極とを、一度の熱処理を行うことによって、組成が同一又は類似のシリサイドから形成することにより、製造時のゲート電極材料の劣化を防止し、素子特性や信頼性に優れたCMOSFETが得られることを発見した。

[0022] これらの発見に基づいて、具体的には、本発明は、以下のようなNMOSFET及びその製造方法並びにCMOSFET及びその製造方法を提供する。

[0023] すなわち、上記の目的を達成するため、本発明は、半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた第一ゲート電極と、を有するNMOSFETであって、前記第一ゲート電極が、金属のシリサイドと、不純物として硫黄(S)、フッ素(F)及び塩素(Cl)からなる群から選択された少なくとも一種の元素と、からなり、前記不純物は、少なくとも前記第一ゲート電極と前記ゲート絶縁膜との界面に存在することを特徴とするNMOSFETを提供する。

[0024] 前記ゲート絶縁膜は酸化物からなることが好ましい。

[0025] 例えば、前記ゲート絶縁膜がシリコン酸化物又はシリコン酸窒化物からなる。

[0026] あるいは、前記ゲート絶縁膜はHfSiONから構成することも可能である。

[0027] 前記ゲート絶縁膜は多層構造を有するものとして形成することも可能である。この場合、前記ゲート絶縁膜は、例えば、前記第一ゲート電極と接して設けられたシリコン酸化物層、シリコン酸窒化物層又はシリコン窒化物層からなる第一層と、前記第一層の下方に形成され、HfSiONからなる第二層とから構成される。

[0028] 前記第一ゲート電極がフッ素(F)を含むものである場合には、前記第一ゲート電極の前記ゲート絶縁膜と接する面における1価のフッ素(F)の面密度が $9 \times 10^{13} \text{ cm}^{-2}$ 以上であることが好ましい。

[0029] 前記第一ゲート電極が硫黄(S)を含むものである場合には、前記第一ゲート電極の前記ゲート絶縁膜と接する面における1価の硫黄(S)の面密度が $1.1 \times 10^{14} \text{ cm}^{-2}$

²以上であることが好ましい。

[0030] 前記第一ゲート電極が塩素 (Cl) を含むものである場合には、前記第一ゲート電極の前記ゲート絶縁膜と接する面における1価の塩素 (Cl) の面密度が $1.3 \times 10^{14} \text{ cm}^{-2}$ 以上であることが好ましい。

[0031] 前記金属は摂氏350乃至500度の範囲内においてシリサイド化する金属であることが好ましい。

[0032] 前記金属は、例えば、ニッケル (Ni)、白金 (Pt)、タンタル (Ta)、コバルト (Co)、チタン (Ti) 及びタングステン (W) からなる群から選択された少なくとも一つである。

[0033] 前記金属としては、ニッケル (Ni) が特に好ましい。

[0034] 前記不純物は前記半導体基板の法線方向において前記界面から上方に向かって分布していることが好ましい。

[0035] 本発明に係るNMOSFETは以下の(1)及び(2)の構成を有する。

(1) ゲート絶縁膜上に、第一ゲート電極として硫黄 (S)、フッ素 (F) 及び塩素 (Cl) からなる群から選択された少なくとも一種の元素を不純物として含むフルシリサイド電極を形成する、

(2) 第一ゲート電極においては、上記不純物がフルシリサイド電極 (第一ゲート電極) とゲート絶縁膜との界面に存在している。

[0036] 従来から、シリコン (Si) に用いる不純物としては様々なものが使用されていたが、不純物元素としての硫黄 (S)、フッ素 (F) または塩素 (Cl) S, F, Clについては十分に検討されたことはなかった。

[0037] また、不純物元素のゲート電極中における濃度分布についても十分に検討されたことはなかった。

[0038] しかしながら、本発明においては、上記(1)及び(2)の構成とすることにより、従来のNMOSFETと比べて、NMOSFET用ゲート電極の実効仕事関数をより小さくすることができ、さらに、NMOSFETのしきい値電圧をより低くすることができる。

[0039] なお、本明細書において、ゲート電極の「実効仕事関数」とは、ゲート電極を構成する材料本来の仕事関数に対して、ゲート絶縁膜中の固定電荷・界面に形成される双極子・フェルミレベルピニング等の影響を考慮したものである。この意味において、ゲ

ート電極を構成する材料本来の「仕事関数」とは区別される。

- [0040] ゲート電極の「実効仕事関数」は、一般には、ゲート絶縁膜とゲート電極とのC-V測定によるフラットバンドより求められる。
- [0041] 硫黄(S)、フッ素(F)及び塩素(Cl)からなる群から選択された少なくとも一種の不純物元素をフルシリサイド電極(第一ゲート電極)とゲート絶縁膜との界面に存在させるためには、例えば、以下のような方法を用いることができる。
- [0042] まず、半導体基板上に、ゲート絶縁膜及びポリシリコンからなるゲートパターンを形成し、次に、ポリシリコンに対して不純物元素(硫黄(S)、フッ素(F)または塩素(Cl))をイオン注入する。
- [0043] その後、ポリシリコンからなるゲートパターン上に金属Mの膜を堆積し、熱処理によってポリシリコンと金属Mとを反応させて、ゲートパターンをフルシリサイド化する。
- [0044] このフルシリサイド化の際に、厚み方向のゲート絶縁膜側(例えば、図1及び図7の矢印61の方向)に向かって順次、ゲートパターンのポリシリコンが金属Mのシリサイドとなっていく。
- [0045] このシリサイド化に伴い、予め注入された不純物元素はシリサイドに押されるようにゲートパターン内を厚み方向のゲート絶縁膜側に向かって移動する、いわゆる「雪かき」効果が起こる。
- [0046] このため、本発明においては、ゲートパターン上に堆積する金属Mの膜の厚さ、フルシリサイド化を行う際の温度・時間、不純物元素の種類その他のファクターを適宜選択することによって、フルシリサイド電極とゲート絶縁膜との界面まで不純物元素を移動させ、フルシリサイド電極とゲート絶縁膜との界面に不純物を偏析させることができる。
- [0047] なお、本発明においては、不純物元素(S、F、Cl)は少なくともゲート電極中のゲート絶縁膜と接する面に存在している必要があるが、不純物元素はゲート電極のゲート絶縁膜と接する所定の領域中に存在していても良い。例えば、半導体基板の法線方向において、ゲート電極とゲート絶縁膜との界面から上方に向かってゲート電極中の所定の範囲まで不純物元素が存在していても良い。
- [0048] 本発明者は、NMOSFETを実際に作製し、上記不純物元素(S、F、Cl)の偏析と

、この偏析による効果を確かめる実験を行った。

[0049] まず、図2に示すように、第一ゲート電極／ゲート絶縁膜／半導体基板が、不純物として硫黄(S)を添加したNiSi50／SiO₂(3nm)51／Si52から構成されるNMOSFETを上記製造方法により作製した。この際、上記製造条件(シリサイド化の際の温度・時間、ポリシリコンに注入する不純物濃度)を変化させ、複数の試料としてのNMOSFETを作製した。

[0050] これら複数のNMOSFETに対して、XPS(光電子分光法)測定により、ゲート電極中の不純物の状態を分析した。

[0051] XPS測定は以下のようにして行った。

[0052] まず、試料の裏面(Si基板)側から化学的機械的研磨(CMP:Chemical Mechanical Polishing)及びKOH溶液によるウェットエッチングを行い、Si基板52を除去し、第一ゲート電極(NiSi)50／ゲート絶縁膜(SiO₂)51からなる試料を作製した。

[0053] 次に、図2に示すように、X線53をゲート絶縁膜51側から入射させることにより放出される硫黄(S)の2s軌道の光電子54の測定を行った。

[0054] なお、この試料の作製においてゲート絶縁膜51を残留させた理由は、ゲート絶縁膜51まで除去してしまうと、この除去時に第一ゲート電極50がゲート絶縁膜51と接する界面まで損傷を受けてしまい、該界面の状態を正確に分析できなくなってしまうためである。

[0055] また、このようにゲート絶縁膜51を残留させても、ゲート絶縁膜(SiO₂)51の膜厚が3nm程度であるので、XPS測定の条件を適宜設定するか、得られたデータを解析することにより、第一ゲート電極50中のゲート絶縁膜51と接する界面に存在する不純物元素からの光電子を検出することができる。

[0056] なお、このXPS測定においてはアルバックファイ社の「QUANTUM2000 ESCA system」を用いた。このXPS測定においては、単色化したAl-K α 線を入射させ、試料の垂直方向から出てくる光電子54を検出した。

[0057] このようにして得られた複数のNMOSFET試料に対するXPS測定の結果の一例を図3に示す。

[0058] 図3に代表的に示されるように、何れのNMOSFET試料においてもXPS測定によ

り硫黄(S)の2s軌道の電子による4個のピークの重ねあわせからなるスペクトルが得られた。各ピークは、そのピーク位置のエネルギー値を基準とすると、各々、低エネルギー側から S^0 、 S^{1+} 、 S^{2+} 、 S^{3+} (肩の指数は酸化数を表す)に対応するものである。

[0059] これら不純物元素の酸化状態(S^{1+} 、 S^{2+} 、 S^{3+})は、第一ゲート電極50とゲート絶縁膜51との界面に存在する不純物元素が、ゲート絶縁膜51の構成元素の影響を受けて酸化されたものと考えられる。このように不純物元素の酸化は、不純物元素が第一ゲート電極50とゲート絶縁膜51との界面に存在している以上、必然的に生じるものであり、第一ゲート電極50とゲート絶縁膜51との界面に存在する不純物元素は、シリサイド化の条件やシリサイドの組成、不純物元素の種類等に応じて所定の酸化数のものが所定の割合で存在する状態となる。このような不純物元素の酸化はゲート絶縁膜51中に酸素を含んでいる場合には、より顕著となる。

[0060] また、これらの各NMOSFET試料について、光電子分光(XPS)測定と並行して、TEM-EELS測定(TEM:Transmission Electron Microscope(透過型電子顕微鏡)、EELS:Electron Energy-Loss Spectroscopy(電子エネルギー損失スペクトル))により S^0 、 S^{1+} 、 S^{2+} 、 S^{3+} の第一ゲート電極50とゲート絶縁膜51との界面における面密度を測定した。

[0061] このTEM-EELS測定においても、測定条件を設定することにより、第一ゲート電極50とゲート絶縁膜51との界面における各 S^0 、 S^{1+} 、 S^{2+} 、 S^{3+} の面密度を測定することができる。

[0062] なお、このTEM-EELS測定の結果は、XPS測定により得られた各ピーク強度(図3に代表的に示されるピーク)から計算される面密度の値と一致していた。

[0063] 更に、上記のように様々な条件で作製したNMOSFETの各々について実効仕事関数を測定した。

[0064] さらに、これら各NMOSFET試料の S^0 、 S^{1+} 、 S^{2+} 、 S^{3+} の面密度と、実効仕事関数(しきい値電圧)との関係を調べた。

[0065] この結果、実効仕事関数(しきい値電圧)が変化したNMOSFET試料では何れも S^{1+} の面密度の変化が認められ、 S^0 、 S^{2+} 、 S^{3+} の面密度の変化はほとんど認められなかった。このため、本発明者は、実効仕事関数(しきい値電圧)は主に S^{1+} の面密

度によってのみ決定されることを見出した。

[0066] また、フッ素(F)及び塩素(Cl)についても硫黄(S)の場合と同様に、製造条件を変化させた様々なNMOSFET試料を作製し、実効仕事関数(しきい値電圧)、XPS測定による不純物元素の酸化状態の確認、各酸化状態の面密度の計算及びTEM-EELS測定による各酸化状態の面密度の測定を行った。

[0067] この結果、XPS測定とTEM-EELS測定による面密度の値は一致しており、また、実効仕事関数(しきい値電圧)の変化が、第一ゲート電極50とゲート絶縁膜51との界面に存在する1価の酸化状態の不純物元素 F^{1+} 、 Cl^{1+} の面密度によってのみ決定されることを見出した。

[0068] なお、上記のように、第一ゲート電極50とゲート絶縁膜51との界面に存在する不純物元素は必ず所定の割合で1価の酸化状態の不純物元素となっている。このため、本発明においては、第一ゲート電極50とゲート絶縁膜51との界面に不純物元素が存在することによって、実効仕事関数(しきい値電圧)を制御することが可能となる。

[0069] 図4は、 SiO_2 又は $SiON$ からなるゲート絶縁膜と、不純物を添加したNiシリサイドから構成され、ゲート絶縁膜上に形成された第一ゲート電極とを備える本発明に係るNMOSFETにおける、NMOSFET用第一ゲート電極の実効仕事関数と、第一ゲート電極とゲート絶縁膜との界面に存在する1価の酸化状態の不純物(Sb^{1+} 、 S^{1+} 、 F^{1+} 、 Cl^{1+})の面密度との関係を表したグラフである。

[0070] この図4から、従来から用いられてきた不純物のうち最も実効仕事関数を減少させる効果が大きかった Sb^{1+} と比較して、 S^{1+} 、 F^{1+} または Cl^{1+} を用いた方が、同じ面密度であっても、小さな実効仕事関数を得ることができることがわかる。

[0071] 特に、同じ面密度では、不純物としてFを添加した場合に最も小さな実効仕事関数を得ることができることが分かる。

[0072] また、図4より、面密度が $9 \times 10^{13} \text{ cm}^{-2}$ (図4においては $0.09 \times 10^{15} \text{ cm}^{-2}$)またはそれ以上のフッ素(F)を不純物として添加した場合には、高性能用NMOSFETデバイスに必要な4.2eV以下の実効仕事関数を実現することができることが分かる。

[0073] 同様に、面密度が $1.1 \times 10^{14} \text{ cm}^{-2}$ (図4においては $0.11 \times 10^{15} \text{ cm}^{-2}$)またはそれ以上の硫黄(S)を不純物として添加した場合、あるいは、面密度が $1.3 \times 10^{14} \text{ cm}$

$^{-2}$ (図4においては $0.13 \times 10^{15} \text{cm}^{-2}$)またはそれ以上の塩素(Cl)を不純物として添加した場合にも、高性能用NMOSFETデバイスに必要な4.2eV以下の実効仕事関数を実現することができることが分かる。

[0074] すなわち、硫黄(S)、フッ素(F)または塩素(Cl)をNiシリサイドのゲート電極に添加したNMOSFETを作製する場合、第一ゲート電極とゲート絶縁膜との界面に存在する1価の酸化状態にある不純物の面密度は、フッ素(F)に関しては $9 \times 10^{13} \text{cm}^{-2}$ 以上が好ましく、硫黄(S)に関しては $1.1 \times 10^{14} \text{cm}^{-2}$ が好ましく、塩素(Cl)に関しては $1.3 \times 10^{14} \text{cm}^{-2}$ が好ましい。

[0075] なお、このような1価の酸化状態の不純物の面密度は、シリサイド化時の温度・時間などの製造条件、第一ゲート電極を構成するシリサイドの組成、不純物の種類・濃度などを総合的に適宜調節することによって制御することができる。

[0076] 図5は、ゲート酸化膜(SiO_2 又は SiON)の膜厚を1.8nmとし、第一ゲート電極として不純物としてフッ素(F)を注入したNiSiを用いた場合における、チャネル不純物濃度(単位: cm^{-3})とそのチャネル不純物濃度のときの実効仕事関数から予想されるNMOSFETのしきい値電圧(V_{th}) (単位:V)との関係を表したグラフである。

[0077] 図5から明らかであるように、不純物元素FをNiSiに添加して実効仕事関数を4.2eV以下に制御した第一ゲート電極を用いた場合、通常のNMOSFETデバイスで用いられるチャネル濃度($1 \times 10^{17} \text{cm}^{-3}$ 乃至 $1 \times 10^{18} \text{cm}^{-3}$)において、従来の不純物を添加したNiSi電極(ゲート電極)では不可能であった0.1V程度の低いしきい値電圧を有する高性能NMOSFETを実現することができる。

[0078] 本発明は、半導体基板上に絶縁膜層を形成する第一の工程と、前記絶縁膜層上に多結晶シリコン層を形成する第二の工程と、前記多結晶シリコン層に、不純物として、硫黄(S)、フッ素(F)及び塩素(Cl)からなる群から選択された少なくとも一種の元素を注入し、前記多結晶シリコン層を不純物含有多結晶シリコン層とする第三の工程と、前記絶縁膜層及び前記不純物含有多結晶シリコン層をゲートパターンにパターニングする第四の工程と、前記ゲートパターン上に金属の層を堆積する第五の工程と、熱処理により、前記金属と前記不純物含有多結晶シリコン層中の不純物含有多結晶シリコンとを反応させ、不純物を含有する金属のシリサイドを形成する第六の工

程と、前記第六の工程において前記不純物含有多結晶シリコンと反応しなかった前記金属を除去する第七の工程と、を有するNMOSFETの製造方法を提供する。

[0079] 本発明に係るNMOSFETの製造方法は、ソース／ドレイン領域を形成する第八の工程と、前記ソース／ドレイン領域上にシリサイドを形成する第九の工程と、をさらに備えることができる。この場合、前記第八及び第九の工程は前記第六の工程よりも前に実施され、前記第六の工程においては、前記ソース／ドレイン領域上に形成された前記シリサイドの電気抵抗値がより高くない温度で前記熱処理が行われる。

[0080] 本発明に係るNMOSFETの製造方法は、前記第六の工程の前にソース／ドレイン領域を形成する第十の工程と、前記第六の工程の後に前記ソース／ドレイン領域上にシリサイドを形成する第十一の工程と、をさらに備えることが可能である。

[0081] 本発明に係るNMOSFETの製造方法においては、前記第三の工程において、前記多結晶シリコン層への前記不純物の注入がイオン注入法により行われることが好ましい。

[0082] ゲート電極をシリサイド化(第一シリサイド化)する前にソース／ドレイン領域上にシリサイド(第二シリサイド化)を形成する場合(第九の工程)、第五の工程においてゲートパターン上に堆積させる金属としては、低温で多結晶シリコン(poly-Si)を完全にシリサイド化できるものであることが望ましい。このように、ゲートパターン上に堆積させる金属として低温シリサイドプロセスが可能な金属を選択すると、ソース／ドレイン領域上に設けたシリサイド層が電気抵抗値の高い物質に変成せず、該シリサイド層の高抵抗化を抑制することができる。

[0083] 具体的には、上記の金属は、ソース・ドレイン拡散層上に形成されている一般的な金属シリサイドの抵抗値を増大させない温度である摂氏350乃至500度の範囲で完全にシリサイド化する金属であることが好ましい。このような金属を用いて多結晶シリコン(poly-Si)電極をシリサイド化することにより、自己整合的に電極の組成を決定することが可能となり、プロセスのバラツキを抑えることが可能になる。

[0084] 以上より、シリサイドを形成する金属としては、ニッケル(Ni)、白金(Pt)、タンタル(Ta)、コバルト(Co)またはチタン(Ti)を用いることが好ましい。その中でも特にニッケル(Ni)が好適である。ニッケル(Ni)を用いることにより摂氏450度以下の温度でアニ

ールを行うことにより、多結晶シリコン(poly-Si)を完全にシリサイド化することが可能である。

[0085] また、第一ゲート電極のシリサイド化(第一シリサイド化)後にソース/ドレイン領域上にシリサイド(第三シリサイド化を形成する場合(第十一の工程)、ソース/ドレイン領域にはまだシリサイド層が形成されていないため、第一シリサイド化を行う際の熱処理条件は、ソース/ドレイン領域やチャネル領域に注入された不純物が再拡散しない程度の熱処理条件であれば、特に限定されない。このため、金属及びソース/ドレイン領域上に設けるシリサイドのための金属材料の選択の幅を広げることができる。

[0086] さらに、本発明は、上記のNMOSFETと、半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた第二ゲート電極と、を有するPMOSFETと、を備えるCMOSFETであって、前記NMOSFETのゲート長方向と前記PMOSFETのゲート長方向とが平行となるように配置され、前記第二ゲート電極は、前記金属のシリサイドと、不純物と、を含み、前記第一ゲート電極と前記第二ゲート電極とは電氣的に連通して、前記NMOSFETの前記ゲート長方向と直交する方向に延在するライン状電極を構成することを特徴とするCMOSFETを提供する。

[0087] さらに、本発明は、NMOSFETとPMOSFETとを有するCMOSFETの製造方法であって、半導体基板上に絶縁膜層を形成する第一の工程と、前記絶縁膜層上に多結晶シリコン層を形成する第二の工程と、前記NMOSFETの形成領域において、前記多結晶シリコン層に、不純物として、硫黄(S)、フッ素(F)及び塩素(Cl)からなる群から選択された少なくとも一種の元素を注入し、前記多結晶シリコン層を不純物含有多結晶シリコン層とする第三の工程と、前記PMOSFETの形成領域において、前記多結晶シリコン層に、P型不純物を注入し、前記多結晶シリコン層を不純物含有多結晶シリコン層とする第四の工程と、前記絶縁膜層及び前記不純物含有多結晶シリコン層をゲートパターンにパターニングする第五の工程と、前記ゲートパターン上に金属の層を堆積する第六の工程と、熱処理により、前記金属と前記不純物含有多結晶シリコン層中の不純物含有多結晶シリコンとを反応させ、不純物を含有する金属のシリサイドを形成する第七の工程と、前記第六の工程において前記不純物含有多結

晶シリコンと反応しなかった前記金属を除去する第八の工程と、を有するCMOSFETの製造方法を提供する。

- [0088] 前記NMOSFETの第一ゲート電極と前記PMOSFETの第二ゲート電極とは、前記NMOSFETのゲート長方向と前記PMOSFETのゲート長方向とが平行となり、かつ、前記第一ゲート電極と前記第二ゲート電極とが電氣的に連通して、前記NMOSFETの前記ゲート長方向と直交する方向に延在するライン状電極を構成するように形成されることが好ましい。

発明の効果

- [0089] 本発明によれば、NMOSFET用ゲート電極のゲート絶縁膜と接する面に、硫黄(S)、フッ素(F)及び塩素(Cl)からなる群から選択された少なくとも一種の不純物元素を存在させることによって、NMOSFETのしきい値電圧(V_{th})を低い値に制御することを可能にし、高い再現性と信頼性を有するNMOSFET及びCMOSFETを実現することができる。

発明を実施するための最良の形態

- [0090] (第一の実施形態)

図1は、本発明の第一の実施形態に係るNMOSFETの構造を表す断面図である。

- [0091] 図1に示されるように、本実施形態に係るNMOSFETは、シリコン基板1と、シリコン基板1内に形成された素子分離領域2と、素子分離領域2により素子分離されたP型領域(P型半導体領域;Pウェル)上に形成されたゲート絶縁膜3と、ゲート絶縁膜3上に形成された第一ゲート電極13と、第一ゲート電極13の側面を覆って形成されたゲート側壁7と、シリコン基板1内において、P型領域を挟むようにして形成されたソース／ドレイン拡散層8と、ソース／ドレイン拡散層8から第一ゲート電極13に向かって延びるエクステンション拡散層領域6と、エクステンション拡散層領域6上に形成されたシリサイド層10と、シリサイド層10上に形成された層間絶縁膜11と、を備えている。

- [0092] 第一ゲート電極13は、第一ゲート電極13がゲート絶縁膜3と接する界面において、硫黄(S)、フッ素(F)及び塩素(Cl)からなる群から選択された少なくとも一種の不純物元素が存在する層17を有している。

- [0093] なお、図1においては、不純物元素が高濃度で存在する領域を明示的に層17として表したものである。実際の第一ゲート電極13においては不純物濃度がその厚み方向61に連続的又は断続的に変化して分布している。このため、層17が明確に判別できない場合もある。また、不純物元素が第一ゲート電極13の厚み方向にわたって分布している場合もある。以下、図7、図10及び図11においても層17については同様のことを意味するものとする。
- [0094] このように、硫黄(S)、フッ素(F)及び塩素(Cl)からなる群から選択された少なくとも一種の不純物元素が存在する層17を第一ゲート電極13がゲート絶縁膜3と接する界面に形成することにより、第一ゲート電極13の空乏化を回避することができるだけでなく、これまで困難とされていたNMOSFETのしきい値電圧を低く制御することができ、高い再現性と信頼性を有する高性能トランジスタを実現することができる。
- [0095] 金属Mとしてはニッケル(Ni)を用いることが好ましい。
- [0096] ニッケル(Ni)はしきい値電圧(V_{th})の制御性に優れるため、金属Mとしてニッケル(Ni)を用いることにより低いしきい値電圧(V_{th})を達成することができる。
- [0097] また、金属Mのシリサイドとしては、 Ni_3Si 、 Ni_2Si 、 $NiSi$ 、 $NiSi_2$ を用いることができる。
- [0098] 本実施形態に係るNMOSFETに用いるゲート絶縁膜3としては酸化物を用いることが好ましい。
- [0099] ゲート絶縁膜として酸化物を用いることにより、NMOSFET用第一ゲート電極13を形成する際(シリサイド化時)に、予めゲートパターン中に注入された不純物と酸素とが反応して効果的に第一ゲート電極13とゲート絶縁膜3との界面に1価の不純物元素を形成することができる。
- [0100] ゲート絶縁膜3としては、シリコン酸化物膜又はシリコン酸窒化物膜を用いることが好ましい。これらの膜は膜の均一性及び安定性に優れている。
- [0101] また、ゲート絶縁膜3は $HfSiON$ 膜であることが好ましい。
- [0102] この高誘電率ゲート絶縁膜を用いることにより、ゲートリーク電流を低減することができる。ゲート絶縁膜3として $HfSiON$ 膜を用いた場合、ゲート絶縁膜3としてシリコン酸化物膜又はシリコン酸窒化物膜を用いた場合と比べて、しきい値電圧が低下する程

度は減少する。

[0103] しかしながら、ゲート絶縁膜3を多層構造とし、第一ゲート電極13と接する層としてシリコン酸化物層、シリコン酸窒化物層又はシリコン窒化物層を形成し、この層の下層にHfSiON層を設けることにより、実効仕事関数を小さくすることができる。この結果、本実施形態に係るNMOSFETにおいて低いしきい値電圧を実現することができる。

(第二の実施形態)

上記の第一の実施形態に係るNMOSFETと、PMOSFETとを組み合わせることによりCMOSFETを構成することができる。

[0104] 本発明の第二の実施形態は、このようにして構成されるCMOSFETに関する。

[0105] 図12は本発明の第二の実施形態に係るCMOSFETを示したものである。図12(a)は本実施形態に係るCMOSFETの上面図、図12(b)は図12(a)のA-A'線における断面図、図12(c)は図12(a)のB-B'線における断面図と図12(a)のC-C'線における断面図とを組み合わせたものである。

[0106] なお、図12(c)はNMOSFETとPMOSFETとをそれぞれ異なる断面から見たものをつなぎ合わせた図であり、本実施形態に係るCMOSFETを一断面から見たものではない。図12(c)の中央の破線は、NMOSFET及びPMOSFETの各々が異なる断面から見たものであることを表している。以下、図7(b)、図10及び図11においても同様であるものとする。

[0107] 図12(a)及び図12(b)に示されるように、本実施形態に係るCMOSFETはNMOSFET21とPMOSFET22とを備えている。

[0108] 具体的には、本実施形態に係るCMOSFETは、半導体基板1と、半導体基板1内に形成された素子分離領域2と、半導体基板1内において素子分離領域2により素子分離されたP型領域(P型半導体領域;Pウェル)26と、半導体基板1内において素子分離領域2により素子分離されたN型領域(N型半導体領域;Nウェル)27と、P型領域26及びN型領域27上に形成されたゲート絶縁膜3と、P型領域26上においてゲート絶縁膜3上に形成された第一ゲート電極24bと、N型領域27上においてゲート絶縁膜3上に形成された第二ゲート電極24aと、第一ゲート電極24b及び第二ゲート

電極24aの側面を覆って形成されたゲート側壁35と、半導体基板1内において、P型領域26を挟むようにして形成されたソース/ドレイン領域25bと、半導体基板1内において、N型領域27を挟むようにして形成されたソース/ドレイン領域25aと、半導体基板1上においてゲート側壁35を覆って形成された層間絶縁膜11(図12(c)参照)と、を備えている。

- [0109] NMOSFET21は、P型領域26と、ゲート絶縁膜3と、第一ゲート電極24bと、ソース/ドレイン領域25bと、ゲート側壁35とから構成されており、PMOSFET22は、N型領域27と、ゲート絶縁膜3と、第二ゲート電極24aと、ソース/ドレイン領域25aと、ゲート側壁35とから構成されている。
- [0110] 図12(a)及び図12(b)に示すように、本実施形態に係るCMOSFETにおいては、N型領域27から素子分離領域2を経由してP型領域26に至る領域上には、矢印29の方向に延在するように、一つのライン状電極28が形成されている。このライン状電極28のうちN型領域27上の部分は第二ゲート電極24aを、P型領域26上の部分は第一ゲート電極24bをそれぞれ構成している。
- [0111] 図12(a)に示されるように、NMOSFET21及びPMOSFET22は互いにそのゲート長方向30が平行になるように配置されている。
- [0112] また、第一ゲート電極24b及び第二ゲート電極24aは素子分離領域2上のシリサイド領域を介して互いに電氣的に連通している。
- [0113] ライン状電極28はNMOSFET21のゲート長方向30に直交する方向29に延在している。
- [0114] 第一ゲート電極24bと第二ゲート電極24aは共に金属Mのシリサイドから構成されていることが好ましい。この場合、第一ゲート電極24b及び第二ゲート電極24aを構成する金属Mのシリサイドの組成(金属Mとシリコン(Si)との原子組成比)は同じものであっても、異なるものであっても良い。
- [0115] シリサイド化時に、異なる組成のゲート電極間でゲート電極の構成材料の相互拡散を防止し、均一で素子特性に優れたゲート電極とするために、第一ゲート電極24bと第二ゲート電極24aを構成する金属Mのシリサイドの組成は同じであることが好ましい。ただし、この場合、第二ゲート電極24a中には不純物が含まれる。

[0116] 本発明に係るCMOSFETにおいては、図12(a)及び図12(b)に示されるように、第一ゲート電極24b及び第二ゲート電極24aがライン状電極28の一部を構成している。

[0117] また、第一ゲート電極24b及び第二ゲート電極24aは共に金属Mのシリサイドから構成されていることが好ましいが、第一ゲート電極24b及び第二ゲート電極24aでは互いに含有する不純物元素の種類が異なっている。このため、ライン状電極28の全体を一度のシリサイド化で形成することができ、第一ゲート電極24b及び第二ゲート電極24aの素子特性を均一にすることができ、信頼性に優れたCMOSFETとすることが可能である。

(第三の実施形態)

本発明の第三の実施形態は、本発明の第二の実施形態に係るCMOSFETの製造方法に関する。

[0118] 図6(a)乃至図6(h)及び図7(a)乃至図7(b)は本発明の第三の実施形態に係るCMOSFETの製造方法における各工程を示した断面図である(ただし、図を単純化するため、図6(a)乃至図6(h)及び図7(a)においては、NMOSFETの製造工程のみを表している)。

[0119] 先ず、図6(a)に示すように、シリコン基板1の表面領域にSTI(Shallow Trench Isolation)技術を用いて素子分離領域2を形成した。

[0120] 続いて、素子分離領域2により画定された素子形成領域においてシリコン基板1の表面に絶縁膜層3を形成した。絶縁膜層3としてはSiONを用いた。

[0121] 次いで、図6(a)に示すように、絶縁膜層3上に厚さ80nmの多結晶シリコン(poly-Si)膜4を形成した。

[0122] 次いで、多結晶シリコン(poly-Si)膜4に対して、レジストを用いた通常の写真リソグラフィプロセスとイオン注入とを組み合わせることにより、第一ゲート電極を形成する領域にはフッ素(F)を、第二ゲート電極を形成する領域にはホウ素(B)を注入した。

[0123] フッ素(F)の注入エネルギー及びドーズ量は5KeV及び $5 \times 10^{15} \text{ cm}^{-2}$ とし、ホウ素(B)の注入エネルギー及びドーズ量は2KeV及び $6 \times 10^{15} \text{ cm}^{-2}$ とした。

- [0124] その後、図6(b)に示すように、多結晶シリコン(poly-Si)膜4上に厚さ150nmのシリコン酸化膜5を形成した。
- [0125] 次に、図6(c)に示すように、リソグラフィー技術およびRIE(Reactive Ion Etching)技術を用いて、絶縁膜層3、多結晶シリコン(poly-Si)膜4及びシリコン酸化膜5からなる積層膜をパターニングし、ゲート絶縁膜と、ゲート絶縁膜上に設けられた第一ゲート電極及び第二ゲート電極とからなるゲートパターンを形成した(なお、図6(c)においては、第一ゲート電極のみを図示する)。
- [0126] 次に、半導体基板1に不純物のイオン注入を行い、ゲートパターンをマスクとして、シリコン基板1の表面にエクステンション拡散層領域6を自己整合的に形成した。
- [0127] さらに、図6(d)に示すように、シリコン窒化膜とシリコン酸化膜とを順次堆積し、その後、エッチバックすることによってゲートパターンの側面にゲート側壁7を形成した。
- [0128] この状態で再度のイオン注入を行い、活性化アニールを経て、エクステンション拡散層領域6の下方の領域にソース・ドレイン領域8を形成した。
- [0129] 次に、図6(e)に示すように、厚さ20nmの金属膜9をスパッタにより全面に堆積した。
- [0130] 次に、図6(f)に示すように、サリサイド技術により、ゲートパターン及びゲート側壁7及び素子分離領域2をマスクとして、ソース・ドレイン領域8上のみに厚さ約40nmのシリサイド層10を形成した。
- [0131] このシリサイド層10はコンタクト抵抗を最も低くすることができるNiモノシリサイド(NiSi)とした。なお、Niシリサイドの代わりにCoシリサイドやTiシリサイドを用いてもよい。
- [0132] さらに、図6(g)に示すように、CVD(Chemical Vapor Deposition)法によって、シリコン酸化膜からなる層間絶縁膜11を全面に形成した。
- [0133] 次に、図6(h)に示すように、層間絶縁膜11をCMP技術によって平坦化し、さらに、層間絶縁膜11のエッチバックを行うことにより、ゲートパターンの多結晶シリコン(poly-Si)膜4を露出させた。
- [0134] 次に、図7(a)に示すように、ゲートパターンの多結晶シリコン(poly-Si)膜4をシリサイド化するために、ゲートパターンの多結晶シリコン(poly-Si)膜4、ゲート側壁7及び層間絶縁膜11上に金属Mからなる金属膜12を堆積した。

- [0135] 金属膜12としては、多結晶シリコン(poly-Si)膜4とシリサイドを形成可能な金属、例えば、ニッケル(Ni)、白金(Pt)、タンタル(Ta)、コバルト(Co)、チタン(Ti)またはそれらの合金などから選択することができるが、ソース/ドレイン領域8にすでに形成されているシリサイド層10の電気抵抗値が、それ以上高くならない温度で多結晶シリコン(poly-Si)膜4を完全にシリサイド化することができる金属が好適である。
- [0136] 例えば、ソース/ドレイン領域8にNiモノシリサイド(NiSi)層が形成されている場合には、多結晶シリコン(poly-Si)膜4をNiダイシリサイド(NiSi₂)化することにより、ソース/ドレイン領域8と配線とのコンタクト抵抗が高くなることを防ぐため、その後のプロセス温度を摂氏500度以下にする必要がある。このため、本実施形態においては、金属膜12としては、摂氏500度以下の温度においてシリサイド化が十分進行するニッケル(Ni)を選択した。
- [0137] この工程において堆積するNi膜の厚さは、多結晶シリコン(poly-Si)膜4とニッケル(Ni)とが十分に反応して、多結晶シリコン(poly-Si)膜4が全てシリサイド化してNiSiとなるのに十分な膜厚に設定する。
- [0138] 本実施形態においては、DCマグネトロンスパッタ法により、室温でNi膜を50nmの厚さに成膜した。
- [0139] このゲートパターンのシリサイド化において、NMOSFET用ゲートパターン(ポリシリコン)中の添加不純物元素(例えば、F)は、図7(b)に示すように、ゲート電極とゲート絶縁膜との界面に偏析不純物層17として偏析する。
- [0140] 同様に、PMOSFET用ゲートパターン(ポリシリコン)中の添加不純物元素(例えば、B)も、図7(b)に示すように、ゲート電極とゲート絶縁膜との界面に偏析不純物層18として偏析する。
- [0141] この後、熱処理においてシリサイド化反応をしなかった余剰のNi膜を、硫酸過酸化水素水溶液を用いたウェットエッチングにより除去した。
- [0142] 以上のような工程を経ることにより、図7(b)に示すように、第一ゲート電極13及び第二ゲート電極14の各々とゲート絶縁膜との界面に異なる添加元素が偏析したフルシリサイド電極をもつNMOSFET及びPMOSFETを形成した。
- [0143] このようにして作製したNMOSFETにおいて、XPS測定により、NiSiからなる第一

ゲート電極13とSiONからなるゲート絶縁膜との界面において不純物としてのフッ素(F)が偏析していることを確認した。

[0144] また、SiON膜からなるゲート絶縁膜中の酸素と結合した不純物としてのフッ素(F)の面密度をXPS測定結果に基づき計算するとともに、TEM-EELS法により測定した。この結果、XPS測定及びTEM-EELSに基づく不純物としてのフッ素(F)の面密度は $9 \times 10^{13} \text{ cm}^{-2}$ であり、第一ゲート電極13の実効仕事関数は4.05eVであった。

[0145] 図8は、実効仕事関数が4.05eVに変調されているNiSiから構成される第一ゲート電極13において、チャンネル不純物濃度を $4 \times 10^{17} \text{ cm}^{-3}$ とした場合のNMOSFETのドレイン電流のゲート電圧に対する依存性の実測値を示したグラフである。

[0146] 図5より、実効仕事関数が4.05eVのときに予想されるしきい値電圧(V_{th})は0.1Vであったが、図8に示した実測値によれば、NiSiをゲート電極としたNMOSFETのしきい値電圧(V_{th})は実効仕事関数から予想されたとおり、0.1Vとなっている。

[0147] 以上より、不純物を添加したNiSi電極とSiONゲート絶縁膜とを組み合わせることにより、優れたトランジスタ特性を得ることができたことが確認できた。

(第四の実施形態)

本発明の第四の実施形態は、上記の第三の実施形態とは別の、本発明の第二の実施形態に係るCMOSFETの製造方法に関する。

[0148] 図9(a)乃至図9(h)、図10(a)乃至図10(c)及び図11(a)乃至図11(c)は本発明の第四の実施形態に係るCMOSFETの製造方法における各工程を示した断面図である(ただし、図を単純化するため、図9(a)乃至図9(h)においては、NMOSFETの製造工程のみを表している)。

[0149] 本実施形態は、ゲートパターンのシリサイド化後にソース・ドレイン領域上にシリサイドを形成すると共に、NMOSFETのチャンネル領域にひずみを加え、電子移動度を向上させるためにシリコン窒化膜を形成する工程を含む点において、第三の実施形態とは異なっている。

[0150] 本実施形態においては、ソース・ドレイン領域形成までは図7(a)乃至図7(d)に示した第三の実施形態と同様の工程(図9(a)乃至図9(d))が実施されるので、これら

の説明を省略し、図9(e)に示す次工程から説明を開始する。

- [0151] なお、本実施形態においては、第一ゲート電極となるゲートパターン中には不純物として塩素(Cl)を添加した。
- [0152] 図9(e)に示すように、CVD(Chemical Vapor Deposition)法によって、全面にシリコン窒化膜15を形成した。このシリコン窒化膜15は、後に層間絶縁膜11をウェット処理で除去する際に、シリコン基板1、第一ゲート電極13、第二ゲート電極14及びゲート側壁7を保護する役割を有している。
- [0153] さらに、図9(f)に示すように、CVD(Chemical Vapor Deposition)法によって、シリコン酸化膜からなる層間絶縁膜11を全面に形成した。
- [0154] 次いで、図9(g)に示すように、層間絶縁膜11をCMP技術によって平坦化し、さらに、層間絶縁膜11のエッチバックを行うことにより、ゲートパターンの多結晶シリコン(poly-Si)膜4を露出させた。
- [0155] 次に、図9(h)に示すように、ゲートパターンの多結晶シリコン(poly-Si)膜4をシリサイド化するために、多結晶シリコン(poly-Si)膜4、ゲート側壁7及び層間絶縁膜11上に金属Mからなる金属層12を堆積した。
- [0156] 金属膜12としては、多結晶シリコン(poly-Si)膜4とシリサイドを形成可能な金属、例えば、ニッケル(Ni)、白金(Pt)、タンタル(Ta)、コバルト(Co)、チタン(Ti)、タングステン(W)またはそれらの合金などから選択することができる。
- [0157] 本実施形態においては、第三の実施形態とは異なり、ゲートパターンを構成する多結晶シリコン(poly-Si)膜4のシリサイド化時に、ソース/ドレイン領域8上にはまだシリサイド層が形成されていない。このため、ソース/ドレイン領域やチャネル領域に注入された不純物が再拡散しない範囲であれば、熱処理条件を自由に選択して、ゲートパターンのシリサイド化処理(熱処理)を行うことができる。このため、ゲート電極用材料として使用できるシリサイドの種類は第三の実施形態と比べて広範囲となる。
- [0158] 本実施形態においては、金属Mからなる金属層12としては、シリサイド化温度が比較的高いタングステン(W)を用いた。タングステン(W)のシリサイド化温度は摂氏800度以上である。
- [0159] 次に、ゲートパターンを構成する多結晶シリコン(ポリシリコン)と金属Mとを反応させ

て、金属Mのシリサイドを形成する(第一シリサイド化)。

[0160] 次に、熱処理(第一シリサイド化)時にシリサイド化反応をしなかった余剰のタンゲステン膜をウェットエッチングにより除去する。

[0161] このシリサイド化においてNMOSFET用ゲートパターン中の添加元素(Cl)は、図10(a)に示すように、ゲート電極13とゲート絶縁膜との界面に偏析不純物層17として偏析する。

[0162] また、PMOSFET用のゲートパターン中の添加元素(例えば、B)も、図10(a)に示すように、ゲート電極14とゲート絶縁膜との界面に偏析不純物層18として偏析する。

[0163] このようにして、図10(a)に示すNMOSFET及びPMOSFETにおいては、ゲート電極とゲート絶縁膜との界面に異なる不純物が偏析したフルシリサイド電極13及び14をそれぞれ形成した。

[0164] 次に、図10(b)に示すように、層間絶縁膜11をフッ化水素酸水溶液で、また、シリコン窒化膜15をリン酸で各々除去した。

[0165] この後、図10(c)に示すように、厚さ20nmの金属膜をスパッタリングにより全面に堆積し、シリサイド技術により、ゲートパターン、ゲート側壁7及び素子分離領域2をマスクとして、ソース・ドレイン領域8上にのみに厚さ約40nmのシリサイド層10を形成した(第三シリサイド化)。

[0166] このシリサイド層10はコンタクト抵抗を最も低くすることができるNiモノシリサイド(NiSi)から構成した。シリサイド層10を構成する材料としては、Niシリサイドの代わりに、CoシリサイドやTiシリサイドを用いることもできる。

[0167] 次に、図11(a)に示すように、CVD(Chemical Vapor Deposition)法によって、N型チャネルに引っ張り応力を加え、電子移動度を向上させるために、シリコン窒化膜16を全面に形成した。

[0168] さらに、図11(b)に示すように、レジスト膜を用いた通常のフォトリソグラフィープロセスとイオン注入とを組み合わせることにより、PMOSFET上のシリコン窒化膜16にイオン注入を行い、シリコン窒化膜16の応力を緩和した。

[0169] 次に、図11(c)に示すように、CVD(Chemical Vapor Deposition)法によって、全面にシリコン酸化膜からなる層間絶縁膜17を形成した。

- [0170] 最後に配線を形成し、ゲート電極とゲート絶縁膜との界面に第一の不純物が偏析したフルシリサイド電極13を有するNMOSFETと、ゲート電極とゲート絶縁膜との界面に第一の不純物とは異なる第二の不純物が偏析したフルシリサイド電極14を有するPMOSFETとを有するCMOSFETを形成した。
- [0171] このようにして作製したNMOSFETにおいて、XPS測定により、NiSi電極からなるゲート電極13とSiON膜からなるゲート絶縁膜との界面に塩素(Cl)が偏析していることを確認した。
- [0172] また、SiON膜からなるゲート絶縁膜中の酸素と結合した不純物(Cl)の面密度をXPS測定結果に基づき計算するとともに、TEM-EELS法により測定した。
- [0173] この結果、XPS測定及びTEM-EELSに基づく不純物の面密度は $1.3 \times 10^{14} \text{ cm}^{-2}$ であり、フルシリサイド電極13の実効仕事関数を4.05eVとすることができた。
- [0174] さらに、本実施形態におけるNMOSFETにおいて、電子移動度はpoly-Si/SiO₂の組み合わせによるトランジスタと同等の値を得ることができることを確認した。
- [0175] 以上より、本実施形態において示した不純物含有NiSi電極とSiONゲート絶縁膜とを組み合わせることにより、優れたトランジスタ特性を得ることができた。
- [0176] 以上、本発明に係る実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内において、組成、材料及び構造を変更することが可能である。
- [0177] 例えば、ゲートパターンをシリサイド化するための金属Mは、ソース・ドレイン領域上のコンタクト領域に形成されている金属シリサイドの抵抗値を増大させない温度でシリサイド化が可能であり、かつ、その温度でフルシリサイドゲート電極を形成可能なものであれば良い。このため、金属MはNiに限定されるものではなく、タンタル(Ta)、白金(Pt)、コバルト(Co)、チタン(Ti)、タングステン(W)などを用いることが可能である。
- [0178] また、ゲート電極をシリサイド化するための金属Mと、ソース・ドレイン領域のシリサイド化に用いる金属元素との組合せは、第三の実施形態においても述べたように、ソース・ドレイン領域を形成し、そのソース・ドレイン領域上にシリサイドを形成する場合には(第二シリサイド化)、ソース・ドレイン領域上のシリサイドの変質が起こらない温度

範囲で多結晶シリコン (poly-Si) のフルシリサイド化を行うことができるという条件を満たす必要がある。

[0179] ここで、低温でのシリサイド化が困難な金属であっても、長時間の熱処理を行うことにより、シリサイド化が可能となる。このため、ゲート電極を構成するシリサイド金属元素及びソース・ドレイン領域上のシリサイド金属元素の組合せに応じて、熱処理温度や熱処理時間その他の条件を調整することにより、ゲート電極を完全にシリサイド化することが可能となる。

[0180] また、例えば、ゲート電極上の多結晶シリコン (poly-Si) をアモルファスSiに置き換えることにより、あるいは、シリサイド化する金属の成膜温度を調整することにより、シリサイド化温度を低下させることが可能であり、これらの技術を必要に応じて併用することにより好適な組合せを実現することができる。

[0181] また、ゲートリーク電流を低減したい場合には、絶縁膜としてHfSiONなどのいわゆる高誘電率ゲート絶縁膜を用いることができる。この場合、ゲート絶縁膜としてシリコン酸化膜又はシリコン酸窒化膜を用いた場合に比べて、しきい値電圧が低下する程度は減少する。

[0182] しかしながら、ゲート絶縁膜を多層構造とし、ゲート絶縁膜のゲート電極と接する部分にシリコン酸化膜層、シリコン酸窒化膜層又はシリコン窒化膜層を挿入し、この下層としてHfSiON層を設けることにより、実効仕事関数を小さくすることができる。この結果、NMOSFETにおいて低いしきい値電圧を実現することができる。

図面の簡単な説明

[0183] [図1]本発明の第一の実施形態に係るNMOSFETの構造を表す断面図である。

[図2]本発明に係るNMOSFETに対してXPS測定を行う状態を示す断面図である。

[図3]本発明に係るNMOSFETに対するXPS測定の結果を示すグラフである。

[図4]本発明に係るNMOSFETにおけるゲート電極の実効仕事関数と、ゲート電極とゲート絶縁膜との界面における不純物の面密度との関係を示すグラフである。

[図5]本発明に係るNMOSFETにおけるチャネル不純物濃度とそのチャネル不純物濃度のときの実効仕事関数から予想されるNMOSFETのしきい値電圧 (V_{th}) との関係を表したグラフである。

[図6]図6(a)乃至図6(h)は本発明の第三の実施形態に係るCMOSFETの製造方法における各工程を示した断面図である

[図7]図7(a)及び図7(b)は本発明の第三の実施形態に係るCMOSFETの製造方法における各工程を示した断面図である。

[図8]本発明のNMOSFETのドレイン電流－ゲート電圧特性を示すグラフである。

[図9]図9(a)乃至図9(h)は本発明の第四の実施形態に係るCMOSFETの製造方法における各工程を示した断面図である。

[図10]図10(a)乃至図10(c)は本発明の第四の実施形態に係るCMOSFETの製造方法における各工程を示した断面図である。

[図11]図11(a)乃至図11(c)は本発明の第四の実施形態に係るCMOSFETの製造方法における各工程を示した断面図である。

[図12]図12(a)は本発明の第二の実施形態に係るCMOSFETの上面図、図12(b)は図12(a)のA－A'線における断面図、図12(c)は図12(a)のB－B'線における断面図と図12(a)のC－C'線における断面図とを組み合わせたものである。

符号の説明

- [0184] 1・・・シリコン基板
2・・・素子分離領域
3・・・ゲート絶縁膜
4・・・多結晶シリコン(poly-Si)膜
5・・・シリコン酸化膜
6・・・エクステンション拡散層領域
7・・・ゲート側壁
8・・・ソース・ドレイン拡散層
9・・・金属膜
10・・・シリサイド層
11・・・層間絶縁膜
12・・・第1金属膜
13・・・N型フルシリサイド電極(第一ゲート電極)

- 14・・・P型フルシリサイド電極(第二ゲート電極)
- 15、16・・・シリコン窒化膜
- 17・・・NMOSFETの不純物元素層
- 18・・・PMOSFETの不純物元素層
- 21・・・NMOSFET
- 22・・・PMOSFET
- 24b・・・第一ゲート電極
- 24a・・・第二ゲート電極
- 25a、25b・・・ソース／ドレイン領域
- 26・・・P型領域
- 27・・・N型領域
- 35・・・ゲート側壁

請求の範囲

- [1] 半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた第一ゲート電極と、を有するNMOSFETであって、
前記第一ゲート電極が、金属のシリサイドと、不純物として硫黄(S)、フッ素(F)及び塩素(Cl)からなる群から選択された少なくとも一種の元素と、からなり、
前記不純物は、少なくとも前記第一ゲート電極と前記ゲート絶縁膜との界面に存在することを特徴とするNMOSFET。
- [2] 前記ゲート絶縁膜が酸化物からなることを特徴とする請求項1に記載のNMOSFET。
- [3] 前記ゲート絶縁膜がシリコン酸化物又はシリコン酸窒化物からなることを特徴とする請求項1に記載のNMOSFET。
- [4] 前記ゲート絶縁膜はHfSiONからなることを特徴とする請求項1に記載のNMOSFET。
- [5] 前記ゲート絶縁膜が多層からなり、
前記ゲート絶縁膜は、
前記第一ゲート電極と接して設けられたシリコン酸化物層、シリコン酸窒化物層又はシリコン窒化物層からなる第一層と、
前記第一層の下方に形成され、HfSiONからなる第二層と、
を有することを特徴とする請求項1に記載のNMOSFET。
- [6] 前記第一ゲート電極の前記ゲート絶縁膜と接する面における1価のフッ素(F)の面密度が $9 \times 10^{13} \text{cm}^{-2}$ 以上であることを特徴とする請求項1乃至5の何れか一項に記載のNMOSFET。
- [7] 前記第一ゲート電極の前記ゲート絶縁膜と接する面における1価の硫黄(S)の面密度が $1.1 \times 10^{14} \text{cm}^{-2}$ 以上であることを特徴とする請求項1乃至5の何れか一項に記載のNMOSFET。
- [8] 前記第一ゲート電極の前記ゲート絶縁膜と接する面における1価の塩素(Cl)の面密度が $1.3 \times 10^{14} \text{cm}^{-2}$ 以上であることを特徴とする請求項1乃至5の何れか一項に記載のNMOSFET。

- [9] 前記金属は摂氏350乃至500度の範囲内においてシリサイド化する金属であることを特徴とする請求項1乃至8の何れか一項に記載のNMOSFET。
- [10] 前記金属は、ニッケル(Ni)、白金(Pt)、タンタル(Ta)、コバルト(Co)、チタン(Ti)及びタングステン(W)からなる群から選択された少なくとも一つであることを特徴とする請求項1乃至9の何れか一項に記載のNMOSFET。
- [11] 前記金属がニッケル(Ni)であることを特徴とする請求項1乃至9の何れか一項に記載のNMOSFET。
- [12] 前記不純物は前記半導体基板の法線方向において前記界面から上方に向かって分布していることを特徴とする請求項1乃至11の何れか一項に記載のNMOSFET。
- [13] 請求項1乃至12の何れか一項に記載のNMOSFETと、
半導体基板と、前記半導体基板上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられた第二ゲート電極と、を有するPMOSFETと、
を備えるCMOSFETであって、
前記NMOSFETのゲート長方向と前記PMOSFETのゲート長方向とが平行となるように配置され、
前記第二ゲート電極は、前記金属のシリサイドと、不純物と、を含み、
前記第一ゲート電極と前記第二ゲート電極とは電氣的に連通して、前記NMOSFETの前記ゲート長方向と直交する方向に延在するライン状電極を構成することを特徴とするCMOSFET。
- [14] 半導体基板上に絶縁膜層を形成する第一の工程と、
前記絶縁膜層上に多結晶シリコン層を形成する第二の工程と、
前記多結晶シリコン層に、不純物として、硫黄(S)、フッ素(F)及び塩素(Cl)からなる群から選択された少なくとも一種の元素を注入し、前記多結晶シリコン層を不純物含有多結晶シリコン層とする第三の工程と、
前記絶縁膜層及び前記不純物含有多結晶シリコン層をゲートパターンにパターニングする第四の工程と、
前記ゲートパターン上に金属の層を堆積する第五の工程と、

熱処理により、前記金属と前記不純物含有多結晶シリコン層中の不純物含有多結晶シリコンとを反応させ、不純物を含有する金属のシリサイドを形成する第六の工程と、

前記第六の工程において前記不純物含有多結晶シリコンと反応しなかった前記金属を除去する第七の工程と、

を有するNMOSFETの製造方法。

- [15] ソース／ドレイン領域を形成する第八の工程と、
前記ソース／ドレイン領域上にシリサイドを形成する第九の工程と、をさらに備え、
前記第八及び第九の工程は前記第六の工程よりも前に実施され、
前記第六の工程において、前記ソース／ドレイン領域上に形成された前記シリサイドの電気抵抗値がより高くない温度で前記熱処理を行うことを特徴とする請求項14に記載のNMOSFETの製造方法。

- [16] 前記第六の工程の前にソース／ドレイン領域を形成する第十の工程と、
前記第六の工程の後に前記ソース／ドレイン領域上にシリサイドを形成する第十一の工程と、
を有することを特徴とする請求項14に記載のNMOSFETの製造方法。

- [17] 前記第三の工程において、前記多結晶シリコン層への前記不純物の注入がイオン注入法により行われることを特徴とする請求項14乃至16の何れか1項に記載のNMOSFETの製造方法。

- [18] NMOSFETとPMOSFETとを有するCMOSFETの製造方法であって、
半導体基板上に絶縁膜層を形成する第一の工程と、
前記絶縁膜層上に多結晶シリコン層を形成する第二の工程と、
前記NMOSFETの形成領域において、前記多結晶シリコン層に、不純物として、硫黄(S)、フッ素(F)及び塩素(Cl)からなる群から選択された少なくとも一種の元素を注入し、前記多結晶シリコン層を不純物含有多結晶シリコン層とする第三の工程と、
、
前記PMOSFETの形成領域において、前記多結晶シリコン層に、P型不純物を注入し、前記多結晶シリコン層を不純物含有多結晶シリコン層とする第四の工程と、

前記絶縁膜層及び前記不純物含有多結晶シリコン層をゲートパターンにパターンニングする第五の工程と、

前記ゲートパターン上に金属の層を堆積する第六の工程と、

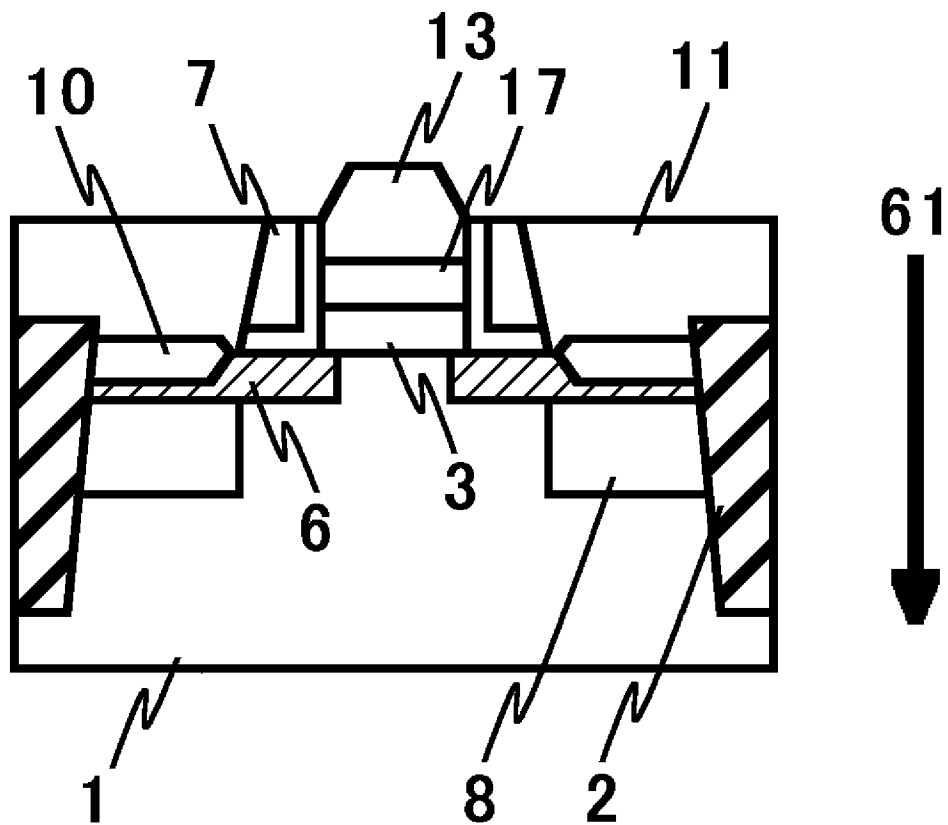
熱処理により、前記金属と前記不純物含有多結晶シリコン層中の不純物含有多結晶シリコンとを反応させ、不純物を含有する金属のシリサイドを形成する第七の工程と、

前記第七の工程において前記不純物含有多結晶シリコンと反応しなかった前記金属を除去する第八の工程と、

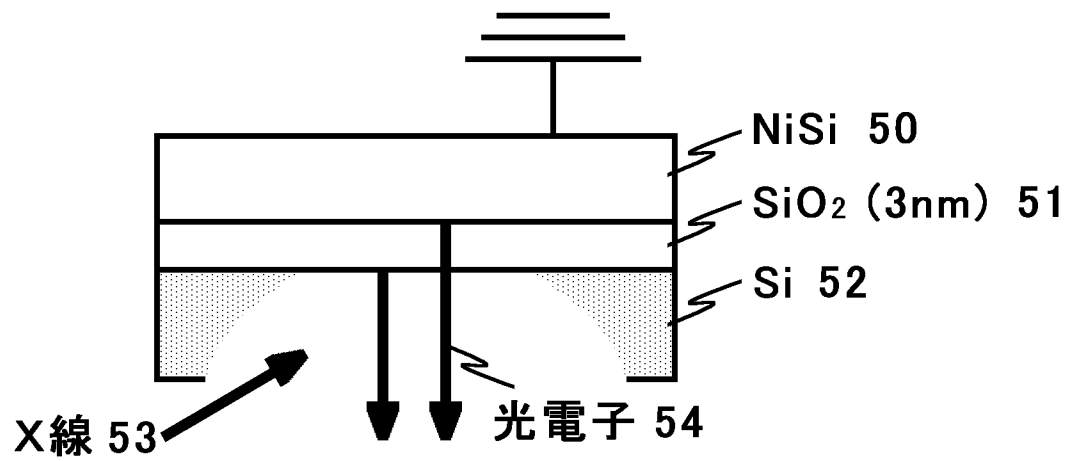
を有するCMOSFETの製造方法。

- [19] 前記NMOSFETの第一ゲート電極と前記PMOSFETの第二ゲート電極とは、前記NMOSFETのゲート長方向と前記PMOSFETのゲート長方向とが平行となり、かつ、前記第一ゲート電極と前記第二ゲート電極とが電氣的に連通して、前記NMOSFETの前記ゲート長方向と直交する方向に延在するライン状電極を構成するように形成されることを特徴とする請求項18に記載のCMOSFETの製造方法。

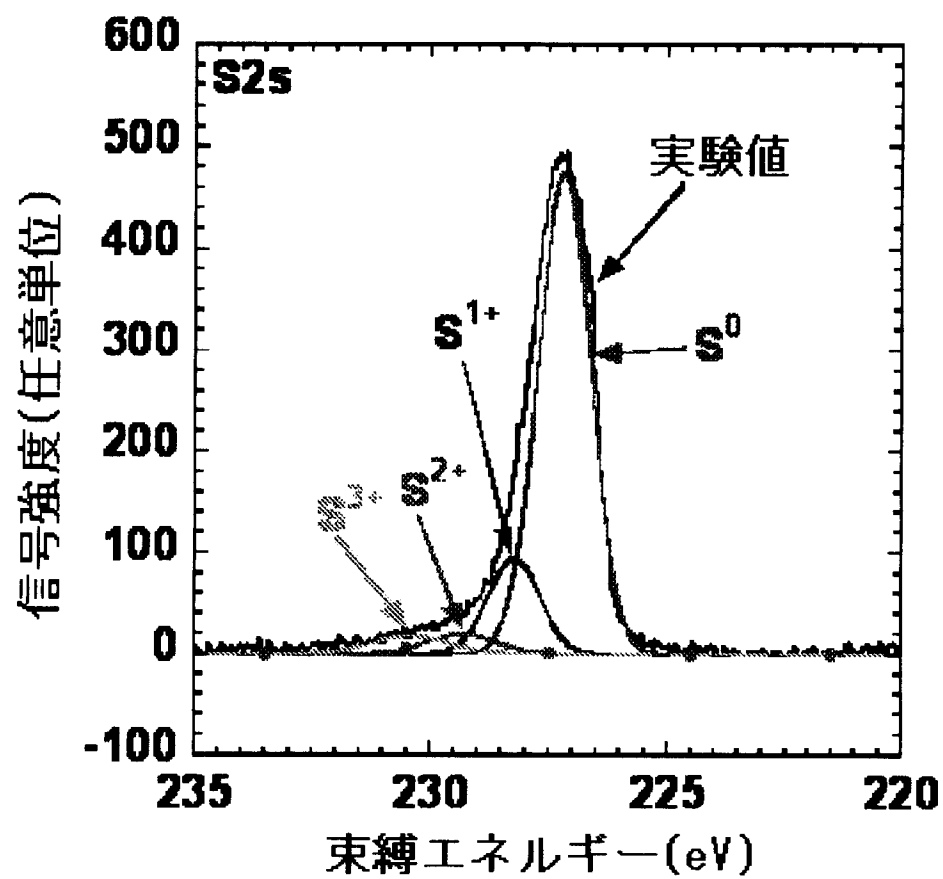
[図1]



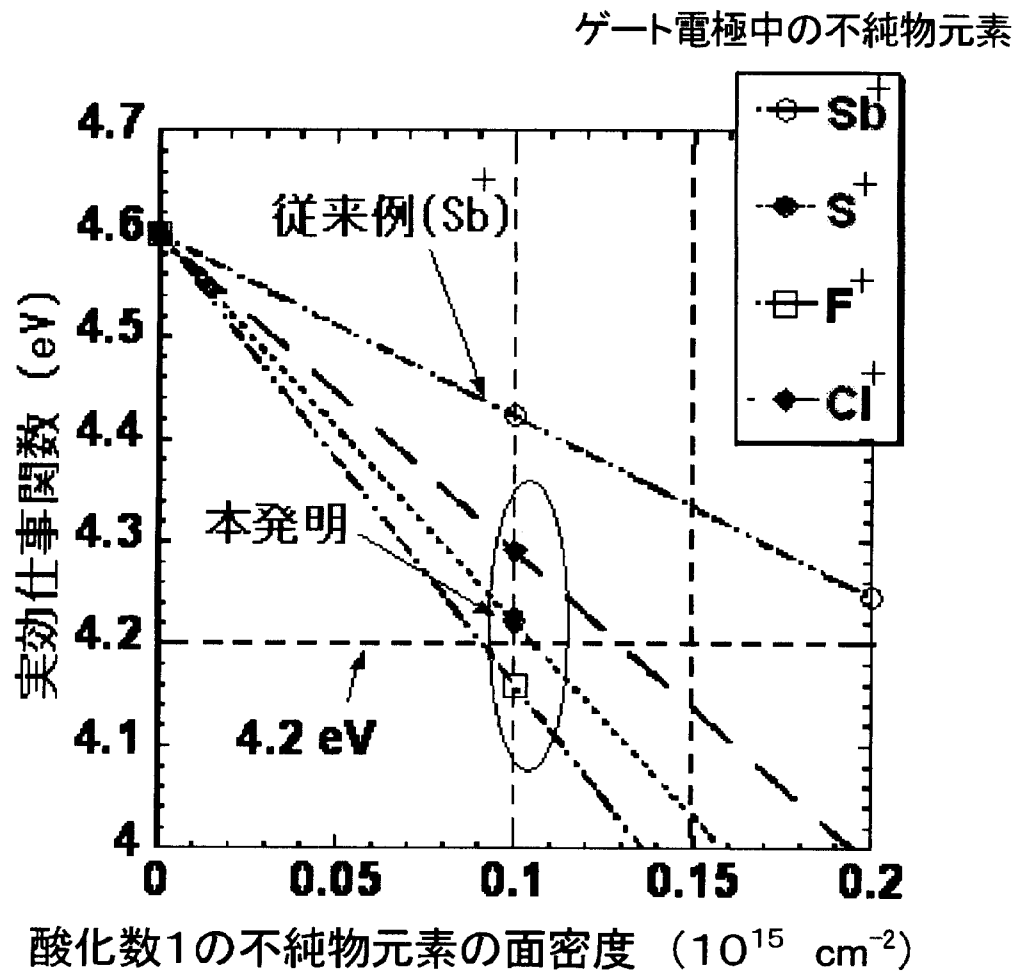
[図2]



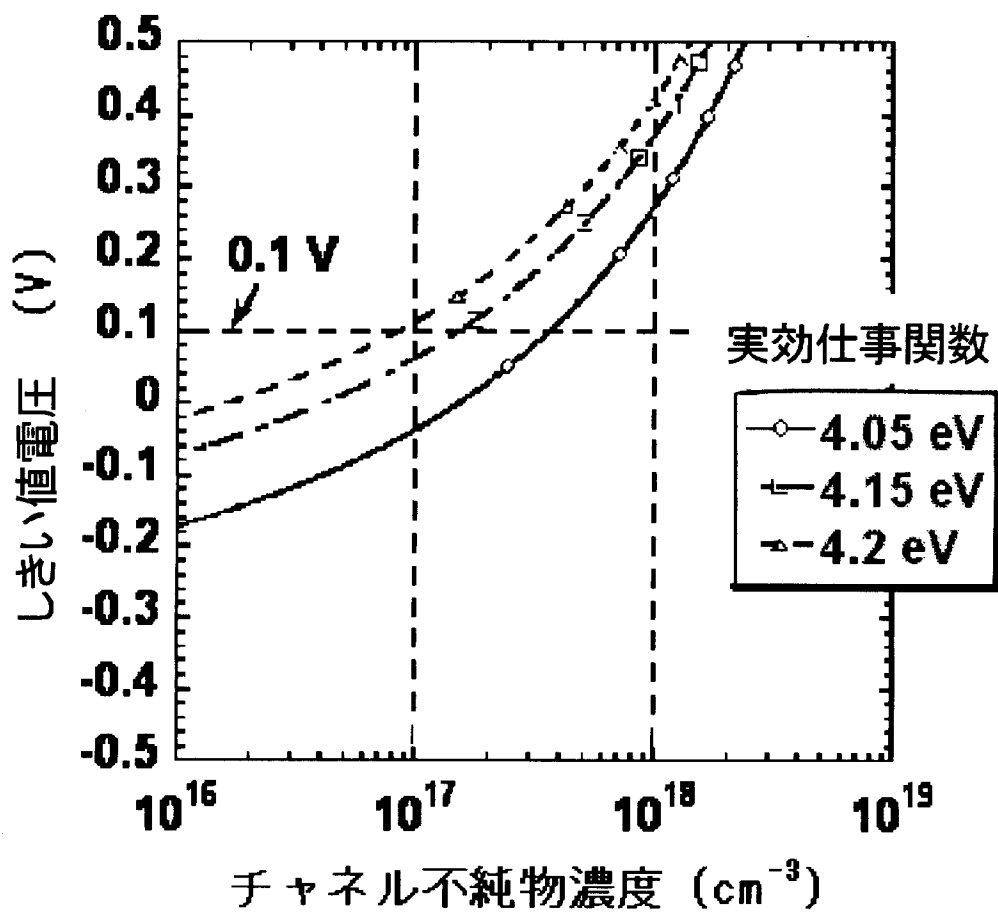
[図3]



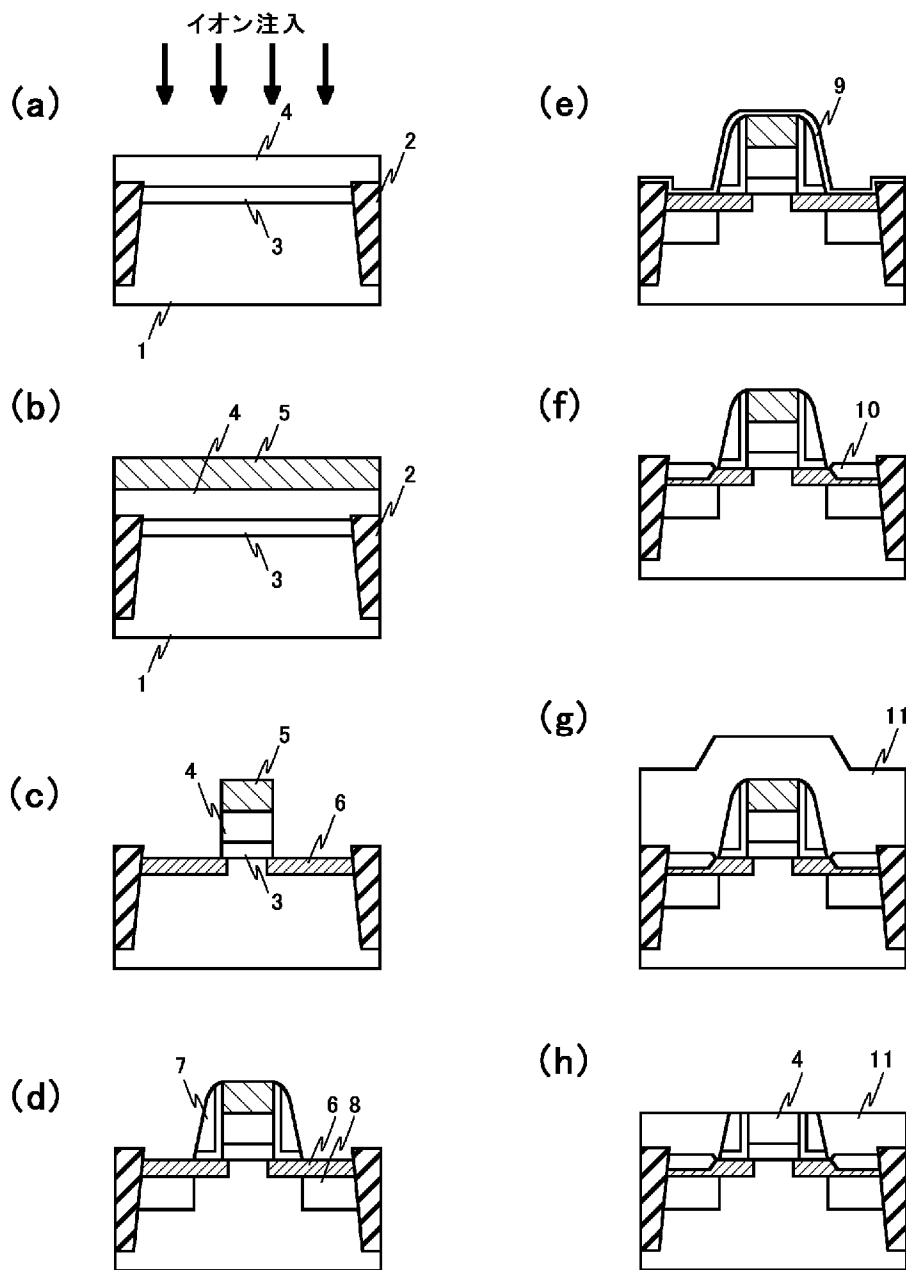
[図4]



[図5]

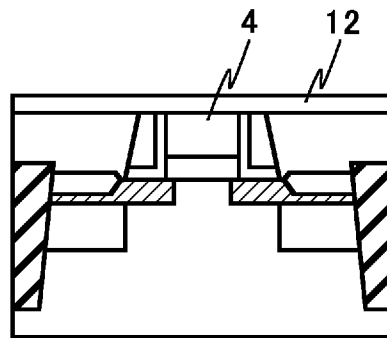


[図6]



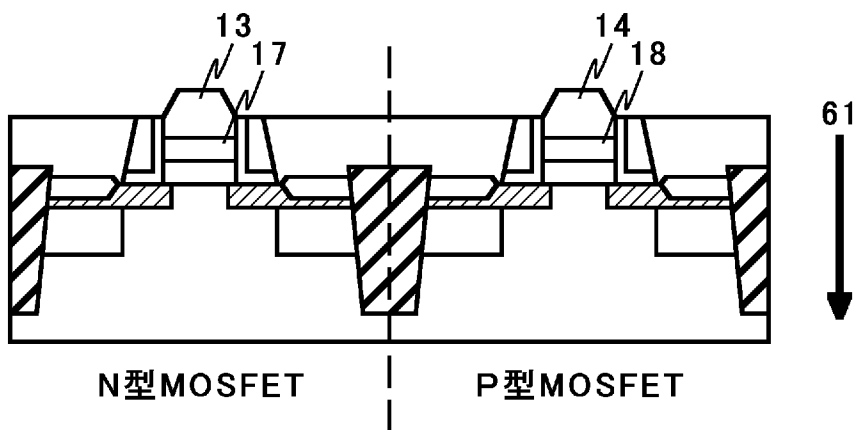
[図7]

(a)



N型MOSFET

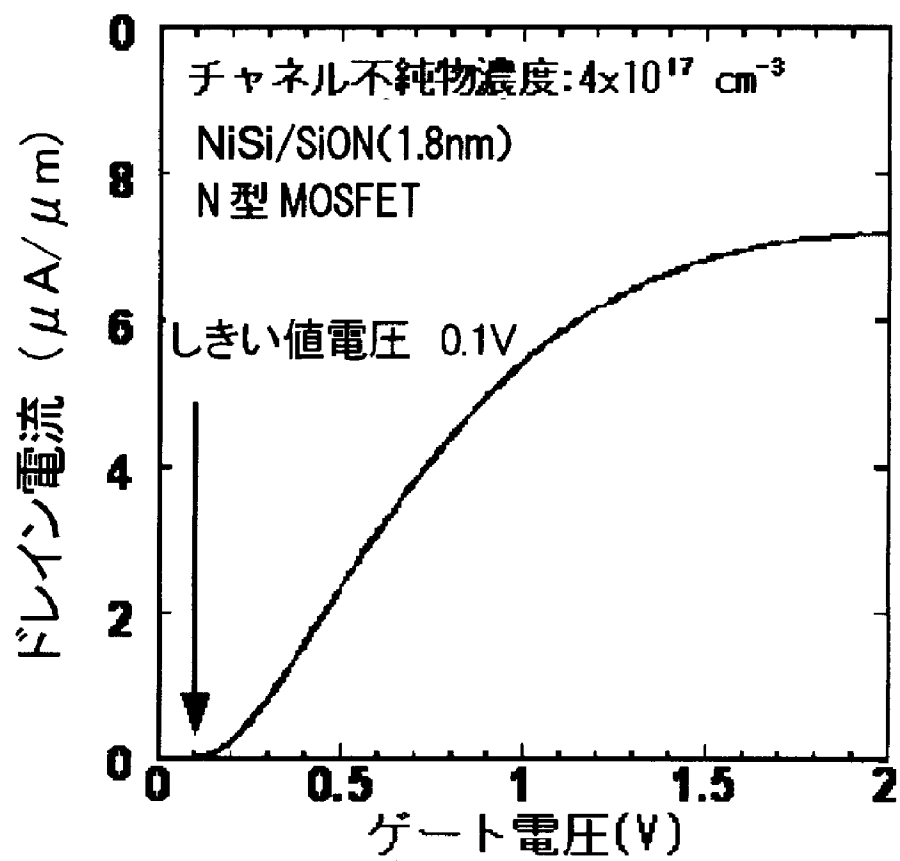
(b)



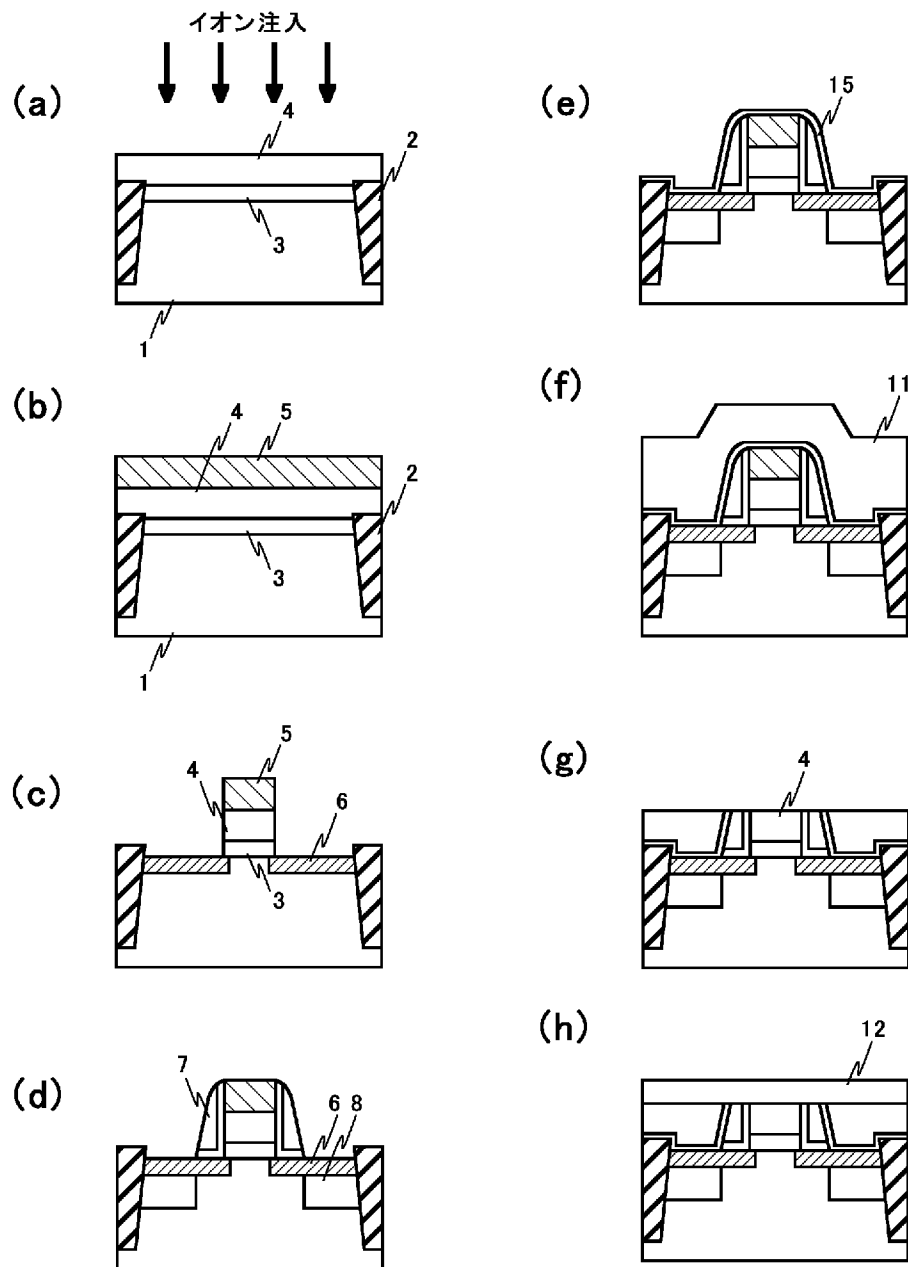
N型MOSFET

P型MOSFET

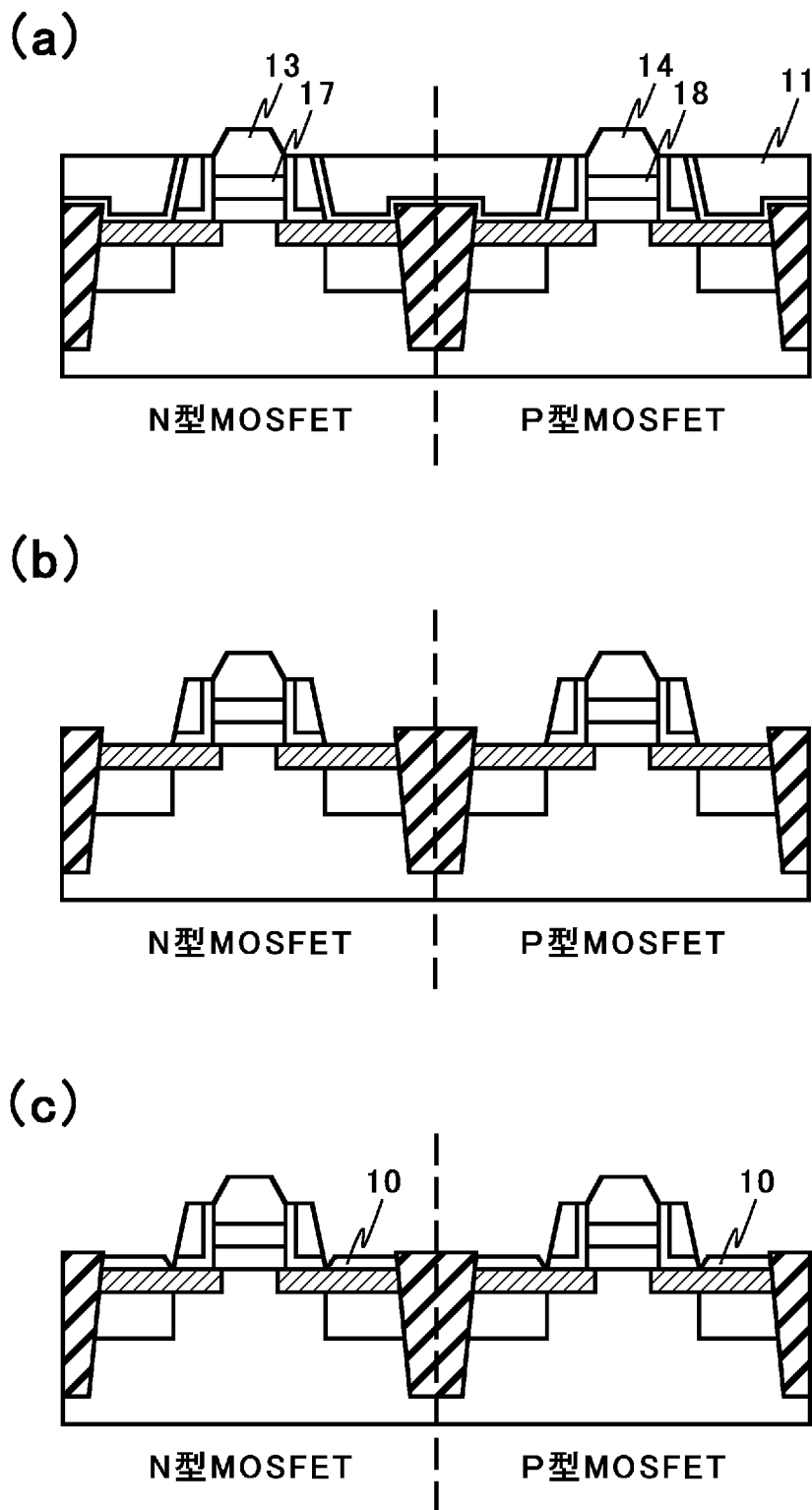
[図8]



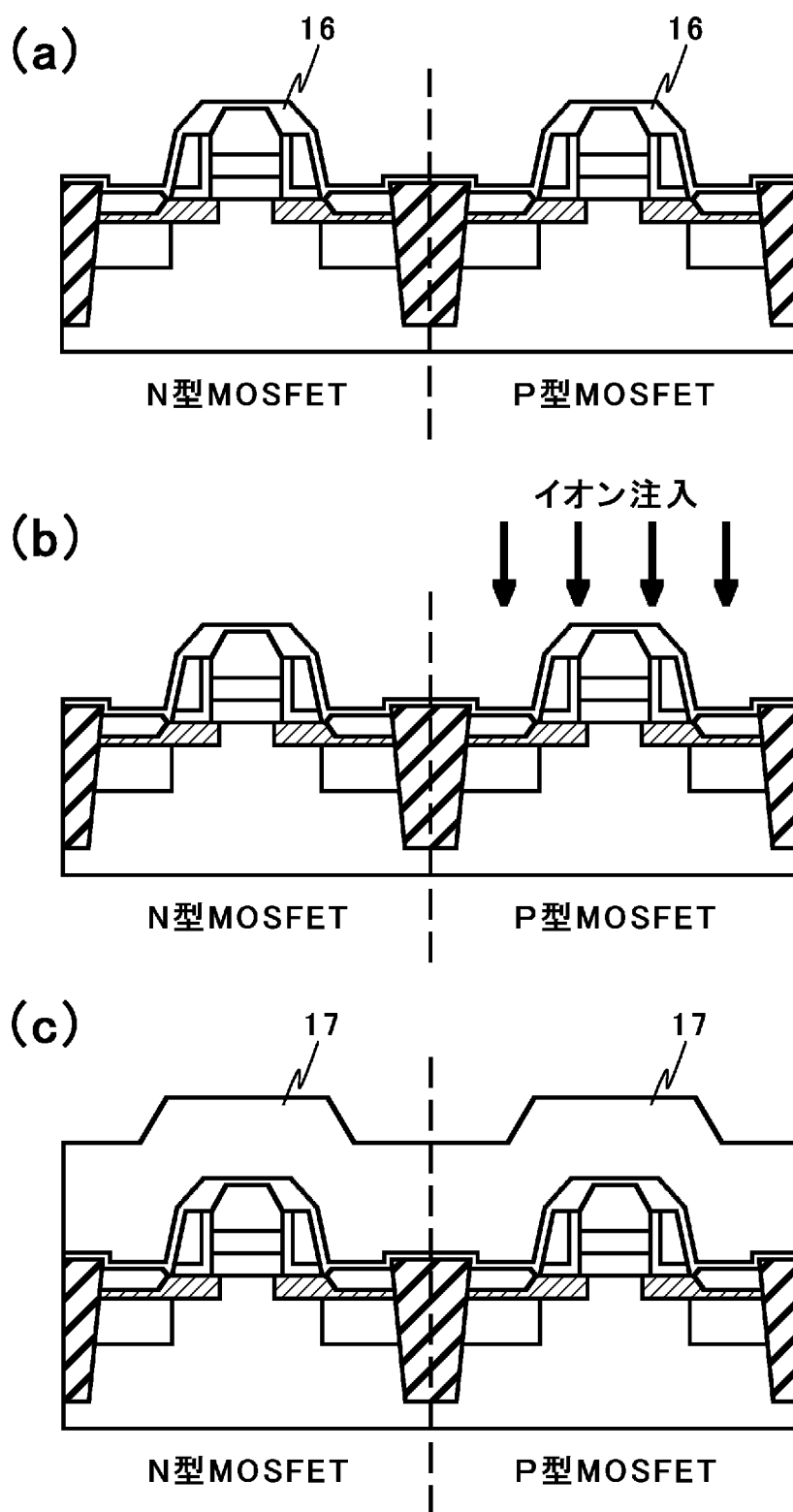
[図9]



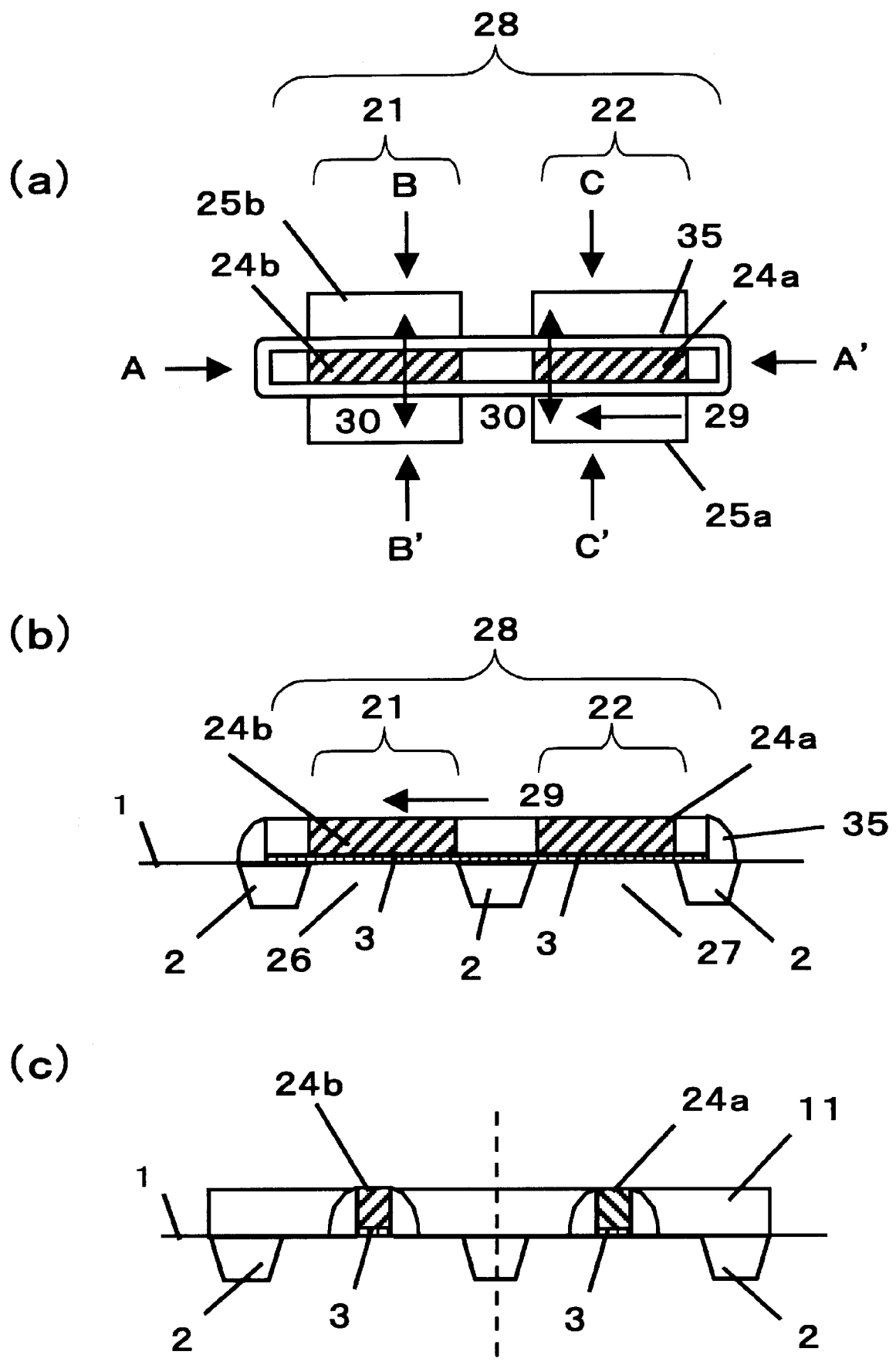
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/325790

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i,
H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/088(2006.01)i,
H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/28, H01L21/336, H01L21/8234, H01L21/8238, H01L27/088,
H01L27/092, H01L29/423, H01L29/49

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-259956 A (Toshiba Corp.), 22 September, 2005 (22.09.05),	1-6, 9-12, 14-17
Y	Par. Nos. [0043] to [0064], [0091]	13
A	& US 2005/0202663 A1	7, 8
Y	JP 2005-228868 A (Sony Corp.), 25 August, 2005 (25.08.05), Fig. 8 (Family: none)	13, 19
X	JP 2005-158998 A (Toshiba Corp.),	1, 2, 4, 6, 9-12
Y	16 June, 2005 (16.06.05),	13
A	Par. Nos. [0021] to [0025] & US 2005/158932 A1	7, 8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
26 March, 2007 (26.03.07)

Date of mailing of the international search report
10 April, 2007 (10.04.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/325790

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-273350 A (NEC Corp.), 26 September, 2003 (26.09.03), Full text; all drawings & WO 2003/079444 A1 & AU 2003211857 A1 & US 2005/0110098 A1 & CN 1643690 A	1-6, 9-19 7, 8
Y A	Jakub Kedzierski et al., Threshold Voltage Control in NiSi-Gated MOSFETs Through SIIS, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.52, NO.1, JANUARY 2005, PP.39-46	1-6, 9-19 7, 8
A	US 2005/0064636 A1 (Cyrill Cabral JR.), 24 March, 2005 (24.03.05), Full text; all drawings & WO 2005/029579 A1 & EP 1668695 A1 & KR 2006060723 A	1-19
A	JP 2004-140343 A (Toshiba Corp.), 13 May, 2004 (13.05.04), Full text; all drawings & EP 1403930 A2 & US 2004/0061181 A1 & KR 2004027432 A & CN 1497736 A & TW 200417028 A & US 2006/0160289 A1	1-19
A	JP 2005-294360 A (NEC Electronics Corp.), 20 October, 2005 (20.10.05), Full text; all drawings & US 2005/0250326 A1 & CN 1677627 A	1-19
A	JP 2005-317645 A (Sanyo Electric Co., Ltd.), 10 November, 2005 (10.11.05), Full text; all drawings (Family: none)	1-19

A. 発明の属する分野の分類（国際特許分類（I P C））			
Int.Cl. H01L29/78(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L21/8238(2006.01)i, H01L27/088(2006.01)i, H01L27/092(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i			
B. 調査を行った分野			
調査を行った最小限資料（国際特許分類（I P C））			
Int.Cl. H01L29/78, H01L21/28, H01L21/336, H01L21/8234, H01L21/8238, H01L27/088, H01L27/092, H01L29/423, H01L29/49			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X	JP 2005-259956 A(株式会社東芝) 2005.09.22 【0043】 - 【0064】 , 【0091】	1-6, 9-12, 14-17	
Y	&US 2005/0202663 A1	13	
A		7, 8	
Y	JP 2005-228868 A(ソニー株式会社) 2005.08.25 図8(ファミリーなし)	13, 19	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 26.03.2007		国際調査報告の発送日 10.04.2007	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 松嶋 秀忠	4M 9836
		電話番号 03-3581-1101 内線 3462	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2005-158998 A(株式会社東芝) 2005. 06. 16 【0021】 - 【0025】 &US 2005/158932 A1	1, 2, 4, 6, 9-12 13 7, 8
Y A	JP 2003-273350 A(日本電気株式会社) 2003. 09. 26 全文, 全図 &WO 2003/079444 A1 &AU 2003211857 A1 &US 2005/0110098 A1 &CN 1643690 A	1-6, 9-19 7, 8
Y A	Jakub Kedzierski et al., Threshold Voltage Control in NiSi-Gated MOSFETs Through SIIS, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 52, NO. 1, JANUARY 2005, PP. 39-46	1-6, 9-19 7, 8
A	US 2005/0064636 A1(Cyrill Cabral JR.) 2005. 03. 24 全文, 全図 &WO 2005/029579 A1 &EP 1668695 A1 &KR 2006060723 A	1-19
A	JP 2004-140343 A(株式会社東芝) 2004. 05. 13 全文, 全図 &EP 1403930 A2 &US 2004/0061181 A1 &KR 2004027432 A &CN 1497736 A &TW 200417028 A &US 2006/0160289 A1	1-19
A	JP 2005-294360 A(N E Cエレクトロニクス株式会社) 2005. 10. 20 全文, 全図 &US 2005/0250326 A1 &CN 1677627 A	1-19
A	JP 2005-317645 A(三洋電機株式会社) 2005. 11. 10 全文, 全図(ファミリーなし)	1-19