



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년09월10일

(11) 등록번호 10-1552279

(24) 등록일자 2015년09월04일

(51) 국제특허분류(Int. Cl.)

G11B 21/02 (2006.01)

(21) 출원번호 10-2014-0054371

(22) 출원일자 2014년05월07일

심사청구일자 2014년05월07일

(65) 공개번호 10-2014-0131289

(43) 공개일자 2014년11월12일

(30) 우선권주장

13/886,780 2013년05월03일 미국(US)

(56) 선행기술조사문현

JP2009231405 A\*

JP2011192887 A\*

JP2000269434 A\*

JP10301040 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

시게이트 테크놀로지 엘엘씨

미국 캘리포니아 95104 쿠퍼티노 사우쓰 디 엔자  
블러바드 10200

(72) 발명자

세티아디, 데디

미국 55436 미네소타 에디나 제프 플레이스 5841  
티안, 웨이

미국 55347 미네소타 에덴 프레리 마셜 로드 9498

김, 용필

미국 55347 미네소타 에덴 프레리 빅토리아 드라  
이브 9151

(74) 대리인

특허법인 남앤드남

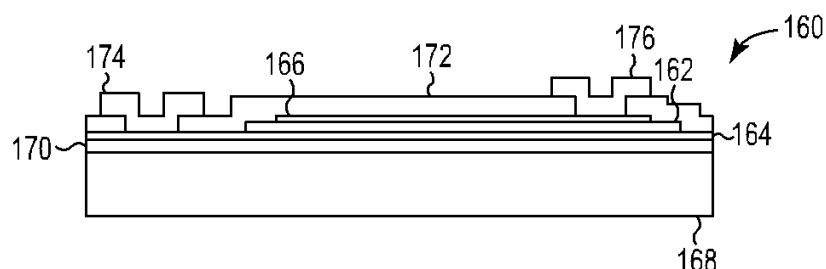
전체 청구항 수 : 총 20 항

심사관 : 임동재

(54) 발명의 명칭 박막 P Z T 구조의 접착력 강화

**(57) 요약**

예를 들어 디스크 드라이브를 위한, 마이크로액추에이터는, 기판, 기판상의 샌드위치 구조, 및 기판과 샌드위치 구조 위의 패시베이션층을 포함한다. 샌드위치 구조는 귀금속으로 형성된 하부 전극, 압전층, 및 귀금속으로 형성된 상부 전극을 갖는다. 마이크로액추에이터는 추가로, 하부 전극과 패시베이션층 사이에 제공되는 하부 접착층, 및 상부 전극과 패시베이션층 사이에 제공되는 상부 접착층 중 하나 또는 둘 다를 갖는다. 즉, 마이크로액추에이터는 단지 하부 접착층만을 가질 수도 있고, 상부 접착층만을 가질 수도 있고, 또는 하부 접착층과 상부 접착층 모두를 가질 수도 있다.

**대표도 - 도4**

## 명세서

### 청구범위

#### 청구항 1

마이크로액추에이터로서,

기판;

상기 기판 상의 샌드위치 구조(sandwich structure) –상기 샌드위치 구조는 귀금속을 포함하는 하부 전극, 압전층, 및 귀금속을 포함하는 상부 전극으로 이루어짐–; 및

상기 기판과 상기 샌드위치 구조 위의 패시베이션층

을 포함하며, 상기 마이크로액추에이터는,

상기 하부 전극과 상기 패시베이션층 사이에 제공되는 하부 접착층; 및

상기 상부 전극과 상기 패시베이션층 사이에 제공되는 상부 접착층

중 하나 또는 둘 다를 더 포함하는, 마이크로액추에이터.

#### 청구항 2

제 1 항에 있어서,

상기 하부 접착층 및 상기 상부 접착층 둘 다를 포함하는, 마이크로액추에이터.

#### 청구항 3

제 1 항에 있어서,

상기 패시베이션층은 테트라-에틸-오르쏘-실리케이트(tetra-ethyl-ortho-silicate)를 포함하는, 마이크로액추에이터.

#### 청구항 4

제 1 항에 있어서,

상기 패시베이션층은 1 마이크로미터 미만의 두께를 갖는, 마이크로액추에이터.

#### 청구항 5

제 1 항에 있어서,

상기 하부 전극은 백금을 포함하며 상기 상부 전극은 루테늄 또는 백금을 포함하는, 마이크로액추에이터.

#### 청구항 6

제 1 항에 있어서,

상기 접착층들 중 하나 또는 둘 다는 티타늄, 탄탈 또는 크롬을 포함하는, 마이크로액추에이터.

#### 청구항 7

제 6 항에 있어서,

상기 접착층들은 5 내지 15 nm의 두께를 갖는, 마이크로액추에이터.

#### 청구항 8

제 1 항에 있어서,

상기 기판과 상기 샌드위치 구조 사이에 유전체층을 더 포함하는, 마이크로액추에이터.

#### 청구항 9

마이크로액추에이터로서,  
실리콘 기판;  
상기 기판상의 하부 전극;  
상기 하부 전극의 제 1 셱션 상에 있으면서 상기 제 1 셱션과 접촉하는 압전층;  
상기 압전층 상에 있으면서 상기 압전층과 접촉하는 상부 전극;  
상기 하부 전극의 제 2 셱션 상의 하부 접착층;  
상기 상부 전극 상의 상부 접착층; 및  
상기 하부 접착층과 상기 상부 접착층 위의 패시베이션층  
을 포함하는, 마이크로액추에이터.

#### 청구항 10

제 9 항에 있어서,  
상기 기판상에 유전체층을 더 포함하며, 상기 하부 전극은 상기 유전체층 상에 있는, 마이크로액추에이터.

#### 청구항 11

제 9 항에 있어서,  
상기 하부 전극 및 상기 상부 전극은 각각 귀금속을 포함하는, 마이크로액추에이터.

#### 청구항 12

제 11 항에 있어서,  
상기 하부 전극은 백금을 포함하며 상기 상부 전극은 루테늄 또는 백금을 포함하는, 마이크로액추에이터.

#### 청구항 13

제 9 항에 있어서,  
상기 하부 전극 및 상기 상부 전극은 각각, 개별적으로, 백금, 이리듐, 루테늄, 로듐, 이들의 합금들, 스트론튬 티타늄 산화물, 또는 란타늄 니켈 산화물을 포함하는, 마이크로액추에이터.

#### 청구항 14

제 9 항에 있어서,  
상기 패시베이션층은 테트라-에틸-오르쏘-실리케이트(tetra-ethyl-ortho-silicate)를 포함하는, 마이크로액추에이터.

#### 청구항 15

제 14 항에 있어서,  
상기 패시베이션층은 1 마이크로미터 미만의 두께를 갖는, 마이크로액추에이터.

#### 청구항 16

제 9 항에 있어서,  
상기 접착층들 중 하나 또는 둘 다는 티타늄, 탄탈 또는 크롬을 포함하는, 마이크로액추에이터.

**청구항 17**

제 9 항에 있어서,

상기 접착층들은 5 내지 15nm의 두께를 갖는, 마이크로액추에이터.

**청구항 18**

디스크 드라이브로서,

마이크로액추에이터, 서스펜션 어셈블리, 및 헤드 짐벌 어셈블리를 포함하며,

상기 마이크로액추에이터는, 실리콘 기판, 상기 기판상에 있으면서 백금, 이리듐, 루테늄 또는 로듐 중 하나를 포함하는 하부 전극, 상기 하부 전극의 제 1 섹션 상에 있으면서 상기 제 1 섹션과 접촉하는 압전층, 상기 압전층 상에 있으면서 상기 압전층과 접촉하며 백금, 이리듐, 루테늄 또는 로듐 중 하나를 포함하는 상부 전극, 상기 하부 전극의 제 2 섹션 상의 하부 접착층, 상기 상부 전극상의 상부 접착층, 및 상기 하부 접착층과 상기 상부 접착층 위의 유전체 패시베이션층을 포함하는, 디스크 드라이브.

**청구항 19**

제 18 항에 있어서,

상기 패시베이션층은 테트라-에틸-오르쏘-실리케이트(tetra-ethyl-ortho-silicate)를 포함하는, 디스크 드라이브.

**청구항 20**

제 18 항에 있어서,

상기 접착층들 중 하나 또는 둘 다는 티타늄, 탄탈 또는 크롬을 포함하는, 디스크 드라이브.

**발명의 설명****배경기술**

[0001]

하드 디스크 드라이브 시스템들(HDD들)은 통상적으로, 하나 또는 그 초과의 데이터 저장 디스크들을 포함한다. 슬라이더에 보유된 트랜스듀싱 헤드는 디스크 상의 데이터 트랙으로부터의 판독 및 데이터 트랙에 대한 기록을 위해 이용된다. 헤드 짐벌 어셈블리(HGA)는 다수의 축들을 따른 짐벌에 대한 트랜스듀서로 하여금 매체 표면의 토폴로그리피를 따르도록 허용함으로써 트랙들에 인접한 데이터 트랜스듀서 헤드의 정밀한 위치설정을 허용한다. 마이크로액추에이터는 HGA의 공진 모드들을 감소시켜 2차 위치 제어 능력들을 제공한다. 마이크로액추에이터들은 HGA 트랜스듀서의 제어된 회전을 유도하기 위해 PZT(piezoelectric) 또는 다른 재료들로 형성될 수 있다. 작동가능하긴 하지만, 현재의 마이크로액추에이터 설계와 연관된 제한들은 증가된 HGA 스택 높이들, 비대칭 드라이브 및 공진 특징들의 도입, 증가된 HGA 프리로드 힘 집중(force concentration)들을 필요조건으로 그리고, 및 전기 제어 신호들을 마이크로액추에이터 및 슬라이더들로 개별적으로 라우팅하기 위해 HGA에 추가의 인터포저(interposer) 구조를 필요조건으로 포함할 수 있다.

**발명의 내용**

[0002]

본 개시물은, 패시베이션층에 의해 마이크로액추에이터에 대한 보호를 제공함으로써, 헤드 짐벌 어셈블리들에 대한 개선들을 제공한다. 본 개시물은 몇 가지 구조들 및 이를 구조들을 제조하는 방법들을 제공하며, 이 구조들은 마이크로액추에이터에 대해 강화된 접착력의 패시베이션층을 갖는다.

[0003]

본 개시물의 하나의 특정 실시예는, 기판, 기판 상의 샌드위치 구조, 및 기판과 샌드위치 구조 위의 패시베이션층을 포함하는 마이크로액추에이터이다. 샌드위치 구조는 귀금속으로 형성된 하부 전극(bottom electrode), 압전층(piezoelectric layer), 및 귀금속으로 형성된 상부 전극을 갖는다. 마이크로액추에이터는 추가로, 하부 전극과 패시베이션층 사이에 제공되는 하부 접착층 및 상부 전극과 패시베이션층 사이에 제공되는 상부 접착층 중 하나 또는 이 둘 다를 갖는다. 즉, 마이크로액추에이터는, 하부 접착층만을 갖거나, 상부 접착층만을 갖거나, 또는 하부 접착층 및 상부 접착층 둘 다를 가질 수 있다.

[0004] 본 개시의 또 다른 특정 실시예는, 실리콘 기판, 기판 상의 하부 전극, 하부 전극의 제 1 섹션 상에 있으면서 이 제 1 섹션과 접촉하는 압전층, 압전층 상에 있으면서 이 압전층과 접촉하는 상부 전극, 하부 전극의 제 2 섹션 상의 하부 접착층, 상부 전극 상의 상부 접착층, 및 하부 접착층과 상부 접착층 위의 패시베이션층을 포함하는 마이크로액추에이터이다.

[0005] 본 개시의 또 다른 특정 실시예는 마이크로액추에이터, 서스펜션 어셈블리, 및 헤드 짐벌 어셈블리를 포함하는 디스크 드라이브이다. 마이크로액추에이터는, 실리콘 기판, 기판 상의 하부 전극 -상기 하부 전극은 백금, 이리듐, 루테늄 또는 로듐 중 하나를 포함함-, 하부 전극의 제 1 섹션 상에 있으면서 이 제 1 섹션과 접촉하는 압전층, 압전층 상에 있으면서 이 압전층과 접촉하는 상부 전극 -상기 상부 전극은 백금, 이리듐, 루테늄 또는 로듐 중 하나를 포함함-, 하부 전극의 제 2 섹션 상의 하부 접착층, 상부 전극 상의 상부 접착층, 및 하부 접착층과 상부 접착층 위의 유전체 패시베이션층을 가질 수 있다.

[0006] 이들 및 다양한 다른 특징들 및 잊점들은 하기 상세한 설명부의 숙독으로 명확해질 것이다.

### 도면의 간단한 설명

[0007] 본 개시는 첨부 도면과 관련하여 본 개시의 다양한 실시예들에 대한 하기의 상세한 설명의 참작으로 보다 완전히 이해될 것이며, 첨부 도면에서,

[0008] 도 1은 데이터 저장 디바이스의 분해된 투시도이다.

[0009] 도 2는 도 1의 데이터 저장 디바이스의 서스펜션 부분의 투시도이다.

[0010] 도 3은 도 2의 서스펜션 부분의 헤드 짐벌 어셈블리의 투시도이다.

[0011] 도 4는 마이크로액추에이터의 개략적 측면도이다.

[0012] 도 5는 패시베이션층 및 접착층을 갖는 마이크로액추에이터를 형성하기 위한 방법의 블록도이다.

[0013] 도 6a-6e는, 패시베이션층 및 접착층을 갖는 마이크로액추에이터를 형성하기 위한 도 5의 방법을 단계적으로 예시한다.

[0014] 도 7a-7f는 패시베이션층 및 접착층을 갖는 마이크로액추에이터를 형성하기 위한 또 다른 방법을 단계적으로 예시한다.

[0015] 도 8은 패시베이션층 및 접착층을 갖는 마이크로액추에이터의 개략적 측면도이다.

[0016] 도 9는 패시베이션층 및 접착층을 갖는 마이크로액추에이터의 또 다른 실시예의 개략적 측면도이다.

[0017] 도 10은 패시베이션층 및 접착층을 갖는 마이크로액추에이터의 또 다른 실시예의 개략적 측면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0008] 본 실시예들은 가장 일반적으로 마이크로액추에이터-기반 헤드 짐벌 어셈블리들(HGA들)에 관한 것이다. 압전(PZT) 재료 위에 패시베이션층을 제공함으로써, 헤드 짐벌 어셈블리들을 보호하는 개선들이 개시된다. 본 개시물은 마이크로액추에이터에 강화된 접착력의 패시베이션층을 갖는 몇 가지 구조들 및 이러한 구조들을 제조하기 위한 방법들을 제공한다.

[0009] 하기 설명에서는, 첨부 도면에 대한 참조가 이루어지며, 이 첨부 도면은 본 개시의 일부를 형성하며 이 첨부 도면에서는 예시로서 적어도 하나의 특정 실시예가 도시된다. 하기 설명은 추가의 특정 실시예들을 제공한다. 다른 실시예들이 고려되며 이 다른 실시예들이 본 개시물의 범주 또는 사상을 이탈하지 않고 구성될 수 있다는 것이 이해될 것이다. 따라서, 하기 상세한 설명은 제한적 의미에서 취해지지 않는다. 본 개시물이 그렇게 제한되는 것은 아니지만, 하기 제공되는 예들의 논의를 거쳐 본 개시물의 다양한 양상들의 인지가 이루어 질 것이다.

[0010] 달리 표시되지 않는다면, 모든 숫자 표현 피처 크기들, 양들 및 물리적 성질들은 "약"이란 용어에 의해 변경되는 것으로 이해될 것이다. 따라서, 반대 표시가 없다면, 개시된 수치 파라미터들은, 본 명세서에 개시되는 교시들을 이용하여 당업자들이 얻기를 추구하는 원하는 특성들에 의존하여 변할 수 있는 근사치들이다.

[0011] 본원에서 사용되는 바와 같이, 단수 형태들은, 내용에 명확히 달리 지시되지 않는다면, 다수의 지시대상들을 갖는 실시예들을 포괄한다. 본 명세서 및 첨부된 청구항들에서 사용되는 바와 같이, "또는"이란 용어는

일반적으로, 그 의미에 있어, 내용에 명확히 달리 지시되지 않는다면, "및/또는"을 포함하는 것으로 이용된다.

[0012] 제한되는 것은 아니지만, "하부(lower)", "상부(upper)", "밑(beneath)", "아래(below)", "위에(above)", "상부에(on top)" 등을 포함하는 공간적으로 관련되는 용어들은, 본 명세서에서 사용되는 경우, 하나의 엘리먼트(들) 대 또 다른 엘리먼트의 공간적 관계들을 설명하는데 있어 용이한 설명을 위해 이용된다. 이러한 공간적으로 관련되는 용어들은, 본 명세서에 설명되며 도면들에 묘사되는 특정 배향들 이외에 디바이스의 서로 다른 배향들을 포괄한다. 예를 들어, 도면들에 묘사된 구조가 돌려져 있거나(turned over) 뒤집어져 있다 (flipped over) 면, 다른 엘리먼트들 아래 또는 밑에 있는 것으로 이전에 설명된 부분들은 이들 다른 엘리먼트들 위에 있을 수 있다.

[0013] 도 1을 참조로, 디스크 드라이브 또는 데이터 저장 디바이스(100)의 상부 투시도가 도시된다. 저장 디바이스(100)는 본 발명의 다양한 실시예들이 실행될 수 있는 예시적 환경을 도시하도록 제공된다. 그러나, 청구된 발명이 이로 제한되지 않는다는 것이 이해될 것이다.

[0014] 디바이스(100)는 베이스 데크(base deck)(104) 및 상부 커버(106)로 형성된 밀폐형 하우징(sealed housing)(102)을 포함한다. 스판들 모터(108)는 디스크(disc)와 같은 적어도 하나의 저장 매체(다수의 실시예들에서는 다수의 저장 매체들 또는 디스크들(110))를 회전시키도록 구성된다. 디스크들(110)은, 각각이 헤드 짐벌 어셈블리(HGA)(112)에 의해 지지되고 있는 대응하는 데이터 트랜스듀서들의 어레이에 의해 액세스된다. 도 1은 2개의 자기 기록 디스크들 및 4개의 대응하는 헤드들의 사용을 도시하지만, 요구에 따라 다른 갯수의 헤드들 및 디스크들(예컨대, 단일 디스크 등) 및 다른 타입들의 매체들(예컨대, 광학 매체들 등)이 대안적으로 사용될 수 있다.

[0015] 각각의 HGA(112)는 바람직하게 헤드-스택 어셈블리(114)(또한 액추에이터로 지칭됨)에 의해 지지되는데, 이 헤드-스택 어셈블리(114)는 플렉시블한 서스펜션 어셈블리(116)를 포함하며, 이 플렉시블한 서스펜션 어셈블리(116)는 결국(in turn) 강성의 액추에이터 암(118)에 의해 지지된다. 액추에이터(114)는 VCM(voice coil motor)(122)로의 전류 인가를 통해 카트리지 베어링 어셈블리(120)을 중심으로 피봇팅한다. 이런 방식에서, VCM(122)의 제어된 작동은 HGA(112)의 트랜스듀서들이 디스크 표면들 상에 정의되는 트랙들(미도시)과 정렬되어, 트랙들에 데이터를 저장하거나 트랙들로부터 데이터를 리트리브하게 한다.

[0016] 인쇄 회로 케이블(124)은, 외부에 배치된 디바이스인 인쇄 회로 보드(PCB)(126) 상에서 액추에이터(114)와 디바이스 제어 전자장치(electronics) 간의 전기적 통신을 제공한다. 인쇄 회로 케이블(124)은, PCB(126)와 디바이스(100)의 몇몇 서로 다른 컴포넌트들의 통신을 허용하는 다수의 회로들을 포함할 수 있다.

[0017] 도 2는 도 1의 데이터 저장 디바이스에서 사용될 수 있는 예시적인 액추에이터(130)를 도시하며, 여기서 액추에이터는 엘리먼트(114)로서 식별된다. 액추에이터(130)는, 프리로드 벤드 섹션(preload bend section)(136)을 통해 로드 빔(134)을 지지하는 베이스(132)를 가지며; 베이스(132), 로드 빔(134) 및 섹션(136)은, 모두 합쳐, 강성 암, 예컨대 도 1의 액추에이터 암(118)을 형성한다. HGA(140)(도 1에서 HGA(112)로 식별됨)는, 로드 빔(134)의 말단부(distal end)에서 지지되며 짐벌 플레이트(142)와 딥플(별도로 도시되지 않음)을 통해, 피치(pitch)(x-축) 및 롤(roll)(y-축) 방향들을 따른 다축(multi-axial) 회전을 위해, 짐벌이 장착된(gimbaled) 헤드 또는 데이터 트랜스듀서를 포함한다.

[0018] HGA(140)는 연관된 디스크 표면을 대면하는 베어링 표면을 갖는 슬라이더를 포함한다. 베어링 표면은 디스크 표면의 빠른 속도의 회전에 의해 확립되는 유동성 전류와 상호작용하여 슬라이더를 유체역학으로(hydrodynamically) 표면에 안정하게 지지한다. 이러한 베어링 표면들은 흔히, 대기 공기(atmospheric air) 이외의 다른 유체(예를 들어, 헬륨과 같은 질소 가스)가 디바이스(100)의 하우징(102)내에 보유되더라도 "에어 베어링" 표면들로 지칭된다. 관독 및 기록 데이터 트랜스듀싱 엘리먼트들은 예컨대 이 엘리먼트들의 트레일링 에지를 따라 슬라이더에 장착되어 매체 표면으로부터/매체 표면으로 데이터를 트랜스듀싱한다. 슬라이더의 제어된 작동(actuation)은 HGA(140)에 마이크로액추에이터를 통합시킴으로써 구현된다.

[0019] 예시적인 HGA(140)가 도 3에 도시된다. HGA(140)는 짐벌 플레이트(142)를 갖는데, 이 짐벌 플레이트(142)는 플레이트(142)의 두께를 지나 연장하는 어퍼처(144)를 갖게 구성된다. 짐벌 아일랜드(146)는 짐벌 플레이트(142)의 어퍼처(144) 내에 배치되며, 플레이트(142)에 기계적으로 결합되지 않는 개별 부재이다. 즉, 짐벌 아일랜드(146)는 짐벌 플레이트(142)와 기계적으로 분리되어, 아일랜드(146)로 하여금, 하기 논의되는 바와 같이, 플레이트를 독립적으로 이동시키게 한다.

[0020] HGA(140)는 짐벌 아일랜드(146) 상의 전극들(미도시)에 전기 신호들을 전달할 수 있는 플렉스 회로

(flex circuit)(148)를 포함한다. 일부 실시예들에서, 플렉스 회로(148)의 전체 길이는 탄력적(elastic)이며 독립적인 회로들 및 하나 또는 그 초과의 전극들에 의해 HGA(140)의 컴포넌트들에 연결되는 상호연결 회로들에 대응할 수 있는 다수의 회로 경로들을 유지할 수 있다. 예시된 실시예에서, 6개의 독립적인 회로들은 플렉스 회로(148)에 위치되며 데이터 트랜스듀싱 헤드와 같은 단일 컴포넌트, 또는 마이크로액추에이터들과 같은 다수의 컴포넌트들에 전기적으로 상호연결될 수 있는 대응하는 6개의 전극들(미도시)을 갖는다.

[0021] [0031] HGA(140)는 2개의 마이크로액추에이터들(150) 및 슬라이더(152)를 갖는다. 다양한 실시예들에서, 각각의 마이크로액추에이터(150)는 압전(PZT) 재료로 구성되며 플렉스 회로(148)의 부분과 연결된다. 마이크로액추에이터들(150)의 크기, 구성성분(composition) 및 구성이 제한되는 것은 아니지만, 짐벌 아일랜드(146) 및 플레이트(142) 양자 모두에 마이크로액추에이터들(150)의 부착은, 하나 또는 2개(both)의 마이크로액추에이터들(150)의 대응하는 이동에 의해 아일랜드(146)가 편향되게 허용할 수 있다. 따라서 마이크로액추에이터들(150)의 이동이 적절하게 이동, 피봇팅 및 트위스트되어, 슬라이더(152)의 자기 및/또는 광학 트랜스듀싱 컴포넌트들이 도 1의 디스크(110)와 같은 저장 매체로부터 데이터를 판독하고 그리고/또는 저장 매체에 데이터를 기록하게 정렬된다.

[0022] [0032] 디스크(100)에 대한 트랙 밀도들이 증가함에 따라, 슬라이더(152)가 적절하게 위치설정되게 하기 위해, HGA(140)에 의한 정밀한 제어가 요구된다. 마이크로액추에이터들(150)의 정밀도는 슬라이더(152)의 위치설정을 위해 중요하다. 도 4는 박막 PZT 마이크로액추에이터(160)의 일 실시예를 예시한다.

[0023] [0033] 마이크로액추에이터(160)는 제 1 하부 전극(164)과 제 2 상부 전극(166)에 의해 샌드위치된 박막 PZT층(162)을 가지며, 이를 모두는 실리콘 기판(168) 상에서 지지된다. 도 4에 도시된 것처럼, PZT층(162)은 하부 전극(164)의 한 섹션에만 제공되며, 하부 전극(164)의 제 2 및/또는 제 3 섹션은 PZT층(162)에 의해 커버되지 않은 채로 있다. 하부 전극(164)과 기판(168) 사이에 유전체 재료(170)가 제공된다. 본 개시물 전반에서 사용되는 바와 같이, "하부 전극"은 "상부층" 보다 기판에 더 가까운 전극이며; 이러한 "상부" 및 "하부"(여기서, "하부"는 "상부보다 기판에 더 가까움)의 규정은 본 개시물 전반에서 계속 사용된다. 패시베이션층(172)은 PZT층(162) 및 전극들(164, 166)을 커버하며 바람직하게는 에워싼다(envelop). 패시베이션층(172)은, 습기, 화학제들, 미립자 및 다른 잔해물들과 같은 요인들로부터 PZT층(162) 및 전극들(164, 166)에 대한 그리고 주변 환경으로부터 전반적인 것들에 대한 물리적 및 화학적 보호를 제공한다. 상부 전극(166)에 상부 금속 패드(176)가 전기적으로 연결되며 하부 전극(164)에(구체적으로, PZT층(162)에 의해 커버되지 않은 하부 전극(164)의 섹션에) 하부 금속 패드(174)가 전기적으로 연결된다.

[0024] [0034] 전극들(164, 166)에 적합한 재료들의 예들은 귀금속들, 예컨대 백금(Pt), 이리듐(Ir), 루테늄(Ru), 로듐(Rh) 및 이들의 합금들을 포함한다. 전극들(164, 166)에 대한 다른 적합한 재료들은 산화물들, 예컨대 스트론튬 티타늄 산화물(STO 또는 SrTiO<sub>3</sub>) 및 란타늄 니켈 산화물(LNO)을 포함한다. 상부 전극(164)은 하부 전극(166)과 동일한 또는 다른 재료일 수 있다.

[0025] [0035] 금속 패드들(174, 176)은 전기적으로 도전성이며 전극들(144, 146)로부터 적합한 회로로의 전기적 콘택트를 제공한다. 금속 패드들(174, 176)에 적합한 재료들은 금(Au), 은(Ag) 및 구리(Cu)를 포함한다.

[0026] [0036] 패시베이션층(172)은 전기적 절연 재료일 수 있지만, 일부 실시예들에서, 패시베이션층(172)은 유전체 재료이다. 패시베이션층(172)에 적합한 재료들의 예들은 탄소, 실리콘 이산화물 또는 실리카(SiO<sub>2</sub>)(상이한 기술들, 예를 들어, HDP(high density plasma), CVD(chemical vapor deposition)로 만들어진 SiO<sub>2</sub>, FOX(flowable oxide), BSG(boron doped silicate glass), PSG(phosphorous doped silicate glass), BPSG(borophosphosilicate glass)를 함유하는 상이한 타입들의 재료들을 포함), TEOS(tetra-ethyl-ortho-silicate 또는 tetra-ethoxy-silane), Al<sub>2</sub>O<sub>3</sub>(aluminum oxide 또는 alumina), TiN(titanium nitride), TiO<sub>x</sub>(titanium sub-oxide), TiC(titanium carbide), Si<sub>3</sub>N<sub>4</sub>(silicon nitride), SiO<sub>x</sub>N<sub>y</sub>(silicon oxynitride), 및 Si<sub>2</sub>N<sub>2</sub>O(silicon nitride oxide)를 포함한다.

[0027] [0037] 본 개시물에 따라, 마이크로액추에이터(160)의 다른 층들에 대한 패시베이션층(172)의 접착력을 개선시키기 위해, 마이크로액추에이터(160)의 층들 사이에 접착층이 제공된다. 접착층에 적합한 재료들의 예들은 Ti(titanium), Ta(tantalum), Cr(chromium), 이들의 합금들 및 이들의 혼합물들을 포함한다.

[0028] [0038] 접착층에 의해 강화된 패시베이션층을 갖는 마이크로액추에이터를 형성하기 위한 방법의 일 실시예가 도 5에서 개략되며; 이 방법에서, 상부 전극과 유전체 패시베이션층 간의 접착력이 증가된다. 단계(180)에서,

하부 전극(예를 들어, 전극(166))이 예를 들어, 실리콘 기판(예를 들어, Si 웨이퍼) 또는 유전체 재료상에 증착된다. 단계(181)에서, PZT층은 단계(180)로부터의 하부 전극 상에 바로 증착된다. 상부 전극(예를 들어, 전극(164))은 단계(183)에서 단계(181)로부터의 PZT층 상에 바로 증착된다. 어느 한쪽 전극과 PZT층 사이에 어떠한 중간 또는 개재 층도 없다. 단계(183)에서, 단계(182)로부터의 전극 위에 접착층이 위치설정된다. 단계(184)에서, 접착층과 상부 전극 위에 마스크가 제공(apply)된다. 프로세스 중 이 단계에서, 상부 전극층은 PZT층을 에칭하는데 있어 하드 마스크로 기능한다. 접착층과 상부 전극의 마스크되지 않은 영역들이 단계(185)에서 에칭된다; 결과적으로 노출된 PZT는 단계(186)에서 에칭된다. 추후, 단계(187)에서, 마스크는 구조, 특히 상부 전극 위에 증착되고 패터닝된다. 접착층과 상부 전극의 마스크되지 않은 영역들은 단계(188)에서 에칭되어, 상부 전극을 형성한다. 단계(189)에서, PMGI(poly(methyl glutarimide)) 포토레지스트 마스크가 PZT층과 상부 전극 위에 패터닝되어, 추후 접착층 리프트-오프(lift-off) 프로세스를 위한 마스크를 형성한다. 접착층은, 단계(190)에서, 포토레지스트를 포함하는 구조 위에 증착되며, 포토레지스트는 포토레지스트 상에 제공되는 접착층과 함께, 단계(191)에서, 제거된다; 포토레지스트를 갖지 않는 임의의 접착층은 아래에서 유지된다. 단계(192)에서, 패터닝된 마스크는 노출된 하부 전극 위에 증착되며, 하부 전극 및 접착층은 단계(193)에서 에칭된다. 패시베이션층은, 단계(194)에서 구조 위에 증착된다. 단계(195)에서, 패터닝된 마스크는 패시베이션층 위에 증착되며, 패시베이션층은 단계(196)에서 에칭된다.

[0029] [0039] 도 6a-6e는 접착층의 예시적인 리프트-오프 프로세스를 예시한다. 일반적으로, 리프트-오프 프로세스는 증착된 막을 패터닝하기 위한 간단하고 쉬운 방법이다. 패턴은 포토레지스트를 이용하여 기판상에 정의된다. 금속성 막과 같은 막은 기판 위에 블랭킷 증착되어(blanket-deposited), 포토레지스트가 제거된 영역들 및 포토레지스트를 커버한다. 실제 리프트-오프 프로세스 동안, 막 아래의 포토레지스트는 솔벤트(solvent)를 이용하여 제거되고, 여기서 막이 얹어지고, 기판상에 증착되었던 막만이 남게된다.

[0030] [0040] 도 6a는 그 상부에 유전체층(201)을 갖는 실리콘 기판(200)을 도시한다. 제 1 하부 전극(202), PZT층(203) 및 제 2 상부 전극(204)은 기판(200) 및 유전체(201) 상에 배열된다. 상부 전극(204) 상에는 접착층(206)이 놓인다. PZT층(203), 전극(204) 및 접착층(206)으로 구성된 스택은, 도 6b에서, 그의 상부 및 측면들이 제 1 포토레지스트층(208)에 의해 커버된다. 포토레지스트층(208)이 스택을 둘러싸서, PZT층(203), 전극(204) 및 접착층(206) 중 어느 부분도 노출되지 않는다. 제 1 포토레지스트층(208) 위에는 제 2 포토레지스트층(210)이 증착되며, 이는 층(208) 다음에 또는 층(208)과 동시에 증착될 수 있다. 포토레지스트층들(208, 210)의 재료들 및/또는 두께는, 포토레지스트층들(208, 210)이 경화되고 패터닝될 때, 제 2 포토레지스트층(210)이 제 1 포토레지스트층(208) 보다 빨리 에칭되어, 도 6b의 구조가 되도록 선택된다. 도 6b에 예시된 실시예에서, 두꺼운 제 2 포토레지스트(210)은 전극(202)으로 연장하지 않는다. 제 2 접착층(212)은 도 6c에서 전체 표면에 걸쳐 증착되어, 접착층 부분(212A)이 하부 전극(202) 상에 제공되고 접착층 부분(212B)이 제 2 포토레지스트(210)상에 제공되게 된다. 도 6d에서, 제 2 포토레지스트(210)는, 노출된 접착층 부분들(212A)과 접착층(206)은 남겨두고, 접착층 부분(212B) 및 제 1 포토레지스트(208)와 함께 제거되었다. 도 6d의 실시예에서, 하부 전극(202)의 영역이 노출되며, 제 2 포토레지스트(210)에 의해 새도잉되는 영역으로 인해 접착층 부분(212A)에 의해 커버되지 않는다. 도 6e에서, 패시베이션층(214)은 전체 구조 위에 제공된다. 결과적인 구조는 하부 전극(202)과 패시베이션층(214) 사이에 제공되는 접착층 부분(212A), 및 상부 전극(204)과 패시베이션층(214) 사이에 제공되는 접착층(206)을 갖는다.

[0031] [0041] 도 7a-7f는 접착층에 의해 강화된 패시베이션층을 갖는 마이크로액추에이터를 형성하는 또 다른 프로세스를 예시한다.

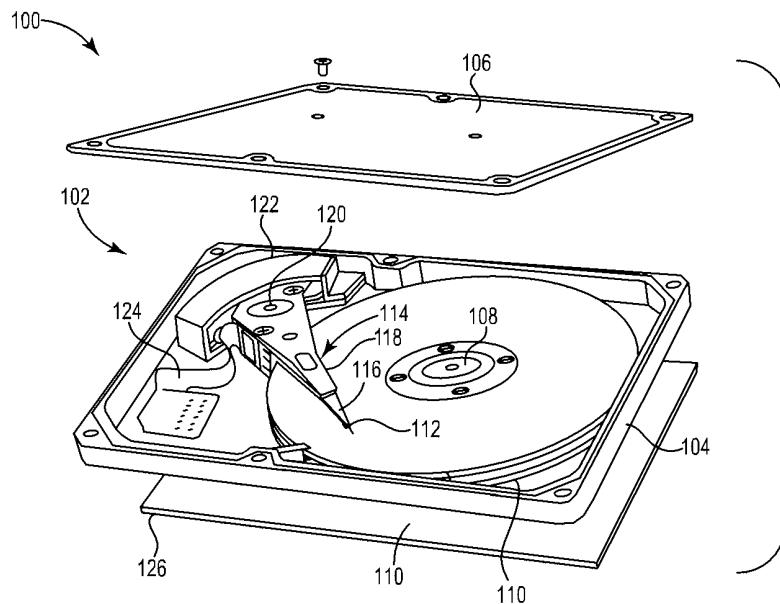
[0032] [0042] 도 7a는 그 위에 유전체층(221), 제 1 하부 전극(222), 및 접착층(223)을 갖는 실리콘 기판(220)을 도시한다. 도 7b에서, 접착층은 패터닝되어, 2개의 접착층 섹션들(223A 및 223B) —이 2개의 접착층 섹션들(223A 및 223B) 사이에 캡 또는 홀을 가짐—, 및 캡에 노출된 하부 전극(222)의 부분을 형성한다. 도 7c에서, 접착층 섹션들(223A 및 223B) 사이의 캡은 PZT(224)로 채워진다. 상부 전극(226)은 도 7d에서 PZT(224) 위에 형성되고, 상부 접착층(228)은 도 7e에서 형성된다. 도 7f에서, 전체 구조는 패시베이션층(230)으로 커버된다. 결과적인 구조는 하부 전극(222)과 패시베이션층(230) 사이에 제공되는 접착층 섹션들(223A, 223B) 및 상부 전극(226)과 패시베이션층(230) 사이에 제공되는 접착층(228)을 갖는다.

[0033] [0043] 앞서 지시된 것처럼, 실리콘 기판(200, 220)은 실리콘계 기판, 예컨대 통상의 Si 웨이퍼일 수 있다. 다른 실시예들에서, 비-실리콘 반도체 재료가 기판에 이용될 수 있다. 본 개시물의 구조에서는 일반적으로 유전체층(201, 221)이 제공되지만, 이는 선택적이다.

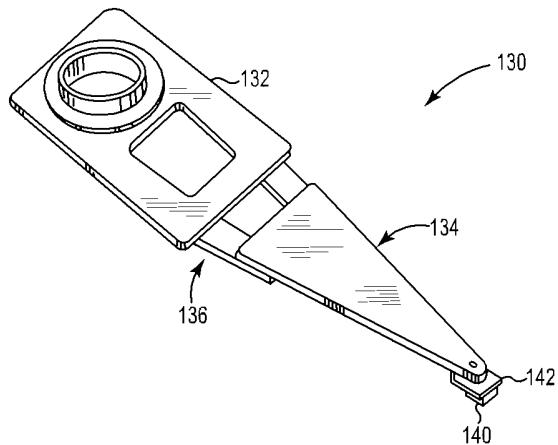
- [0034] [0044] 전극들(202, 204, 222, 226)은 귀금속들, 예컨대 백금(Pt), 이리듐(Ir), 루테늄(Ru), 로듐(Rh) 및 이들의 합금들 또는 산화물들, 예컨대 스트론튬 티타늄 산화물(STO 또는  $\text{SrTiO}_3$ ) 및 란타늄 니켈 산화물(LNO)로 구성된다. 통상적으로, 전극들(202, 204, 222, 226) 각각은, 더 얇은 그리고 더 두꺼운 전극들(202, 204, 222, 226)이 사용될 수 있지만, 50 내지 100 nm의 두께를 갖는다. 전극들(202, 204, 222, 226)은 동일한 또는 상이한 재료일 수 있으며, 동일한 또는 상이한 두께들을 가질 수 있다.
- [0035] [0045] 또한, 앞서 지시된 것처럼, 접착층(206, 223A, 223B) 및 접착층 부분들(212A, 212B)은, 다른 금속들 또는 금속 합금들이 사용될 수 있지만, 금속, 예컨대, Ti(titanium), Ta(tantalum) 또는 Cr(chromium)로 구성된다. 접착층 재료의 선택은, 통상적으로 유전체 재료인 패시베이션층에 대한 접착 재료의 접착 계수(adhesion coefficient)에 기반을 둔다. 접착층(206, 223A, 223B) 및 부분들(212A, 212B) 각각은 통상적으로, 더 얇은 그리고 더 두꺼운 접착층(206, 223A, 223B) 및 부분들(212A, 212B)이 사용될 수 있지만, 1 내지 50 nm의 두께, 일부 실시예들에서는 5 내지 15 nm(예를 들어, 10 nm)의 두께를 갖는다. 접착층(206, 223A, 223B) 및 부분들(212A, 212B)은 동일한 또는 상이한 재료일 수 있으며, 동일한 또는 상이한 두께들을 가질 수 있다.
- [0036] [0046] 또한, 앞서 지시된 것처럼, 패시베이션층(214, 230)은 전기적 절연 재료 또는 유전체 재료일 수 있다. 패시베이션층(214, 230)에 적합한 재료들의 예들은, 탄소, 실리콘 이산화물 또는 실리카( $\text{SiO}_2$ ), TEOS(tetra-ethyl-ortho-silicate 또는 tetra-ethoxy-silane),  $\text{Al}_2\text{O}_3$ (aluminum oxide 또는 alumina), TiN(titanium nitride),  $\text{TiO}_x$ (titanium sub-oxide), TiC(titanium carbide),  $\text{Si}_3\text{N}_4$ (silicon nitride),  $\text{SiO}_x\text{Ny}$ (silicon oxynitride), 및  $\text{Si}_2\text{N}_2\text{O}$ (silicon nitride oxide)를 포함한다. 패시베이션층(214, 230)은, 예를 들어 플라즈마 증착, 유전체 증착, 화학적 기상 증착(플라즈마 강화 화학적 기상 증착 또는 PECVD 포함)에 의해 제공될 수 있다. 패시베이션층(214, 230)은 통상적으로, 1 마이크로미터 미만의 두께, 통상 0.2 내지 0.7 마이크로미터(예를 들어, 0.5 마이크로미터)의 두께를 갖는다.
- [0037] [0047] 도 8, 9, 및 10은 패시베이션층의 접착력을 개선하기 위해 접착층을 갖는 3가지 마이크로액추에이터 구성을 예시한다. 도 8에서, 접착층 재료는 패시베이션층과 상부 전극 및 하부 전극 사이에 제공된다. 도 9에서, 접착층 재료는 패시베이션층과 상부 전극 사이에 제공되나, 하부 전극 위에는 제공되지 않는다. 도 10에서, 접착층 재료는 패시베이션층과 하부 전극 사이에 제공되나, 상부 전극 위에는 제공되지 않는다.
- [0038] [0048] 도 8의 구조는 기판(200) 상에, 유전체(201), 하부 전극(202), PZT(203) 및 상부 전극(204)이 적층된 도 6e의 구조와 동일하다. 하부 접착층(212)은 하부 전극(202)과 접촉하며 상부 접착층(206)은 상부 전극(204)과 접촉한다. 본 실시예에서, 하부 전극(202)의 부분은 접착층(212)에 의해 커버되지 않는데, 이는 구조를 만드는 프로세스로 인한 것이며, 다른 프로세스들은 접착층에 의해 완전히 커버된 하부 전극을 갖는 구조를 제공할 것이다. 하부 접착층(212)과 상부 접착층(206) 상에는 패시베이션층(214)이 놓인다.
- [0039] [0049] 도 9에서, 기판(300) 상에는 유전체(301), 하부 전극(302), PZT(303) 및 상부 전극(304)이 적층된다. 상부 접착층(306)은 상부 전극(306)과 접촉한다. 본 실시예에서, 하부 전극(302)의 어떤 부분도 접착층에 의해 커버되지 않는다. 하부 전극(302)과 상부 접착층(306) 상에는 패시베이션층(314)이 놓인다.
- [0040] [0050] 도 10에서, 기판(400) 상에는 유전체(401), 하부 전극(402), PZT(403) 및 상부 전극(404)이 적층된다. 하부 접착층(412)은 하부 전극(402) 위에서 하부 전극(402)을 접촉한다. 본 실시예에서, 상부 전극(404)의 어떤 부분도 접착층에 의해 커버되지 않는다. 하부 접착층(412)과 상부 전극(404) 상에는 패시베이션층(414)이 놓인다.
- [0041] [0051] 이에 따라 박막 PZT 구조의 접착력 강화에 대한 실시예가 개시된다. 앞서 개시된 구현들 및 다른 구현들이 하기 청구항들의 범위내에 속한다. 당업자들은 본 발명이 개시된 것들 이외의 실시예들로 실행될 수 있다 는 것을 인식할 것이다. 개시된 실시예들은 제한이 아닌 예시를 목적으로 제시되며 본 발명은 하기 청구항들에 의해서만 제한된다.

도면

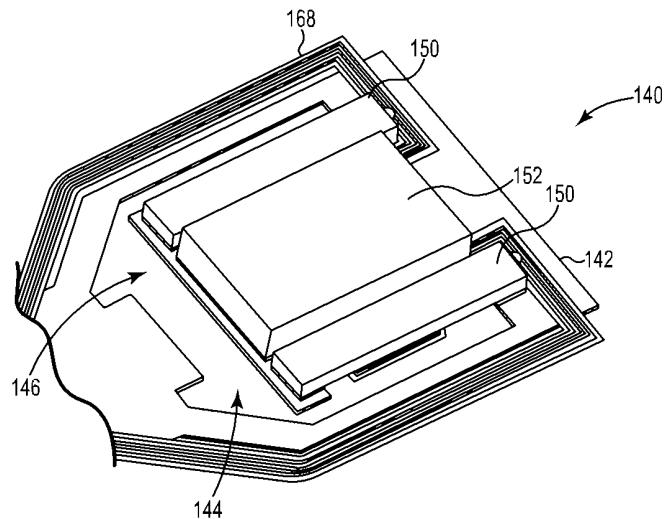
도면1



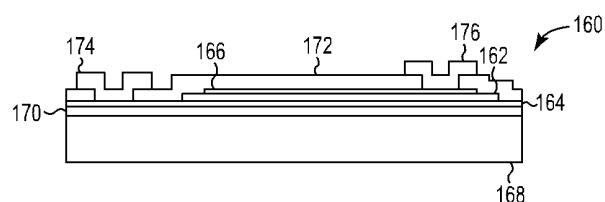
도면2



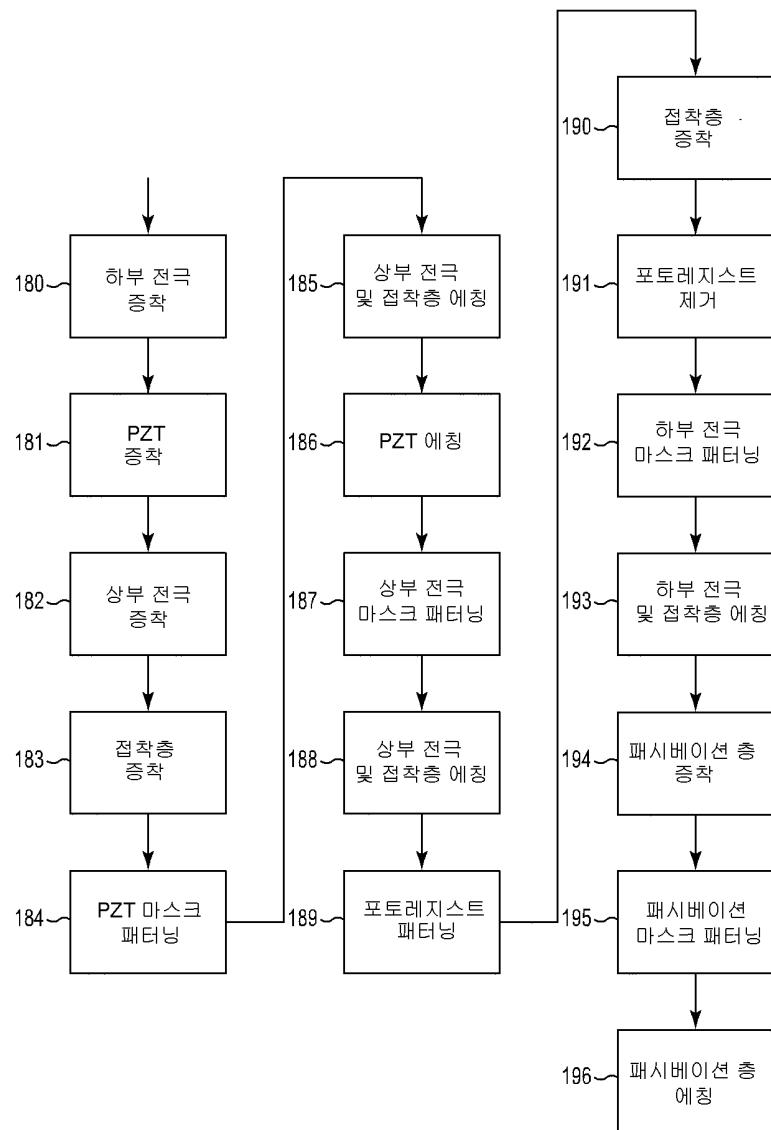
도면3



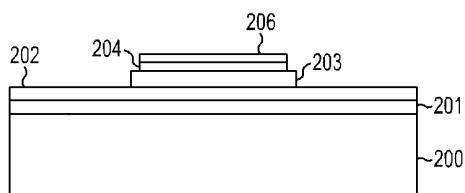
도면4



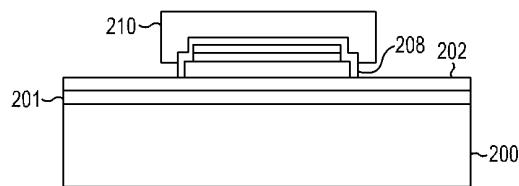
도면5



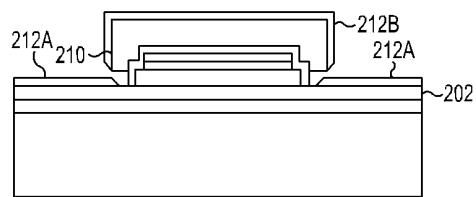
도면6a



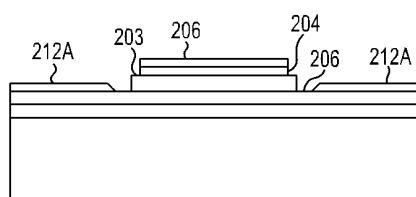
도면6b



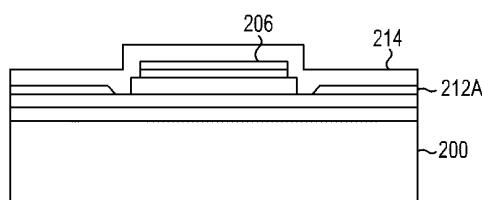
도면6c



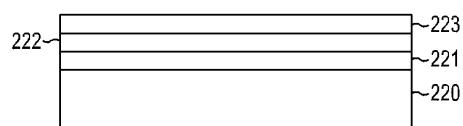
도면6d



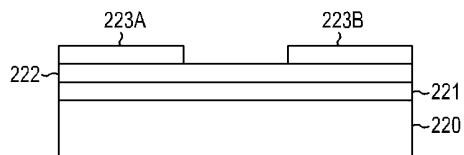
도면6e



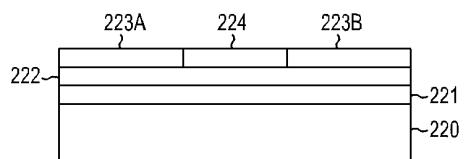
도면7a



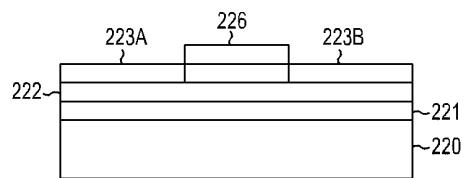
도면7b



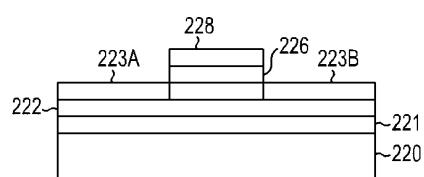
도면7c



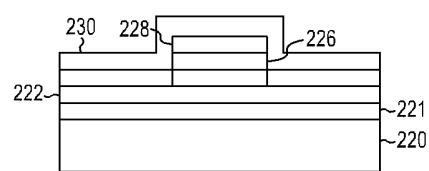
도면7d



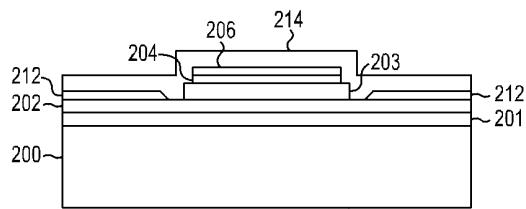
도면7e



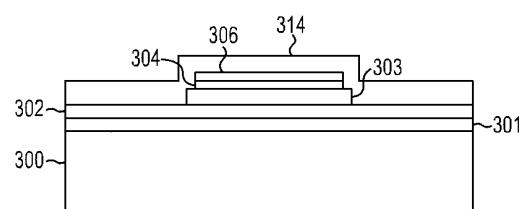
도면7f



도면8



도면9



도면10

