



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2017년01월06일  
(11) 등록번호 10-1693816  
(24) 등록일자 2017년01월02일

(51) 국제특허분류(Int. Cl.)  
G11C 19/00 (2006.01) G09G 3/20 (2006.01)  
G09G 3/32 (2016.01) G09G 3/36 (2006.01)  
G11C 19/28 (2006.01)  
(21) 출원번호 10-2012-7011565  
(22) 출원일자(국제) 2010년09월21일  
심사청구일자 2015년09월07일  
(85) 번역문제출일자 2012년05월03일  
(65) 공개번호 10-2012-0093922  
(43) 공개일자 2012년08월23일  
(86) 국제출원번호 PCT/JP2010/066743  
(87) 국제공개번호 WO 2011/043215  
국제공개일자 2011년04월14일  
(30) 우선권주장  
JP-P-2009-234845 2009년10월09일 일본(JP)  
(56) 선행기술조사문헌  
US06963327 B2  
US07369111 B2  
KR1020090131249 A  
US20070096106 A1

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
교야마 준  
일본국 2430036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤 한도오파이 에네루기 켄큐쇼 내  
(74) 대리인  
황의만

전체 청구항 수 : 총 1 항

심사관 : 한선경

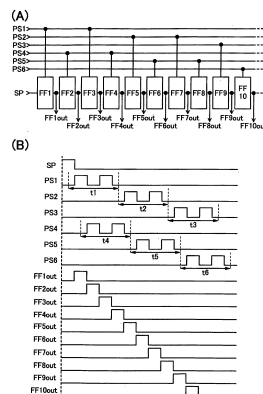
(54) 발명의 명칭 시프트 레지스터, 표시 장치, 및 그 구동 방법

(57) 요약

본 발명은 시프트 레지스터 또는 이 시프트 레지스터를 가지는 표시 장치의 소비 전력을 저감하는 것을 과제로 한다.

시프트 레지스터는 클록 신호가 1개의 배선에 의해 공급되는 것이 아니라, 복수의 배선에 의해 공급된다. 또한, 이 복수의 배선 중 어느 하나는 시프트 레지스터의 전체 동작 기간을 통하여 클록 신호를 공급하는 것이 아니라 일부의 기간에서만 클록 신호를 공급한다. 그 때문에, 클록 신호의 공급에 따라서 구동되는 용량 부하를 저감할 수 있다. 그 결과, 시프트 레지스터의 소비 전력을 저감할 수 있다.

대표도 - 도1



## 명세서

### 청구범위

#### 청구항 1

산화물 반도체층에 채널 영역이 형성된 트랜지스터를 포함하는 시프트 레지스터를 포함하는 표시 장치의 제작 방법으로서,

상기 산화물 반도체층의 탈수화 또는 탈수소화 처리를 행하는 제1 단계; 및

상기 제1 단계 후 상기 산화물 반도체층을 가열하는 제2 단계를 포함하고,

상기 제2 단계 동안 상기 산화물 반도체층은 산화물 절연층과 접촉하고,

상기 산화물 반도체층의 저항이 상기 제1 단계에 의하여 낮아지고, 상기 제2 단계에 의하여 높아지는, 제작 방법.

#### 청구항 2

삭제

#### 청구항 3

삭제

#### 청구항 4

삭제

#### 청구항 5

삭제

#### 청구항 6

삭제

#### 청구항 7

삭제

#### 청구항 8

삭제

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

삭제

### 청구항 13

삭제

### 청구항 14

삭제

### 청구항 15

삭제

### 청구항 16

삭제

### 청구항 17

삭제

### 청구항 18

삭제

### 청구항 19

삭제

### 청구항 20

삭제

### 청구항 21

삭제

## 발명의 설명

## 기술 분야

본 발명은 시프트 레지스터에 관한 것이다. 또한, 이 시프트 레지스터를 가지는 표시 장치에 관한 것이다.

## 배경 기술

액정 표시 장치로 대표되는 바와 같이, 유리 기판 등이 평판하게 형성되는 박막 트랜지스터(이하, TFT: Thin Film Transistor라고도 함)는 주로 아몰퍼스 실리콘 또는 다결정 실리콘 등의 반도체 재료를 이용하여 제작된다. 아몰퍼스 실리콘을 이용한 TFT는 전계 효과 이동도가 낮지만 유리 기판의 대면적화에 대응할 수 있다. 한편, 다결정 실리콘을 이용한 TFT는 전계 효과 이동도가 높지만 레이저 어닐링 등의 결정화 공정이 필요하고, 유리 기판의 대면적화에는 반드시 적응하지 않는 특성을 가진다.

이것에 대하여, 반도체 재료로서 산화물 반도체를 이용하는 TFT가 주목받고 있다. 예를 들어, 반도체 재료로서 산화 아연 또는 In-Ga-Zn-O계 산화물 반도체를 이용하여 TFT를 제작하여, 화상 표시 장치의 스위칭 소자로서 이용하는 기술이 특허문헌 1 및 특허문헌 2에 개시된다.

산화물 반도체에 채널 형성 영역을 형성한 TFT는 아몰퍼스 실리콘을 이용한 TFT보다도 높은 전계 효과 이동도가 얻어진다. 또한, 산화물 반도체막은 스퍼터법 등에 의해 300℃ 이하의 온도에서의 막 형성이 가능하여, 산화물 반도체를 사용하여 형성된 TFT의 제작 공정은 다결정 실리콘을 이용하여 형성된 TFT의 제작 공정보다 간단하다.

이러한 산화물 반도체를 이용하여 제작된 TFT는 액정 디스플레이, 일렉트로루미네선스 디스플레이 또는 전자 페이퍼 등의 표시 장치의 화소부 및 구동 회로를 구성하는 스위칭 소자에 적용하는 것이 기대되고 있다. 예를 들어, 상기 산화물 반도체를 이용하여 제작된 TFT에 의해 표시 장치의 화소부 및 구동 회로를 구성하는 기술이

비특허문헌 1에 개시된다.

단, 상기 산화물 반도체를 이용하여 제작된 TFT는 모두 n채널형 트랜지스터라는 점을 주목하라. 그 때문에, 산화물 반도체를 이용하여 제작한 TFT를 이용하여 구동 회로를 구성하는 경우, 이 구동 회로는 n채널형 TFT(이하, 단극성 TFT라고도 함)에만 의해서만 구성되게 된다.

## 선행기술문헌

### 특허문헌

(특허문헌 0001) 일본국 특개 2007-123861호 공보

(특허문헌 0002) 일본국 특개 2007-96055호 공보

### 비특허문헌

(비특허문헌 0001) T.Osada, 외 8명, SID 09 DIGEST, pp. 184-187(2009)

## 발명의 내용

### 해결하려는 과제

구동 회로는 시프트 레지스터 및 버퍼 등에 의해 구성된다. 이 시프트 레지스터가 단극성의 TFT에 의해 구성되는 경우, 신호가 TFT의 스레숄드 전압만큼 저하하거나 증가하는 등의 문제가 발생한다. 그 때문에, 이 문제가 발생하는 개소에 있어서는 부트스트랩이 이용되는 경우가 많다. 구체적으로는, 표시 장치의 신호선 또는 주사선을 구동하는 아날로그 스위치 등을 구동할 때에 이용되는 경우가 많다.

또한, 부트스트랩을 이용한 구동 회로의 부하가 커지는 경우, 이 구동 회로를 구성하는 TFT의 게이트 폭을 크게 할 필요가 있다. 또한, 그것에 따라, 이 TFT에 발생하는 기생 용량도 커진다. 특히, 게이트 단자로서 기능하는 도전층과 소스 단자 또는 드레인 단자로서 기능하는 도전층을, 게이트 절연층을 통하여 중첩시킬 필요가 있는 TFT(이른바, 역스태거형의 TFT 등)에서는 기생 용량이 커진다. 그 결과, 이 구동 회로에 입력되는 클록 신호의 소비 전력이 기생 용량에 의해 커지는 문제가 있다.

상기 과제에 비추어, 본 발명의 일 양태는 시프트 레지스터 또는 이 시프트 레지스터를 가지는 표시 장치의 소비 전력을 저감하는 것을 과제의 하나로 한다.

### 과제의 해결 수단

상기 과제는 시프트 레지스터가 가지는 클록 신호선을 복수의 펄스 신호선으로 분할함으로써 해결할 수 있다. 즉, 시프트 레지스터가 가지는 복수의 플립플롭이 1개의 클록 신호선에 전기적으로 접속되는 것이 아니라, 복수의 펄스 신호선이 설치되고 또한, 복수의 플립플롭의 일부가 이 복수의 펄스 신호선 중 어느 하나에 전기적으로 접속된다. 또한, 이 펄스 신호선은 시프트 레지스터의 전체 동작 기간을 통하여 클록 신호를 공급하는 것이 아니라, 이 동작 기간에 포함되는 일부의 기간에서 클록 신호를 공급한다. 이것에 의해, 시프트 레지스터에 대한 클록 신호의 공급에 따라 구동되는 용량 부하를 저감할 수 있다. 그 결과, 시프트 레지스터의 소비 전력을 저감할 수 있다.

즉, 본 발명의 일 양태는 동작 기간이 제 1 기간, 제 2 기간, 제 1 기간과 중첩하는 기간을 포함하는 제 3 기간 및 제 2 기간과 중첩하는 기간을 포함하는 제 4 기간을 가지는 시프트 레지스터이고, 제 1 기간을 통하여 저전원 전위 및 고전원 전위를 주기적으로 반복하는 클록 신호를 공급하는 배선으로서 기능하는 제 1 펄스 신호선과, 제 2 기간을 통하여 클록 신호를 공급하는 배선으로서 기능하는 제 2 펄스 신호선과, 제 3 기간을 통하여 클록 신호의 반전 신호인 반전 클록 신호를 공급하는 배선으로서 기능하는 제 3 펄스 신호선과, 제 4 기간을 통하여 반전 클록 신호를 공급하는 배선으로서 기능하는 제 4 펄스 신호선과, 제 1 펄스 신호선에 전기적으로 접속되고 제 1 기간에서 고전원 전위를 출력하는 제 1 플립플롭과, 제 2 펄스 신호선에 전기적으로 접속되고 제 2 기간에서 고전원 전위를 출력하는 제 2 플립플롭과, 제 1 플립플롭 및 제 3 펄스 신호선에 전기적으로 접속되고

제 3 기간에서 고전원 전위를 출력하는 제 3 플립플롭과, 제 2 플립플롭 및 제 4 펄스 신호선에 전기적으로 접속되고 제 4 기간에서 고전원 전위를 출력하는 제 4 플립플롭을 가지는 시프트 레지스터이다.

또한, 본 발명의 일 양태는 상기 구성에서, 제 1 펄스 신호선이 제 1 기간 이외의 기간을 통하여 저전원 전위를 공급하는 배선으로서 기능하고, 제 2 펄스 신호선이 제 2 기간 이외의 기간을 통하여 저전원 전위를 공급하는 배선으로서 기능하고, 제 3 펄스 신호선이 제 3 기간 이외의 기간을 통하여 저전원 전위를 공급하는 배선으로서 기능하고, 제 4 펄스 신호선이 제 4 기간 이외의 기간을 통하여 저전원 전위를 공급하는 배선으로서 기능하는 시프트 레지스터이다.

또한, 상기 구성에서, 플립플롭은 채널 형성 영역이 산화물 반도체에 의해 구성되는 트랜지스터를 가지는 시프트 레지스터도 본 발명의 일 양태이다.

또한, 상기 구성에서, 펄스 신호선은 이 펄스 신호선이 클록 신호 또는 반전 클록 신호를 공급하는 기간에서 온(on)하는 트랜지스터를 통하여, 기준 클록 신호선 또는 기준 반전 클록 신호선에 전기적으로 접속되는 시프트 레지스터도 본 발명의 일 양태이다.

또한, 상기 구성에서, 펄스 신호선은 이 펄스 신호선이 클록 신호 또는 반전 클록 신호를 공급하지 않는 기간에서 온하는 트랜지스터를 통하여, 저전원 전위를 공급하는 배선에 전기적으로 접속되는 시프트 레지스터도 본 발명의 일 양태이다.

또한, 상기 구성의 시프트 레지스터를 가지는 표시 장치도 본 발명의 일 양태이다.

### 발명의 효과

본 발명의 일 양태의 시프트 레지스터는 클록 신호가 1개의 배선에 의해 공급되는 것이 아니라, 복수의 배선에 의해 공급된다. 또한, 이 복수의 배선 중 어느 하나는, 시프트 레지스터의 전체 동작 기간을 통하여 클록 신호를 공급하는 것이 아니라 일부의 기간에서만 클록 신호를 공급한다. 그 때문에, 클록 신호의 공급에 따라서 구동되는 용량 부하를 저감할 수 있다. 그 결과, 시프트 레지스터의 소비 전력을 저감할 수 있다.

### 도면의 간단한 설명

도 1(A)는 실시형태 1에 설명한 시프트 레지스터의 구성예를 나타낸 도면, 도 1(B)는 타이밍 차트.

도 2(A)는 실시형태 1에 설명한 플립플롭의 구성예를 나타낸 도면, 도 2(B)는 타이밍 차트.

도 3(A)는 실시형태 1에 설명한 펄스 신호선의 구성예를 나타낸 도면, 도 3(B)는 타이밍 차트.

도 4(A)는 실시형태 1에 설명한 펄스 신호선의 구성예를 나타낸 도면, 도 4(B)는 타이밍 차트.

도 5(A) 내지 도 5(C)는 실시형태 1에 설명한 시프트 레지스터의 변형예를 나타낸 도면.

도 6(A) 및 도 6(B)는 실시형태 1에 설명한 시프트 레지스터 변형예를 나타낸 도면, 도 6(C)는 변형예를 나타낸 타이밍 차트.

도 7(A)는 실시형태 1에 설명한 플립플롭의 변형예를 나타낸 도면, 도 7(B)는 변형예를 나타낸 타이밍 차트.

도 8(A)는 실시형태 2에 설명한 트랜지스터의 상면도, 도 8(B) 및 도 8(C)는 단면도.

도 9(A)는 실시형태 2에 설명한 트랜지스터의 상면도, 도 9(B)는 단면도.

도 10(A)는 실시형태 2에 설명한 복수의 트랜지스터의 상면도, 도 10(B)는 단면도.

도 11(A) 내지 도 11(D)는 실시형태 2에 설명한 트랜지스터의 제작 공정을 나타내는 단면도.

도 12(A)는 실시형태 3에 설명한 복수의 트랜지스터의 상면도, 도 12(B)는 단면도.

도 13(A)는 실시형태 4에 설명한 복수의 트랜지스터의 상면도, 도 13(B)는 단면도.

도 14(A)는 실시형태 5에 설명한 표시 장치의 블록도, 도 14(B)는 주사선 구동 회로의 블록도, 도 14(C)는 신호선 구동 회로의 블록도.

도 15(A)는 실시형태 6에 설명한 액정 표시 장치의 화소의 회로도, 도 15(B)는 화소의 상면도, 도 15(C)는 단면도.

도 16(A)는 실시형태 7에 설명한 발광 표시 장치의 화소의 회로도, 도 16(B) 내지 도 16(D)는 단면도.

도 17(A)는 실시형태 7에 설명한 발광 표시 장치의 상면도, 도 17(B)는 단면도.

도 18(A)는 실시형태 7에 설명한 전자 페이퍼의 화소의 회로도, 도 18(B)는 상면도, 도 18(C)는 단면도.

도 19는 실시형태 8에 설명한 전자 서적의 일례를 나타낸 도면.

도 20(A) 및 도 20(B)는 실시형태 9에 설명한 전자기기의 일례를 나타낸 도면.

도 21(A) 및 도 21(B)는 실시형태 9에 설명한 전자기기의 일례를 나타낸 도면.

도 22(A) 및 도 22(B)는 실시형태 9에 설명한 전자기기의 일례를 나타낸 도면.

### 발명을 실시하기 위한 구체적인 내용

이하에서는 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명으로 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세한 사항을 여러 가지로 변경할 수 있는 것은, 당업자이면 용이하게 이해된다는 점을 주목하라. 따라서, 본 발명은 이하에 나타낸 실시형태의 기재 내용으로 한정하여 해석되는 것은 아니다.

또한, 트랜지스터의 소스 단자 및 드레인 단자는 트랜지스터의 구조나 동작 조건 등에 따라 바뀌기 때문에, 어느 것이 소스 단자 또는 드레인 단자인지를 특정하는 것이 곤란하다는 점을 주목하라. 따라서, 본 명세서에서는 소스 단자 및 드레인 단자의 한쪽을 제 1 단자, 소스 단자 및 드레인 단자의 다른 한쪽을 제 2 단자라고 표기하여 구별한다.

또한, 각 실시형태의 도면 등에서 나타낸 각 구성의 크기, 층의 두께, 또는 영역은 명료화를 위해서 과장되어 표기한 경우가 있다는 점을 주목하라. 따라서, 반드시 그 스케일로 한정되지 않는다. 또한, 본 명세서에서 이용하는 「제 1」, 「제 2」, 「제 3」 등의 서수는 구성 요소의 혼동을 피하기 위해서 부여한 것이고, 수적으로 한정하는 것은 아님을 부기한다.

(실시형태 1)

본 실시형태에서는 시프트 레지스터의 구성 및 그 동작의 일례에 대하여 도 1 내지 도 7을 참조하여 설명한다. 구체적으로는, 시프트 레지스터의 동작 기간에 포함되는 일부의 기간에서 클록 신호를 공급하는 배선으로서 기능하고, 이 기간 이외의 기간에서 저전원 전위를 공급하는 배선으로서 기능하는 펄스 신호선과, 이 펄스 신호선에 전기적으로 접속된 플립플롭을 가지는 시프트 레지스터에 대하여 설명한다.

<시프트 레지스터의 구성예>

본 실시형태의 시프트 레지스터는 제 1 펄스 신호선 내지 제 6 펄스 신호선과, 제 1 플립플롭 내지 제 10 플립플롭을 가진다.

또한, 제 1 펄스 신호선(PS1)은 제 1 플립플롭(FF1) 및 제 3 플립플롭(FF3)에 전기적으로 접속되고, 제 2 펄스 신호선(PS2)은 제 5 플립플롭(FF5) 및 제 7 플립플롭(FF7)에 전기적으로 접속되고, 제 3 펄스 신호선(PS3)은 제 9 플립플롭(FF9)에 전기적으로 접속되고, 제 4 펄스 신호선(PS4)은 제 2 플립플롭(FF2) 및 제 4 플립플롭(FF4)에 전기적으로 접속되고, 제 5 펄스 신호선(PS5)은 제 6 플립플롭(FF6) 및 제 8 플립플롭(FF8)에 전기적으로 접속되고, 제 6 펄스 신호선(PS6)은 제 10 플립플롭(FF10)에 전기적으로 접속된다(도 1(A) 참조).

또한, 각 플립플롭의 출력 단자는 다음 단의 플립플롭의 입력 단자에 전기적으로 접속된다. 또한 제 1 플립플롭(FF1)의 입력 단자는 스타트 펄스(SP)를 공급하는 배선에 전기적으로 접속된다.

또한, 제 1 펄스 신호선(PS1)은 제 1 기간(t1)에서 고전원 전위와 저전원 전위를 주기적으로 반복하는 클록 신호를 공급하는 배선으로서 기능하고, 제 2 펄스 신호선(PS2)은 제 2 기간(t2)에서 클록 신호를 공급하는 배선으로서 기능하고, 제 3 펄스 신호선(PS3)은 제 3 기간(t3)에서 클록 신호를 공급하는 배선으로서 기능하고, 제 4 펄스 신호선(PS4)은 제 4 기간(t4)에서 클록 신호의 반전 신호인 반전 클록 신호를 공급하는 배선으로서 기능하고, 제 5 펄스 신호선(PS5)은 제 5 기간(t5)에서 반전 클록 신호를 공급하는 배선으로서 기능하고, 제 6 펄스 신호선(PS6)은 제 6 기간(t6)에 있어 반전 클록 신호를 공급하는 배선으로서 기능한다(도 1(B) 참조).

<시프트 레지스터의 동작예>

본 실시형태의 시프트 레지스터의 동작에 대하여 이하에 설명한다.

우선, 제 1 플립플롭(FF1)의 입력 단자에 스타트 펄스(SP)로서 고전원 전위의 신호가 입력된다. 제 1 플립플롭(FF1)은 입력된 신호를 이용해서 동작하고, 반(半)클록 주기 후에 고전원 전위의 신호를 제 1 플립플롭의 출력 신호(FF1out)로서 출력한다.

이 출력 신호(FF1out)는 제 2 플립플롭(FF2)의 입력 단자에 입력된다. 제 2 플립플롭(FF2)은 제 1 플립플롭(FF1)과 마찬가지로, 입력된 신호를 이용하여 동작하고, 반클록 주기 후에 고전원 전위의 신호를 제 2 플립플롭의 출력 신호(FF2out)로서 출력한다.

이하 마찬가지로, 고전원 전위의 신호가 다음 단의 플립플롭의 입력 단자에 입력되고, 반클록 주기 후에 이 플립플롭으로부터 고전원 전위의 신호가 출력된다.

#### <플립플롭의 구체적인 예>

본 실시형태의 플립플롭의 구체적인 회로 구성예를 도 2(A)에 나타낸다. 또한, 도 2(A)에서는, 편의상 제 1 플립플롭(FF1) 및 제 2 플립플롭(FF2)의 구성만을 나타낸다.

제 1 플립플롭(FF1)은 트랜지스터(101) 내지 트랜지스터(106)를 가진다. 또한, 여기에서는, 트랜지스터(101) 내지 트랜지스터(106)는 n채널형 트랜지스터인 것으로 한다.

트랜지스터(101)는 게이트 단자가 제 2 플립플롭(FF2)의 출력 단자에 전기적으로 접속되고, 제 1 단자가 고전원 전위(VDD)를 공급하는 배선(이하, 고전원 전위선이라고도 함)에 전기적으로 접속된다.

트랜지스터(102)는 게이트 단자가 스타트 펄스(SP)를 공급하는 배선(이하, 스타트 펄스선이라고도 함)에 전기적으로 접속되고, 제 1 단자가 트랜지스터(101)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위(VSS)를 공급하는 배선(이하, 저전원 전위선이라고도 함)에 전기적으로 접속된다.

트랜지스터(103)는 게이트 단자가 스타트 펄스선에 전기적으로 접속되고, 제 1 단자가 고전원 전위선에 전기적으로 접속된다.

트랜지스터(104)는 게이트 단자가 트랜지스터(101)의 제 2 단자 및 트랜지스터(102)의 제 1 단자에 전기적으로 접속되고, 제 1 단자가 트랜지스터(103)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

트랜지스터(105)는 게이트 단자가 트랜지스터(103)의 제 2 단자 및 트랜지스터(104)의 제 1 단자에 전기적으로 접속되고, 제 1 단자가 제 1 펄스 신호선(PS1)에 전기적으로 접속된다.

트랜지스터(106)는 게이트 단자가 트랜지스터(101)의 제 2 단자, 트랜지스터(102)의 제 1 단자 및 트랜지스터(104)의 게이트 단자에 전기적으로 접속되고, 제 1 단자가 트랜지스터(105)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

또한, 이하에서는 편의상, 트랜지스터(101)의 제 2 단자, 트랜지스터(102)의 제 1 단자, 트랜지스터(104)의 게이트 단자 및 트랜지스터(106)의 게이트 단자가 전기적으로 접속하는 점을 노드(A), 트랜지스터(103)의 제 2 단자, 트랜지스터(104)의 제 1 단자 및 트랜지스터(105)의 게이트 단자가 전기적으로 접속하는 점을 노드(B)라고 칭하기로 한다.

또한, 상기 구성에 더하여, 트랜지스터(105)의 게이트 단자 및 소스 단자 사이에 용량 소자를 형성하는 구성이어도 좋다. 이 용량 소자를 형성함으로써, 이하에서 설명하는 부트스트랩 동작을 확실히 행할 수 있다.

#### <플립플롭의 동작예>

상기 플립플롭의 동작의 일 예로서, 제 1 플립플롭(FF1)의 동작을 도 2(B)를 참조하면서 설명한다.

우선, 제 1 플립플롭(FF1)과 전기적으로 접속된 스타트 펄스선의 전위가 하이 레벨(이하, H 레벨이라고 한다)로 증가한다. 이것에 의해, H 레벨의 신호가 트랜지스터(102)의 게이트 단자 및 트랜지스터(103)의 게이트 단자에 입력된다. 그 때문에, 트랜지스터(102) 및 트랜지스터(103)가 온한다. 이것에 의해, 노드(A)의 전위가 로우 레벨(이하, L 레벨이라고 한다)로 저하하고, 노드(B)의 전위가 H 레벨로 증가한다. 이것에 따라서, 트랜지스터(105)도 온한다. 그 결과, 이 기간에서의 제 1 펄스 신호선(PS1)의 전위인 L 레벨의 전위가 제 1 플립플롭의 출력 신호(FF1out)로서 출력된다.

이어지는 기간에서 스타트 펄스선의 전위가 L 레벨로 저하한다. 그 때문에, 트랜지스터(102) 및 트랜지스터(103)가 오프(off)한다. 그 결과, 노드(A) 및 노드(B)의 전위가 부유 상태로 된다. 이 때, 트랜지스터(105)의 소스 단자와 게이트 단자 사이에는 L 레벨에서 H 레벨의 전위차가 존재하고, 노드(B)가 부유 상태가 된 것에 의해, 이 전위차가 보유된다. 즉, 트랜지스터(105)는 소스 단자의 전위 상태에 의존하지 않고, 온 상태를 유지한다. 또한, 제 1 펄스 신호선(PS1)의 전위가 H 레벨로 증가한다. 이것에 의해, 부유 상태이고 또한, 트랜지스터(105)의 게이트 단자와 전기적으로 접속된 노드(B)의 전위는 이 기간의 제 1 펄스 신호선(PS1)의 H 레벨의 전위에 의해 더욱 증가한다. 이와 같이, 부유 상태에 있는 노드(B)에 전기적으로 접속된 트랜지스터(105)의 게이트 단자와 소스 단자의 용량 결합에 의해, 노드(B)의 전위가 증가하는 동작은 부트스트랩이라고 불린다. 이상에 의해, 제 1 펄스 신호선(PS1)의 전위인 H 레벨의 전위가 제 1 플립플롭의 출력 신호(FF1out)로서 출력된다.

또한, 여기에서는, 트랜지스터(105)는 n채널형 트랜지스터이다. 즉, 제 1 펄스 신호선(PS1)의 전위가 H 레벨이 되는 이 기간에서, 트랜지스터(105)에서는 제 1 플립플롭(FF1)의 출력 단자에 전기적으로 접속하는 단자가 소스 단자가 되고, 제 1 펄스 신호선(PS1)에 전기적으로 접속하는 단자가 드레인 단자가 된다. 또한, 트랜지스터의 온, 오프는 소스 단자와 게이트 단자 사이의 전위차에 의해 정해진다. 그 때문에, 부트스트랩을 행하지 않은 n채널형 트랜지스터를 통하여, 제 1 펄스 신호선(PS1)의 H 레벨의 전위가 제 1 플립플롭의 출력 신호(FF1out)로서 출력되는 경우, 출력되는 전위는 이 H 레벨의 전위로부터 이 n채널 트랜지스터의 스레숄드 전압( $V_{th}$ )만큼 저하하게 된다. 그렇지만, 트랜지스터(105)가 부트스트랩을 행하기 때문에, 제 1 펄스 신호선(PS1)의 전위를 저하시키지 않고, 제 1 플립플롭의 출력 신호(FF1out)가 출력될 수 있다.

또한, 제 1 플립플롭(FF1)의 출력 신호인 H 레벨의 신호가, 제 2 플립플롭(FF2)에 입력된다. 여기에서는, 제 2 플립플롭(FF2)은 제 1 펄스 신호선(PS1) 대신 제 4 펄스 신호선(PS4)이 제 2 플립플롭(FF2)에 전기적으로 접속하는 점을 제외하고, 제 1 플립플롭(FF1)과 동일한 구성이 된다. 그 때문에, 제 2 플립플롭(FF2)의 회로 동작의 상세한 회로 동작에 대해서는 제 1 플립플롭(FF1)의 상기 설명을 원용한다. 이 기간에서, 제 2 플립플롭(FF2)은 이 기간에서의 제 4 펄스 신호선(PS4)의 전위인 L 레벨의 전위를 출력한다.

이어지는 기간에서 제 1 펄스 신호선(PS1)의 전위가 L 레벨로 저하함과 동시에 제 4 펄스 신호선(PS4)의 전위가 H 레벨로 증가한다. 그 결과, 제 1 플립플롭의 출력 신호(FF1out)가 L 레벨로 저하한다. 또한, 제 4 펄스 신호선(PS4)의 전위인 H 레벨의 전위가 제 2 플립플롭의 출력 신호(FF2out)로서 출력된다.

또한, 제 2 플립플롭의 출력 신호(FF2out)는 제 3 플립플롭(도시하지 않음)에 입력됨과 동시에 제 1 플립플롭(FF1)이 가지는 트랜지스터(101)의 게이트 단자에도 입력된다. 그 때문에, 제 1 플립플롭(FF1)이 가지는 트랜지스터(101)가 온하고, 이것에 의해, 노드(A)의 전위가 H 레벨이 된다. 이것에 따라, 트랜지스터(104) 및 트랜지스터(106)도 온한다. 트랜지스터(104)가 온함으로써, 노드(B)의 전위가 L 레벨로 저하한다. 즉, 트랜지스터(105)의 게이트 단자의 전위가 L 레벨로 저하한다. 그 때문에, 트랜지스터(105)가 오프한다. 더하여, 트랜지스터(106)가 온함으로써, 제 1 플립플롭의 출력 신호(FF1out)가, 이 기간에서의 트랜지스터(105)를 통한 제 1 펄스 신호(PS1)의 L 레벨로부터, 트랜지스터(106)를 통한 저전원 전위(VSS)의 L 레벨로 변화한다. 즉, 제 1 플립플롭의 출력 신호(FF1out)에 실질적인 변화는 없지만 다른 트랜지스터를 통해 출력된다.

이어지는 기간에서, 제 4 펄스 신호선(PS4)의 전위가 L 레벨로 저하한다. 즉, 제 2 플립플롭의 출력 신호(FF2out)가 L 레벨로 저하한다. 그 때문에, 제 1 플립플롭(FF1)이 가지는 트랜지스터(101)가 오프한다. 그 결과, 트랜지스터(104)의 게이트 단자에 전기적으로 접속된 노드 및 트랜지스터(106)의 게이트 단자에 전기적으로 접속된 노드가 H 레벨의 신호를 보유한 채로 부유 상태가 된다. 즉, 트랜지스터(104) 및 트랜지스터(106)는 온 상태를 유지하고, 제 1 플립플롭의 출력 신호(FF1out)는 L 레벨을 유지한다. 또한, 이 상태는 제 1 플립플롭(FF1)의 입력 단자에, 재차 H 레벨의 전위가 입력될 때까지 유지된다.

도 2(A)에 나타난 제 1 플립플롭(FF1)은 상기 동작에 의해, 입력된 신호를 반클록 주기분 지연시켜 출력할 수 있다.

#### <펄스 신호선의 일례>

본 실시형태의 시프트 레지스터가 가지는 제 1 펄스 신호선(PS1) 내지 제 6 펄스 신호선(PS6)은 동작 기간에 포함되는 일부의 기간에서 클록 신호를 공급하는 배선으로서 기능하고, 이 기간 이외의 기간에서는 저전원 전위를 공급하는 배선으로서 기능한다. 이 기능을 가지는 배선의 일례에 대하여 도 3 및 도 4를 참조하면서 이하에 서술한다.

도 3(A)에 나타난 제 1 펄스 신호선(PS1) 내지 제 6 펄스 신호선(PS6)의 각각은, 클록 신호 선택용 트랜지스터



(111, 112, 113) 및 반전 클록 신호 선택용 트랜지스터(114, 115, 116) 중 어느 하나의 소스 단자 및 드레인 단자를 통하여, 기준 클록 신호선(CK) 또는 기준 반전 클록 신호선(CKB)과 전기적으로 접속된다. 또한, 여기에서는, 클록 신호 선택용 트랜지스터(111, 112, 113) 및 반전 클록 신호 선택용 트랜지스터(114, 115, 116)는 n채널형 트랜지스터인 점을 주목하라.

구체적으로는, 클록 신호 선택용 트랜지스터(111)는 게이트 단자가 제어 단자(a)에 전기적으로 접속되고, 제 1 단자가 제 1 펄스 신호선(PS1)에 전기적으로 접속되고, 제 2 단자가 기준 클록 신호선(CK)에 전기적으로 접속된다. 클록 신호 선택용 트랜지스터(112)는 게이트 단자가 제어 단자(b)에 전기적으로 접속되고, 제 1 단자가 제 2 펄스 신호선(PS2)에 전기적으로 접속되고, 제 2 단자가 기준 클록 신호선(CK)에 전기적으로 접속된다. 클록 신호 선택용 트랜지스터(113)는 게이트 단자가 제어 단자(c)에 전기적으로 접속되고, 제 1 단자가 제 3 펄스 신호선(PS3)에 전기적으로 접속되고, 제 2 단자가 기준 클록 신호선(CK)에 전기적으로 접속된다.

반전 클록 신호 선택용 트랜지스터(114)는 게이트 단자가 제어 단자(d)에 전기적으로 접속되고, 제 1 단자가 제 4 펄스 신호선(PS4)에 전기적으로 접속되고, 제 2 단자가 기준 반전 클록 신호선(CKB)에 전기적으로 접속된다. 반전 클록 신호 선택용 트랜지스터(115)는 게이트 단자가 제어 단자(e)에 전기적으로 접속되고, 제 1 단자가 제 5 펄스 신호선(PS5)에 전기적으로 접속되고, 제 2 단자가 기준 반전 클록 신호선(CKB)에 전기적으로 접속된다. 반전 클록 신호 선택용 트랜지스터(116)는 게이트 단자가 제어 단자(f)에 전기적으로 접속되고, 제 1 단자가 제 6 펄스 신호선(PS6)에 전기적으로 접속되고, 제 2 단자가 기준 반전 클록 신호선(CKB)에 전기적으로 접속된다.

또한, 도 3(B)에 나타낸 바와 같이, 기준 클록 신호선은 기간에 상관없이 고전원 전위 및 저전원 전위를 주기적으로 반복하는 클록 신호를 공급하는 배선이고, 반전 클록 신호선은 기간에 상관없이 클록 신호의 반전 신호인 반전 클록 신호를 공급하는 배선이다.

또한, 제어 단자(a)의 전위는 제 1 기간(t1)에서 H 레벨이 되고, 그 이외의 기간에서 L 레벨이 된다. 이것에 의해, 제 1 펄스 신호선(PS1)을 제 1 기간(t1)에서 클록 신호를 공급하는 배선으로서 기능시킬 수 있다. 또한, 바꿔 말하면, 제 1 기간은 제어 단자(a)의 전위가 H 레벨이 되는 기간이다.

마찬가지로, 제어 단자(b~f)의 전위는 각각 제 2 기간(t2)~제 6 기간(t6) 중 어느 기간에 H 레벨이 되고, 그 이외의 기간에서 L 레벨이 된다. 이것에 의하여 제 2 펄스 신호선을 제 2 기간에서, 제 3 펄스 신호선을 제 3 기간에서 클록 신호를 공급하는 배선으로서 기능시키고, 제 4 펄스 신호선을 제 4 기간에서, 제 5 펄스 신호선을 제 5 기간에서, 제 6 펄스 신호선을 제 6 기간에서 반전 클록 신호를 공급하는 배선으로서 기능시킬 수 있다. 또한, 바꿔 말하면, 제 2 기간(t2)~제 6 기간(t6)은 각각 제어 단자(b~f)의 전위가 H 레벨이 되는 기간이다.

또한, 도 4(A)에 나타낸 제 1 펄스 신호선(PS1) 내지 제 6 펄스 신호선(PS6)의 각각은 저전원 전위 선택용 트랜지스터(121~126) 중 어느 하나의 소스 단자 및 드레인 단자를 통하여, 저전원 전위(VSS)를 공급하는 배선과 전기적으로 접속된다. 또한, 여기에서는, 저전원 전위 선택용 트랜지스터(121~126)는 n채널형 트랜지스터라는 점을 주목하라.

저전원 전위 선택용 트랜지스터(121)는 게이트 단자가 제어 단자(g)에 전기적으로 접속되고, 제 1 단자가 제 1 펄스 신호선(PS1)에 전기적으로 접속되고, 제 2 단자가 저전원 전위(VSS)를 공급하는 배선에 전기적으로 접속된다. 저전원 전위 선택용 트랜지스터(122)는 게이트 단자가 제어 단자(h)에 전기적으로 접속되고, 제 1 단자가 제 2 펄스 신호선(PS2)에 전기적으로 접속되고, 제 2 단자가 저전원 전위(VSS)를 공급하는 배선에 전기적으로 접속된다. 저전원 전위 선택용 트랜지스터(123)는 게이트 단자가 제어 단자(i)에 전기적으로 접속되고, 제 1 단자가 제 3 펄스 신호선(PS3)에 전기적으로 접속되고, 제 2 단자가 저전원 전위(VSS)를 공급하는 배선에 전기적으로 접속된다. 저전원 전위 선택용 트랜지스터(124)는 게이트 단자가 제어 단자(j)에 전기적으로 접속되고, 제 1 단자가 제 4 펄스 신호선(PS4)에 전기적으로 접속되고, 제 2 단자가 저전원 전위(VSS)를 공급하는 배선에 전기적으로 접속된다. 저전원 전위 선택용 트랜지스터(125)는 게이트 단자가 제어 단자(k)에 전기적으로 접속되고, 제 1 단자가 제 5 펄스 신호선(PS5)에 전기적으로 접속되고, 제 2 단자가 저전원 전위(VSS)를 공급하는 배선에 전기적으로 접속된다. 저전원 전위 선택용 트랜지스터(126)는 게이트 단자가 제어 단자(l)에 전기적으로 접속되고, 제 1 단자가 제 6 펄스 신호선(PS6)에 전기적으로 접속되고, 제 2 단자가 저전원 전위(VSS)를 공급하는 배선에 전기적으로 접속된다.

또한, 제어 단자(g)의 전위는 제 1 기간(t1)에서 L 레벨이 되고, 그 이외의 기간에서 H 레벨이 된다. 이것에 의해, 제 1 펄스 신호선(PS1)을 제 1 기간(t1) 이외의 기간에서 저전원 전위(VSS)를 공급하는 배선으로서 기능

시킬 수 있다.

마찬가지로, 제어 단자( $h-1$ )의 전위는 각각 제 2 기간( $t_2$ )~제 6 기간( $t_6$ )에서 L 레벨이 되고, 그 이외의 기간에서 H 레벨이 된다. 이것에 의해 제 2 펄스 신호선을 제 2 기간 이외의 기간에서, 제 3 펄스 신호선을 제 3 기간 이외의 기간에서, 제 4 펄스 신호선을 제 4 기간 이외의 기간에서, 제 5 펄스 신호선을 제 5 기간 이외의 기간에서, 제 6 펄스 신호선을 제 6 기간 이외의 기간에서, 저전원 전위(VSS)를 공급하는 배선으로서 기능시킬 수 있다.

본 실시형태의 시프트 레지스터는 클록 신호가 1개의 배선에 의해 공급되는 것이 아니라, 복수의 배선에 의해 공급된다. 또한, 이 복수의 배선 중 어느 하나는, 시프트 레지스터의 동작 기간을 통하여 클록 신호를 공급하는 것이 아니라 일부의 기간에서만 클록 신호를 공급한다. 그 때문에, 클록 신호의 공급에 따라서 구동되는 용량 부하를 저감할 수 있다. 그 결과, 시프트 레지스터의 소비 전력을 저감할 수 있다.

#### <변형예>

상기 시프트 레지스터는 실시형태의 일례이고, 상기 설명과는 상이한 점을 가지는 시프트 레지스터도 본 실시형태에는 포함된다.

예를 들어, 상기 시프트 레지스터에서는 각 펄스 신호선에 대하여 2개의 플립플롭이 전기적으로 접속된 시프트 레지스터에 대하여 나타내었지만(도 1(A) 참조), 각 펄스 신호선에 대하여 보다 많은 플립플롭이 전기적으로 접속되는 구성이어도 좋다. 구체적으로는, 도 5(A)에 나타난 바와 같이, 각 펄스 신호선에 대하여  $x$ ( $x$ 는 3 이상의 자연수)개의 플립플롭이 전기적으로 접속되는 구성 등으로 할 수 있다.

또한, 상기 시프트 레지스터에서는 6개의 펄스 신호선을 가지는 시프트 레지스터에 대하여 나타내었지만(도 1(A) 참조), 보다 많은 펄스 신호선을 가지는 구성이어도 좋다. 구체적으로는, 도 5(B)에 나타난 바와 같이, 동작 기간에 포함되는 일부의 기간에서 클록 신호를 공급하는 제 1 펄스 신호선(PS1) 내지 제  $y$ ( $y$ 는 4 이상의 자연수)의 펄스 신호선(PS $y$ )과, 동작 기간에 포함되는 일부의 기간에서 반전 클록 신호를 공급하는 제  $y+1$  펄스 신호선(PS $y+1$ ) 내지 제  $2y$  펄스 신호선(PS $2y$ )을 가지고, 각 펄스 신호선에 2개의 플립플롭이 전기적으로 접속되는 구성 등으로 할 수 있다.

또한, 상기 시프트 레지스터에서는 각 펄스 신호선에 대하여 2개의 플립플롭이 전기적으로 접속되고 또한, 6개의 펄스 신호선을 가지는 시프트 레지스터에 대하여 나타내었지만(도 1(A) 참조), 각 펄스 신호선에 대하여 보다 많은 플립플롭이 전기적으로 접속되고 또한, 보다 많은 펄스 신호선을 가지는 구성이어도 좋다. 구체적으로는, 도 5(C)에 나타난 바와 같이, 동작 기간에 포함되는 일부의 기간에서 클록 신호를 공급하는 제 1 펄스 신호선(PS1) 내지 제  $y$ ( $y$ 는 4 이상의 자연수) 펄스 신호선(PS $y$ )과, 동작 기간에 포함되는 일부의 기간에서 반전 클록 신호를 공급하는 제  $y+1$  펄스 신호선(PS $y+1$ ) 내지 제  $2y$  펄스 신호선(PS $2y$ )을 가지고, 각 펄스 신호선에  $x$ 개의 플립플롭이 전기적으로 접속되는 구성 등으로 할 수 있다.

또한, 상기 시프트 레지스터에서는 각 펄스 신호선에 전기적으로 접속되는 플립플롭의 개수가 각각 동일한 시프트 레지스터에 대하여 나타내었지만(도 1(A), 도 5(A)~(C) 참조), 전기적으로 접속되는 플립플롭의 개수가 펄스 신호선마다 상이한 구성이어도 좋다. 구체적으로는, 도 6(A)에 나타난 바와 같이, 제 1 펄스 신호선(PS1) 및 제 4 펄스 신호선(PS4)에는  $x$ 개의 플립플롭이 전기적으로 접속되고, 제 2 펄스 신호선(PS2) 및 제 5 펄스 신호선(PS5)에는  $z$ ( $z$ 는  $x$ 와 다른 2 이상의 자연수)개의 플립플롭이 전기적으로 접속되는 구성 등으로 할 수 있다.

또한, 상기 시프트 레지스터에서는 제 1 펄스 신호선(PS1)과 제 4 펄스 신호선(PS4)에 전기적으로 접속되는 플립플롭의 개수가 각각 동일한 시프트 레지스터에 대하여 나타내었지만(도 1(A), 도 5(A) 및 도 6(A) 참조), 제 1 펄스 신호선(PS1)과, 제 4 펄스 신호선(PS4)에서 전기적으로 접속되는 플립플롭의 개수가 상이하여도 좋다. 구체적으로는, 도 6(B)에 나타난 바와 같이, 제 1 펄스 신호선(PS1)에는  $x$ 개의 플립플롭이 전기적으로 접속되고, 제 4 펄스 신호선(PS4)에는  $x+z$ 개의 플립플롭이 전기적으로 접속되는 구성 등으로 할 수 있다.

또한, 상기 시프트 레지스터에서는 제 1 기간( $t_1$ )과 제 2 기간( $t_2$ )이 중첩하지 않는 시프트 레지스터에 대하여 나타내었지만(도 1(B) 참조), 제 1 기간( $t_1$ )과 제 2 기간( $t_2$ )이 중첩하는 기간을 가지는 구성이어도 좋다. 구체적으로는, 도 6(C)에 나타난 바와 같이, 제 1 기간( $t_1$ )과 제 2 기간( $t_2$ )이 중첩하는 기간( $T$ )을 포함하는 구성 등으로 할 수 있다. 단적으로 설명하면, 도 1(B) 및 도 6(C)에 나타난 바와 같이, 시프트 레지스터가 가지는 복수의 펄스 신호선 중 적어도 하나가 클록 신호를 공급하는 배선으로서 기능하고 또한, 이 복수의 펄스 신호선 중 적어도 하나가 반전 클록 신호를 공급하는 배선으로서 기능하도록, 각 기간을 제공하면 좋다.

또한, 도 2(A)에 나타난 플립플롭의 회로 구성은 일례이고, 입력된 신호를 지연하여 출력하는 회로라면 어떠한 회로 구성이어도 좋다. 구체적으로는, 도 7(A)에 나타난 회로 등을 본 실시형태의 플립플롭에 적용하는 것이 가능하다.

도 7(A)에 나타난 제 1 플립플롭(FF1)은 트랜지스터(131) 내지 트랜지스터(134)를 가진다. 또한, 여기에서는, 트랜지스터(131) 내지 트랜지스터(134)는 n채널형 트랜지스터로 한다.

트랜지스터(131)는 게이트 단자 및 제 1 단자가 스타트 펄스선에 전기적으로 접속된다.

트랜지스터(132)는 게이트 단자가 제 2 플립플롭(FF2)의 출력 단자에 전기적으로 접속되고, 제 1 단자가 트랜지스터(131)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

트랜지스터(133)는 게이트 단자가 트랜지스터(131)의 제 2 단자 및 트랜지스터(132)의 제 1 단자에 전기적으로 접속되고, 제 1 단자가 제 1 펄스 신호선(PS1)에 전기적으로 접속된다.

트랜지스터(134)는 게이트 단자가 제 2 플립플롭(FF2)의 출력 단자에 전기적으로 접속되고, 제 1 단자가 트랜지스터(133)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 저전원 전위선에 전기적으로 접속된다.

또한, 이하에서는, 편의상 트랜지스터(131)의 제 2 단자, 트랜지스터(132)의 제 1 단자 및 트랜지스터(133)의 게이트 단자가 전기적으로 접속하는 점을 노드(C)라고 부르기로 하는 점을 주목하라.

이하에, 도 7(A)에 나타난 제 1 플립플롭(FF1)의 동작에 대하여 도 7(B)을 참조하여 설명한다.

우선, 제 1 플립플롭(FF1)과 전기적으로 접속된 스타트 펄스선의 전위가 H 레벨로 증가한다. 이것에 의해, H 레벨의 신호가 트랜지스터(131)의 게이트 단자 및 제 1 단자에 입력되고, 다이오드 접속된 트랜지스터(131)가 온한다. 이것에 의해, 노드(C)의 전위가 H 레벨로 증가한다. 이것에 따라, 트랜지스터(133)도 온한다. 그 결과, 이 기간에서의 제 1 펄스 신호선(PS1)의 전위인 L 레벨의 전위가 제 1 플립플롭의 출력 신호(FF1out)로서 출력된다.

이어지는 기간에서, 스타트 펄스선의 전위가 L 레벨로 저하한다. 그 때문에 트랜지스터(131)가 오프한다. 이것에 의해, 노드(C)의 전위가 부유 상태가 된다. 이때, 트랜지스터(131)의 소스 단자와 게이트 단자 사이에는 L 레벨에서 H 레벨의 전위차가 존재하고, 노드(C)가 부유 상태가 된 것에 의해, 이 전위차가 보유된다. 즉, 트랜지스터(131)는 소스 단자의 전위 상태에 의존하지 않고, 온 상태로 유지한다. 또한, 제 1 펄스 신호선(PS1)의 전위가 H 레벨로 증가한다. 이것에 의해, 부유 상태이고 또한, 트랜지스터(133)의 게이트 단자와 전기적으로 접속된 노드(C)의 전위는 이 기간의 제 1 펄스 신호선(PS1)의 H 레벨의 전위에 의해 더욱 증가한다. 이상에 의해, 제 1 펄스 신호선(PS1)의 전위인 H 레벨의 전위가 제 1 플립플롭의 출력 신호(FF1out)로서 출력된다.

또한, 제 1 플립플롭(FF1)의 출력 신호인 H 레벨의 신호가, 제 2 플립플롭(FF2)에 입력된다. 여기에서는, 제 2 플립플롭(FF2)은 제 1 펄스 신호선(PS1) 대신 제 4 펄스 신호선(PS4)이 제 2 플립플롭(FF2)에 전기적으로 접속하는 점을 제외하고, 제 1 플립플롭(FF1)과 동일한 구성이 된다. 그 때문에, 제 2 플립플롭(FF2)의 회로 동작의 상세한 회로 동작에 대해서는 제 1 플립플롭(FF1)의 상기 설명을 원용한다. 이 기간에서는 제 2 플립플롭(FF2)은 이 기간에서의 제 4 펄스 신호선(PS4)의 전위인 L 레벨의 전위를 출력한다.

이어지는 기간에서, 제 1 펄스 신호선(PS1)의 전위가 L 레벨로 저하함과 동시에 제 4 펄스 신호선(PS4)의 전위가 H 레벨로 증가한다. 그 결과, 제 1 플립플롭의 출력 신호(FF1out)가 L 레벨로 저하한다. 또한, 제 4 펄스 신호선(PS4)의 전위인 H 레벨의 전위가 제 2 플립플롭의 출력 신호(FF2out)로서 출력된다.

또한, 제 2 플립플롭의 출력 신호(FF2out)는 제 3 플립플롭(도시하지 않음)에 입력됨과 동시에 제 1 플립플롭(FF1)이 가지는 트랜지스터(132) 및 트랜지스터(134)의 게이트 단자에도 입력된다. 그 때문에, 제 1 플립플롭(FF1)이 가지는 트랜지스터(132) 및 트랜지스터(134)가 온한다. 이것에 의해, 트랜지스터(132)의 게이트 단자(노드(C))의 전위가 L 레벨이 되고 또한, 제 1 플립플롭의 출력 신호(FF1out)가 이 기간에서의 트랜지스터(133)를 통한 제 1 펄스 신호(PS1)의 L 레벨에서, 트랜지스터(134)를 통한 저전원 전위(VSS)의 L 레벨로 변화한다.

이어지는 기간에서, 제 4 펄스 신호선(PS4)의 전위가 L 레벨로 저하한다. 즉, 제 2 플립플롭의 출력 신호(FF2out)가 L 레벨로 저하한다. 그 때문에, 제 1 플립플롭(FF1)이 가지는 트랜지스터(132) 및 트랜지스터(134)가 오프한다. 또한, 이 상태는, 제 1 플립플롭(FF1)의 입력 단자에, 제 4 H 레벨의 전위가 입력될 때까지 유지된다.

도 7(A)에 나타난 제 1 플립플롭(FF1)은 상기 동작에 의해 입력된 신호를 반클록 주기분 지연시켜 출력할 수 있

다. 그 때문에, 본 실시형태의 플립플롭에 적용하는 것이 가능하다.

또한, 본 실시형태의 내용 또는 이 내용의 일부는 다른 실시형태의 내용 또는 그 내용의 일부와 자유롭게 조합하는 것이 가능하다는 점을 주목하라.

(실시형태 2)

본 실시형태에서는 실시형태 1에 나타난 시프트 레지스터를 구성하는 트랜지스터에 적용할 수 있는 트랜지스터의 일례에 대하여 설명한다.

본 실시형태에서의 트랜지스터 구조예에 대하여 도 8을 이용하여 설명한다. 도 8은 본 실시형태에서의 트랜지스터 구조의 일례를 나타낸 도면이고, 도 8(A)는, 이 트랜지스터의 상면도이고, 도 8(B)는 도 8(A)의 선분 Z1-Z2에서의 단면도이다.

도 8(A) 및 도 8(B)에 나타난 트랜지스터는 기판(201) 위의 도전층(211)과, 도전층(211) 위의 절연층(202)과, 절연층(202) 위의 산화물 반도체층(213)과, 산화물 반도체층(213) 위의 도전층(215a) 및 도전층(215b)을 가진다.

또한, 이 트랜지스터에서 도전층(211)은 게이트 단자로서 기능하고, 절연층(202)은 게이트 절연층으로서 기능하고, 도전층(215a) 및 도전층(215b)의 한쪽은 소스 단자로서 기능하고, 다른 한쪽은 드레인 단자로서 기능한다는 점을 주목하라. 또한, 산화물 반도체층(213)은 채널 형성 영역을 가진다. 또한, 산화물 반도체층(213)은 형성 시에 탈수화 또는 탈수소화 처리가 시행된다.

또한, 도 8(A) 및 도 8(B)에 나타난 트랜지스터는 산화물 반도체층(213)에 탈수화 처리 또는 탈수소화 처리가 시행될 뿐만 아니라, 산화물 반도체층(213)의 일부에 접하여 산화물 절연층(207)이 형성된다. 탈수화 또는 탈수소화 처리가 시행된 후에, 산화물 절연층(207)이 형성된 산화물 반도체층(213)을 채널 형성 영역으로서 이용한 트랜지스터는 장기간의 사용이나 고부하에 따르는 스레숄드 전압( $V_{th}$ )의 시프트가 일어나기 어렵기 때문에, 신뢰성이 높다.

또한, 산화물 절연층(207) 위에 질화물 절연층을 형성해도 좋다는 점을 주목하라. 질화물 절연층은 산화물 절연층(207)의 하방에 형성하는 절연층(202) 또는 베이스가 되는 절연층과 접하는 구성으로 하여, 기판의 측면 근방으로부터의 수분이나, 수소 이온이나,  $OH^-$  등의 불순물이 침입하는 것을 차단하는 것이 바람직하다. 특히, 산화물 절연층(207)과 접하는 절연층(202) 또는 베이스가 되는 절연층을 질화 규소층으로 하면 유효하다. 즉, 산화물 반도체층(213)의 하면, 상면 및 측면을 둘러싸도록 질화 규소층을 형성하면, 트랜지스터의 신뢰성이 향상된다.

또한, 산화물 절연층(207) 위(질화물 절연층을 가지는 경우에는 질화물 절연층 위)에 평탄화 절연층을 형성할 수도 있다.

또한, 본 실시형태의 트랜지스터는 도 8(C)에 나타난 바와 같이, 산화물 반도체층(213)의 일부 위에 산화물 도전층(214a) 및 산화물 도전층(214b)이 형성되고, 산화물 도전층(214a)에 접하도록 도전층(215a)이 형성되고, 산화물 도전층(214b)에 접하도록 도전층(215b)이 형성된 구조로 할 수도 있다.

산화물 도전층(214a) 및 산화물 도전층(214b)은 산화물 반도체층(213)보다 높은 도전율을 가지고, 트랜지스터(251)의 소스 영역(저저항 소스 영역이라고도 함) 및 드레인 영역(저저항 드레인 영역이라고도 함)으로서 기능한다.

산화물 도전층(214a) 및 산화물 도전층(214b)을 형성하기 위해서 이용되는 산화물 도전막의 재료로서는, 예를 들어 가시광에 대하여 투광성을 가지는 도전 재료, 예를 들어 In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-Sn-O계, In-O계, Sn-O계, Zn-O계의 금속 산화물을 적용할 수 있고, 막 두께는 1 nm 이상 300 nm 이하의 범위 내에서 적절히 선택한다. 또한, 스퍼터법을 이용하는 경우,  $SiO_2$ 를 2 중량 % 이상 10 중량 % 이하 포함하는 타겟을 이용해서 성막을 행하고, 투광성을 가지는 도전막에 결정화를 저해하는  $SiO_x$  ( $X > 0$ )를 포함시켜서, 후의 공정에서 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 산화물 반도체층(213)이 결정화하게 되는 것을 억제할 수 있다.

또한, 예를 들어 In-Ga-Zn-O계막을 산화물 반도체층에 이용하는 경우, 채널 형성 영역으로서 기능하는 산화물 반도체층(213)과, 산화물 도전층(214a) 및 산화물 도전층(214b)을 상이한 성막 조건에 의해, 나누어 만들 수

있다.

예를 들어, 스퍼터법으로 성막하는 경우, 아르곤 가스 중에서 성막한 산화물 반도체막으로 형성한 산화물 도전층(214a) 및 산화물 도전층(214b)은 N형의 도전형을 가지고, 활성화 에너지( $\Delta E$ )가 0.01 eV 이상 0.1 eV 이하이다.

또한, 본 실시형태에서 산화물 도전층(214a) 및 산화물 도전층(214b)은 In-Ga-Zn-O계막이며, 적어도 아몰퍼스 성분을 포함하도록 한다. 또한, 산화물 도전층(214a) 및 산화물 도전층(214b) 중에 결정립(나노 크리스탈)을 포함하는 경우가 있다. 이 산화물 도전층(214a) 및 산화물 도전층(214b) 중의 결정립(나노 크리스탈)은 직경 1 nm~10 nm, 대표적으로는 2 nm~4 nm 정도이다.

산화물 도전층(214a) 및 산화물 도전층(214b)은 반드시 형성할 필요는 없지만, 채널 형성 영역으로서 기능하는 산화물 반도체층(213)과 소스 단자 및 드레인 단자로서 기능하는 도전층(215a) 내지 도전층(215b)의 사이에 산화물 도전층(214a) 및 산화물 도전층(214b)을 형성함으로써, 양호한 전기적인 접합을 얻을 수 있고, 트랜지스터(251)는 안정한 동작을 행할 수 있다. 또한, 높은 드레인 전압에서도 양호한 이동도를 보유할 수도 있다.

또한, 도 8(A) 및 도 8(B)에 나타난 트랜지스터는 도 9(A) 및 도 9(B)에 나타난 바와 같이, 산화물 절연층(207)(절화물 절연층을 가지는 경우에는 산화물 절연층(207) 및 절화물 절연층)을 끼워 산화물 반도체층(213) 위에 도전층(217)을 가지는 구조로 할 수도 있다. 도 9(A) 및 도 9(B)는 본 실시형태의 트랜지스터의 구조의 일례를 나타낸 도면이고, 도 9(A)는 이 트랜지스터의 상면도이고, 도 9(B)는 도 9(A)의 선분 Z1-Z2에서의 단면도이다. 도전층(217)은 제 2 게이트 단자로서의 기능을 가지고, 제 2 게이트 단자를 통하여 제 2 게이트 전압을 도전층(217)에 인가함으로써, 트랜지스터(251)의 스레숄드 전압을 제어할 수 있다. 또한, 평탄화 절연층을 형성하는 경우에는, 평탄화 절연층 위에 도전층(217)을 형성할 수도 있다.

예를 들어, 제 2 게이트 단자의 전압을 소스 단자의 전압보다 높아지도록 하면, 트랜지스터의 스레숄드 전압은 부(負)의 방향으로 시프트하고, 소스 단자의 전압보다 낮아지도록 하면, 트랜지스터의 스레숄드 전압은 정(正)의 방향으로 시프트한다.

도 8 및 도 9에 일례로서 나타난 바와 같이, 본 실시형태의 트랜지스터는 채널 형성 영역으로서 기능을 하는 산화물 반도체 층을 이용한 트랜지스터이다. 따라서, 이 트랜지스터는 채널 형성 영역에 아몰퍼스 실리콘을 이용한 종래의 트랜지스터에 비해, 높은 이동도를 가진다. 그 때문에, 이 트랜지스터에 의해 구성되는 시프트 레지스터는 고속 동작을 행할 수 있다.

또한, 도 8(A) 및 도 8(C)에 나타난 트랜지스터를 복수 이용하는 경우의 일형태에 대하여 도 10을 이용하여 설명한다. 도 10은, 본 발명의 일 양태인 시프트 레지스터에 적용할 수 있는 복수의 트랜지스터 구조의 일례를 나타낸 도면이고, 도 10(A)은 2개의 트랜지스터의 상면도이고, 도 10(B)는 도 10(A)의 선분 X1-X2에서의 단면도이다.

도 10(A)에서는 트랜지스터(251) 및 트랜지스터(252)를 나타낸다. 또한, 여기에서는 일례로서 산화물 반도체층과, 소스 단자 또는 드레인 단자로서 기능하는 도전층 사이에 산화물 도전층을 가지는 구조에 대하여 나타낸다.

트랜지스터(251)는 도 8(A) 및 도 8(C)에 나타난 트랜지스터이다. 그 때문에, 여기에서는 상기 설명을 원용하기로 한다.

트랜지스터(252)는 기판(201) 위의 도전층(211)과, 도전층(211) 위의 절연층(202)과, 절연층(202) 위의 산화물 반도체층(213)과, 산화물 반도체층(213) 위의 산화물 도전층(214a) 및 산화물 도전층(214b)과, 도전층(215a) 및 도전층(215b)을 가진다.

또한, 트랜지스터(252)에서 도전층(211)은 게이트 단자로서 기능하고, 절연층(202)은 게이트 절연층으로서 기능하고, 산화물 반도체층(213)보다 도전율이 높은 산화물 도전층(214a) 및 산화물 도전층(214b)은 소스 영역(저저항 소스 영역이라고도 함) 또는 드레인 영역(저저항 드레인 영역이라고도 함)으로서 기능하고, 도전층(215a), 도전층(215b)은 소스 단자 또는 드레인 단자로서 기능한다. 또한, 산화물 반도체층(213)은 채널 형성 영역을 가진다. 또한, 산화물 반도체층(213)은 형성 시에 탈수화 또는 탈수소화 처리가 시행된다.

또한, 도 10(A) 및 도 10(B)에 나타난 트랜지스터(251) 및 트랜지스터(252)는 산화물 반도체층에 탈수화 처리 또는 탈수소화 처리가 시행될 뿐만 아니라, 산화물 반도체층(213) 및 산화물 반도체층(2132)의 일부에 접하여 산화물 절연층(207)이 형성된다.

또한, 트랜지스터(251)의 도전층(211)은 게이트 절연층(202)에 형성된 개구부를 통하여 도전층(215b)에 접한다. 이것에 의해 양호한 컨택트를 얻을 수 있어, 접촉 저항을 저감할 수 있다. 따라서 개구의 수의 저감, 개구의 수의 저감에 의한 점유 면적의 축소를 도모할 수 있다. 따라서 예를 들어 이 구조인 2개의 트랜지스터를 이용하여 논리 회로(예를 들면 인버터) 등을 구성할 수도 있다.

도 10에 일례로서 나타낸 바와 같이, 실시형태 1에 나타낸 시프트 레지스터에서는 어느 트랜지스터의 게이트 단자로서 기능하는 도전층이 게이트 절연층으로서 기능하는 절연층에 형성된 개구부를 통하여 다른 트랜지스터의 소스 단자 또는 드레인 단자에 전기적으로 접속된 구조로 할 수도 있다.

다음으로, 도 8(B)에 나타낸 트랜지스터의 제작 방법의 일례에 대하여 도 11(A)~(D)를 이용해서 설명한다. 도 11(A)~(D)는 도 8(B)에 나타낸 트랜지스터의 제작 방법의 일례를 나타낸 단면도이다.

또한, 이하에서 「막」이란, 기판 전체 면에 형성된 것이며, 후에 포토리소그래피 공정 등에 의해 소망의 형상으로 가공되는 것이, 가공 전의 상태인 것을 말한다. 그리고, 「층」이란, 「막」으로부터 포토리소그래피 공정 등에 의해 소망의 형상으로 가공, 형성된 것 및 기판 전체 면에 형성하는 것을 목적으로 하는 것을 말한다.

우선, 기판(201)을 준비하여, 기판(201) 위에 도전막을 형성한 후, 제 1 포토리소그래피 공정에 의해 도전층(211)을 형성한다(도 11(A) 참조). 또한, 형성된 도전층(211)은 테이퍼 형상인 것이 바람직하다. 도전층(211)을 테이퍼 형상으로 함으로써, 상부에 접하는 막과의 밀착성을 높일 수 있다.

기판(201)으로서는 절연 표면을 가지고, 적어도, 후의 가열 처리에 견딜 수 있을 정도의 내열성을 가진 것이 필요하다. 기판(201)으로서는, 예를 들어 유리 기판 등을 이용할 수 있다.

또한, 유리 기판으로서는, 후의 가열 처리의 온도가 높은 경우에는, 변형점이 730℃ 이상의 것을 이용하면 좋다. 또한, 유리 기판에는 예를 들어, 알루미늄노 실리케이트 유리, 알루미늄노 붕규산 유리, 바륨 붕규산 유리 등의 유리 재료가 이용된다. 일반적으로, 붕산( $B_2O_3$ )과 비교하여 산화 바륨( $BaO$ )을 많이 포함시킴으로써, 보다 실용적인 내열 유리를 얻을 수 있다. 이 때문에,  $B_2O_3$ 보다  $BaO$ 를 많이 포함하는 유리 기판을 이용하는 것이 바람직하다.

또한, 상기 유리 기판 대신에, 기판(201)으로서 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연체로 이뤄지는 기판을 이용해도 좋다. 그 밖에도, 결정화 유리 기판 등을 이용할 수 있다.

또한, 베이스층이 되는 절연층을 기판(201)과, 도전층(211) 사이에 형성해도 좋다. 베이스층은 기판(201)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 규소, 산화 규소, 질화 산화 규소 또는 산화 질화 규소에 의해 구성되는 층 또는 그러한 층에 의한 적층 구조에 의해 형성할 수 있다.

도전층(211)을 형성하기 위한 도전막의 재료로서는 예를 들어 몰리브덴, 티탄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용할 수 있고, 도전층(211)을 형성하기 위한 도전막은 이러한 재료 중 어느 하나 또는 복수를 포함하는 막의 단층막 또는 적층막에 의해 형성할 수 있다.

또한, 도전층(211)을 형성하기 위한 도전막은 티탄층 위에 알루미늄층과 이 알루미늄층 위에 티탄층이 적층된 3층의 적층 구조, 또는 몰리브덴층 위에 알루미늄층층과, 이 알루미늄층층 위에 몰리브덴층을 적층한 3층의 적층 구조로 하는 것이 바람직하다. 물론, 도전막으로서 단층, 2층 구조 또는 4층 이상의 적층 구조로 해도 좋다. 또한, 도전막으로서 티탄막, 알루미늄막 및 티탄막의 적층 도전막을 이용했을 경우는, 염소 가스를 이용한 드라이 에칭법으로 에칭할 수 있다.

다음으로, 도전층(211) 위에 절연층(202)을 형성한다.

절연층(202)은 플라즈마 CVD법 또는 스퍼터법 등을 이용하고, 산화 규소층, 질화 규소층, 산화 질화 규소층 또는 질화 산화 규소층을 단층으로 또는 적층하여 형성할 수 있다. 예를 들어, 성막 가스로서  $SiH_4$ , 산소 및 질소를 이용하여 플라즈마 CVD법에 의해 산화 질화 규소층을 형성하면 좋다. 절연층(202)의 막 두께는 100 nm 이상 500 nm 이하로 하고, 적층의 경우는 예를 들어, 막 두께 50 nm 이상 200 nm 이하의 제 1 절연층과, 제 1 절연층 위에 막 두께 5 nm 이상 300 nm 이하의 제 2 절연층의 적층으로 한다. 또한, 절연층(202)으로서 인 또는 붕소가 도핑된 실리콘 타겟재를 이용하여 성막된 산화 실리콘막을 이용함으로써 불순물(수분이나, 수소 이온이나,  $OH^-$  등)의 침입을 억제할 수 있다.

본 실시형태에서는 일례로서 플라즈마 CVD법에 의해 막 두께 200 nm의 질화 규소를 성막함으로써 절연층(202)을 형성한다.

다음으로, 절연층(202) 위에 산화물 반도체막을 형성한다. 산화물 반도체막의 막 두께는 2 nm 이상 200 nm 이하인 것이 바람직하다. 예를 들어 산화물 반도체막의 막 두께를 50 nm 이하로 얇게 함으로써, 산화물 반도체막의 형성 후에 탈수화 또는 탈수소화를 위한 가열 처리를 행하여도 산화물 반도체막을 비정질인 상태로 할 수 있다. 또한, 산화물 반도체막의 막 두께를 얇게 함으로써 산화물 반도체막의 형성 후에 가열 처리했을 경우에, 결정화하게 되는 것을 억제할 수 있다.

또한, 산화물 반도체막을 스퍼터법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 엑스퍼터를 행함으로써, 절연층(202)의 표면에 부착하고 있는 먼지를 제거해도 좋다. 엑스퍼터란, 타겟 측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판 측에 RF전원을 이용하여 전압을 인가하여 기판의 부근에서 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤을 대신하여 질소, 헬륨, 산소 등을 이용해도 좋다.

산화물 반도체막으로서 In-Ga-Zn-O계 막, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계, In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, In-Sn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체막을 이용한다. 본 실시형태에서는 In-Ga-Zn-O계 금속 산화물 타겟을 이용하여 스퍼터법에 의하여 산화물 반도체막이 형성된다. 또한, 산화물 반도체막은 회가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하 또는 회가스(대표적으로는 아르곤)와 산소가 혼합된 분위기 하에서 스퍼터법에 의하여 형성할 수 있다. 또한, 스퍼터법을 이용하는 경우,  $\text{SiO}_2$ 를 2 중량 % 이상 10 중량 % 이하 포함하는 타겟을 이용하여 성막을 행하고, 산화물 반도체막에 결정화를 저해하는  $\text{SiO}_x(x>0)$ 를 포함하게 해도 좋다. 이것에 의하여, 후의 공정으로 행하는 탈수화 또는 탈수소화를 위한 가열 처리 시에 산화물 반도체 층이 결정화하게 되는 것을 억제할 수 있다.

여기에서는 In, Ga, 및 Zn를 포함하는 금속 산화물 반도체 타겟(조성비로서,  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1[\text{mol}]$ ,  $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5[\text{at}]$ )를 이용하고, 기판과 타겟 사이의 거리를 100 mm, 압력 0.6 Pa, 직류(DC) 전원 0.5 kW, 산소(산소 유량 비율 100%) 분위기 하에서 산화물 반도체막이 형성된다. 또한, 펄스 직류(DC) 전원을 이용하면, 성막 시에 발생하는 분상 물질(파티클, 먼지라고도 함)을 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. 본 실시형태에서는 산화물 반도체막으로서, In-Ga-Zn-O계 금속 산화물 반도체 타겟을 이용하여 스퍼터법에 의하여 In-Ga-Zn-O계 막을 성막한다.

또한, 이 금속 산화물 반도체 타겟의 조성비로서는 상기 조성비 외에,  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 0.5[\text{mol}]$ ,  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 0.25[\text{at}]$  또는  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2[\text{mol}]$ ,  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1[\text{at}]$  등을 이용할 수도 있다.

스퍼터법에는 스퍼터용 전원에 고주파 전원을 이용하는 RF 스퍼터법과, DC 스퍼터법이 있고 또한, 펄스적으로 바이어스를 부여하는 펄스 DC 스퍼터법도 있다. RF 스퍼터법은 주로 절연막을 성막하는 경우에 이용되고, DC 스퍼터법은 주로 금속 도전막을 성막하는 경우에 이용된다.

또한, 재료가 상이한 타겟을 복수 설치할 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치는 동일 체임버에서 상이한 재료막을 적층 성막할 수도, 동일 체임버에서 복수 종류의 재료를 동시에 방전시켜 성막할 수도 있다.

또한, 체임버 내부에 자석 기구를 갖춘 마그네트론 스퍼터법을 이용하는 스퍼터 장치나, 글로우 방전을 사용하지 않고 마이크로파를 이용하여 발생시킨 플라즈마를 이용하는 ECR 스퍼터법을 이용하는 스퍼터 장치가 있다.

또한, 스퍼터법을 이용하는 성막 방법으로서, 성막 중에 타겟 물질과 스퍼터 가스 성분을 화학 반응시켜서 그러한 화합물 박막을 형성하는 리액티브 스퍼터법이나, 성막 중에 기판에도 전압을 가하는 바이어스 스퍼터법도 있다.

또한, 스퍼터를 행하는 성막실의 배기 수단으로서 크라이오 펌프를 이용하는 것이 바람직하다. 크라이오 펌프를 이용하여 배기를 행함으로써, 성막실 내의 수분 등, 불순물을 제거할 수 있다.

다음으로, 산화물 반도체막을 제 2 포토리소그래피 공정에 의해 섬 형상으로 가공하고, 산화물 반도체층(213)을 형성한다(도 11(B) 참조). 또한, 제 2 포토리소그래피 공정 후, 산화물 반도체층(213)을 불활성 기체 분위기(질소, 또는 헬륨, 네온, 아르곤 등) 하에서 가열 처리(400℃ 이상이며 750℃ 미만)를 행하여, 층 내에 포함되

는 수소 및 물 등의 불순물을 제거해도 좋다.

다음으로, 산화물 반도체층(213)의 탈수화 또는 탈수소화를 행한다. 탈수화 또는 탈수소화를 행하는 제 1 가열 처리의 온도는 400℃ 이상이며 750℃ 미만, 바람직하게는 425℃ 이상, 750℃ 미만으로 한다. 또한, 425℃ 이상이면 열처리 시간은 1시간 이하이면 좋지만, 425℃ 미만이면 가열 처리 시간은 1시간보다 장시간 행하도록 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층(213)에 대하여 질소 분위기 하에 있어서 가열 처리를 행한 후, 대기에 접하지 않고, 산화물 반도체층(213)으로의 물이나 수소의 혼입을 막는다. 본 실시형태에서는 산화물 반도체층(213)의 탈수화 또는 탈수소화를 행하는 가열 온도에서부터, 다시 물이 들어가지 않도록 하기에 충분한 온도까지, 구체적으로는 전기로에서, 이 가열 온도보다 100℃ 이상 내려갈 때까지 서행한다. 또한, 이 분위기는 질소 분위기로 한정되지 않고, 헬륨, 네온, 아르곤 등의 불활성 기체 분위기라면 어떠한 분위기여도 좋다.

또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하고 있어도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발생하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 가열 처리를 행하는 장치이다. 이 가스로서는 아르곤 등의 희가스 또는 질소와 마찬가지로, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.

산화물 반도체층(213)을 400℃ 이상 750℃ 미만의 온도에서 열처리함으로써, 산화물 반도체층의 탈수화, 탈수소화를 도모할 수 있고, 그 후의 산화물 반도체층에서의 물(H<sub>2</sub>O)의 재함침을 막을 수 있다.

또한, 제 1 가열 처리에 있어서는, 질소 또는 헬륨, 네온, 아르곤 등의 희가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 가열 처리 장치에 도입하는 질소 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6 N(99.9999%) 이상, 바람직하게는 7 N(99.99999%) 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)으로 하는 것이 바람직하다.

또한, 제 1 가열 처리의 조건 또는 산화물 반도체층(213)의 재료에 따라서는 산화물 반도체층(213)이 미결정립 및 비정질 영역을 포함해서 구성되는 경우 또는 미결정립에 의해서만 구성되는 경우가 있다. 예를 들어, 산화물 반도체층(213)이 결정화율이 90% 이상 또는 80% 이상의 미결정의 반도체층이 되는 경우도 있다. 또한, 제 1 가열 처리의 조건 또는 산화물 반도체층(213)의 재료에 따라서는, 산화물 반도체층(213)이 결정립을 포함하지 않는 비정질 산화물 반도체층에 의해서 구성되는 경우도 있다.

산화물 반도체층(213)은 제 1 가열 처리 후에 산소 결핍형이 되어, 저저항화한다. 제 1 가열 처리 후의 산화물 반도체막은 성막 직후의 산화물 반도체층보다 캐리어 농도가 높아져, 바람직하게는  $1 \times 10^{18} / \text{cm}^3$  이상의 캐리어 농도를 가지는 산화물 반도체층이 된다.

또한, 도전층(211)은 제 1 가열 처리의 조건 또는 그 재료에 따라서는, 미결정층 또는 다결정층이 되는 경우도 있다는 점을 주목하라. 예를 들어, 도전층(211)으로서 산화 인듐 산화 주석 합금막을 이용하는 경우는 450℃ 1시간의 열처리로 결정화하고, 도전층(211)으로서 산화 규소를 포함하는 산화 인듐 산화 주석 합금막을 이용하는 경우는 결정화하지 않는다.

또한, 산화물 반도체층(213)의 제 1 가열 처리는 섬 형상의 산화물 반도체층에 가공하기 전의 산화물 반도체막에 행할 수도 있다. 그 경우에는, 제 1 가열 처리 후에, 가열 장치로부터 기판을 꺼내, 포토리소그래피 공정을 행한다.

다음으로, 절연층(202) 및 산화물 반도체층(213) 위에 도전막을 형성한다.

이 도전막으로서 티탄(Ti), 몰리브덴(Mo), 텅스텐(W), 알루미늄(Al), 크롬(Cr), 구리(Cu), 및 탄탈(Ta)에서 선택된 원소, 또는 상기 원소를 성분으로 하는 합금이나, 상기 원소를 조합한 화합물 등을 이용한다. 도전막은, 상기 원소를 포함하는 단층으로 한정되지 않고, 2층 이상의 적층을 이용할 수 있다. 본 실시형태에서는 티탄막(막 두께 100 nm)과 알루미늄막(막 두께 200 nm)과 티탄막(막 두께 100 nm)의 3층 구조의 도전막을 형성한다. 또한, 티탄막을 질화 티탄막으로 바꾸어 이용해도 좋다.

또한, 후에 200℃~600℃의 열처리를 행하는 경우에는 이 열처리에 견디는 내열성을 도전막에 가지게 하는 것이 바람직하다. 예를 들어 힐록 방지 원소가 첨가된 알루미늄 합금이나, 내열성 도전막과 적층한 도전막을 이용하



는 것이 바람직하다. 또한, 도전막의 성막 방법은 스퍼터법이나 진공 증착법(전자빔 증착법 등)이나, 아크 방전 이온 플레이팅법이나, 스프레이법을 이용한다. 또한, 은, 금, 구리 등의 도전성 나노페이스트를 이용하여 스크린 인쇄법, 잉크젯법 등을 이용해서 도출하고 소성(燒成)하여 형성해도 좋다.

다음으로, 제 3 포토리소그래피 공정에 의하여 레지스트 마스크(233a) 및 레지스트 마스크(233b)를 형성하고, 이 도전막을 선택적으로 에칭하여 도전층(215a) 및 도전층(215b)을 형성한다(도 11(C) 참조).

또한, 제 3 포토리소그래피 공정에 대해서는 산화물 반도체층(213) 위에 접하는 도전막만을 선택적으로 제거한다. 예를 들어 In-Ga-Zn-O계 산화물 반도체층 위에 접하는 금속 도전막만을 선택적으로 제거하기 위해서 알칼리성의 에천트로서 암모니아 과산화물 혼합물(조성의 중량비로서, 과산화 수소 : 암모니아 : 물 = 5 : 2 : 2) 등을 이용하면, 이 금속 도전막을 선택적으로 제거하고, 산화물 반도체로 이루어지는 산화물 반도체층을 잔존시킬 수 있다.

또한, 에칭 조건에 따라 다르지만, 제 3 포토리소그래피 공정에서 산화물 반도체층(213)의 노출 영역이 에칭되는 경우가 있다. 그 경우, 도전층(215a)과 도전층(215b) 사이에 끼워지는 영역의 산화물 반도체층은, 도전층(211) 위에서 도전층(215a) 및 도전층(215b)이 접치는 영역의 산화물 반도체층에 비해, 막 두께가 얇아진다.

다음으로, 절연층(202), 산화물 반도체층(213) 위에 산화물 절연층(207)을 형성한다. 이 단계에서, 산화물 반도체층(213)의 일부는 산화물 절연층(207)과 접한다. 또한, 절연층(202)을 끼워 도전층(211)과 접치는 산화물 반도체층의 영역이 채널 형성 영역이 된다.

산화물 절연층(207)은 적어도 1 nm 이상의 막 두께로 하고, 스퍼터법 등, 산화물 절연층에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 본 실시형태에서는 스퍼터법을 이용하여, 산화물 절연층으로서 산화 규소막을 성막한다. 성막 시의 기판 온도는 실온 이상 300℃ 이하로 하면 좋고, 본 실시형태에서는 100℃로 한다. 산화 규소막의 스퍼터법에 의한 성막은 회가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 회가스(대표적으로는 아르곤) 및 산소의 혼합 분위기 하에서 행할 수 있다. 또한, 타겟으로서 산화 규소 타겟 또는 규소 타겟을 이용할 수 있다. 예를 들어, 규소 타겟을 이용하고, 산소와 회가스의 혼합 분위기 하에서 스퍼터법에 의하여 산화 규소 막을 형성할 수 있다. 저저항화한 산화물 반도체층에 접하여 형성하는 산화물 절연층은 수분이나, 수소 이온이나, OH<sup>-</sup> 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하고, 대표적으로는 산화 규소막, 질화 산화 규소막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등을 이용한다. 또한, 스퍼터법으로 형성한 산화물 절연층은 특히 치밀하고, 접하는 층으로 불순물이 확산하는 현상을 억제하는 보호막으로서 단층이어도 이용할 수 있다. 또한, 인(P)이나 붕소(B)를 도프한 타겟을 이용하여, 산화물 절연층에 인(P)이나 붕소(B)를 첨가할 수도 있다.

본 실시형태에서는 순도가 6 N이고, 기둥 모양 다결정의 붕소가 도핑된 규소 타겟(저항값 0.01Ωcm)을 이용하고, 기판과 타겟 사이의 거리(T-S간 거리)를 89 mm, 압력 0.4 Pa, 직류(DC) 전원 6 kW, 산소(산소 유량 비율 100%) 분위기 하에서 펄스 DC스퍼터법에 의하여 성막한다. 막 두께는 300 nm로 한다.

또한, 산화물 절연층(207)은 산화물 반도체층(213)의 채널 형성 영역이 되는 영역 위에 접하여 형성되고, 채널 보호층으로서의 기능도 가진다.

다음으로, 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들어 250℃ 이상 350℃ 이하)를 불활성 가스 분위기 하, 또는 질소 가스 분위기 하에서 행해도 좋다. 예를 들어, 질소 분위기 하에서 250℃, 1시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 행하면, 산화물 반도체층(213)의 일부가 산화물 절연층(207)과 접한 상태로 가열되고 또한, 산화물 반도체층(213)의 다른 부분들이 도전층(215a) 및 도전층(215b)과 접한 상태로 가열된다.

제 1 가열 처리에 의해 저저항화된 산화물 반도체층(213)이 산화물 절연층(207)과 접한 상태로 제 2 가열 처리가 시행되면, 산화물 절연층(207)이 접한 영역이 산소 과잉인 상태가 된다. 그 결과, 산화물 반도체층(213) 중 산화물 절연층(207)과 접하는 영역으로부터, 산화물 반도체층(213)의 깊이 방향을 향하여, 고저항화(I형화)한다(도 11(D) 참조).

또한, 제 2 가열 처리를 행하는 타이밍은 제 3 포토리소그래피 공정의 종료 직후로 한정되지 않고, 제 3 포토리소그래피 공정보다 후의 공정이라면 특별히 한정되지 않는다.

이상에 의해, 도 8(B)에 나타난 트랜지스터를 제작할 수 있다.

또한, 본 실시예의 내용 또는 이 내용의 일부는 다른 실시형태의 내용 또는 그 내용의 일부와 자유롭게 조합하는 것이 가능하다.

(실시형태 3)

본 실시형태에서는 실시형태 1에 나타난 시프트 레지스터를 구성하는 트랜지스터에 적용할 수 있는, 실시형태 2에 나타난 트랜지스터와는 상이한 트랜지스터의 일례에 대하여 설명한다.

본 실시형태에서의 트랜지스터 구조의 일례에 대하여 도 12를 이용하여 설명한다. 도 12는 본 실시형태에서의 트랜지스터 구조의 일례를 나타낸 도면이고, 도 12(A)는 이 트랜지스터의 상면도이고, 도 12(B)는 도 12(A)의 선분 Z1-Z2에 있어서의 단면도이다.

도 12(A) 및 도 12(B)에 나타난 트랜지스터는 기판(201) 위의 도전층(211)과, 도전층(211) 위의 절연층(202)과, 절연층(202) 위의 도전층(215a) 및 도전층(215b)과, 절연층(202) 및 도전층(215a) 및 도전층(215b) 위의 산화물 반도체층(213)을 가진다.

또한, 이 트랜지스터에서 도전층(211)은 게이트 단자로서 기능하고, 절연층(202)은 게이트 절연층으로서 기능하고, 도전층(215a) 및 도전층(215b)의 한쪽은 소스 단자로서 기능하고, 다른 한쪽은 드레인 단자로서 기능한다. 또한, 산화물 반도체층(213)은 채널 형성 영역을 가진다. 또한, 산화물 반도체층(213)은, 형성 시에 탈수화 또는 탈수소화 처리가 시행된다는 점을 주목하라.

또한, 도 12(A) 및 도 12(B)에 나타난 트랜지스터는 산화물 반도체층(213)에 탈수화 처리 또는 탈수소화 처리가 시행될 뿐만 아니라, 산화물 반도체층(213)의 일부에 접하여 산화물 절연층(207)이 형성된다. 탈수화 또는 탈수소화 처리가 시행된 후에, 산화물 절연층(207)이 형성된 산화물 반도체층(213)을 채널 형성 영역으로서 이용한 트랜지스터는 장기간의 사용이나 고부하에 따른 스레숄드 전압( $V_{th}$ )의 시프트가 일어나기 어렵기 때문에, 신뢰성이 높다.

또한, 산화물 절연층(207) 위에 질화물 절연층을 형성해도 좋다. 질화물 절연층은 산화물 절연층(207)의 하부에 형성하는 절연층(202) 또는 베이스가 되는 절연층과 접하는 구성으로 하여, 기판의 측면 근방으로부터의 수분이나, 수소 이온이나,  $OH^-$  등의 불순물이 침입하는 것을 차단하는 것이 바람직하다. 특히, 산화물 절연층(207)과 접하는 절연층(202) 또는 베이스가 되는 절연층을 질화 규소층으로 하면 유효하다. 즉, 산화물 반도체층(213)의 하면, 상면 및 측면을 둘러싸도록 질화 규소층을 형성하면, 트랜지스터의 신뢰성이 향상한다.

또한, 산화물 절연층(207) 위(상기 질화물 절연층을 형성하는 경우에는 질화물 절연층 위)에 평탄화 절연층을 형성할 수도 있다.

또한, 도 9(A) 및 도 9(B)와 마찬가지로 도 12에 나타난 트랜지스터(251)는 산화물 반도체층(213)과 접치는 영역의 산화물 절연층(207) 위(상기 평탄화 절연층을 형성하는 경우에는 평탄화 절연층 위)에 도전층을 가지는 구조로 할 수도 있다. 이 도전층은, 제 2 게이트 단자로서의 기능을 가진다. 제 2 게이트 전압을 이 도전층에 인가함으로써, 트랜지스터의 스레숄드 전압을 제어할 수 있다.

또한, 평탄화 절연층은 반드시 형성할 필요는 없다. 평탄화 절연층을 형성하지 않는 경우에는, 산화물 절연층(207) 위(질화물 절연층을 가지는 경우에는 질화물 절연층 위)에 제 2 게이트 단자로서의 기능을 가지는 도전층을 가지는 구조로 할 수도 있다.

예를 들어, 제 2 게이트 단자의 전위를 소스 단자의 전위보다 높아지도록 하면, 트랜지스터의 스레숄드 전압은 부의 방향으로 시프트하고, 소스 단자의 전위보다 낮아지도록 하면, 트랜지스터의 스레숄드 전압은 정의 방향으로 시프트한다.

도 12에 나타난 바와 같이, 본 실시형태의 트랜지스터는 소스 단자 또는 드레인 단자로서 기능하는 도전층 위에 산화물 반도체층을 가지는, 이른바 보텀 콘택트형의 트랜지스터이다. 이 트랜지스터는 채널 형성 영역에 아몰퍼스 실리콘을 이용한 종래의 트랜지스터에 비해서, 높은 이동도를 가진다. 그 때문에, 이 트랜지스터에 의해 구성되는 시프트 레지스터는 고속 동작을 행할 수 있다. 또한, 보텀 콘택트형의 트랜지스터를 적용함으로써, 산화물 반도체층과 소스 단자 또는 드레인 단자로서 기능하는 도전층과의 접촉 면적을 늘릴 수 있어, 필링(peeling) 등을 방지할 수 있다.

또한, 본 실시예의 내용 또는 이 내용의 일부는, 다른 실시형태의 내용 또는 그 내용의 일부와 자유롭게 조합하는 것이 가능하다는 점을 주목하라.

(실시형태 4)

본 실시형태에서는 실시형태 1에 나타난 시프트 레지스터를 구성하는 트랜지스터에 적용할 수 있고, 실시형태 2 및 실시형태 3에 나타난 트랜지스터와는 상이한 트랜지스터의 일례에 대하여 설명한다.

본 실시형태에서의 트랜지스터의 구조의 일례에 대하여 도 13을 이용하여 설명한다. 도 13은 본 실시형태에서의 트랜지스터의 구조의 일례를 나타낸 도면이고, 도 13(A)은 이 트랜지스터의 상면도이고, 도 13(B)은 도 13(A)의 선분 Z1-Z2에 있어서의 단면도이다.

도 13(A) 및 도 13(B)에 나타난 트랜지스터는 도 8에 나타난 트랜지스터와 마찬가지로, 기판(201) 위의 도전층(211)과, 도전층(211) 위의 절연층(202)과, 절연층(202) 위의 산화물 반도체층(213)과, 산화물 반도체층(213) 위의 도전층(215a) 및 도전층(215b)을 가진다.

또한, 이 트랜지스터에서 도전층(211)은 게이트 단자로서 기능하고, 절연층(202)은 게이트 절연층으로서 기능하고, 도전층(215a) 및 도전층(215b)의 한쪽은 소스 단자로서 기능하고, 다른 한쪽은 드레인 단자로서 기능한다. 또한, 산화물 반도체층(213)은 채널 형성 영역을 가진다. 또한, 산화물 반도체층(213)은 형성 시에 탈수화 또는 탈수소화 처리가 시행된다는 점을 주목하라.

또한, 도 13(A) 및 도 13(B)에 나타난 트랜지스터는 산화물 반도체층(213)에 탈수화 처리 또는 탈수소화 처리가 시행될 뿐만 아니라, 산화물 반도체층(213)의 일부에 접해서 산화물 절연층(207)이, 도전층(215a) 및 도전층(215b) 아래에 형성된다. 도 13(A) 및 도 13(B)에 나타난 산화물 절연층(207)은 채널 보호층으로서의 기능을 가진다.

또한, 산화물 절연층(207) 및 도전층(215a) 및 도전층(215b) 위에 질화물 절연층을 형성해도 좋다. 질화물 절연층은 산화물 절연층(207)의 하방에 형성하는 절연층(202) 또는 베이스가 되는 절연층과 접하는 구성으로 하여, 기판의 측면 근방으로 수분이나, 수소 이온이나,  $\text{OH}^-$  등의 불순물이 침입하는 것을 차단하는 것이 바람직하다. 특히, 산화물 절연층(207)과 접하는 절연층(202) 또는 베이스가 되는 절연층을 질화 규소층으로 하면 유효하다. 즉, 산화물 반도체층(213)의 하면, 상면 및 측면을 둘러싸도록 질화 규소층을 형성하면, 트랜지스터의 신뢰성이 향상한다.

또한, 산화물 절연층(207) 및 도전층(215a) 및 도전층(215b) 위(상기 질화물 절연층을 형성하는 경우에는 질화물 절연층 위)에 평탄화 절연층을 형성할 수도 있다.

또한, 산화물 절연층(207) 위(상기 평탄화 절연층을 형성하는 경우에는 평탄화 절연층 위)에 산화물 절연층(207)을 끼워서 산화물 반도체층(213) 위에 도전층을 가지는 구조로 할 수도 있다. 이 도전층은 제 2 게이트 단자로서의 기능을 가진다. 제 2 게이트 전압을 도전층에 인가함으로써, 트랜지스터(251)의 스레숄드 전압을 제어할 수 있다.

또한, 평탄화 절연층은 반드시 형성할 필요는 없다는 점을 주목하라. 평탄화 절연층을 형성하지 않은 경우에는, 산화물 절연층(207) 위(질화물 절연층을 가지는 경우에는 질화물 절연층 위)에 이 도전층을 가지는 구조로 할 수도 있다.

예를 들어, 제 2 게이트 단자의 전위를 소스 단자의 전위보다 높아지도록 하면, 트랜지스터의 스레숄드 전압은 부의 방향으로 시프트하고, 소스 단자의 전위보다 낮아지도록 하면, 트랜지스터의 스레숄드 전압은 정의 방향으로 시프트한다.

또한, 본 실시형태의 트랜지스터는 도 8(C)에 나타난 트랜지스터와 마찬가지로, 산화물 반도체층(213)의 일부 위에 한 쌍의 버퍼층으로서 기능하는 한 쌍의 산화물 도전층이 형성되고, 한 쌍의 산화물 도전층에 각각 접하도록 한 쌍의 전극인 도전층(215a) 및 도전층(215b)이 형성된 구조로 할 수도 있다.

이상과 같이, 본 실시형태에서의 트랜지스터는 산화물 반도체층의 일부 위에 채널 보호층이 되는 절연층을 가지는, 이른바 채널 보호형의 트랜지스터이다. 이 트랜지스터는 채널 형성 영역에 아몰퍼스 실리콘을 이용한 종래의 트랜지스터에 비해서, 높은 이동도를 가진다. 그 때문에, 이 트랜지스터에 의해 구성되는 시프트 레지스터는 고속 동작을 행할 수 있다.

또한, 본 실시예의 내용 또는 이 내용의 일부는, 다른 실시형태의 내용 또는 그 내용의 일부와 자유롭게 조합하는 것이 가능하다는 점을 주목하라.

(실시형태 5)

본 실시형태에서는, 실시형태 1에 나타난 시프트 레지스터를 가지는 표시 장치의 일례에 대하여 도 14를 이용하여 설명한다.

실시형태 1에 나타난 시프트 레지스터를 가지는 표시 장치로서는 액정 표시 장치 또는 일렉트로루미네선스(이하, EL라고도 함) 표시 장치 등, 여러가지 표시 장치를 들 수 있다. 본 실시형태에서의 표시 장치의 구성에 대하여 도 14(A)를 이용하여 설명한다. 도 14(A)는 본 실시형태에서의 표시 장치의 구성을 나타낸 블록도이다.

도 14(A)에 나타난 표시 장치는 화소부(701)와, 주사선 구동 회로(702)와, 신호선 구동 회로(703)를 가진다.

또한, 화소부(701)는 복수의 화소(704)를 가지는 도트 매트릭스 구조이다. 구체적으로는, 복수의 화소(704)는 행렬 방향으로 복수 배치된다. 각 화소(704)는 주사선(705)을 통하여 주사선 구동 회로(702)에 전기적으로 접속되고, 신호선(706)을 통하여 신호선 구동 회로(703)에 전기적으로 접속된다.

주사선 구동 회로(702)는 데이터 신호를 입력하는 화소(704)를 선택하는 회로이고, 주사선(705)을 통하여 선택 신호를 화소(704)에 출력한다.

신호선 구동 회로(703)는 화소(704)에 기입하는 데이터를 신호로서 출력하는 회로이고, 신호선(706)을 통하여 주사선 구동 회로(702)에 의하여 선택된 화소(704)에 화소 데이터를 신호로서 출력한다.

화소(704)는 적어도 표시 소자와 스위칭 소자를 가진다. 표시 소자로서는 예를 들어 액정 소자 또는 EL 소자 등의 발광 소자를 적용할 수 있고, 스위칭 소자로서는 예를 들어 트랜지스터 등을 적용할 수 있다.

다음으로, 주사선 구동 회로(702) 및 신호선 구동 회로(703)의 구성예에 대하여 도 14(B), (C)를 이용하여 설명한다. 도 14(B), (C)는 구동 회로의 구성을 나타낸 블록도이고, 도 14(B)는 주사선 구동 회로(702)의 구성을 나타낸 블록도이고, 도 14(C)는 신호선 구동 회로(703)의 구성을 나타낸 블록도이다.

주사선 구동 회로(702)는 도 14(B)에 나타난 바와 같이, 시프트 레지스터(900)와, 레벨 시프터(901)와, 버퍼(902)를 가진다.

시프트 레지스터(900)는 주사선 구동 회로용 스타트 펄스 신호(GSP), 주사선 구동 회로용 기준 클록 신호(GCK) 등의 신호가 입력되고, 각 순서 논리 회로에 대하여 순차 선택 신호가 출력된다. 본 실시형태의 시프트 레지스터(900)는 실시형태 1에 나타난 바와 같이 주사선 구동 회로용 기준 클록 신호(GCK)가, 동작 기간에 포함되는 일부의 기간에서 주사선 구동 회로용 기준 클록 신호를 공급하는 복수의 배선을 가진다.

신호선 구동 회로(703)는 도 14(C)에 나타난 바와 같이, 시프트 레지스터(903), 제 1 래치 회로(904), 제 2 래치 회로(905), 레벨 시프터(906), 버퍼(907)를 가진다.

시프트 레지스터(903)에는 신호선 구동 회로용 스타트 펄스 신호(SSP), 신호선 구동 회로용 기준 클록 신호(SCK) 등의 신호가 입력되고, 각 순서 논리 회로에 대하여 순차 선택 신호가 출력된다. 본 실시형태의 시프트 레지스터(903)는 실시형태 1에 나타난 바와 같이 신호선 구동 회로용 기준 클록 신호(SCK)가, 동작 기간에 포함되는 일부의 기간에서 신호선 구동 회로용 기준 클록 신호를 공급하는 복수의 배선을 가진다.

또한, 시프트 레지스터(900) 및 시프트 레지스터(903) 중 어느 한쪽만이 실시형태 1에 나타난 시프트 레지스터 이어도 종다는 점을 주목하라.

제 1 래치 회로(904)에는 데이터 신호(DATA)가 입력된다. 제 1 래치 회로(904)는 논리 회로를 이용하여 구성할 수 있다.

버퍼(907)는 신호를 증폭시키는 기능을 가지고, 오피 앰프(OP amp: operational amplifier) 등을 가진다. 버퍼(907)는 논리 회로를 이용해서 구성할 수 있다.

제 2 래치 회로(905)에는 래치(LAT) 신호를 일시 보유할 수 있고, 보유된 래치 신호를 일제히 도 14(A)에서의 화소부(701)에 출력시킨다. 이것을 선 순차 구동이라고 한다. 그 때문에, 선 순차 구동이 아닌, 점 순차 구동을 행하는 화소라면, 제 2 래치 회로(905)는 불필요하다. 또한, 제 2 래치 회로(905)는 논리 회로를 이용하여 구성할 수 있다.

다음으로, 본 실시형태의 표시 장치의 동작에 대하여 설명한다.

우선, 주사선 구동 회로(702)로 주사선(705)이 선택된다. 선택된 주사선(705)에 전기적으로 접속된 화소(704)는 신호선(706)을 통하여 신호선 구동 회로(703)로부터 데이터 신호가 입력된다. 이것에 의해, 이 화소(704)는 데이터의 기입이 행하여져 표시 상태가 된다. 주사선 구동 회로(702)에 의해 주사선(705)이 순차 선택되고, 모든 화소(704)에 대하여 데이터 기입이 행해진다. 이상이 본 실시형태에서의 표시 장치의 동작이다.

도 14에 나타난 표시 장치의 각 회로는 모두 동일 기관 위에 설치할 수 있다. 또한, 동일한 도전형의 트랜지스터에 의해 구성할 수 있다. 동일 기관 위에 설치함으로써 표시 장치를 소형화할 수 있고, 동일한 도전형의 트랜지스터로 구성함으로써 공정을 간략화할 수 있다.

또한, 본 실시형태의 내용 또는 이 내용의 일부는, 다른 실시형태의 내용 또는 그 내용의 일부와 자유롭게 조합하는 것이 가능하다는 점을 주목하라.

(실시형태 6)

본 실시형태에서는 실시형태 5에 나타난 표시 장치의 일례로서 액정 표시 장치에 대하여 도 15를 이용해서 설명한다.

도 15(A)에 본 실시형태의 액정표시 장치가 가지는 화소의 회로도들을 나타낸다. 도 15(A)에 나타난 화소는 트랜지스터(821)와, 액정 소자(822)와, 용량 소자(823)를 가진다.

트랜지스터(821)는 게이트 단자가 주사선(804)에 전기적으로 접속되고, 제 1 단자가 신호선(805)에 전기적으로 접속된다. 또한, 트랜지스터(821)는 이 화소가 가지는 액정 소자(822)에의 전압의 인가를 제어하는 선택 트랜지스터로서 기능한다는 점을 주목하라.

액정 소자(822)는 한쪽의 단자가 트랜지스터(821)의 제 2 단자에 전기적으로 접속되고, 다른 쪽의 단자가 공통 전위(Vcom)를 공급하는 배선(이하, 공통 전위선이라고도 함)에 전기적으로 접속된다. 또한, 액정 소자(822)는 한쪽의 단자의 일부 또는 전부가 되는 제 1 전극과, 다른 한쪽의 단자의 일부 또는 전부가 되는 제 2 전극과, 제 1 전극과 제 2 전극 사이에 전압이 인가됨으로써 배향이 변화하는 액정 분자를 가지는 층(액정층이라고 함)에 의해 구성된다.

용량 소자(823)는 한쪽의 단자가 트랜지스터(821)의 제 2 단자에 전기적으로 접속되고, 다른 한쪽의 단자가 공통 전위선에 전기적으로 접속된다. 또한, 용량 소자(823)는 한쪽의 단자 일부 또는 전부가 되는 제 1 전극과, 다른 한쪽의 단자의 일부 또는 전부가 되는 제 2 전극과, 제 1 전극과, 제 2 전극의 사이에 형성된 유전체층에 의해 구성된다. 또한, 용량 소자(823)는 화소의 보유 용량으로서의 기능을 가진다. 또한, 용량 소자(823)는 반드시 형성할 필요는 없지만, 용량 소자(823)를 형성함으로써, 트랜지스터(821)의 리크 전류에 의한 영향을 억제할 수 있다는 점을 주목하라.

또한, 본 실시형태에서의 액정 표시 장치의 액정의 구동 방식으로서, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 등을 들 수 있다.

또한, 배향막을 이용하지 않은 블루상(bule-phase)을 나타내는 액정을 이용해도 좋다. 블루상은 액정상 중 하나이며, 콜레스테릭 액정을 승온해 나가면, 콜레스테릭 형상으로부터 등방 형상으로 전이하기 직전에 발현하는 상(相)이다. 블루상은 좁은 온도 범위에서 밖에 발현하지 않기 때문에, 온도 범위를 개선하기 위해 5 중량% 이상의 키랄제(chiral material)를 혼합시킨 액정 조성물을 이용하여 액정층에 이용한다. 블루상을 나타낸 액정과 키랄제를 포함하는 액정 조성물은 응답 속도가 10 $\mu$ s~100 $\mu$ s로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다.

화소에 신호가 입력될 때, 우선, 데이터가 기입되는 화소가 선택되고, 선택된 화소는 주사선(804)으로부터 입력되는 신호에 의해 트랜지스터(821)가 온 상태로 된다.

이때, 신호선(805)으로부터의 데이터 신호가 트랜지스터(821)를 통하여 화소에 입력되고, 액정 소자(822)의 한쪽 단자의 전위는 데이터 신호의 전위가 된다. 이것에 의해, 액정 소자(822)에는 한쪽 단자와 다른 한쪽 단자 사이에 인가되는 전압에 따라서 배향 상태로 설정된다. 데이터 기입 후, 주사선(804)으로부터 입력되는 신호에 의해 트랜지스터(821)가 오프 상태가 되고, 액정 소자(822)는 표시 기간의 사이에 설정된 배향 상태를 유지하고, 표시 상태가 된다. 상기 동작을 주사선(804) 마다 순차대로 행해서, 액정 표시 장치가 가지는 모든

화소에 대하여 상기 동작을 행한다.

액정 표시 장치의 동영상 표시에 있어서, 액정 분자 자체의 응답이 늦기 때문에, 잔상이 생기거나, 동영상에 흐려지는 문제가 있다. 액정 표시 장치의 동영상 특성을 개선하기 위해서, 전면 흑표시를 1 프레임 간격으로 행하는, 소위, 흑삽입(black insertion)이라고 불리는 구동 기술이 있다.

또한, 통상의 수직 동기 주파수를 1.5배, 바람직하게는 2배 이상으로 함으로써 응답 속도를 개선하는, 소위, 배속(double-frame rate) 구동이라고 불리는 구동 기술도 있다.

또한, 액정 표시 장치의 동영상 특성을 개선하기 위해서, 백 라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 이용하여 면광원을 구성하고, 면광원을 구성하는 각 광원을 독립해서 1 프레임 기간 내에 간헐 점등 구동하는 구동 기술도 있다. 면광원으로서 3 종류 이상의 LED를 이용해도 좋고, 백색 발광의 LED를 이용해도 좋다. 독립해서 복수의 LED를 제어할 수 있기 때문에, 액정층의 광학 변조의 전환 타이밍에 맞추어 LED의 발광 타이밍을 동기시킬 수도 있다. 이 구동 기술은 LED를 부분적으로 소등할 수 있기 때문에, 특히 한 화면을 차지하는 검은 표시 영역의 비율이 많은 영상 표시의 경우에는 소비 전력의 저감 효과를 도모할 수 있다.

이러한 구동 기술을 조합함으로써, 액정 표시 장치의 동영상 특성 등의 표시 특성을 종래보다 개선할 수 있다.

다음으로, 상기 화소를 포함하는 본 실시형태에서의 액정 표시 장치의 구조에 대하여 도 15(B), (C)를 이용하여 설명한다. 도 15(B), (C)는 본 실시형태에 있어서의 표시 장치의 화소의 구조를 나타낸 도면이고, 도 15(B)는 이 화소의 상면도이고, 도 15(C)는 도 15(B)에서의 A1-A2, B1-B2의 단면도이다.

도 15(B) 및 도 15(C)에 나타난 액정 표시 장치는 A1-A2의 단면에서, 기판(2000) 위의 도전층(2001)과, 도전층(2001) 위의 절연층(2002)과, 절연층(2002) 위의 산화물 반도체층(2003)과, 산화물 반도체층(2003) 위의 도전층(2005a) 및 도전층(2005b)과, 도전층(2005a), 도전층(2005b) 및 산화물 반도체층(2003) 위의 산화물 절연층(2007)과, 산화물 절연층(2007)에 형성된 개구부를 통하여 도전층(2005b)에 접하는 투명 도전층(2020)을 가진다.

또한, 도전층(2001)은 게이트 단자로서 기능하고, 절연층(2002)은 게이트 절연층으로서 기능하고, 도전층(2005a) 및 도전층(2005b)의 한쪽은 제 1 단자로서 기능하고, 다른 한쪽은 제 2 단자로서 기능한다는 점을 주목하라. 또한, 여기에서는, 실시형태 2에 설명한 트랜지스터(도 8(B) 참조)를 적용했지만, 이 트랜지스터로서 실시형태 3 또는 실시형태 4에 나타난 트랜지스터를 적용하는 것도 가능하다.

또한, 도 15(B) 및 도 15(C)에 나타난 액정 표시 장치는 B1-B2의 단면에 있어서, 기판(2000) 위의 도전층(2008)과, 도전층(2008) 위의 절연층(2002)과, 절연층(2002) 위의 산화물 절연층(2007)과, 산화물 절연층(2007) 위의 투명 도전층(2020)을 가진다.

또한, 본 실시형태의 액정 표시 장치는, FPC(Flexible Printed Circuits)에 접속하기 위한 전극 또는 배선으로서 기능하는 도전층(2022) 및 투명 도전층(2029)과, 도전층(2023), 도전층(2024) 및 투명 도전층(2028)을 가진다.

투명 도전층(2020), 투명 도전층(2029) 및 투명 도전층(2028)은 산화 인듐( $\text{In}_2\text{O}_3$ )이나 산화 인듐 산화 주석 합금( $\text{In}_2\text{O}_3\text{-SnO}_2$ , ITO로 약기함) 등을 이용하여 스퍼터법이나 진공 증착법 등에 의하여 형성된다. 이러한 재료의 에칭 처리는 염산계의 용액으로 행한다. 그러나, 특히 ITO의 에칭은 잔사(殘渣)가 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위해서 산화 인듐 산화 아연 합금( $\text{In}_2\text{O}_3\text{-ZnO}$ )을 이용해도 좋다는 점을 주목하라.

또한, 본 실시형태의 내용 또는 이 내용의 일부는, 다른 실시의 형태의 내용 또는 그 내용의 일부와 자유롭게 조합하는 것이 가능하다는 점을 주목하라.

(실시형태 7)

본 실시형태에서는 실시형태 5에 나타난 표시 장치의 일례로서, 일렉트로루미네선스를 이용한 발광 소자를 가지는 발광 표시 장치에 대하여 도 16 및 도 17을 이용하여 설명한다.

일렉트로루미네선스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.

유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기

화합물을 포함하는 층에 주입되어, 전류가 흐른다. 그리고, 그것들 캐리어(전자 및 정공)가 재결합함으로써 발광한다. 이러한 메카니즘으로부터, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.

무기 EL 소자는 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 가지는 것이고, 발광 메카니즘은 도너 준위와 어셉터 준위를 이용하는 도너-어셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층 사이에 끼워 넣고 또한, 그것을 전극 사이에 끼운 구조이고, 발광 메카니즘은 금속 이온의 내각(inner-shell) 전자 천이를 이용하는 국재형(localized) 발광이다. 또한, 여기에서는 발광 소자로서 유기 EL 소자를 이용하여 설명한다.

도 16(A)는 본 실시형태에서의 발광 표시 장치의 화소의 회로 구성을 나타낸 회로도이다.

도 16(A)에 나타낸 바와 같이, 실시형태에서의 표시 장치의 화소는 트랜지스터(851)와, 화소의 보유 용량으로서의 기능을 가지는 용량 소자(852)와, 트랜지스터(853)와, 발광 소자(854)를 가진다.

트랜지스터(851)는 게이트 단자가 주사선(855)에 전기적으로 접속되고, 제 1 단자가 신호선(856)에 전기적으로 접속된다.

용량 소자(852)는 한쪽의 단자가 트랜지스터(851)의 제 2 단자에 전기적으로 접속되고, 다른 한쪽의 단자가 저전원 전위선에 전기적으로 접속된다.

트랜지스터(853)는 게이트 단자가 트랜지스터(851)의 제 2 단자 및 용량 소자(852)의 한쪽의 단자에 전기적으로 접속되고, 제 1 단자가 저전원 전위선에 전기적으로 접속된다.

발광 소자(854)는 제 1 단자가 트랜지스터(853)의 제 2 단자에 전기적으로 접속되고, 제 2 단자가 고전원 전위선에 전기적으로 접속된다.

화소에 신호가 입력될 때에는 우선, 데이터 기입을 행하는 화소가 선택된다. 선택된 화소는 주사선(855)으로부터 입력되는 주사 신호에 의하여 트랜지스터(851)가 온 상태로 되고, 소정의 값의 전압인 비디오 신호(데이터 신호라고도 함)가 신호선(856)으로부터 트랜지스터(853)의 게이트 단자로 입력된다.

트랜지스터(853)는 게이트 단자에 입력되는 데이터 신호에 따른 전위에 의하여 온 상태 또는 오프 상태가 된다. 이 때, 발광 소자(854)의 한쪽의 단자 및 다른 한쪽의 단자 사이에 인가된 전압에 따라서 전류가 흐르고, 발광 소자(854)는 흐르는 전류의 양에 따른 휘도로 발광한다. 또한, 용량 소자(852)에 의하여 트랜지스터(853)의 게이트 전압은 일정 시간 보유되기 때문에, 발광 소자(854)는 일정 시간 발광 상태를 유지한다.

또한, 신호선(856)으로부터 화소에 입력되는 데이터 신호가 디지털 형식인 경우, 화소는 트랜지스터의 온과 오프의 전환에 의해, 발광 상태가 제어된다. 따라서, 면적 계조법 또는 시간 계조법을 이용하여 계조의 표시를 행할 수 있다. 또한, 면적 계조법은 1 화소를 복수의 부화소로 분할하고, 각 부화소를 도 16(A)에 나타낸 회로 구성으로 하여 독립적으로 데이터 신호에 근거하여 구동시키는 것에 의해, 계조 표시를 행하는 구동법이다. 또한, 시간 계조법은 화소가 발광하는 기간을 제어함으로써, 계조 표시를 행하는 구동법이다.

발광 소자는 액정 소자 등에 비교하여 응답 속도가 높기 때문에, 액정 소자보다 시간 계조법에 적절하다. 시간 계조법으로 표시를 행하는 경우, 1 프레임 기간을 복수의 서브 프레임 기간으로 분할한다. 그리고 비디오 신호에 따라서, 각 서브 프레임 기간에서 화소의 발광 소자의 발광 상태를 제어한다. 1 프레임 기간을 복수의 서브 프레임 기간으로 분할함으로써, 1 프레임 기간 중에 화소가 실제로 발광하는 기간의 전체의 길이를 비디오 신호에 의하여 제어할 수 있어, 계조를 표시할 수 있다.

다음으로, 발광 소자의 구성에 대하여, 도 16(B)~도 16(D)를 이용하여 설명한다. 여기에서는, 트랜지스터(853)가 n채널형인 경우를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 또한, 도 16(B)~도 16(D)의 발광 표시 장치에 이용되는 트랜지스터(853)는 구동용 트랜지스터라는 점을 주목하라.

발광 소자(854)로부터 방출된 광을 꺼내기 위해 적어도 양극 또는 음극의 한쪽이 투명하면 좋다. 그리고, 기관 위에 트랜지스터 및 발광 소자를 형성하고, 기관과는 반대측 면으로부터 발광을 꺼내는 상면 사출이나, 기관 측면으로부터 발광을 꺼내는 하면 사출이나, 기관측 면 및 기관과는 반대측 면으로부터 발광을 꺼내는 양면 사출 구조의 발광 소자가 있어, 본 발명의 화소 구성은 어느 사출 구조의 발광 소자에도 적용할 수 있다.

상면 사출 구조의 발광 소자에 대하여 도 16(B)를 이용하여 설명한다.

도 16(B)에 구동용 트랜지스터인 트랜지스터(853)가 n채널형이고, 발광 소자(854)로부터 발생하는 광이 양극(7005)측으로 빠지는 경우의, 화소의 단면도를 나타낸다. 도 16(B)에서는 발광 소자(854)의 음극(7003)과 구동용 트랜지스터인 트랜지스터(853)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순서대로 적층된다. 음극(7003)은 일함수가 작고 또한, 광을 반사하는 도전층이라면 다양한 재료를 이용할 수 있다. 예를 들어, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 그리고 발광층(7004)은 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 복수의 층으로 구성되는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 또한, 이러한 층을 모두 형성할 필요는 없다. 양극(7005)은 광을 투과하는 투광성을 가지는 도전성 재료를 이용하여 형성하고, 예를 들어, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고도 함), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 도전 재료를 이용하면 좋다.

음극(7003)과 양극(7005) 사이에 발광층(7004)을 끼우는 영역이 발광 소자(854)에 상당한다. 도 16(B)에 나타낸 화소의 경우, 발광 소자(854)로부터 발생하는 광은 화살표로 나타낸 바와 같이 양극(7005) 측으로 사출한다.

다음으로, 하면 사출 구조의 발광 소자에 대하여 도 16(C)을 이용하여 설명한다. 트랜지스터(853)가 n채널형이고, 발광 소자(854)로부터 발생하는 광이 음극(7013)측으로 사출하는 경우의, 화소의 단면도를 나타낸다. 도 16(C)에서는 트랜지스터(853)와 전기적으로 접속하는 투광성을 가지는 도전층(7017) 위에, 발광 소자(854)의 음극(7013)이 성막되고, 음극(7013) 위에 발광층(7014), 양극(7015)이 순서대로 적층된다. 또한, 양극(7015)이 투광성을 가지는 경우, 양극 위를 덮도록, 광을 반사 또는 차폐하기 위한 차폐층(7016)이 성막되어도 좋다는 점을 주목하라. 음극(7013)은 도 16(B)의 경우와 마찬가지로, 일함수가 작은 도전성 재료라면 여러가지 재료를 이용할 수 있다. 단, 그 막 두께는 광을 투과하는 정도(바람직하게는 5 nm~30 nm 정도)로 한다. 예를 들어, 20 nm의 막 두께를 가지는 알루미늄층을 음극(7013)으로서 이용할 수 있다. 그리고, 발광층(7014)은 도 16(B)와 마찬가지로, 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 16(B)과 마찬가지로, 투광성을 가지는 도전성 재료를 이용하여 형성할 수 있다. 그리고 차폐층(7016)은 예를 들어 광을 반사하는 금속 등을 이용할 수 있지만, 금속으로 한정되지 않는다. 예를 들어 흑색 안료를 첨가한 수지 등을 이용할 수도 있다.

음극(7013)과 양극(7015) 사이에, 발광층(7014)을 끼우는 영역이 발광 소자(854)에 상당한다. 도 16(C)에 나타낸 화소의 경우, 발광 소자(854)로부터 발생하는 광은, 화살표로 나타낸 바와 같이 음극(7013)측으로 사출한다.

다음으로, 양면 사출 구조의 발광 소자에 대하여, 도 16(D)을 이용하여 설명한다. 도 16(D)에서는 트랜지스터(853)와 전기적으로 접속하는 투광성을 가지는 도전층(7027) 위에, 발광 소자(854)의 음극(7023)이 성막되고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순서대로 적층된다. 음극(7023)은 도 16(B)의 경우와 마찬가지로, 일함수가 작은 도전성 재료라면 여러가지 재료를 이용할 수 있다. 단, 그 막 두께는 광을 투과하는 정도로 하는 것을 주목하라. 예를 들어 20 nm의 막 두께를 가지는 알루미늄층을, 음극(7023)으로서 이용할 수 있다. 그리고, 발광층(7024)은 도 16(B)와 마찬가지로, 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7025)은 도 16(B)과 마찬가지로, 광을 투과하는 투광성을 가지는 도전성 재료를 이용하여 형성할 수 있다.

음극(7023)과, 발광층(7024)과, 양극(7025)이 겹쳐져 있는 부분이 발광 소자(854)에 상당한다. 도 16(D)에 나타낸 화소의 경우, 발광 소자(854)로부터 발생하는 광은 화살표로 나타낸 바와 같이 양극(7025) 측과 음극(7023) 측의 양방으로 사출한다.

또한, 여기에서는, 발광 소자로서 유기 EL 소자에 대하여 설명했지만, 발광 소자로서 무기 EL 소자를 형성하는 것도 가능하다는 점을 주목하라.

또한, 본 실시형태에서는 발광 소자의 구동을 제어하는 트랜지스터(구동용 트랜지스터라고도 함)와 발광 소자가 전기적으로 접속되는 예를 나타냈지만, 구동용 트랜지스터와, 발광 소자 사이에 전류 제어용 트랜지스터가 접속되는 구성이어도 좋다는 점을 주목하라.

다음으로, 본 실시형태에서의 발광 표시 장치(발광 패널이라고도 함)의 외관 및 단면에 대하여, 도 17을 이용하여 설명한다. 도 17(A)은 제 1 기판 위에 형성된 트랜지스터 및 발광 소자를, 제 2 기판과의 사이에 절재에 의해 봉지한 발광 표시 장치의 상면도이고, 도 17(B)는 도 17(A)의 H-I에서의 단면도에 상당한다.

제 1 기판(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a,



4504b)를 둘러싸도록 하여, 절재(4505)가 형성된다. 또한, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b) 위에 제 2 기관(4506)이 설치된다. 즉, 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 제 1 기관(4501)과, 절재(4505)와, 제 2 기관(4506)에 의해, 충전재(4507)와 함께 밀봉된다. 이와 같이 바깥 공기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.

또한, 제 1 기관(4501) 위에 형성된 화소부(4502), 신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)는 트랜지스터를 복수 가지고, 도 17(B)에서는 화소부(4502)에 포함되는 트랜지스터(4510)와 신호선 구동 회로(4503a)에 포함되는 트랜지스터(4509), 트랜지스터(4555)를 일 예로서 예시한다.

트랜지스터(4509, 4510, 4555)는 산화물 반도체층을 반도체층으로서 포함하는 신뢰성이 높은 실시형태 2 내지 실시형태 4에 나타난 트랜지스터 중 어느 것을 적용할 수 있다. 본 실시형태에서, 트랜지스터(4509, 4510, 4555)는 n채널형이다. 또한, 트랜지스터(4509, 4510, 4555) 위에는 절연층(4542)이 형성되고, 절연층(4542) 위에는 절연층(4544)이 형성되고, 절연층(4542) 및 절연층(4544)을 끼우고 트랜지스터(4509) 위에 도전층(4540)을 가진다. 도전층(4540)은 제 2 게이트 단자로서의 기능을 가진다.

또한, 화소부(4502)에 있어서는, 절연층(4542) 위에 평탄화 절연층(4545)이 형성되고, 평탄화 절연층(4545) 위에 절연층(4543)이 형성된다.

또한, 4511은 발광 소자에 상당하고, 발광 소자(4511)가 가지는 화소 전극인 제 1 전극(4517)은 트랜지스터(4510)의 제 2 단자와 전기적으로 접속된다. 또한, 발광 소자(4511)의 구성은 제 1 전극(4517), 발광층(4512), 제 2 전극(4513)의 적층 구조이지만, 본 실시형태에 나타난 구성으로 한정되지 않는다는 점을 주목하라. 발광 소자(4511)로부터 꺼내는 광의 방향 등에 맞추어, 발광 소자(4511)의 구성은 적절히 바꿀 수 있다.

격벽(4520)은 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성한다. 특히 감광성 재료를 이용하여 제 1 전극(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

발광층(4512)은 단수의 층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.

발광 소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극(4513) 및 격벽(4520) 위에 보호층을 형성해도 좋다. 보호층으로서는 질화 규소층, 질화 산화 규소층, DLC층(Diamond Like Carbon) 등을 형성할 수 있다.

또한, 신호선 구동 회로(4503a, 4503b), 주사선 구동 회로(4504a, 4504b) 또는 화소부(4502)에 부여할 수 있는 각종 신호 및 전압은 FPC(4518a, 4518b)로부터 공급된다.

도 17에 나타난 발광 표시 장치에서는 접속 단자 전극(4515)이, 발광 소자(4511)가 가지는 제 1 전극(4517)이 형성되는 도전막과 같은 도전막으로 형성되고, 단자 전극(4516)은 트랜지스터(4509, 4510, 4555)가 가지는 소스 전극 및 드레인 전극으로서 기능하는 도전층이 형성되는 도전막과 같은 도전막으로 형성된다.

접속 단자 전극(4515)은 FPC(4518a)가 가지는 단자와, 이방성 도전층(4519)을 통하여 전기적으로 접속된다.

발광 소자(4511)로부터의 광의 취출 방향에 위치하는 기관은 투광성을 가질 필요가 있다. 그 경우에는, 이 기관으로서 유리, 플라스틱, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 가지는 재료를 이용한다.

또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성인 기체 외에, 자외선 경화 수지 또는 열경화(thermosetting) 수지를 이용할 수 있고, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐부틸알) 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 본 실시형태는 충전재(4507)로서 질소를 이용한다.

또한, 필요하다면, 발광 소자의 사출면에 편광판 또는 원 편광판(타원 편광판을 포함함), 위상차판( $\lambda/4$ 판,  $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 형성해도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성해도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산하고, 비치는 것을 저감할 수 있는 안티 글레이 처리를 시행할 수 있다.

신호선 구동 회로(4503a, 4503b) 및 주사선 구동 회로(4504a, 4504b)로서 별도 준비된 기관 위에 단결정 반도체층 또는 다결정 반도체층을 이용하여 형성된 구동 회로를 실장해도 좋다. 또한, 신호선 구동 회로(4503a, 4503b)만, 또는 일부, 또는 주사선 구동 회로(4504a, 4504b)만, 혹은 일부만을 별도 형성하여 실장해도 좋고,

본 실시형태는 도 17의 구성으로 한정되지 않는다.

상기 공정에 의하여, 발광 표시 장치(표시 패널)를 제작할 수 있다.

또한, 본 실시형태의 내용 또는 이 내용의 일부는 다른 실시형태의 내용 또는 그 내용의 일부와 자유롭게 조합하는 것이 가능하다는 점을 주목하라.

(실시형태 8)

본 실시형태에서는 실시형태 5에 나타난 표시 장치의 일례로서, FPC 등의 외부 접속 배선을 필요로 하지 않고 표시가 가능한 전자 페이퍼에 대하여 도 18 및 도 19를 이용하여 설명한다.

또한, 본 실시형태의 전자 페이퍼는 화상이 보유되는 기간(화상 보유 기간)과, 화상을 다시 쓸 수 있는 기간(화상 재기입 기간)을 가진다는 점을 주목하라. 또한, 이 화상 보유 기간에는 화상 표시를 유지하기 위한 전력을 필요로 하지 않는다. 그 때문에, 이 전자 페이퍼는 소비 전력이 적은 표시 장치이다.

이 전자 페이퍼는 표시 소자로서, 전압의 인가에 의해 표시를 제어할 수 있고 또한, 전압이 인가되지 않는 상태에 대하여 이 표시를 보유하는 소자를 가진다. 예를 들어, 이 소자로서는 전기 영동을 이용하는 소자(전기 영동 소자), 트위스트 볼을 이용하는 입자 회전 소자, 대전 토너나 전자 분류체(Electronic Liquid Powder)(등록 상표)를 이용하는 입자 이동 소자, 자기에 의해 계조를 표현하는 자기 영동 소자, 액체 이동 소자, 광 산란 소자, 상변화 소자 등을 들 수 있다. 본 실시형태에서는 전자 페이퍼의 일례로서 전기 영동 소자를 가지는 전자 페이퍼에 대하여 설명한다.

전기 영동 소자로서는 정전하로 대전한 제 1 입자와, 제 1 입자와 상이한 색을 나타내고, 또한 부전하로 대전한 제 2 입자와, 용매가 되는 액체가 봉입된 마이크로 캡슐을 가지는 소자 등을 들 수 있다. 이 전기 영동 소자에 전압이 인가됨으로써, 마이크로 캡슐의 한쪽 측에 제 1 입자 또는 제 2 입자를 집합시킴으로써, 표시를 행할 수 있다. 또한, 이 전기 영동 표시 소자에 전압이 인가되지 않는 상태에서는, 제 1 입자 및 제 2 입자는 이동하지 않는다는 점을 주목하라. 즉, 이 전기 영동 소자의 표시를 보유한다. 또한, 전기 영동 소자로서는 정부(正負) 중 어느 것에 대전한 입자와, 이 입자와 상이한 색을 나타내고 또한, 용매가 되는 액체가 봉입된 마이크로 캡슐을 가지는 소자 등을 이용할 수도 있다.

또한, 마이크로 캡슐 중에 봉입되는 정부 중 어느 것으로 대전한 입자로서는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네선트 재료, 일렉트로크로믹 재료, 자기 영동 재료로부터 선택된 일종의 재료 또는 이러한 복합 재료를 이용하면 좋다는 점을 주목하라.

다음으로, 본 실시형태에서의 전자 페이퍼의 구조예에 대하여 도 18을 이용하여 설명한다. 또한, 도 18(A)은 전자 페이퍼 화소의 회로도이고, 도 18(B)은 이 화소의 상면도이고, 도 18(C)은 도 18(B)의 A-B선에 대응하는 단면도이다.

본 실시형태의 전자 페이퍼 화소는 게이트 단자가 주사선(630)에 전기적으로 접속되고, 제 1 단자가 신호선(631)에 전기적으로 접속된 트랜지스터(601)와, 한쪽의 단자가 트랜지스터(601)의 제 2 단자에 전기적으로 접속되고, 다른 한쪽의 단자가 공통 전위선에 전기적으로 접속된 용량 소자(602)와, 한쪽의 단자가 트랜지스터(601)의 제 2 단자 및 용량 소자(602)의 한쪽의 단자에 전기적으로 접속되고, 다른 한쪽의 단자가 공통 전위선에 전기적으로 접속된 전기 영동 소자(603)를 가진다(도 18(A) 참조). 또한, 본 실시형태에서 공통 전위( $V_{com}$ )로서, 접지 전위 또는 0 V 등을 들 수 있다.

구조로서는, 이 화소는 기판(600)과, 기판(600) 위에 설치된 트랜지스터(601) 및 용량 소자(602)와, 트랜지스터(601) 및 용량 소자(602) 위에 설치된 전기 영동 소자(603)와, 전기 영동 소자(603) 위에 설치된 기판(604)을 가진다(도 18(B), (C) 참조). 또한, 도 18(B)에서 전기 영동 소자(603)는 생략되어 있음을 주목하라.

트랜지스터(601)는 주사선(630)과 전기적으로 접속된 도전층(610)과, 도전층(610) 위의 절연층(611)과, 절연층(611) 위의 반도체층(612)과, 반도체층(612) 위의 신호선(631)에 전기적으로 접속된 도전층(613) 및 도전층(614)에 의해 구성된다. 또한, 도전층(610)은 게이트 단자로서 기능하고, 절연층(611)은 게이트 절연층으로서 기능하고, 도전층(613)은 제 1 단자로서 기능하고, 도전층(614)은 제 2 단자로서 기능한다는 점을 주목하라. 또한, 도전층(610)은 주사선(630)의 일부이고, 도전층(613)은 신호선(631)의 일부라고 표현할 수도 있다.

용량 소자(602)는 도전층(614)과, 절연층(611)과, 공통 전위선(632)에 전기적으로 접속된 도전층(615)에 의해 구성된다. 또한, 도전층(614)은 한쪽의 단자로서 기능하고, 절연층(611)은 유전체로서 기능하고, 도전층(615)

은 한쪽의 단자로서 기능한다는 점을 주목하라. 또한, 도전층(615)은 공통 전위선(632)의 일부라고 표현할 수도 있다.

전기 영동 소자(603)는 절연층(620)에 형성된 개구부에 있어서 도전층(614)에 전기적으로 접속된 화소 전극(616)과, 도전층(615)과 같은 전위가 주어지는 대향 전극(617)과, 화소 전극(616) 및 대향 전극(617) 사이에 형성된 대전 입자를 함유하는 층(618)에 의해 구성된다. 또한, 화소 전극(616)은 한쪽의 단자로서 기능하고, 대향 전극(617)은 다른 한쪽의 단자로서 기능한다는 점을 주목하라.

본 실시형태의 전자 페이퍼는 대전 입자를 함유하는 층(618)에 인가되는 전압을 제어함으로써, 대전 입자를 함유하는 층(618) 중에 분산한 대전 입자의 이동을 제어할 수 있다. 또한, 본 실시형태의 전자 페이퍼는 대향 전극(617) 및 기관(604)이 투광성을 가진다. 즉, 본 실시형태의 표시 장치는 기관(604) 측을 표시면으로 하는 반사형의 표시 장치이다.

이하에, 본 실시형태의 전자 페이퍼의 각 구성 요소에 적용 가능한 재료에 대하여 열거한다.

기관(600)으로서는, 반도체 기관(예를 들면 단결정 기관 또는 실리콘 기관), SOI 기관, 유리 기관, 석영 기관, 표면에 절연층이 형성된 도전성 기관 또는 플라스틱 기관, 집합 필름, 섬유 형상의 재료를 포함하는 종이 또는 기재 필름 등의 가요성 기관 등이 있다. 유리 기관의 일례로서는 바륨 붕규 산 유리, 알루미늄 붕규 산 유리 또는 소다 라임 유리 등이 있다. 가요성 기관의 일례로서는 폴리에틸렌 테레프탈레이트(PET: polyethylene terephthalate), 폴리에틸렌 나프탈레이트(PEN: polyethylene naphthalate), 폴리에테르 설펜(PES: polyether sulfone)으로 대표되는 플라스틱 또는 아크릴 등의 가요성을 가지는 합성 수지 등이 있다.

도전층(610), 도전층(615), 주사선(630) 및 공통 전위선(632)으로서는 알루미늄(Al), 구리(Cu), 티탄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 상기 원소를 성분으로 하는 합금 또는 상술한 원소를 성분으로 하는 질화물을 적용할 수 있다. 또한, 이러한 재료의 적층 구조를 적용할 수도 있다.

절연층(611)으로서는 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 산화 탄탈 등의 절연체를 적용할 수 있다. 또한, 이러한 재료의 적층 구조를 적용할 수도 있다. 또한, 산화 질화 실리콘이란, 그 조성으로 하여, 질소보다 산소의 함유량이 많은 것이고, 농도 범위로서 산소가 55~65 원자 %, 질소가 1~20 원자 %, 실리콘이 25~35 원자 %, 수소가 0.1~10 원자 %의 범위에서, 합계 100 원자 %가 되도록 각 원소를 임의의 농도로 포함하는 것을 말한다. 또한, 질화 산화 실리콘이란, 그 조성으로서 산소보다 질소의 함유량이 많은 것이고, 농도 범위로서 산소가 15~30 원자 %, 질소가 20~35 원자 %, Si가 25~35 원자 %, 수소가 15~25 원자 %의 범위에 있어서, 합계 100 원자 %가 되도록 각 원소를 임의의 농도로 포함하는 것을 말한다.

반도체층(612)으로서는 실리콘(Si) 또는 게르마늄(Ge) 등의 주기표 제 14 족원소를 주구성 원소로 하는 재료, 실리콘 게르마늄(SiGe) 혹은 갈륨 비소(GaAs) 등의 화합물, 산화 아연(ZnO) 또는 인듐(In) 및 갈륨(Ga)을 포함하는 산화 아연 등의 산화물, 또는 반도체 특성을 나타낸 유기 화합물 등의 반도체 재료를 적용할 수 있다. 또한, 이러한 반도체 재료로 구성되는 층의 적층 구조를 적용할 수도 있다.

도전층(613), 도전층(614) 및 신호선(631)으로서는 알루미늄(Al), 구리(Cu), 티탄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소 또는 상기 원소를 성분으로 하는 합금 또는 상기 원소를 성분으로 하는 질화물을 적용할 수 있다. 또한, 이러한 재료의 적층 구조를 적용할 수도 있다.

절연층(620)으로서는 산화 실리콘, 산화 질화 실리콘, 질화 실리콘 또는 질화 산화 실리콘, 산화 알루미늄, 산화 탄탈 등의 절연체를 적용할 수 있다. 또한, 절연층(620)은 폴리아미드, 폴리이미드, 폴리비닐 페놀, 벤조시클로부텐, 아크릴 또는 에폭시 등의 유기 재료, 실록산 수지 등의 실록산 재료 또는 옥사졸 수지 등을 사용하여 형성될 수 있다. 또한, 실록산 재료란, Si-O-Si 결합을 포함하는 재료에 상당한다는 점을 주목하라. 실록산은 실리콘(Si)과 산소(O)의 결합으로 골격 구조가 구성된다. 치환기로서 유기기(예를 들어 알킬기, 방향족 탄화수소)나 플루오로기를 이용해도 좋다. 유기기는 플루오로기를 가지고 있어도 좋다.

화소 전극(616)으로서는 알루미늄(Al), 구리(Cu), 티탄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 성분으로 하는 질화물을 적용할 수 있다. 또한, 이러한 재료의 적층 구조를 적용할 수도 있다. 또한, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주

석 산화물 등의 투광성을 가지는 도전성 재료를 적용할 수도 있다.

대전 입자를 함유하는 층(618)에 포함되는 대전 입자로서는, 정으로 대전한 입자로서 산화 티탄, 부로 대전한 입자로서 카본 블랙을 적용할 수 있다. 또한, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네센트 재료, 일렉트로크로믹 재료, 자기 영동 재료로부터 선택된 일종의 재료, 또는 이들의 복합 재료를 적용할 수도 있다.

대향 전극(617)으로서는, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 적용할 수 있다.

기관(604)으로서는, 바륨 붕규산 유리, 알루미늄 붕규산 유리 혹은 소다 라임 유리 등의 유리 기관 또는 폴리에틸렌 테레프탈레이트(PET) 등의 가요성 기관으로 대표되는 투광성을 가지는 기관을 적용할 수 있다.

또한, 본 실시형태의 전자 페이퍼는 정보를 표시하는 것이면 모든 분야의 전자기기에 이용하는 것이 가능하다. 예를 들어, 전자 페이퍼를 이용하고, 전자 서적(전자 북), 포스터, 전철 등의 탈 것의 차내 광고, 신용 카드 등의 각종 카드에서의 표시 등에 적용할 수 있다. 그러한 전자기기의 일례를 도 19에 나타낸다. 도 19는 전자 서적(2700)의 일례를 나타낸다.

도 19에 나타낸 바와 같이, 전자 서적(2700)은 케이스(2701) 및 케이스(2703) 2개의 케이스로 구성된다. 케이스(2701) 및 케이스(2703)는 측부(2711)에 의하여 일체로 되어있고, 이 측부(2711)를 축으로 하여 개폐 동작을 행할 수 있다. 이러한 구성에 의하여, 종이 서적과 같은 동작을 행하는 것이 가능해진다.

케이스(2701)에는 표시부(2705)가 조립된다. 케이스(2703)에는 표시부(2707)가 조립된다. 표시부(2705) 및 표시부(2707)는 이어지는 화면을 표시하는 구성으로 하여도 좋고, 상이한 화면을 표시하는 구성으로 하여도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들어 우측의 표시부(도 19에서는 표시부(2705))에 문장을 표시하고, 좌측의 표시부(도 19에서는 표시부(2707))에 화상을 표시할 수 있다.

또한, 도 19에서는, 케이스(2701)에 조작부 등을 구비한 예를 나타낸다. 예를 들어, 케이스(2701)에서, 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등을 구비한다. 조작 키(2723)에 의하여, 페이지를 보낼 수 있다. 또한, 케이스의 표시부와 동일면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 뒷면이나 측면에, 외부 접속용 단자(이어폰 단자, USB 단자 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은 전자 사전으로서의 기능을 가지게 한 구성으로 하여도 좋다.

또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여, 전자 서적 서버로부터, 소망의 서적 데이터 등을 구입하여, 다운로드하는 구성으로 하는 것도 가능하다.

또한, 본 실시형태의 내용 또는 이 내용의 일부는 다른 실시형태의 내용 또는 그 내용의 일부와 조합하는 것이 가능하다는 점을 주목하라.

(실시형태 9)

상기 실시형태 5 내지 실시형태 8에 나타낸 표시 장치는 다양한 전자기기(유기기도 포함)에 적용할 수 있다. 전자기기로서는, 예를 들어, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.

도 20(A)는 텔레비전 장치의 일례를 나타낸다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 조립된다. 표시부(9603)에 의하여, 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(9605)에 의하여 케이스(9601)를 지지한 구성을 나타낸다.

텔레비전 장치(9600)의 조작은 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모콘 조작기(9610)에 의하여 행할 수 있다. 리모콘 조작기(9610)가 구비하는 조작 키(9609)에 의하여, 채널이나 음량의 조작을 행할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(9610)에 이 리모콘 조작기(9610)로부터 출력하는 데이터를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.

또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다는 점을 주목하라. 수신기에 의하여 일반 텔레비전 방송의 수신을 행할 수 있고 또한, 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함

으로써, 한방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이 또는 수신자 사이끼리 등)의 데이터 통신을 행하는 것도 가능하다.

도 20(B)은 디지털 포토 프레임의 일례를 나타낸다. 예를 들어, 디지털 포토 프레임(9700)은 케이스(9701)에 표시부(9703)가 조립된다. 표시부(9703)는 각종 화상을 표시하는 것이 가능하고, 예를 들어 디지털 카메라 등에서 촬영한 화상 데이터를 표시하고 통상의 사진 프레임으로서 기능할 수 있다.

또한, 디지털 포토 프레임(9700)은 조작부, 외부 접속용 부분(USB 단자, USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다는 점을 주목하라. 이러한 구성은 표시부와 동일면에 조립되어도 좋지만, 측면이나 뒷면에 구비하면 디자인성이 향상하기 때문에 바람직하다. 예를 들어, 디지털 포토 프레임의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 전송하고, 전송한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.

또한, 디지털 포토 프레임(9700)은 무선으로 데이터를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여, 소망의 화상 데이터를 넣어, 표시시키는 구성으로 할 수도 있다.

도 21(A)은 휴대형 유기기이고, 케이스(9881)와 케이스(9891) 2개의 케이스로 구성되고, 연결부(9893)에 의하여, 개폐 가능하게 연결된다. 케이스(9881)에는 표시부(9882)가 조립되고, 케이스(9891)에는 표시부(9883)가 조립된다. 또한, 도 21(A)에 나타난 휴대형 유기는 그 외, 스피커(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 향기나 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9889)) 등을 구비한다. 물론, 휴대형 유기의 구성은 상기로 한정되지 않고, 적어도 표시 장치를 구비한 구성이면 좋고, 그 외 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 21(A)에 나타난 휴대형 유기는 기록 매체에 기록되는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 다른 휴대형 유기와 무선 통신을 행하여 정보를 공유하는 기능을 가진다. 또한, 도 21(A)에 나타난 휴대형 유기가 가지는 기능은 이것으로 한정되지 않고, 여러 가지 기능을 가질 수 있다는 점을 주목하라.

도 21(B)은 대형 유기기인 슬롯 머신의 일례를 나타낸다. 슬롯 머신(9900)은 케이스(9901)에 표시부(9903)가 조립된다. 또한, 슬롯머신(9900)은 그 외, 스타트 레버나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 구비한다. 물론, 슬롯 머신(9900)의 구성은 상기로 한정되지 않고, 상기 실시형태에 나타난 표시 장치를 적어도 구비한 구성이면 좋고, 그 외 부속 설비가 적절히 설치된 구성으로 할 수 있다.

도 22(A)는 휴대 전화기의 일례를 나타낸다. 휴대 전화기(9000)는 케이스(9001)에 조립된 표시부(9002) 외, 조작 버튼(9003), 외부 접속 포트(9004), 스피커(9005), 마이크로폰(9006) 등을 구비한다.

도 22(A)에 나타난 휴대 전화기(9000)는 표시부(9002)가 손가락 등으로 터치함으로써, 휴대 전화기(9000)에 데이터가 입력될 수 있다. 또한, 전화를 걸거나 또는 메시지를 쓰는 등의 조작은 표시부(9002)가 손가락 등으로 터치함으로써 행할 수 있다.

표시부(9002)의 화면은 주로 3개의 모드가 있다. 제 1 모드는 화상의 표시를 주로 하는 표시 모드이고, 제 2 모드는 문자 등의 데이터의 입력을 주로 하는 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합한 표시+입력 모드이다.

예를 들어, 전화를 걸거나 또는 메시지를 작성하는 경우는 표시부(9002)를 문자의 입력을 주로 하는 문자 입력 모드로 하여, 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우, 표시부(9002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.

또한, 휴대 전화기(9000) 내부에 자이로스코프, 가속도 센서 등의 기울기를 검출하는 센서를 가지는 검출 장치를 설치함으로써, 휴대 전화기(9000)의 방향(세로인지, 가로인지)을 판단하여, 표시부(9002)의 화면 표시를 자동적으로 바꾸도록 할 수 있다.

또한, 화면 모드의 변환은 표시부(9002)에 접촉하는 것 또는 케이스(9001)의 조작 버튼(9003)의 조작에 의하여 행해진다. 또한, 표시부(9002)에 표시되는 화상의 종류에 의해 화면 모드가 바뀌도록 할 수도 있다. 예를 들어, 표시부(9002)에 표시하는 화상 신호가 동영상의 데이터이면 표시 모드, 텍스트 데이터이면 입력 모드로 전환한다.

또한, 입력 모드에서 표시부(9002)의 광 센서에 의해 검출되는 신호를 감지하여, 표시부(9002)의 터치 조작에

의한 입력이 일정 기간 없는 경우에는 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어해도 좋다.

표시부(9002)는 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(9002)에 손바닥이나 손가락을 터치하여, 장문(掌紋), 지문 등을 촬상함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근(近)적외광을 방출하는 백 라이트 또는 근적외광을 방출하는 센싱용 광원을 이용하면, 손가락 정맥, 손바닥 정맥 등을 촬상할 수도 있다.

도 22(B)도 휴대 전화기의 일례이다. 도 22(B)의 휴대 전화기는 케이스(9411)에 표시부(9412) 및 조작 버튼(9413)을 포함하는 표시 장치(9410)와 케이스(9401)에 스캔 버튼(9402), 외부 입력 단자(9403), 마이크로폰(9404), 스피커(9405) 및 착신 시에 발광하는 발광부(9406)를 포함하는 통신 장치(9400)를 가지고 있고, 표시 기능을 가지는 표시 장치(9410)는 전화 기능을 가지는 통신 장치(9400)와 화살표의 2 방향으로 탈착 가능하다. 따라서, 표시 장치(9410)와 통신 장치(9400)의 단축끼리를 붙일 수 있고, 표시 장치(9410)와 통신 장치(9400)의 장축끼리를 붙일 수도 있다. 또한, 표시 기능만을 필요로 하는 경우, 통신 장치(9400)에서 표시 장치(9410)를 떼어내어, 표시 장치(9410)를 단독으로 이용할 수도 있다. 통신 장치(9400)와 표시 장치(9410)는 무선 통신 또는 유선 통신에 의하여 화상 또는 입력 정보를 주고 받을 수 있고, 각각 충전 가능한 배터리를 가진다.

또한, 본 실시형태의 내용 또는 이 내용의 일부는 다른 실시형태의 내용 또는 그 내용의 일부와 조합하는 것이 가능하다는 점을 주목하라.

### 부호의 설명

101 : 트랜지스터	102 : 트랜지스터
103 : 트랜지스터	104 : 트랜지스터
105 : 트랜지스터	106 : 트랜지스터
111 : 클록 신호 선택용 트랜지스터	
112 : 클록 신호 선택용 트랜지스터	
113 : 클록 신호 선택용 트랜지스터	
114 : 클록 신호 선택용 트랜지스터	
115 : 클록 신호 선택용 트랜지스터	
116 : 클록 신호 선택용 트랜지스터	
121 : 저전원 전위 선택용 트랜지스터	
122 : 저전원 전위 선택용 트랜지스터	
123 : 저전원 전위 선택용 트랜지스터	
124 : 저전원 전위 선택용 트랜지스터	
125 : 저전원 전위 선택용 트랜지스터	
126 : 저전원 전위 선택용 트랜지스터	
131 : 트랜지스터	132 : 트랜지스터
133 : 트랜지스터	134 : 트랜지스터
201 : 기관	202 : 절연층
207 : 산화물 절연층	211 : 도전층
213 : 산화물 반도체층	214a : 산화물 도전층
214b : 산화물 도전층	215a : 도전층
215b : 도전층	215c : 도전층
217 : 도전층	233a : 레지스트 마스크

233b : 레지스트 마스크	251 : 트랜지스터
252 : 트랜지스터	600 : 기관
601 : 트랜지스터	602 : 용량 소자
603 : 전기 영동 소자	604 : 기관
610 : 도전층	611 : 절연층
612 : 반도체층	613 : 도전층
614 : 도전층	615 : 도전층
616 : 화소 전극	617 : 대향 전극
618 : 대전 입자를 함유하는 층	620 : 절연층
630 : 주사선	631 : 신호선
632 : 공통 전위선	701 : 화소부
702 : 주사선 구동 회로	703 : 신호선 구동 회로
704 : 화소	705 : 주사선
706 : 신호선	804 : 주사선
805 : 신호선	821 : 트랜지스터
822 : 액정 소자	823 : 용량 소자
851 : 트랜지스터	852 : 용량 소자
853 : 트랜지스터	854 : 발광 소자
855 : 주사선	856 : 신호선
900 : 시프트 레지스터	901 : 레벨 시프터
902 : 버퍼	903 : 시프트 레지스터
904 : 래치 회로	905 : 래치 회로
906 : 레벨 시프터	907 : 버퍼
2000 : 기관	2001 : 도전층
2002 : 절연층	2003 : 산화물 반도체층
2005a : 도전층	2005b : 도전층
2007 : 산화물 절연층	2008 : 도전층
2020 : 투명 도전층	2022 : 도전층
2023 : 도전층	2024 : 도전층
2028 : 투명 도전층	2029 : 투명 도전층
2112 : 도전층	2132 : 산화물 반도체층
2142a : 산화물 도전층	2142b : 산화물 도전층
2700 : 전자 서적	2701 : 케이스
2703 : 케이스	2705 : 표시부
2707 : 표시부	2711 : 측부
2721 : 전원 스위치	2723 : 조작 키

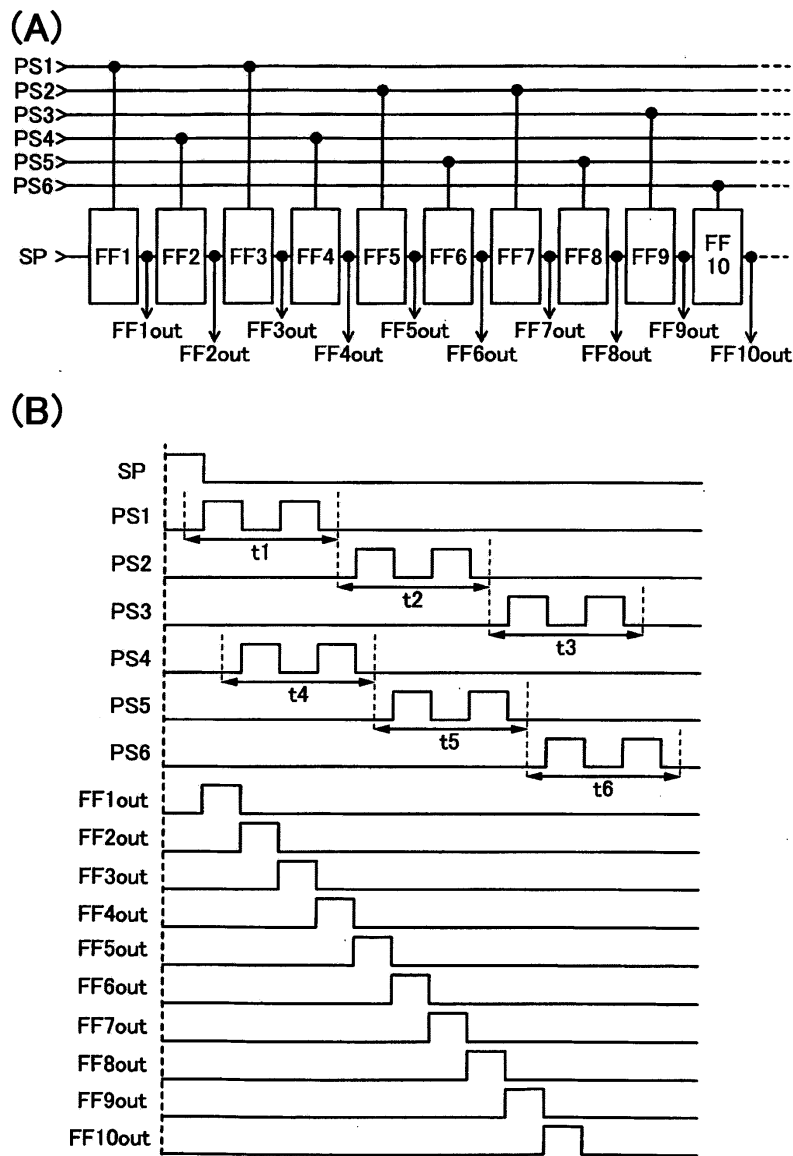
2725 : 스피커	4501 : 기관
4502 : 화소부	4503a : 신호선 구동 회로
4503b : 신호선 구동 회로	4504a : 주사선 구동 회로
4504b : 주사선 구동 회로	4505 : 셀재
4506 : 기관	4507 : 충전재
4509 : 트랜지스터	4510 : 트랜지스터
4511 : 발광 소자	4512 : 발광층
4513 : 전극	4515 : 접속 단자 전극
4516 : 단자 전극	4517 : 전극
4518a : FPC	4518b : FPC
4519 : 이방성 도전층	4520 : 격벽
4540 : 도전층	4542 : 절연층
4543 : 절연층	4544 : 절연층
4545 : 평탄화 절연층	4555 : 트랜지스터
7003 : 음극	7004 : 발광층
7005 : 양극	7013 : 음극
7014 : 발광층	7015 : 양극
7016 : 차폐층	7017 : 도전층
7023 : 음극	7024 : 발광층
7025 : 양극	7027 : 도전층
9000 : 휴대 전화기	9001 : 케이스
9002 : 표시부	9003 : 조작 버튼
9004 : 외부 접속 포트	9005 : 스피커
9006 : 마이크로폰	9400 : 통신 장치
9401 : 케이스	9402 : 조작 버튼
9403 : 외부 입력 단자	9404 : 마이크로폰
9405 : 스피커	9406 : 발광부
9410 : 표시 장치	9411 : 케이스
9412 : 표시부	9413 : 조작 버튼
9600 : 텔레비전 장치	9601 : 케이스
9603 : 표시부	9605 : 스탠드
9607 : 표시부	9609 : 조작 키
9610 : 리모콘 조작기	9700 : 디지털 포토 프레임
9701 : 케이스	9703 : 표시부
9881 : 케이스	9882 : 표시부
9883 : 표시부	9884 : 스피커



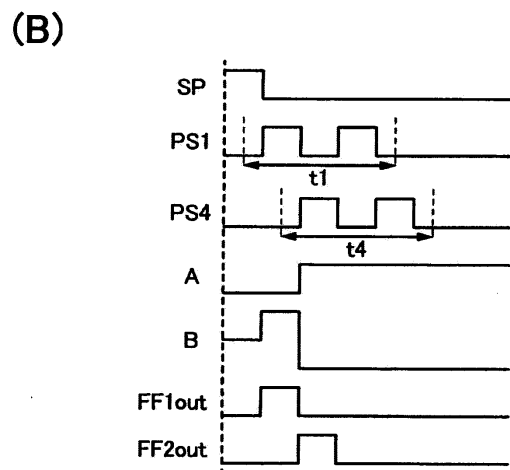
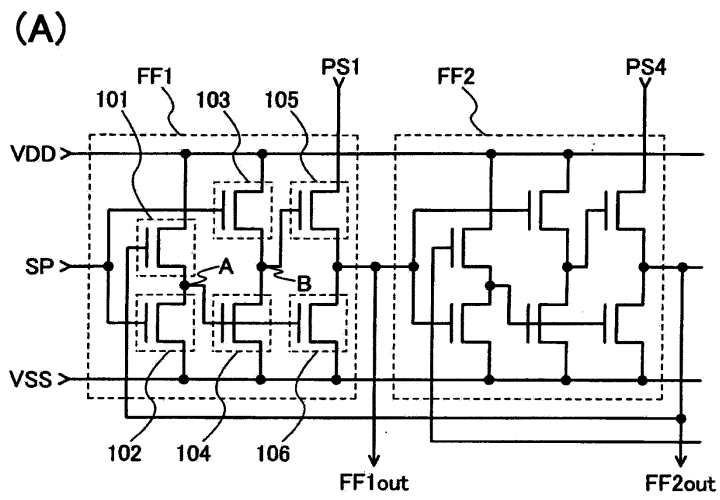
9885 : 조작 키	9886 : 기록 매체 삽입부
9887 : 접속 단자	9888 : 센서
9889 : 마이크로폰	9890 : LED 램프
9891 : 케이스	9893 : 연결부
9900 : 슬롯머신	9901 : 케이스
9903 : 표시부	

## 도면

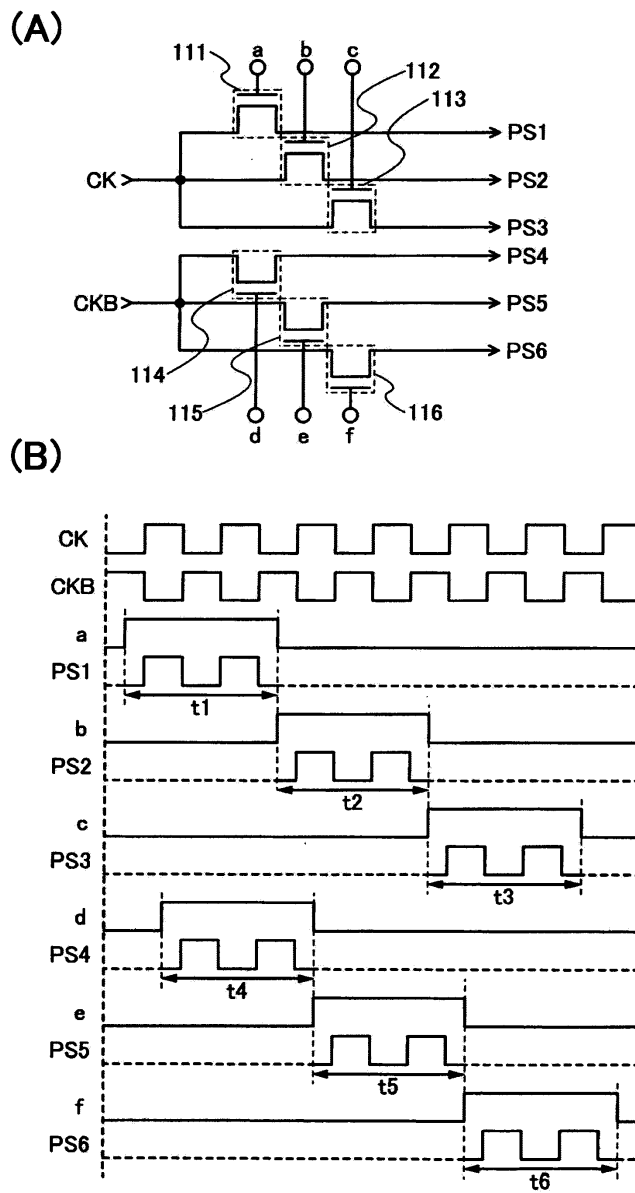
### 도면1



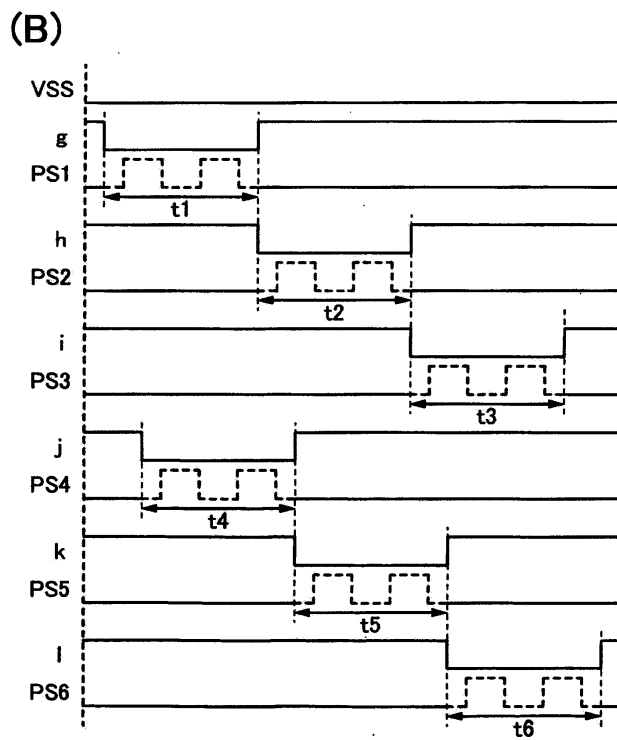
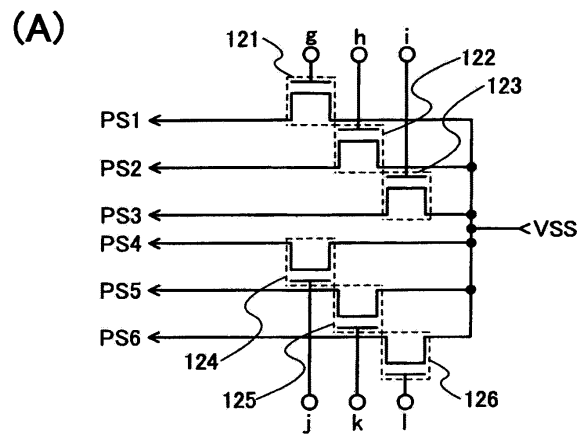
도면2



도면3

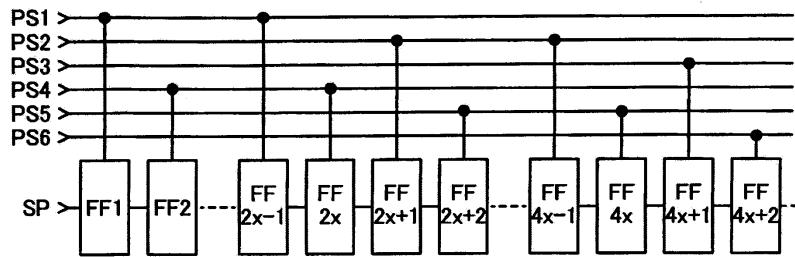


도면4

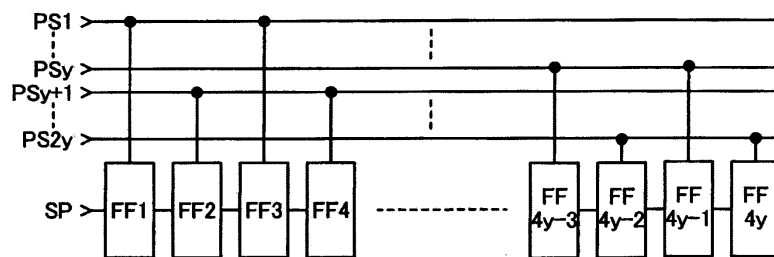


도면5

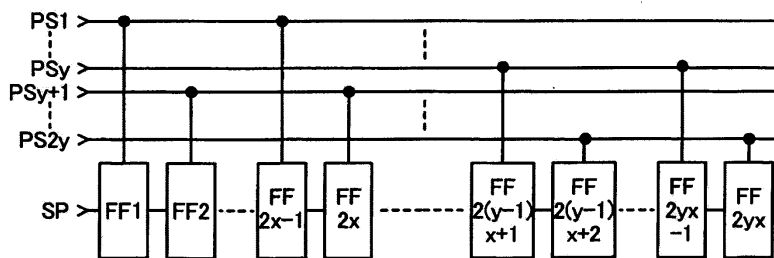
(A)



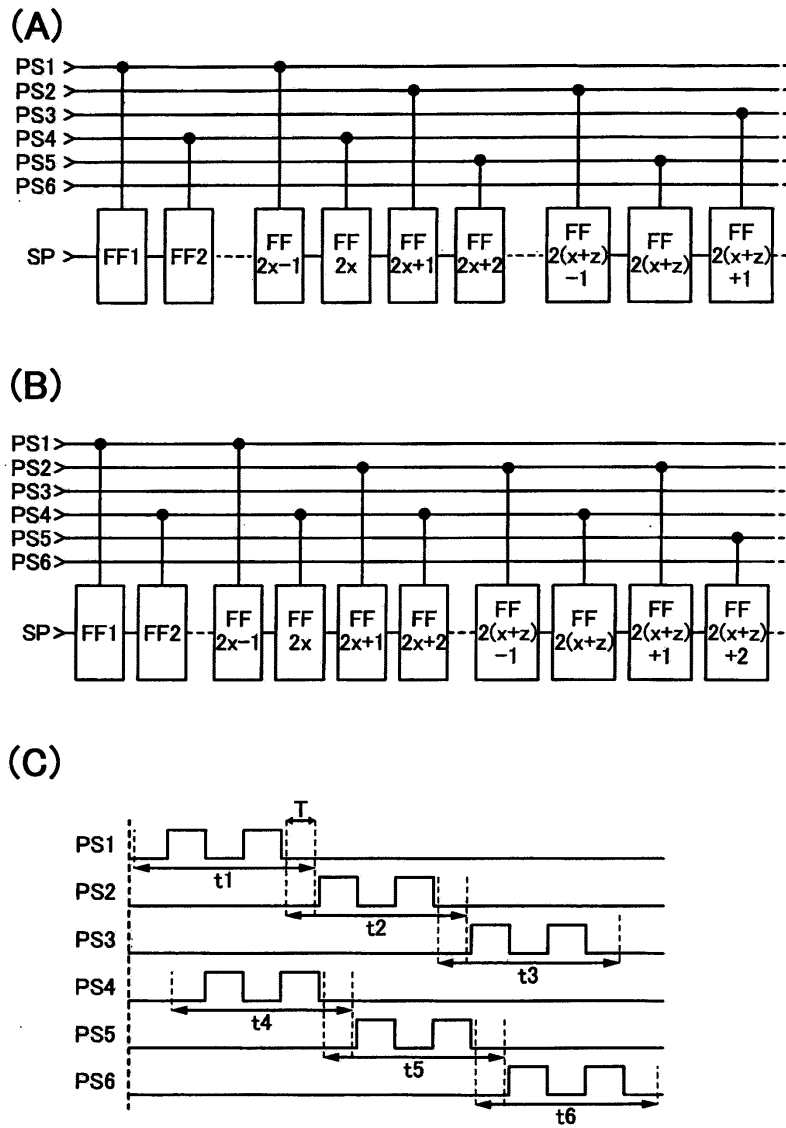
(B)



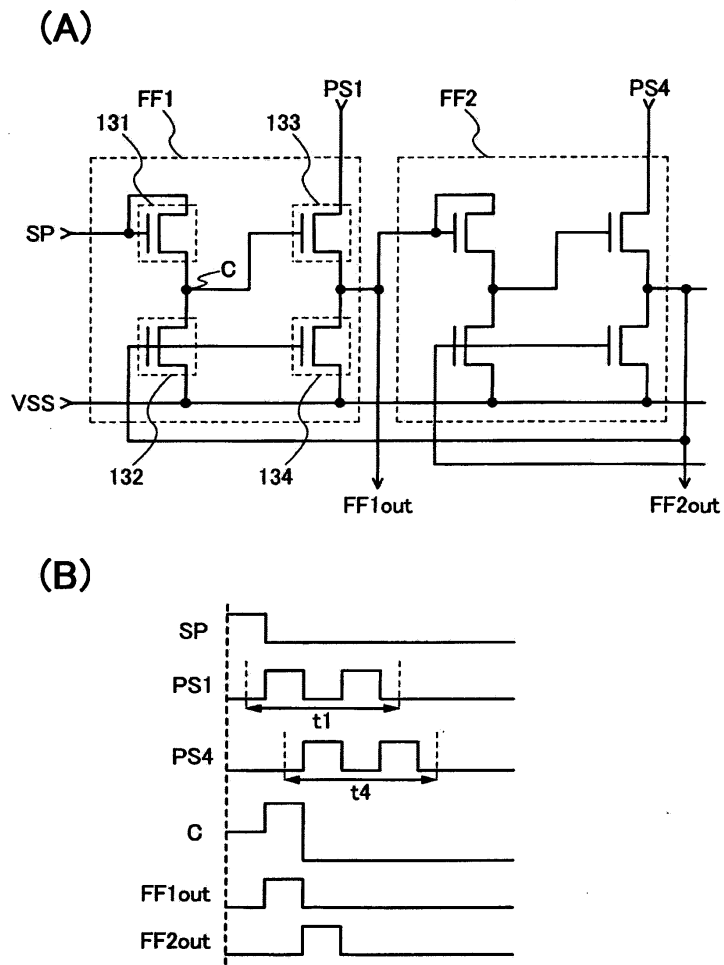
(C)



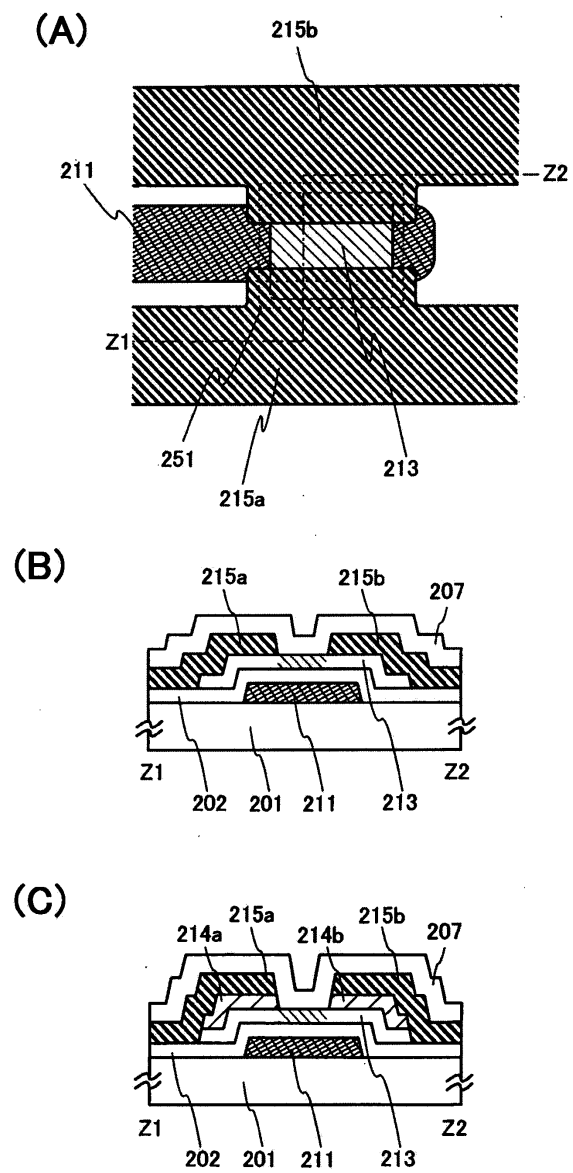
도면6



도면7

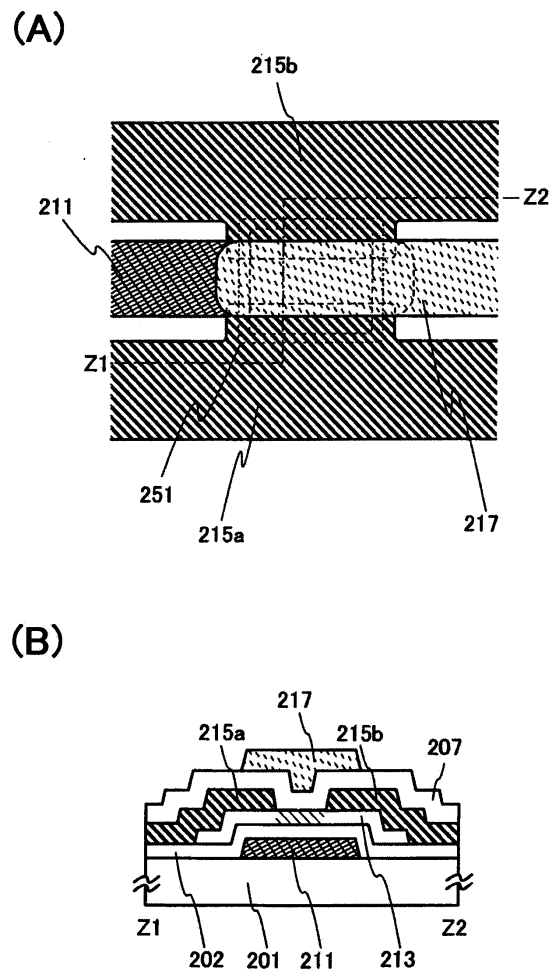


도면8



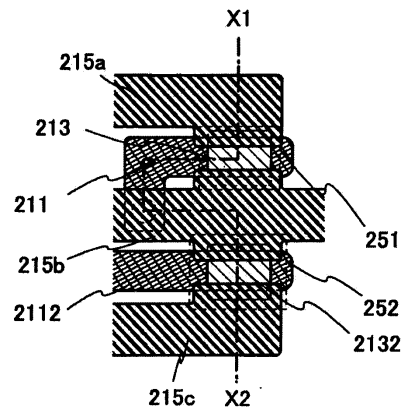


도면9

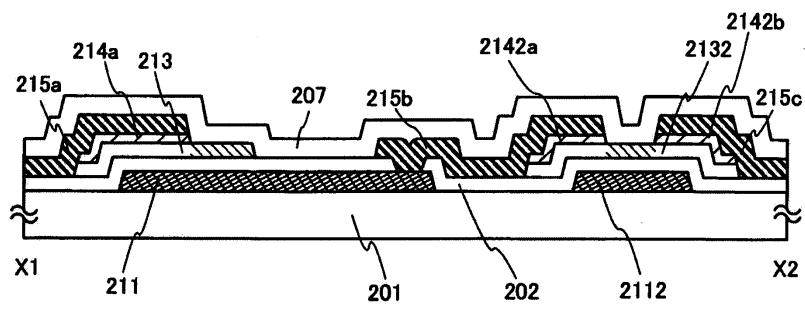


도면10

(A)

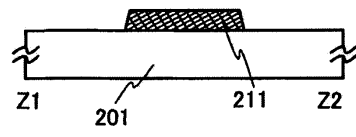


(B)

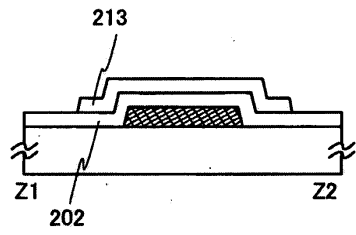


도면11

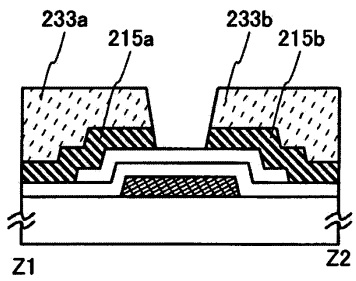
(A)



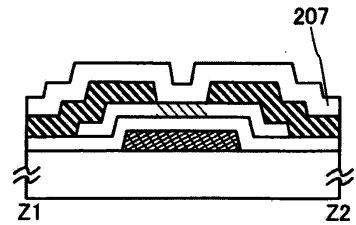
(B)



(C)

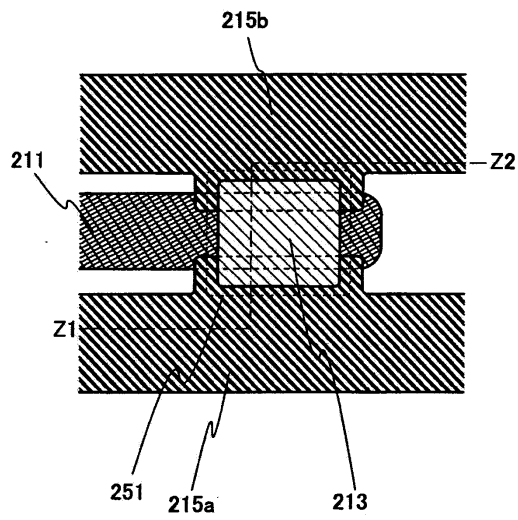


(D)

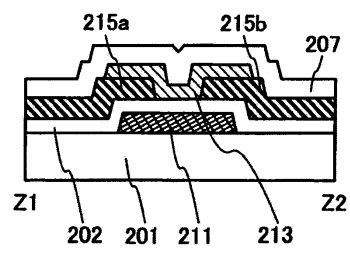


도면12

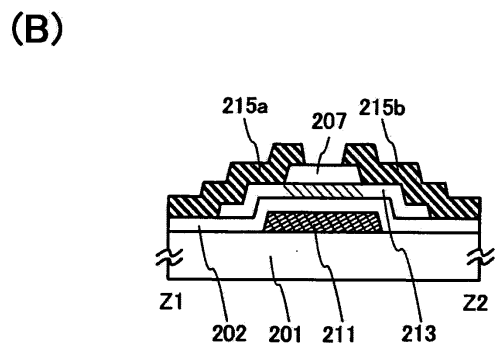
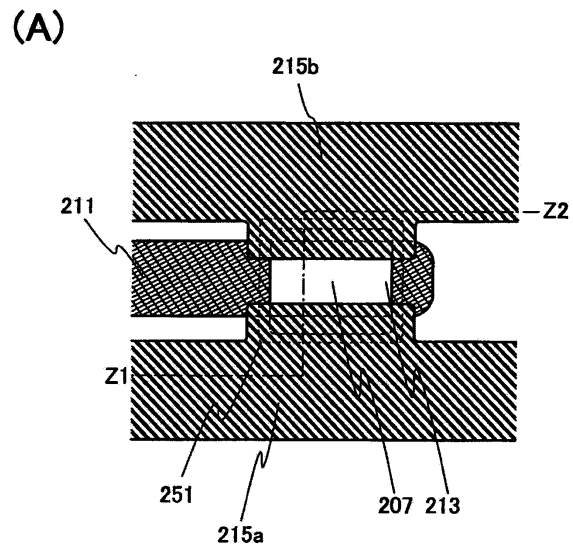
(A)



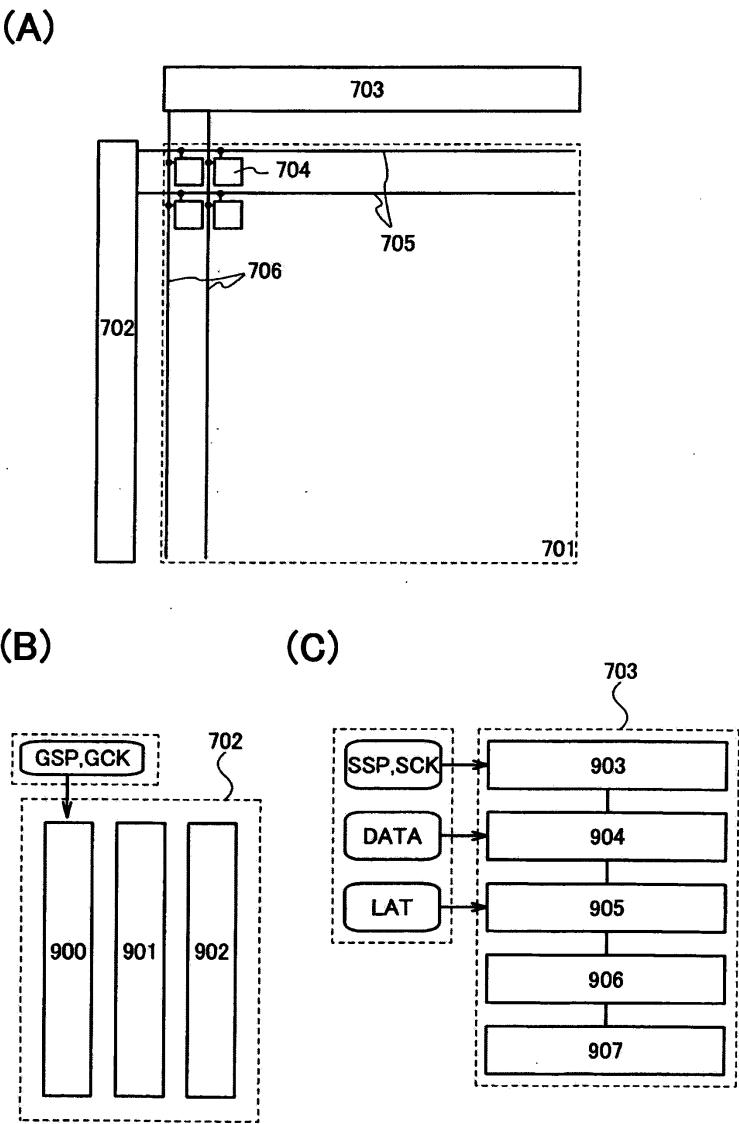
(B)



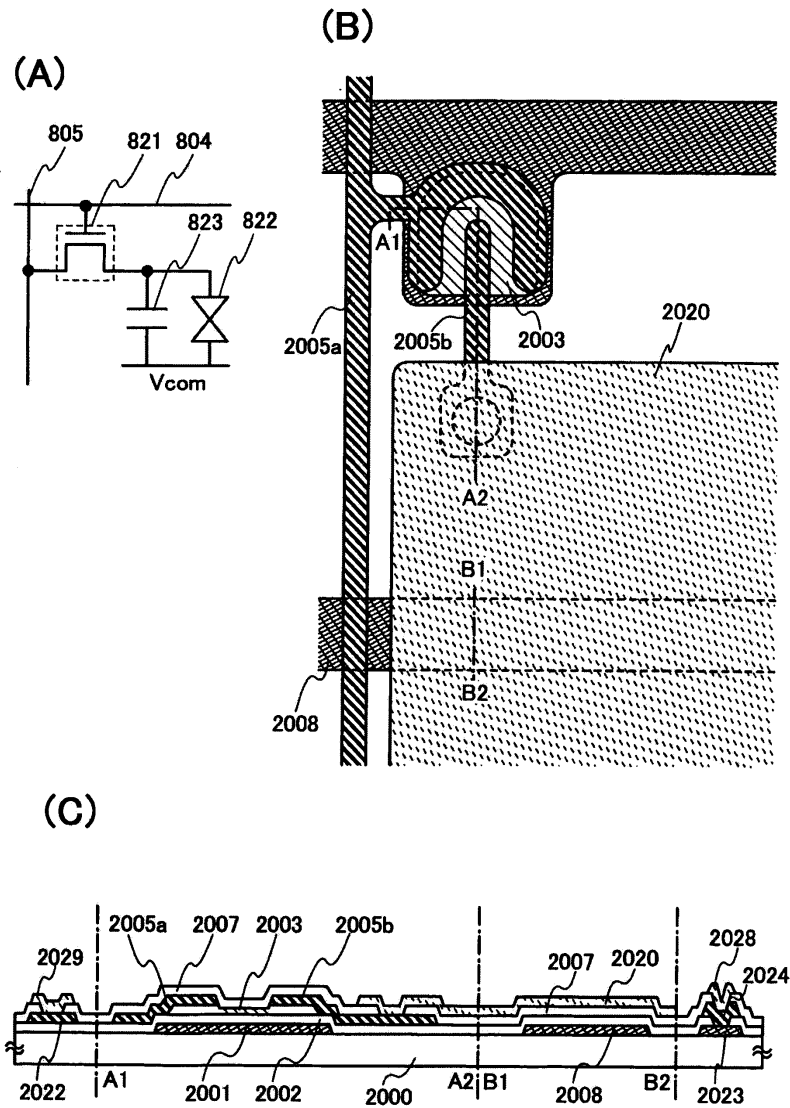
도면13



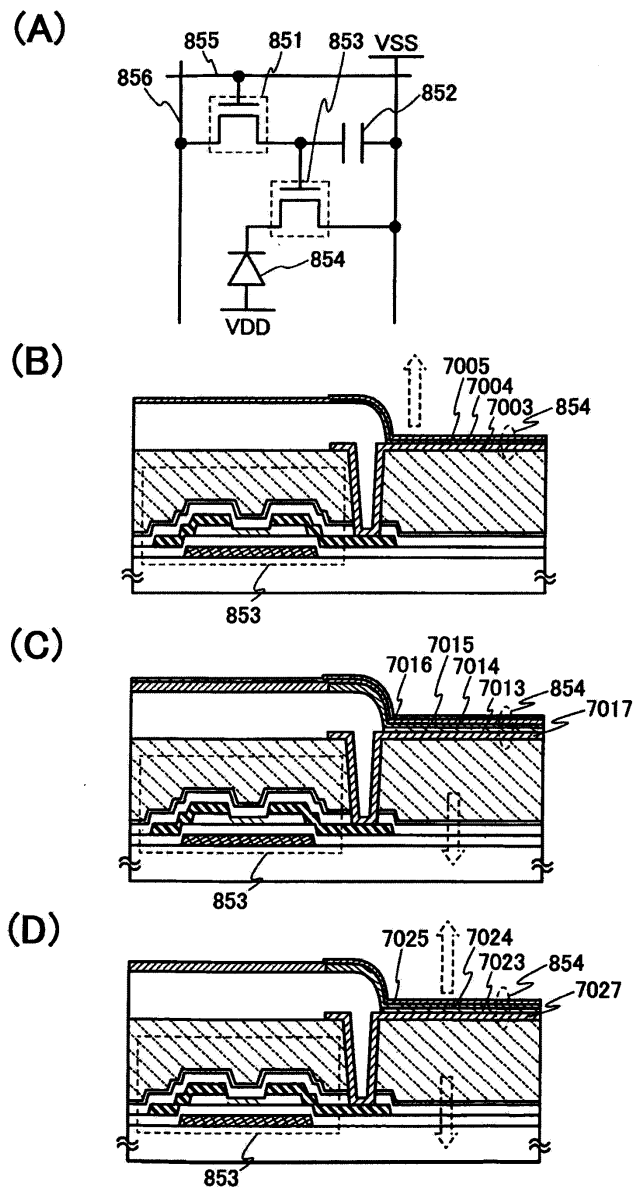
도면14



도면15

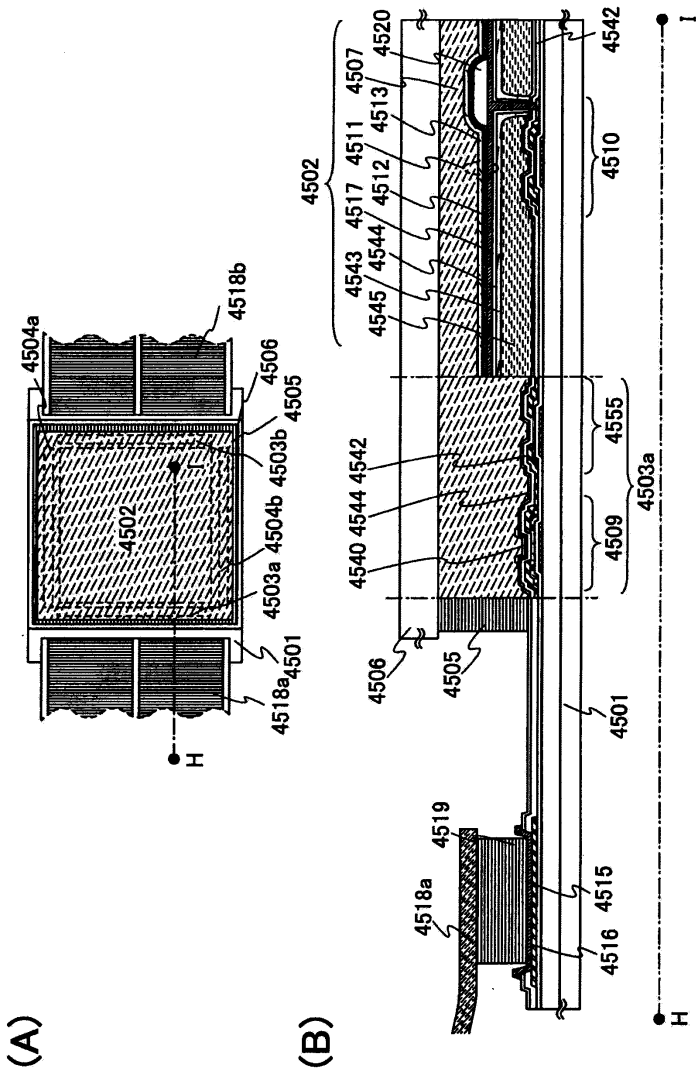


도면16

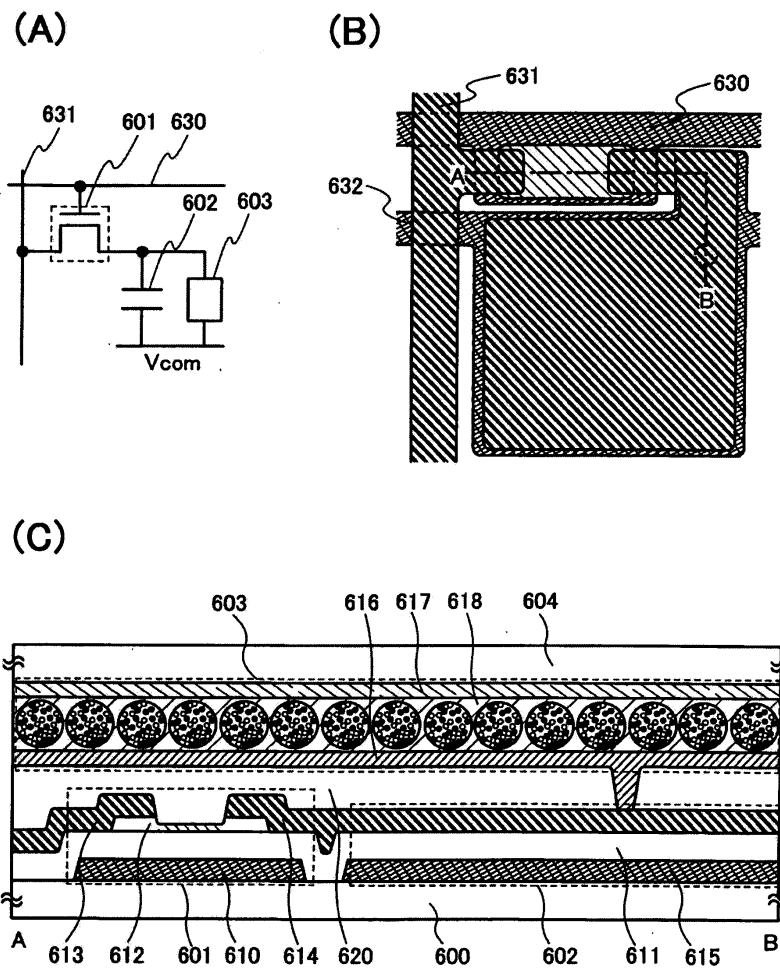




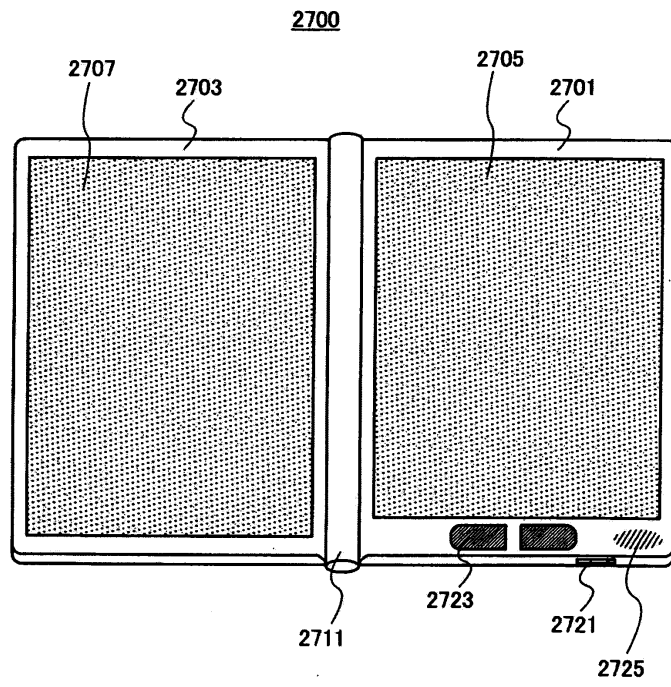
도면17



도면18

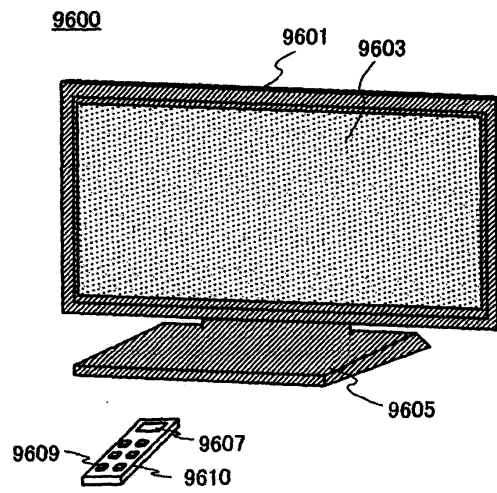


도면19

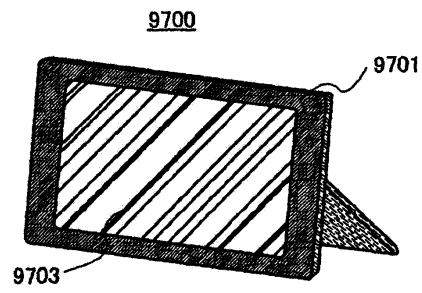


도면20

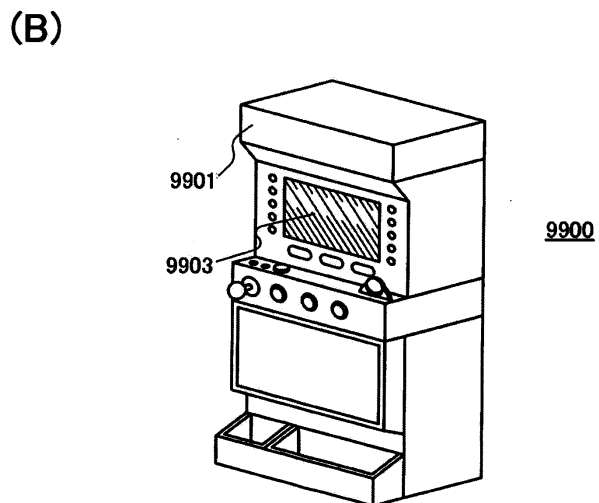
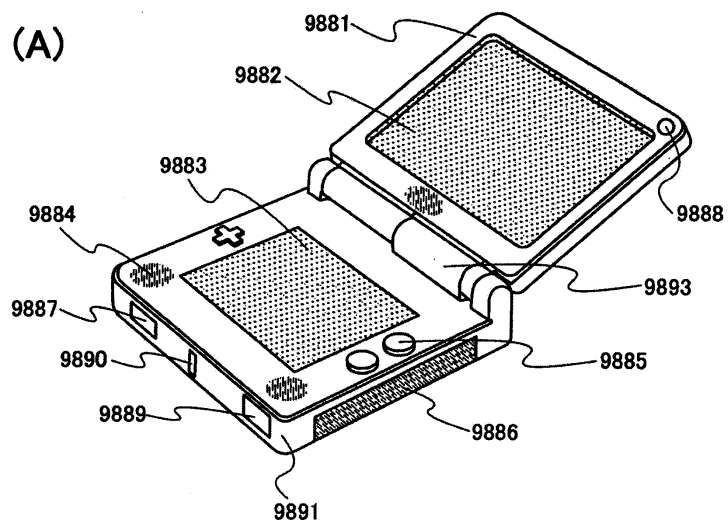
(A)



(B)

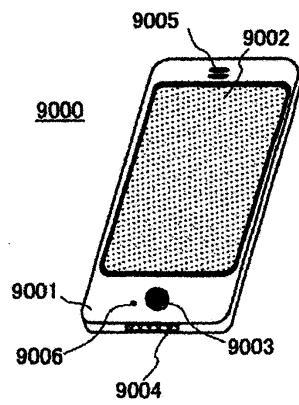


도면21



도면22

(A)



(B)

