

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.
H01L 27/115 (2006.01)

(45) 공고일자	2006년08월25일
(11) 등록번호	10-0615583
(24) 등록일자	2006년08월17일

(21) 출원번호	10-2004-0063301	(65) 공개번호	10-2006-0014668
(22) 출원일자	2004년08월11일	(43) 공개일자	2006년02월16일

(73) 특허권자
 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자
 조병옥
 서울특별시 강동구 고덕동 주공아파트 211-306

(74) 대리인
 박상수

심사관 : 김기현

(54) 노드 절연막 패턴에 구속된 상전이막 패턴을 갖는 피이.램의 형성방법들

요약

노드 절연막 패턴에 구속된 상전이막 패턴을 갖는 피이.램(PRAM; Phase-change Random Access Memory)의 형성방법들을 제공한다. 이 형성방법들은 상전이막 패턴의 일부를 노드 절연막에 구속시켜서 리셋(Reset) 전류의 소모를 적게하는 방안을 제시한다. 이를 위해서, 반도체 기판 상에 활성영역 및 게이트 패턴을 차례로 형성한다. 상기 게이트 패턴의 상부에 하부 전극막, 노드 절연막, 반사방지막 및 포토레지스트 패턴들을 차례로 형성한다. 상기 포토레지스트 패턴들 및 반사방지막을 덮는 폴리머 막을 형성한다. 그리고, 상기 노드 절연막을 노출시키도록 폴리머 막, 포토레지스트 패턴들 및 반사방지막에 식각공정을 수행한다. 상기 식각공정은 포토레지스트 패턴들 사이의 폴리머 막의 측벽에 제 1 식각 부산물 폴리머 막을 형성한다. 다음으로, 상기 포토레지스트 패턴들, 반사방지막, 폴리머 막 및 제 1 식각 부산물 폴리머 막을 식각 마스크로 사용해서 노드 절연막 및 하부 전극막에 식각공정을 연속적으로 수행한다. 이때에, 상기 식각공정은 노드 절연막 및 하부 전극막에 구속 콘택홀을 형성한다. 또한, 상기 식각공정은 구속 콘택홀의 측벽에 제 2 식각 부산물 폴리머 막을 형성한다. 이를 통해서, 상기 형성방법들은 피이.램에 구속 콘택홀을 배치하여 리셋 전류의 소모를 줄여서 반도체 장치의 시장 욕구에 대응할 수 있게 해준다.

대표도

도 13

색인어

하부 및 상부 전극막들, 폴리머 막, 상전이막, 구속 콘택홀

명세서

도면의 간단한 설명

도 1 은 본 발명에 따른 피이. 램의 배치도.

도 2 내지 도 13 은 각각이 도 1 의 절단선을 따라 취해서 피이. 램의 형성방법을 설명해 주는 단면도들.

도 14 는 본 발명에 따른 피이. 램들의 전기적 특성을 보여주는 그래프.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 피이. 램(PRAM; Phase-change Random Access Memory)의 형성방법들에 관한 것으로서, 상세하게는, 노드 절연막 패턴에 구속된 상전이막 패턴을 갖는 피이. 램의 형성방법들에 관한 것이다.

일반적으로, 피이. 램은 트랜지스터 및 상전이막 패턴을 갖는다. 그리고, 상기 피이. 램은 상전이막 패턴 및 트랜지스터를 전기적으로 연결하기 위해서 그들 사이에 하나 이상의 콘택들을 갖는다. 상기 콘택들 중 하나는 트랜지스터의 소오스 또는 드레인 영역을 노출시키고, 나머지는 상기 하나의 콘택의 상부에 위치해서 상전이막 패턴에 중첩된다. 상기 피이. 램은 트랜지스터 및 콘택들을 따라 흐르는 전류를 사용해서 상전이막 패턴의 결정구조를 상전이시킨다. 이때에, 상기 피이. 램은 상전이막 패턴의 결정구조를 이용해서 선택된 셀(Cell)에 "0" 또는 "1" 의 데이터를 저장시킬 수 있다. 따라서, 상기 피이. 램은 상전이막 패턴의 결정구조를 상전이시키는 소모 전류를 줄이기 위해서 상전이막 패턴 아래에 위치된 콘택의 직경을 줄이는 방안들이 적용되고 있다.

그러나, 상기 상전이막 패턴 아래에 위치된 콘택은 피이. 램의 디자인 룰의 점진적인 축소로 인해서 반도체 기판 상에 구현하는데 어려움을 갖을 수 있다. 이는 상기 디자인 룰의 축소와 함께 포토레지스트 막에 콘택 이미지를 정의하는 포토공정의 한계에 이르기 때문이다. 더우기, 상기 포토공정의 한계는 후속의 식각공정에도 영향을 주어서 전체적으로 반도체 제조 공정들이 수행될 수 없게 만들 수 있다. 상기 피이. 램의 디자인 룰이 반도체 장치의 시장 욕구로 인해서 피해갈 수 없는 상황이라면, 상기 상전이막 패턴 아래에 위치된 콘택은 포토 공정의 한계를 극복해서 반도체 기판 상에 구현하는 것이 필요하다.

한편, "프로그램할 수 있는 저항 메모리 소자의 형성방법(Method of Making Programmable Resistance Memory Element)" 이 미국공개특허공보 제 2002/0197566 호(U.S. Pat. Publication No. 2002/0197566)에 존 메이먼(John Maimom) 등에 의해 개시된 바 있다.

상기 미국공개특허공보 제 2002/0197566 호에 따르면, 상기 형성방법은 제 1 물질막을 제공하는 것을 포함한다. 상기 제 1 물질막은 도전막일 수 있다. 상기 제 1 물질막에 제 2 물질막을 형성한다. 이때에, 상기 제 2 물질막들은 포토레지스트 막이다. 그리고, 상기 제 2 물질막을 부분적으로 제거해서 제 1 물질막 상에 포토 마스크를 형성한다. 상기 포토 마스크를 사일리레이션(Silylation)시켜서 그 마스크의 측벽 및 상면에 사일리레이션 막을 형성한다. 상기 사일리레이션 막은 포토레지스트 막에 실리콘 원자를 확산시켜서 형성한 것이다.

상기 형성방법은 제 1 물질막 및 사일리레이션 막에 제 3 물질막을 형성하는 것을 더 포함한다. 상기 제 3 물질막들은 포토레지스트 막이다. 상기 제 3 물질막을 부분적으로 제거한다. 계속해서, 상기 포토 마스크의 측면 및 상면의 사일리레이션 막을 제거한다. 상기 제 1 물질막 및 상기 포토 마스크를 식각 마스크로 사용해서 제 1 물질막을 부분적으로 제거하여 개구부를 형성한다. 상기 개구부에 프로그램할 수 있는 저항 물질이 증착된다.

그러나, 상기 형성방법은 개구부를 제조하는 동안 두 번의 포토 공정들을 사용한다. 이는 반도체 장치의 제조 원가를 높이는 원인이 될 수 있다. 더불어서, 상기 제 3 물질막 및 사일리레이션 막을 하나의 장비에서 인 시튜(In-situ)로 부분 제거할 수 없다면, 상기 형성방법은 반도체 장치의 제조 원가를 더욱 높일 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 반도체 기판의 상부에 하부 전극 및 노드 절연막 패턴을 차례로 적층해서 노드 절연막 패턴을 관통하여 하부 전극에 접촉하도록 노드 절연막 패턴에 구속된 상전이막 패턴을 갖는 피이. 램의 형성방법들을 제공하는 것이다.

발명의 구성 및 작용

상기 기술적 과제를 구현하기 위해서, 본 발명은 노드 절연막 패턴에 구속된 상전이막 패턴을 갖는 피이. 램의 형성방법을 제공한다.

상기 형성방법의 일 실시예는 반도체 기판 상에 활성영역 및 게이트 패턴을 차례로 형성하는 것을 포함한다. 상기 게이트 패턴의 상부에 하부 전극막, 노드 절연막 및 반사방지막을 차례로 형성한다. 상기 반사방지막을 노출시키는 포토레지스트 패턴들을 형성한다. 상기 포토레지스트 패턴들 및 반사방지막을 덮는 폴리머 막을 형성한다. 계속해서, 상기 노드 절연막을 노출시키도록 포토레지스트 패턴들을 식각 마스크로 사용해서 폴리머 막 및 반사방지막에 식각공정을 수행한다. 상기 식각공정은 반사방지막의 상면 및 포토레지스트 패턴들의 측벽 사이에 식각후 남겨진 폴리머 막 및 상기 폴리머 막의 측벽을 덮는 제 1 식각 부산물 폴리머 막을 형성한다. 다음으로, 상기 포토레지스트 패턴들, 반사방지막, 폴리머 막 및 제 1 식각 부산물을 폴리머 막을 식각 마스크로 사용해서 노드 절연막 및 하부 전극막에 식각공정을 연속적으로 수행한다. 이때에, 상기 식각공정은 노드 절연막을 지나서 하부 전극막에 구속 콘택홀을 형성하고 동시에 구속 콘택홀의 측벽에 제 2 식각 부산물을 폴리머 막을 형성한다. 이어서, 상기 반도체 기판으로부터 제 1 및 제 2 식각 부산물을 폴리머 막들, 폴리머 막, 반사방지막과 함께 포토레지스트 패턴들을 제거한다. 상기 구속 콘택홀을 충분히 채우도록 노드 절연막 상에 상전이막 및 상기 상전이막을 덮는 상부 전극막을 형성한다.

상기 형성방법의 다른 실시예는 반도체 기판 상에 활성영역 및 게이트 패턴을 차례로 형성하는 것을 포함한다. 상기 게이트 패턴의 상부에 하부 전극막 및 노드 절연막을 차례로 형성한다. 상기 노드 절연막을 노출시키는 포토레지스트 패턴들을 형성한다. 상기 포토레지스트 패턴들 및 노드 절연막을 덮는 폴리머 막을 형성한다. 계속해서, 상기 노드 절연막을 노출시키도록 포토레지스트 패턴들을 식각 마스크로 사용해서 폴리머 막에 식각공정을 수행한다. 상기 식각공정은 노드 절연막의 상면 및 포토레지스트 패턴들의 측벽 사이에 식각후 남겨진 폴리머 막 및 상기 폴리머 막의 측벽을 덮는 제 1 식각 부산물을 폴리머 막을 형성한다. 다음으로, 상기 포토레지스트 패턴들, 폴리머 막 및 제 1 식각 부산물을 폴리머 막을 식각 마스크로 사용해서 노드 절연막 및 하부 전극막에 식각공정을 연속적으로 수행한다. 상기 식각공정은 노드 절연막을 지나서 하부 전극막에 구속 콘택홀을 형성하고 동시에 구속 콘택홀의 측벽에 제 2 식각 부산물을 폴리머 막을 형성한다. 이어서, 상기 반도체 기판으로부터 제 1 및 제 2 식각 부산물을 폴리머 막들, 폴리머 막과 함께 포토레지스트 패턴들을 제거한다. 상기 구속 콘택홀을 충분히 채우도록 노드 절연막 상에 상전이막 및 상기 상전이막을 덮는 상부 전극막을 형성한다.

본 발명의 노드 절연막 패턴에 구속된 상전이막 패턴을 갖는 피이. 램의 형성방법을 첨부한 참조도면들을 참조해서 보다 상세히 설명하기로 한다.

도 1 은 본 발명에 따른 피이. 램의 배치도이고, 도 2 내지 도 12 는 각각이 도 1 의 절단선을 따라 취해서 피이. 램의 형성방법을 설명해 주는 단면도들이다.

도 1 내지 도 4 를 참조하면, 반도체 기판(10)의 활성영역(15) 상에 게이트 패턴(20)을 형성한다. 상기 반도체 기판(10)은 P 형의 불순물 이온들을 갖는다. 상기 게이트 패턴(20)은 차례로 적층된 게이트 및 게이트 캐핑막 패턴을 사용해서 형성한다. 상기 게이트 캐핑막은 실리콘 나이트라이드 막(Si₃N₄ Layer)을 사용해서 형성하는 것이 바람직하다. 그리고, 상기 게이트는 N+ 형으로 도핑된 폴리실리콘 막을 사용해서 형성하는 것이 바람직하다. 상기 게이트 패턴(20)은 측벽에 게이트 스페이서(24)를 갖도록 형성한다. 이때에, 상기 게이트 스페이서(24)는 게이트 캐핑막 패턴과 동일한 식각률을 갖는 절연막을 사용해서 형성한다.

다음으로, 상기 반도체 기판(10)에 배치해서 게이트 패턴(20)에 중첩하는 소오스 및 드레인 영역들(28)을 형성한다. 상기 소오스 및 드레인 영역들(28)은 반도체 기판(10)과 다른 도전형을 갖는 불순물 이온들을 사용해서 형성하는 것이 바람직하다. 상기 소오스 및 드레인 영역들(28)은 N+ 형의 불순물 이온들을 사용해서 형성할 수 있다. 상기 게이트 패턴(20)을 충분히 덮도록 반도체 기판(10) 상에 패드 층간절연막(30)을 형성한다. 상기 패드 층간절연막(30)은 게이트 스페이서(24)와 다른 식각률을 갖는 절연막을 사용해서 형성하는 것이 바람직하다. 상기 패드 층간절연막(30)은 실리콘 산화막(SiO₂ Layer)을 사용해서 형성할 수 있다.

상기 소오스 또는 드레인 영역(28)을 노출시키는 패드 콘택홀(33)을 형성한다. 상기 패드 콘택홀(33)을 채우는 패드 글루막 패턴(36) 및 패드 도전막 패턴(39)을 차례로 형성한다. 상기 패드 도전막 패턴(39)은 텅스텐 막(W Layer)을 사용해서 형성하는 것이 바람직하다. 상기 패드 글루막 패턴(36)은 타이타늄 나이트라이드 막(TiN Layer)을 사용해서 형성하는 것이 바람직하다.

상기 패드 글루막 및 패드 도전막 패턴들(36, 39)을 덮도록 매립 충간절연막(40)을 패드 충간절연막(30) 상에 형성한다. 상기 매립 충간절연막(40)은 패드 충간절연막(30)과 동일한 식각률을 갖는 절연막을 사용해서 형성하는 것이 바람직하다. 상기 패드 콘택홀(33)의 상부에 위치해서 매립 충간절연막(40)을 관통하는 매립 콘택홀(43)을 형성한다. 상기 매립 콘택홀(43)은 패드 글루막 및 패드 도전막 패턴들(36, 39)을 노출시키도록 형성한다. 상기 매립 콘택홀(43)을 채우는 매립 글루막 패턴(46) 및 매립 도전막 패턴(49)을 차례로 형성한다. 상기 매립 도전막 패턴(49)은 텅스텐 막(W Layer)을 사용해서 형성하는 것이 바람직하다. 상기 매립 글루막 패턴(46)은 타이타늄 나이트라이드 막(TiN Layer)을 사용해서 형성하는 것이 바람직하다.

이제부터, 도 5 내지 도 13 을 참고하여 본 발명의 일 실시예를 기술하고 곁들여서 본 발명의 다른 실시예를 동시에 전개하기로 한다.

도 1 및 도 5 내지 도 8 을 참조하면, 상기 매립 글루막 및 매립 도전막 패턴들(46, 49)을 덮도록 매립 충간절연막(40) 상에 평탄화 충간절연막(50)을 형성한다. 상기 평탄화 충간절연막(50)은 매립 충간절연막(40)과 동일한 식각률을 갖는 절연막을 사용해서 형성하는 것이 바람직하다. 상기 매립 콘택홀(43)의 상부에 위치해서 평탄화 충간절연막(50)을 관통하는 노드 콘택홀(54)을 형성한다. 상기 노드 콘택홀(54)은 매립 도전막 패턴(49)을 노출시키도록 형성한다. 상기 노드 콘택홀(54)을 채우는 노드 도전막 패턴(58)을 형성한다. 상기 노드 도전막 패턴(58)은 타이타늄 나이트라이드 막(TiN Layer)을 사용해서 형성하는 것이 바람직하다.

상기 노드 도전막 패턴(58)을 덮도록 평탄화 충간절연막(50) 상에 하부 전극막(60), 노드 절연막(70) 및 반사방지막(ARL; Anti-Reflection Layer, 80)을 차례로 형성한다. 다른 실시예로써, 상기 노드 절연막(70) 상에 반사방지막(80)을 형성시키지 않을 수 있다. 즉, 상기 노드 도전막 패턴(58)을 덮도록 평탄화 충간절연막(50) 상에 하부 전극막(60) 및 노드 절연막(70)을 차례로 형성할 수 있다. 상기 반사방지막(80)은 포토 공정 동안 포토 광의 간섭(Interference)을 줄여주는 유기성 및 무기성 물질들 중 선택된 하나를 사용해서 형성할 수 있다. 그리고, 상기 노드 절연막(70)은 평탄화 충간절연막(50)과 다른 식각률을 갖는 절연막을 사용해서 형성할 수 있다. 상기 노드 절연막(70)은 실리콘 산화막(SiO₂ Layer), 실리콘 옥사이드 나이트라이드 막(SiON Layer) 및 실리콘 나이트라이드 막(Si₃N₄ Layer) 중 선택된 하나를 사용해서 형성할 수 있다. 상기 하부 전극막(60)은 노드 도전막 패턴(58)과 동일한 도전막을 사용해서 형성하는 것이 바람직하다. 상기 하부 전극막(60)은 타이타늄 나이트라이드 막(TiN Layer), 타이타늄 알루미늄 나이트라이드 막(TiAlN Layer), 탄탈륨 나이트라이드 막(TaN Layer) 또는 타이타늄 텅스텐 막(TiW Layer) 등을 포함한 높은 전류밀도에 내성이 있는 물질막을 사용해서 형성하는 것이 바람직하다.

계속해서, 상기 반사방지막(80)을 노출시키는 포토레지스트 패턴(90)들을 형성한다. 상기 포토레지스트 패턴(90)들은 그들(90) 사이가 소정 직경(S1)의 크기를 갖도록 형성하는 것이 바람직하다. 상기 포토레지스트 패턴(90)들 및 반사방지막(80)에 식각 공정(95)을 수행한다. 상기 식각공정(95)은 CF₄, O₂ 등을 포함하는 식각 공정가스를 사용하여 반사방지막(80)에 대하여 식각률을 갖도록 수행하는 것이 바람직하다. 도 8 과 같이, 상기 식각공정(95)은 노드절연막(70)을 노출시키지 않고 포토레지스트 패턴(90)들 사이의 반사방지막(80)을 부분적으로 식각하도록 수행할 수 있다. 다른 실시예로써, 상기 반사방지막(80)을 형성하지 않는 경우, 상기 식각공정(95)은 포토레지스트 패턴(90)들을 사용해서 노드 절연막(70)을 노출시키도록 형성할 수도 있다.

다음으로, 상기 포토레지스트 패턴(90)들 및 노드 절연막(70)에 식각공정(97)을 수행한다. 상기 식각공정(97)은 포토레지스트 패턴(90)들 및 반사방지막(80)을 덮는 폴리머 막(100)을 형성한다. 상기 폴리머 막(100)은 포토레지스트 패턴(90)들 및 반사방지막(80)을 식각 장비(도면에 미 도시)의 공정 챔버내 고분자 증착 조건을 갖는 플라즈마(Plasma)에 노출시켜서 형성하는 것이 바람직하다. 이때에, 상기 고분자 증착 조건을 갖는 플라즈마는 C₄H₈, C₅F₈, CHF₃ 또는 CH₂F₂ 등을 포함하는 카본(Carbon) 대 플루오르(Fluorine)의 비율이 높은 식각 공정가스를 사용해서 형성할 수 있다.

다른 실시예로써, 상기 반사방지막(80)을 형성하지 않는 경우, 상기 식각공정(97)은 포토레지스트 패턴(90)들 및 노드 절연막(70)을 덮는 폴리머 막(100)을 형성할 수 있다. 상기 식각공정(97)은 노드 절연막(70) 및 포토레지스트 패턴(90)들에

대해서 식각률을 갖도록 형성한다. 상기 폴리머 막(100)은 포토레스트 패턴(90)들을 식각 장비의 공정 챔버내 고분자 증착 조건을 갖는 플라즈마(Plasma)에 노출시켜서 형성하는 것이 바람직하다. 상기 고분자 증착 조건을 갖는 플라즈마는 C_4H_8 , C_5F_8 , CHF_3 또는 CH_2F_2 등을 포함하는 카본(Carbon) 대 플루오르(Fluorine)의 비율이 높은 식각 공정가스를 사용해서 형성할 수 있다. 상기 식각공정(97)은 식각하는 동안 포토레지스트 패턴(90)들 사이를 통해서 노드 절연막(70)이 부분적으로 제거되지 않도록 수행하는 것이 바람직하다.

도 1 및 도 9 내지 11 을 참조하면, 상기 포토레지스트 패턴(90)들을 식각 마스크로 사용해서 폴리머 막(100) 및 반사방지 막(80)에 식각공정(106)을 수행해서 노드 절연막(70)을 노출시킨다. 상기 식각 공정(106)은 포토레지스트 패턴(90)들 및 노드 절연막(70)에 대해서 식각률을 갖도록 수행하는 것이 바람직하다. 상기 식각 공정(106)은 식각 특성상 포토레지스트 패턴(90)들의 상면 및 측면이 만나는 부위에서 포토레지스트 패턴(90)들 및 폴리머 막(100)의 식각량을 최대화한다. 따라서. 상기 식각공정(106)은 반사방지막(80)의 상면 및 포토레지스트 패턴(90)들의 측벽 사이에 식각후 남겨진 폴리머 막(100) 및 상기 폴리머 막(100)의 측벽을 덮는 제 1 식각 부산물 폴리머 막(103)을 형성한다.

다른 실시예로써, 상기 반사방지막(80)을 형성하지 않는 경우, 상기 포토레지스트 패턴(90)들을 식각 마스크로 사용해서 폴리머 막(100)에 식각공정(106)을 수행해서 노드 절연막(70)을 노출시킬 수 있다. 상기 식각 공정(106)은 포토레지스트 패턴(90)들 및 노드 절연막(70)에 대해서 식각률을 갖도록 수행하는 것이 바람직하다. 상기 식각 공정(106)은 식각 특성상 포토레지스트 패턴(90)들의 상면 및 측면이 만나는 부위에서 포토레지스트 패턴(90)들 및 폴리머 막(100)의 식각량을 최대화한다. 따라서, 상기 식각 공정(106)은 노드 절연막(70)의 상면 및 포토레지스트 패턴(90)들의 측벽 사이에 식각후 남겨진 폴리머 막(100) 및 상기 폴리머 막(100)의 측벽을 덮는 제 1 식각 부산물 폴리머 막(103)을 형성한다.

여기서, 상기 식각 공정(106)은 CHF_3 , CF_4 또는 그들의 조합물 등을 포함하는 카본(Carbon) 대 플루오르(Fluorine)의 비율이 높은 식각 공정가스와 함께 포토레지스트 패턴(90)들을 반응시켜서 제 1 식각 부산물 폴리머 막(103)을 형성할 수 있다. 상기 식각 공정(106)은 CHF_3 , CF_4 또는 그들의 조합물 등을 포함하는 카본(Carbon) 대 플루오르(Fluorine)의 비율이 높은 식각 공정가스에 아르곤(Argon) 또는 질소(N_2)를 첨가하고 동시에 이를 포토레지스트 패턴(90)들과 반응시켜서 제 1 식각 부산물 폴리머 막(103)을 형성할 수도 있다. 이때에, 상기 식각공정(106)은 폴리머 막(100) 및 제 1 식각 부산물 폴리머 막(103)을 사용해서 포토레지스트 패턴(90)들 사이를 소정 직경(S2)의 크기로 줄인다.

다음으로, 상기 포토레지스트 패턴(90)들, 반사방지막(80), 폴리머 막(100) 및 제 1 식각 부산물 폴리머 막(103)을 식각 마스크로 사용해서 노드 절연막(70) 및 하부 전극막(60)에 식각공정(110)을 연속적으로 수행한다. 다른 실시예로써, 상기 반사방지막(80)을 형성하지 않는 경우, 상기 식각 공정(110)은 포토레지스트 패턴(90)들, 폴리머 막(100) 및 제 1 식각 부산물 폴리머 막(103)을 식각 마스크로 사용해서 노드 절연막(70) 및 하부 전극막(60)에 연속적으로 수행할 수 있다. 이때에, 상기 식각공정(110)은 포토레지스트 패턴(90)들에 대해서 식각률을 갖도록 수행하는 것이 바람직하다. 상기 식각 공정(110)은 식각 특성상 포토레지스트 패턴(90)들의 상면 및 경사면이 만나는 부위에서 포토레지스트 패턴(90)들 및 폴리머 막(100)의 식각량을 최대화한다. 따라서, 상기 포토레지스트 패턴(90)들은 그 패턴(90)들 사이의 상부 폭이 도 10 에 비해서 더 크게된 형상을 갖는다. 상기 식각공정(110)은 노드 절연막(70)을 지나서 하부 전극막(60)에 구속 콘택홀(118)을 형성하고 동시에 상기 구속 콘택홀(118)의 측벽에 제 2 식각 부산물 폴리머 막(114)을 형성한다.

여기서, 상기 식각 공정(110)은 CHF_3 , CF_4 또는 그들의 조합물 등을 포함하는 카본(Carbon) 대 플루오르(Fluorine)의 비율이 높은 식각 공정가스와 함께 포토레지스트 패턴(90)들 및 노드 절연막(70)을 반응시켜서 제 2 식각 부산물 폴리머 막(114)을 형성할 수 있다. 상기 식각 공정(110)은 CHF_3 , CF_4 또는 그들의 조합물 등을 포함하는 카본(Carbon) 대 플루오르(Fluorine)의 비율이 높은 식각 공정가스에 아르곤(Argon) 또는 질소(N_2)를 첨가하고 동시에 이를 포토레지스트 패턴(90)들 및 노드 절연막(70)과 반응시켜서 제 2 식각 부산물 폴리머 막(114)을 형성할 수도 있다. 이때에, 상기 식각공정(110)은 제 2 식각 부산물 폴리머 막(114)을 사용해서 구속 콘택홀(118)의 상부 및 하부의 직경들(S2, S3)을 각기 다른 크기들이 되도록 형성할 수 있다.

이를 통해서, 상기 구속 콘택홀(118)은 하부 전극막(60)을 확실하게 노출시키기 위해서 식각공정(110)을 통해서 노드 절연막(70)의 하면으로부터 소정의 깊이(D)의 크기를 갖도록 연장시키는 것이 바람직하다. 상기 구속 콘택홀(118)은 도 7 의 포토레지스트 패턴(90)들 사이의 직경(S1)보다 작은 크기를 갖도록 형성한다. 상기 구속 콘택홀(118)은 게이트 패턴(20)과 평행하게 위치해서 활성영역(15)의 폭보다 크기가 작도록 형성되는 것이 바람직하다. 상기 구속 콘택홀(118)은 게이트 패턴(20)과 평행하게 위치하도록 적어도 하나 형성될 수 있다. 또한, 도 1 과 같이, 상기 게이트 패턴(20)과 직각으로

위치해서 활성영역(15)의 폭보다 크기가 작도록 다른 구속 콘택홀(119)이 형성될 수 있다. 상기 다른 구속 콘택홀(119)은 게이트 패턴(20)과 직각으로 위치해서 적어도 하나 형성될 수 있다. 결론적으로, 상기 구속 콘택홀들(118, 119) 중 하나는 활성영역(15)의 폭보다 작도록 반도체 기판(10) 상에 적어도 하나가 형성된다.

도 1, 도 12 및 도 13 을 참조하면, 상기 식각 공정(110) 후에 제 1 및 제 2 식각 부산물 폴리머 막들(103, 114), 폴리머 막(100), 반사방지막(80)과 함께 포토레지스트 패턴(90)들을 에싱(Ashing)공정을 사용해서 반도체 기판(10)으로부터 제거시킨다. 다른 실시예로써, 상기 반사방지막(80)을 형성하지 않는 경우, 상기 식각 공정(110) 후에 제 1 및 제 2 식각 부산물 폴리머 막들(103, 114), 폴리머 막(100)과 함께 포토레지스트 패턴(90)들을 에싱(Ashing)공정을 사용해서 반도체 기판(10)으로부터 제거시킬 수 있다. 이후로, 상기 노드 절연막(70)을 식각 마스크로 사용해서 구속 콘택홀(118)에 RF(Radio Frequency) 세정이 수행될 수 있다. 상기 RF 세정은 구속 콘택홀(118)을 통해서 하부 전극막(60)에 존재할 수 있는 이 물질을 제거하기 위해서 수행한다. 상기 RF 세정은 아르곤(Ar) 등의 불활성 가스 플라즈마를 사용해서 수행할 수 있다.

상기 구속 콘택홀(118)을 충분히 채우도록 노드 절연막(70) 상에 상전이막(120) 및 상기 상전이막(120)을 덮는 상부 전극막(130)을 형성한다. 이를 통해서, 상기 상전이막(120)은 그 막(120)의 소정영역이 노드 절연막(70)으로 구속된다. 상기 상부 전극막(130)은 하부 전극막(60)과 함께 타이타늄 나이트라이드 막(TiN Layer), 타이타늄 알루미늄 나이트라이드 막(TiAlN Layer), 탄탈륨 나이트라이드 막(TaN Layer) 또는 타이타늄 텅스텐 막(TiW Layer) 등을 포함한 높은 전류밀도에 내성이 있고 동시에 상전이막(120)과 반응하지 않는 물질막을 사용해서 형성하는 것이 바람직하다. 상기 상전이막(120)은 계르마늄, 안티몬 및 텔루르를 포함한 켈코게나이드(Chalcogenide)로 불리는 조합물($\text{Ge}_x\text{Sb}_y\text{Te}_z$)로서 이에 셀레늄(Se), 창연(Bi), 납(Pb), 주석(Sb), 비소(As), 황(S), 인(P), 니켈(Ni), 팔라듐(Pd) 등의 물질을 첨가해서 형성한 것이 바람직하다.

이어서, 상기 상부 전극막(130) 상의 소정영역에 위치해서 구속 콘택홀에 정렬하는 포토레지스트 패턴(140)을 형성한다. 상기 포토레지스트 패턴(140)을 식각 마스크로 사용해서 상부 전극막(130), 상전이막(120), 노드 절연막(70) 및 하부 전극막(60)에 식각공정(144)을 차례로 수행한다. 상기 식각공정(144)은 노드 절연막(70)을 사용해서 노드 절연막 패턴(75)을 형성한다. 더불어서, 상기 식각공정(144)은 노드 절연막 패턴(75) 상에 상전이막 패턴(125) 및 상부 전극(135)과 함께 상기 노드 절연막 패턴(75) 아래에 하부 전극(65)을 동시에 형성한다. 그리고, 상기 반도체 기판(10)으로부터 포토레지스트 패턴(140)을 제거해서 본 발명의 피이. 램(150)을 형성한다.

도 14 는 본 발명에 따른 피이. 램들의 전기적 특성을 보여주는 그래프이다.

도 13 및 도 14 를 참조하면, 설계적으로 동작 가능한 리셋(Reset) 전류의 크기를 비교하기 위해서 복수 개의 피이. 램들(150, 160)을 준비하였다. 상기 피이. 램들(150, 160)은 두 개의 그룹들(154, 164)로 나뉘어질 수 있다. 상기 그룹들(154, 164)중 하나(154)는 본 발명에 따른 피이. 램(150)들이고, 나머지(164)는 본 발명과 다르게 상전이막 패턴(125)이 하부 전극(65)없이 도 12 의 노드 도전막 패턴(58)에 직접 접촉하는 피이 램(160)들이다. 따라서, 상기 그룹들(154, 164) 중 하나(154)는 설계적으로 동작 가능한 리셋 전류가 구속 콘택홀(118)의 하부 직경(S3)의 크기에 의존하고, 나머지(164)는 노드 콘택홀(54)의 직경에 의존한다. 이때에, 상기 구속 콘택홀(118)은 노그 콘택홀(54)의 직경보다 작은 크기를 갖는다.

상기 두 그룹들(154, 164)의 전기적 특성을 비교해 보면, 본 발명에 따른 피이. 램(150)들은 노드 콘택홀(54)의 직경에 의존하는 피이. 램(160)들에 비해서 낮은 리셋 전류를 소모해도 설계적으로 동작 가능한 데이터 "0" 을 선택된 셀(Cell)에 안정적으로 저장시킬 수 있음을 보인다.

발명의 효과

상술한 바와 같이, 본 발명은 노드 절연막 패턴 및 하부 전극에 구속 콘택홀을 배치해서 노드 절연막 패턴에 구속된 상전이막 패턴을 갖는 피이. 램의 형성방법들을 제공한다. 상기 형성방법들은 피이. 램의 디자인 룰의 점진적인 축소에 대응해서 구속 콘택홀을 노드 절연막 패턴 및 하부 전극에 구현할 수 있도록 해준다. 이를 통해서, 상기 형성방법들은 설계적으로 동작할 수 있는 피이. 램의 리셋 전류를 계속적으로 줄일 수 있어서 반도체 장치의 시장 욕구에 적극 대응할 수 있다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 활성영역을 형성하고,

상기 활성영역 상에 게이트 패턴을 형성하고,

상기 게이트 패턴의 상부에 하부 전극막, 노드 절연막 및 반사방지막을 차례로 형성하고,

상기 반사방지막을 노출시키는 포토레지스트 패턴들을 형성하고,

상기 포토레지스트 패턴들 및 상기 반사방지막을 덮는 폴리머 막을 형성하고,

상기 노드 절연막을 노출시키도록 상기 포토레지스트 패턴들을 식각 마스크로 사용해서 상기 폴리머 막 및 상기 반사방지막에 식각공정을 수행하되, 상기 식각공정은 상기 반사방지막의 상면 및 상기 포토레지스트 패턴들의 측벽 사이에 식각후 남겨진 상기 폴리머 막 및 상기 폴리머 막의 측벽을 덮는 제 1 식각 부산물 폴리머 막을 형성하고,

상기 포토레지스트 패턴들, 상기 반사방지막, 상기 폴리머 막 및 상기 제 1 식각 부산물 폴리머 막을 식각 마스크로 사용해서 상기 노드 절연막 및 상기 하부 전극막에 식각공정을 연속적으로 수행하되, 상기 식각공정은 상기 노드 절연막을 지나서 상기 하부 전극막에 구속 콘택홀을 형성하고 동시에 상기 구속 콘택홀의 측벽에 제 2 식각 부산물 폴리머 막을 형성하고,

상기 반도체 기판으로부터 상기 제 1 및 상기 제 2 식각 부산물 폴리머 막들, 상기 폴리머 막, 상기 반사방지막과 함께 상기 포토레지스트 패턴들을 제거하고,

상기 구속 콘택홀을 충분히 채우도록 상기 노드 절연막 상에 상전이막 및 상기 상전이막을 덮는 상부 전극막을 형성하는 것을 포함하는 것이 특징인 피이. 램의 형성방법.

청구항 2.

제 1 항에 있어서,

상기 구속 콘택홀은 상기 게이트 패턴과 직각되게 위치해서 상기 활성영역의 폭보다 크기가 작도록 형성되는 것이 특징인 피이. 램의 형성방법.

청구항 3.

제 1 항에 있어서,

상기 구속 콘택홀은 상기 게이트 패턴과 평행하게 위치해서 상기 활성영역의 폭보다 크기가 작도록 형성되는 것이 특징인 피이. 램의 형성방법.

청구항 4.

제 1 항에 있어서,

상기 구속 콘택홀은 상기 게이트 패턴과 직각되게 위치해서 적어도 하나 형성되는 것이 특징인 피이. 램의 형성방법.

청구항 5.

제 1 항에 있어서,

상기 구속 콘택홀은 상기 게이트 패턴과 평행하게 위치해서 적어도 하나 형성되는 것이 특징인 피이. 램의 형성방법.

청구항 6.

제 1 항에 있어서,

상기 상전이막은 게르마늄, 안티몬 및 텔루르를 포함한 켈코게나이드(Chalcogenide)로 불리는 조합물($Ge_XSb_YTe_Z$)로서 이에 셀레늄(Se), 창연(Bi), 납(Pb), 주석(Sb), 비소(As), 황(S), 인(P), 니켈(Ni), 팔라듐(Pd) 등의 물질을 첨가해서 형성한 것이 특징인 피이. 램의 형성방법.

청구항 7.

제 1 항에 있어서,

상기 상부 전극막을 형성한 후,

상기 상부 전극막 상의 소정영역에 위치해서 상기 구속 콘택홀에 정렬하는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각 마스크로 사용해서 상기 상부 전극막, 상기 상전이막, 상기 노드 절연막 및 상기 하부 전극막에 식각공정을 차례로 수행하고,

상기 반도체 기판으로부터 상기 포토레지스트 패턴을 제거하는 것을 더 포함하되,

상기 식각공정은 노드 절연막을 사용해서 노드 절연막 패턴을 형성하고 동시에 상기 노드 절연막 패턴 상에 상전이막 패턴 및 상부 전극, 상기 노드 절연막 패턴 아래에 하부 전극을 형성하는 것이 특징인 피이. 램의 형성방법.

청구항 8.

제 7 항에 있어서,

상기 하부 및 상기 상부 전극막들은 타이타늄 나이트라이드 막(TiN Layer), 타이타늄 알루미늄 나이트라이드 막(TiAlN Layer), 탄탈륨 나이트라이드 막(TaN Layer) 또는 타이타늄 텅스텐 막(TiW Layer) 등을 포함한 높은 전류밀도에 내성이 있고 동시에 상기 상전이막과 반응하지 않는 물질막을 사용해서 형성하는 것이 특징인 피이. 램의 형성방법.

청구항 9.

제 1 항에 있어서,

상기 제 1 및 상기 제 2 식각 부산물 폴리머 막들은 CHF_3 , CF_4 또는 그들의 조합물 등을 포함하는 카본(Carbon) 대 플루오르(Fluorine)의 비율이 높은 식각 공정가스와 함께 상기 포토레지스트 패턴들을 반응시켜서 형성한 것이 특징인 피이. 램의 형성방법.

청구항 10.

제 1 항에 있어서,

상기 제 1 식각 부산물 폴리머 막은 CHF_3 , CF_4 또는 그들의 조합물 등을 포함하는 카본(Carbon) 대 플루오르(Fluorine)의 비율이 높은 식각 공정가스에 아르곤(Argon)을 첨가하고 동시에 이를 상기 포토레지스트 패턴들과 반응시켜서 형성한 것이 특징인 피이. 램의 형성방법.

청구항 11.

제 1 항에 있어서,

상기 제 1 식각 부산물 폴리머 막은 CHF_3 , CF_4 또는 그들의 조합물 등을 포함하는 카본(Carbon) 대 플루오르(Fluorine)의 비율이 높은 식각 공정가스에 질소(N_2)를 첨가하고 동시에 이를 상기 포토레지스트 패턴들과 반응시켜서 형성한 것이 특징인 피이. 램의 형성방법.

청구항 12.

제 1 항에 있어서,

상기 제 1 식각 부산물 폴리머 막을 형성하는 식각공정은 상기 포토레지스트 패턴들 및 상기 노드 절연막에 대해서 식각률을 갖도록 수행하는 것이 특징인 피이. 램의 형성방법.

청구항 13.

제 1 항에 있어서,

상기 제 2 식각 부산물 폴리머 막을 형성하는 식각공정은 상기 포토레지스트 패턴들에 대해서 식각률을 갖도록 수행하는 것이 특징인 피이. 램의 형성방법.

청구항 14.

제 1 항에 있어서,

상기 폴리머 막을 형성하는 것은,

상기 포토레스트 패턴 및 상기 반사방지막을 고분자 증착 조건을 갖는 플라즈마에 노출시키는 것을 포함하되,

상기 고분자 증착 조건을 갖는 플라즈마는 C_4H_8 , C_5F_8 , CHF_3 또는 CH_2F_2 등을 포함하는 카본(Carbon) 대 플루오르(Fluorine)의 비율이 높은 식각 공정가스를 사용해서 형성하는 것이 특징인 피이. 램의 형성방법.

청구항 15.

제 1 항에 있어서,

상기 노드 절연막은 실리콘 산화막(SiO_2 Layer), 실리콘 옥사이드 나이트라이드 막(SiON Layer) 및 실리콘 나이트라이드 막(Si_3N_4 Layer) 중 선택된 하나를 사용해서 형성하는 것이 특징인 피이. 램의 형성방법.

청구항 16.

제 1 항에 있어서,

상기 반사방지막은 포토 광의 간섭을 줄여주는 유기성 및 무기성 물질들 중 선택된 하나를 사용해서 형성하는 것이 특징인
피이. 램의 형성방법.

청구항 17.

반도체 기판 상에 활성영역을 형성하고,

상기 활성영역 상에 게이트 패턴을 형성하고,

상기 게이트 패턴의 상부에 하부 전극막 및 노드 절연막을 차례로 형성하고,

상기 노드 절연막을 노출시키는 포토레지스트 패턴들을 형성하고,

상기 포토레지스트 패턴들 및 상기 노드 절연막을 덮는 폴리머 막을 형성하고,

상기 노드 절연막을 노출시키도록 상기 포토레지스트 패턴들을 식각 마스크로 사용해서 상기 폴리머 막에 식각공정을 수행하되, 상기 식각공정은 상기 노드 절연막의 상면 및 상기 포토레지스트 패턴들의 측벽 사이에 식각후 남겨진 상기 폴리머 막 및 상기 폴리머 막의 측벽을 덮는 제 1 식각 부산물 폴리머 막을 형성하고,

상기 포토레지스트 패턴들, 상기 폴리머 막 및 상기 제 1 식각 부산물 폴리머 막을 식각 마스크로 사용해서 상기 노드 절연막 및 상기 하부 전극막에 식각공정을 연속적으로 수행하되, 상기 식각공정은 상기 노드 절연막을 지나서 상기 하부 전극막에 구속 콘택홀을 형성하고 동시에 상기 구속 콘택홀의 측벽에 제 2 식각 부산물 폴리머 막을 형성하고,

상기 반도체 기판으로부터 상기 제 1 및 상기 제 2 식각 부산물 폴리머 막들, 상기 폴리머 막과 함께 상기 포토레지스트 패턴들을 제거하고,

상기 구속 콘택홀을 충분히 채우도록 상기 노드 절연막 상에 상전이막 및 상기 상전이막을 덮는 상부 전극막을 형성하는 것을 포함하는 것이 특징인 피이. 램의 형성방법.

청구항 18.

제 17 항에 있어서,

상기 구속 콘택홀은 상기 게이트 패턴과 직각되게 위치해서 상기 활성영역의 폭보다 크기가 작도록 형성되는 것이 특징인
피이. 램의 형성방법.

청구항 19.

제 17 항에 있어서,

상기 구속 콘택홀은 상기 게이트 패턴과 평행하게 위치해서 상기 활성영역의 폭보다 크기가 작도록 형성되는 것이 특징인
피이. 램의 형성방법.

청구항 20.

제 17 항에 있어서,

상기 구속 콘택홀은 상기 게이트 패턴과 직각되게 위치해서 적어도 하나 형성되는 것이 특징인 피이. 램의 형성방법.

청구항 21.

제 17 항에 있어서,

상기 구속 콘택홀은 상기 게이트 패턴과 평행하게 위치해서 적어도 하나 형성되는 것이 특징인 피이. 램의 형성방법.

청구항 22.

제 17 항에 있어서,

상기 상전이막은 게르마늄, 안티몬 및 텔루르를 포함한 켈코게나이드(Chalcogenide)로 불리는 조합물($\text{Ge}_X\text{Sb}_Y\text{Te}_Z$)로서 이에 셀레늄(Se), 창연(Bi), 납(Pb), 주석(Sb), 비소(As), 황(S), 인(P), 니켈(Ni), 팔라듐(Pd) 등의 물질을 첨가해서 형성한 것이 특징인 피이. 램의 형성방법.

청구항 23.

제 17 항에 있어서,

상기 상부 전극막을 형성한 후,

상기 상부 전극막 상의 소정영역에 위치해서 상기 구속 콘택홀에 정렬하는 포토레지스트 패턴을 형성하고,

상기 포토레지스트 패턴을 식각 마스크로 사용해서 상기 상부 전극막, 상기 상전이막, 상기 노드 절연막 및 상기 하부 전극 막에 식각공정을 차례로 수행하고,

상기 반도체 기판으로부터 상기 포토레지스트 패턴을 제거하는 것을 더 포함하되,

상기 식각공정은 노드 절연막을 사용해서 노드 절연막 패턴을 형성하고 동시에 상기 노드 절연막 패턴 상에 상전이막 패턴 및 상부 전극, 상기 노드 절연막 패턴 아래에 하부 전극을 형성하는 것이 특징인 피이. 램의 형성방법.

청구항 24.

제 23 항에 있어서,

상기 하부 및 상기 상부 전극막들은 타이타늄 나이트라이드 막, 타이타늄 알루미늄 나이트라이드 막, 탄탈륨 나이트라이드 막 또는 타이타늄 텅스텐 막 등을 포함한 높은 전류밀도에 내성이 있고 동시에 상기 상전이막과 반응하지 않는 금속막을 사용해서 형성하는 것이 특징인 피이. 램의 형성방법.

청구항 25.

제 17 항에 있어서,

상기 제 1 및 상기 제 2 식각 부산물 폴리머 막들은 CHF_3 , CF_4 또는 그들의 조합물 등을 포함하는 카본 대 플루오르의 비율이 높은 식각 공정가스와 함께 상기 포토레지스트 패턴들을 반응시켜서 형성한 것이 특징인 피이. 램의 형성방법.

청구항 26.

제 17 항에 있어서,

상기 제 1 식각 부산물 폴리머 막은 CHF_3 , CF_4 또는 그들의 조합물 등을 포함하는 카본 대 플루오르의 비율이 높은 식각 공정가스에 아르곤을 첨가하고 동시에 이를 상기 포토레지스트 패턴들과 반응시켜서 형성한 것이 특징인 피이. 램의 형성방법.

청구항 27.

제 17 항에 있어서,

상기 제 1 식각 부산물 폴리머 막은 CHF_3 , CF_4 또는 그들의 조합물 등을 포함하는 카본 대 플루오르의 비율이 높은 식각 공정가스에 질소를 첨가하고 동시에 이를 상기 포토레지스트 패턴들과 반응시켜서 형성한 것이 특징인 피이. 램의 형성방법.

청구항 28.

제 17 항에 있어서,

상기 제 1 식각 부산물 폴리머 막을 형성하는 식각공정은 상기 포토레지스트 패턴들 및 상기 노드 절연막에 대해서 식각률을 갖도록 수행하는 것이 특징인 피이. 램의 형성방법.

청구항 29.

제 17 항에 있어서,

상기 제 2 식각 부산물 폴리머 막을 형성하는 식각공정은 상기 포토레지스트 패턴들에 대해서 식각률을 갖도록 수행하는 것이 특징인 피이. 램의 형성방법.

청구항 30.

제 17 항에 있어서,

상기 폴리머 막을 형성하는 것은,

상기 포토레스트 패턴을 고분자 증착 조건을 갖는 플라즈마에 노출시키는 것을 포함하되,

상기 고분자 증착 조건을 갖는 플라즈마는 C_4H_8 , C_5F_8 , CHF_3 또는 CH_2F_2 등을 포함하는 카본 대 플루오르의 비율이 높은 식각 공정가스를 사용해서 형성하는 것이 특징인 피이. 램의 형성방법.

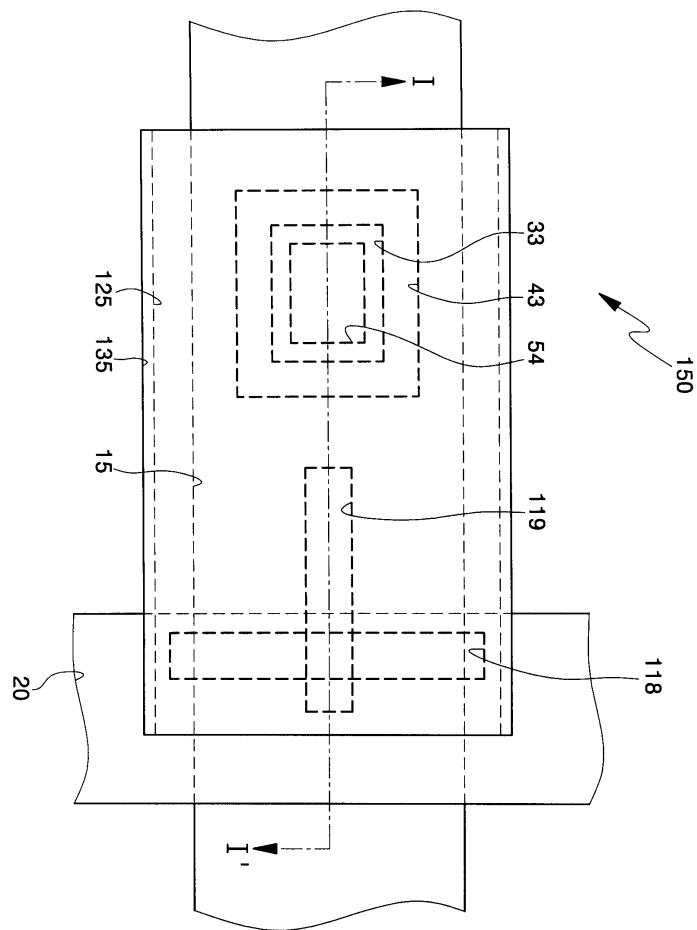
청구항 31.

제 17 항에 있어서,

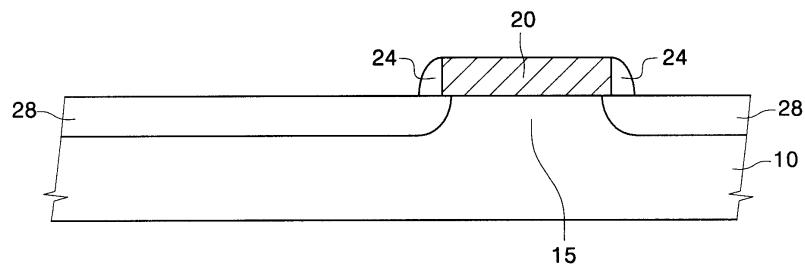
상기 노드 절연막은 실리콘 산화막, 실리콘 옥사이드 나이트라이드 막 및 실리콘 나이트라이드 막 중 선택된 하나를 사용해서 형성하는 것이 특징인 피이. 램의 형성방법.

도면

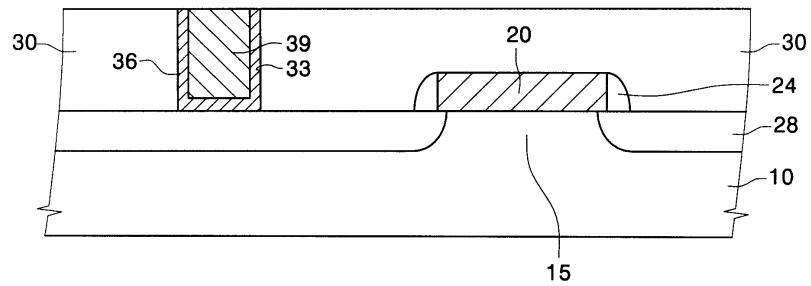
도면1



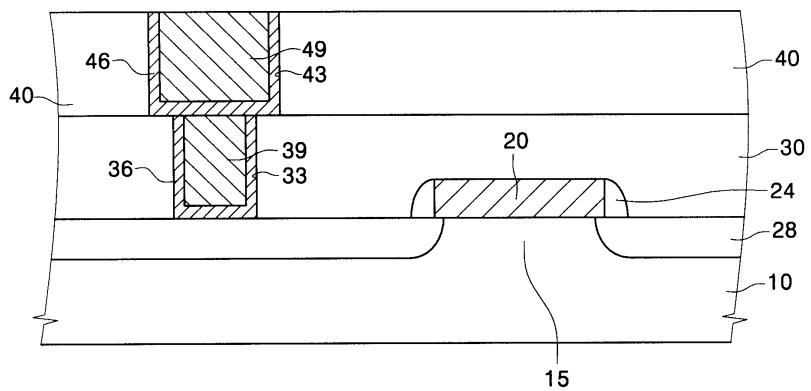
도면2



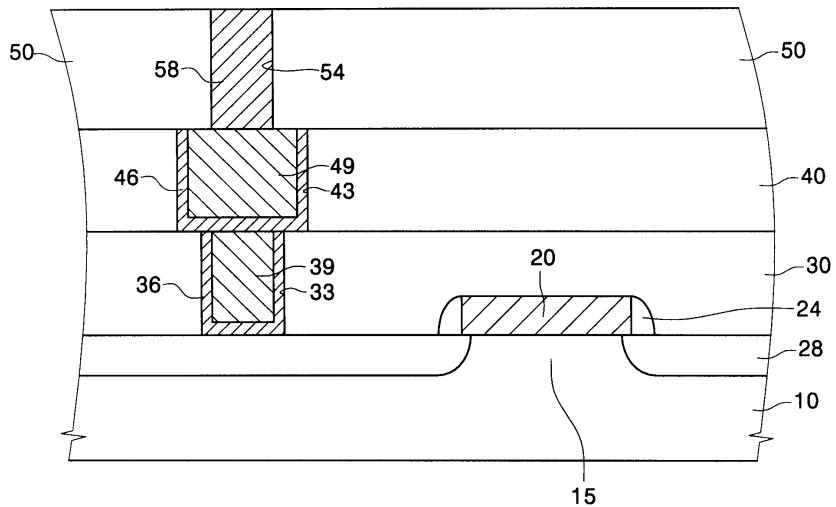
도면3



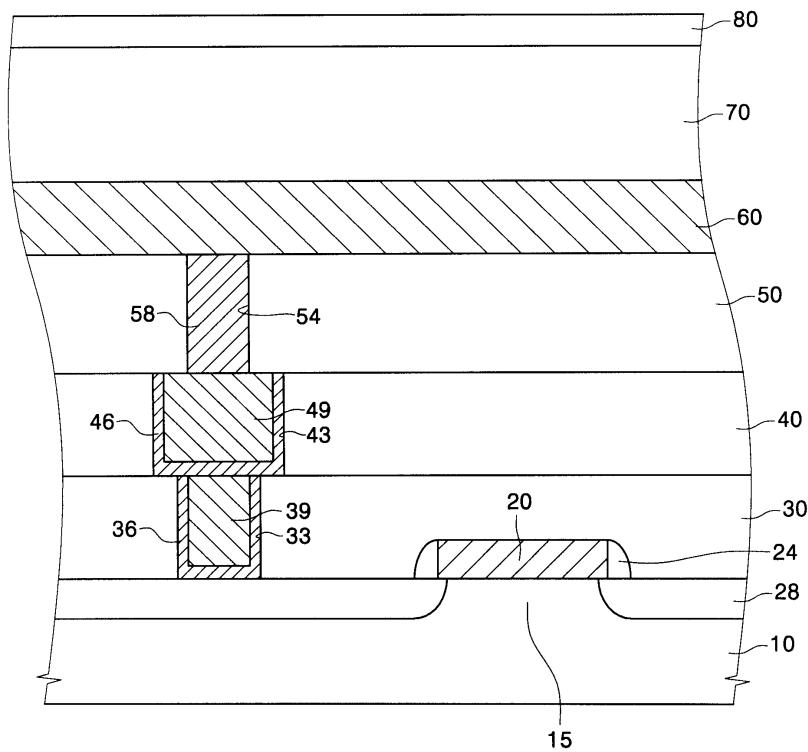
도면4



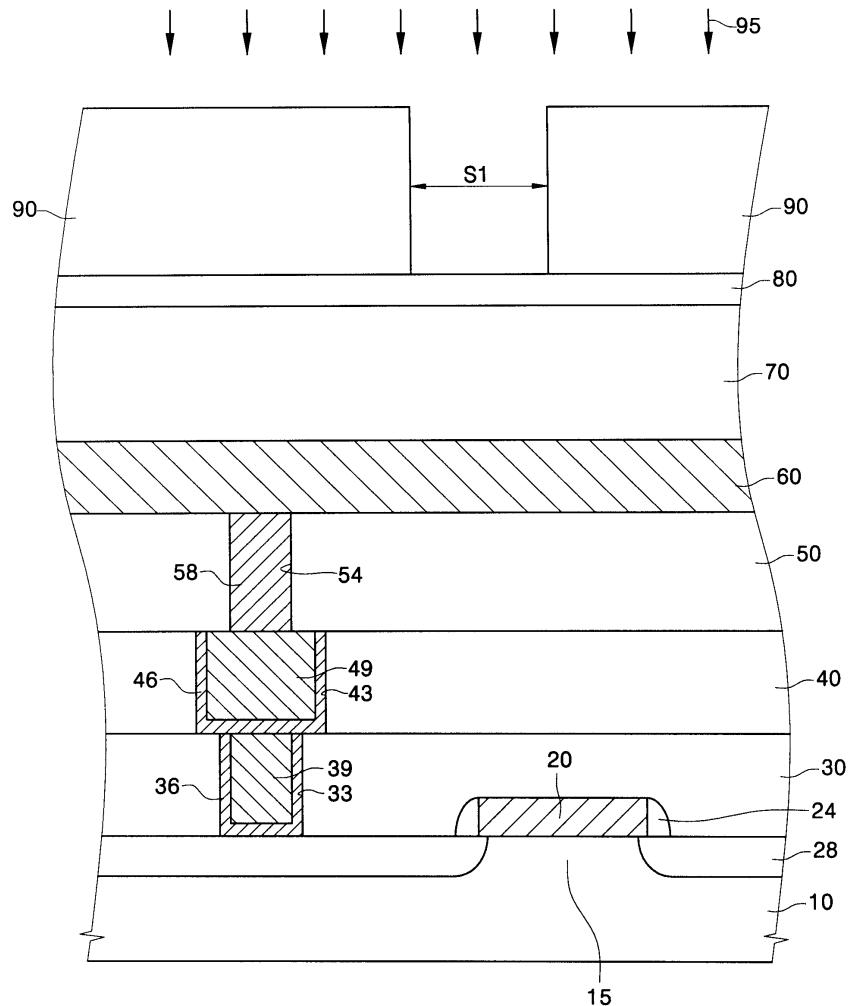
도면5



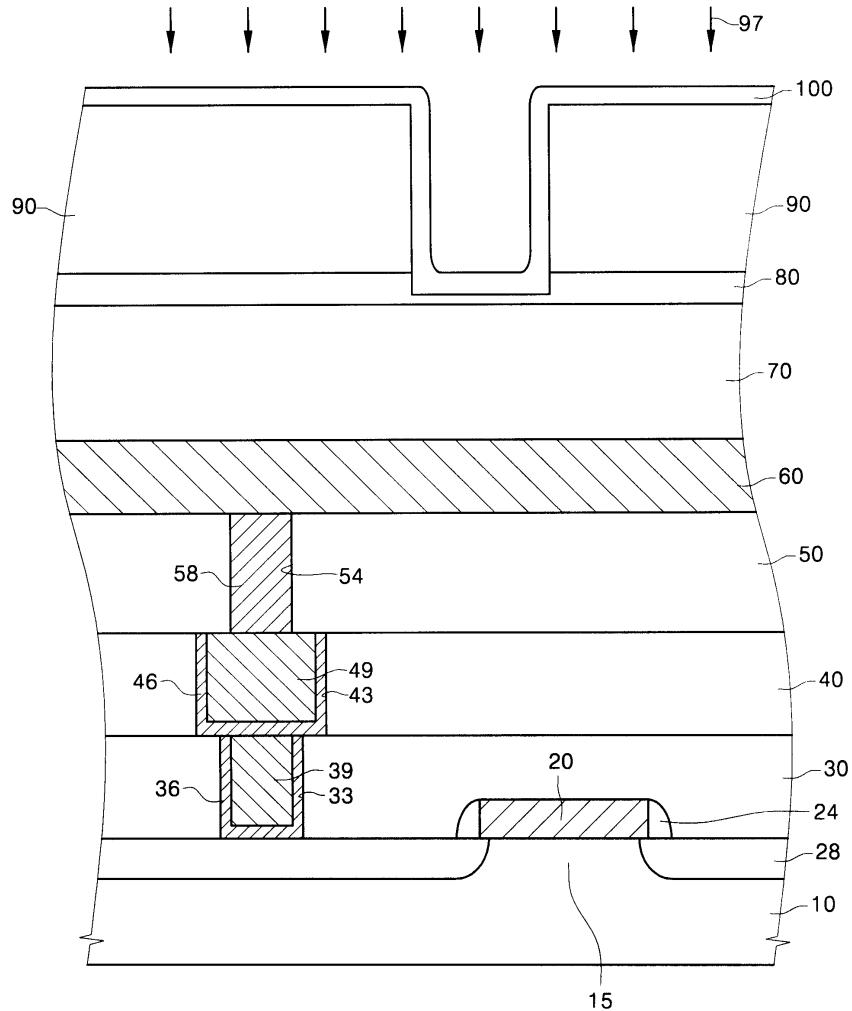
도면6



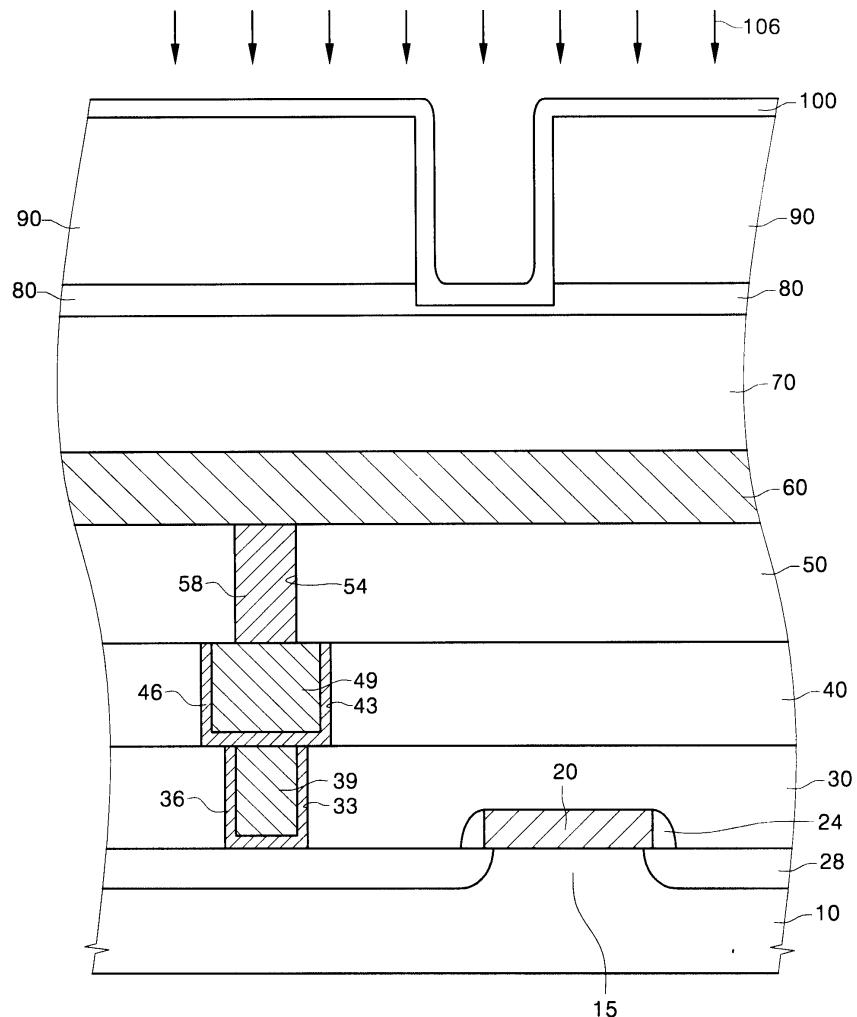
도면7



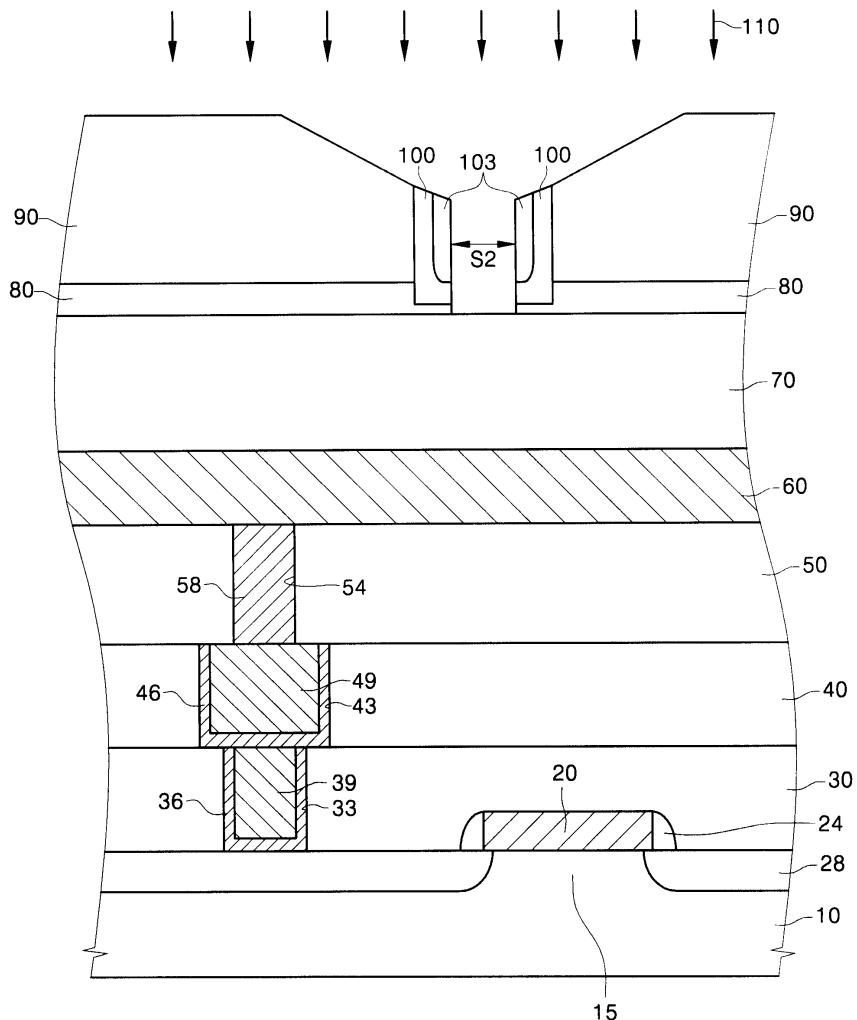
도면8



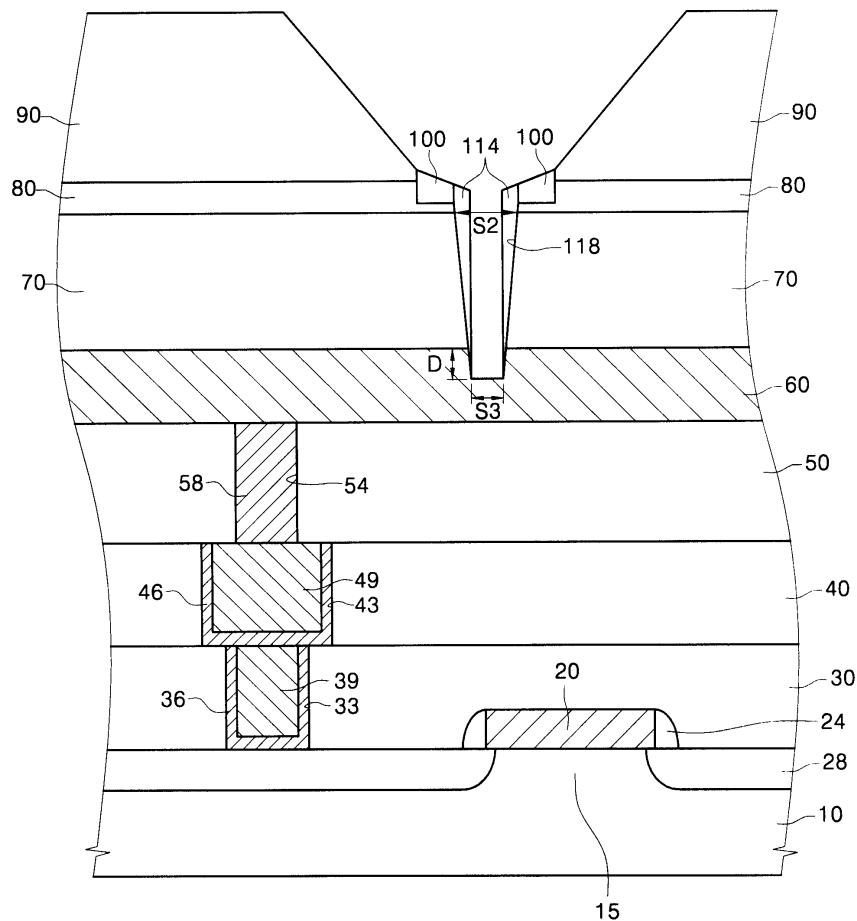
도면9



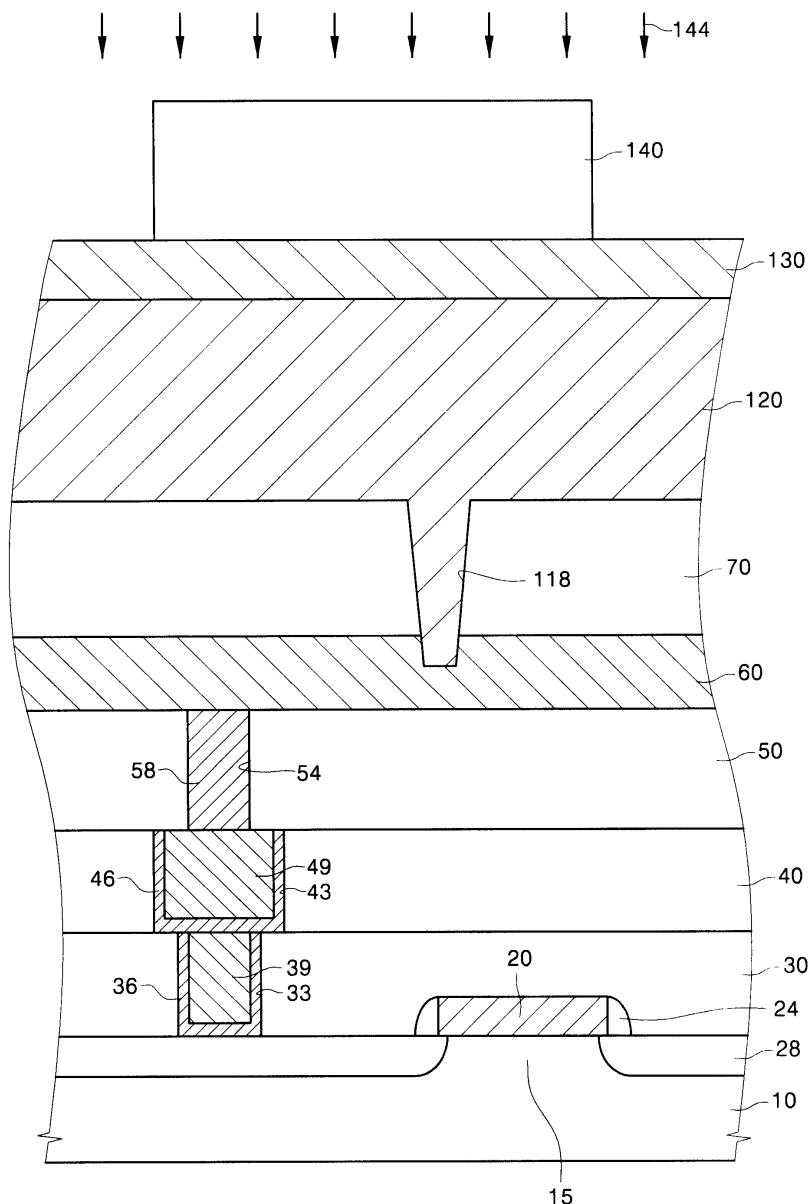
도면10



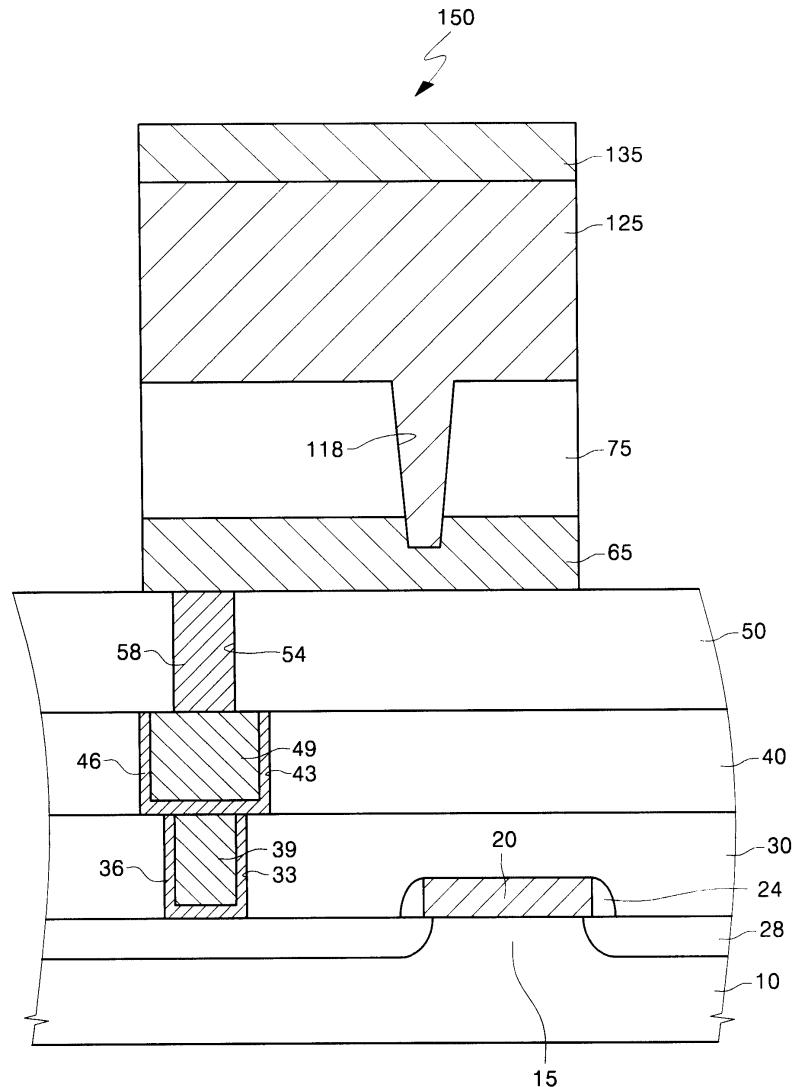
도면11



도면12



도면13



도면14

