

玖、發明說明

【發明所屬之技術領域】

本發明係關於類比/數位轉換器，及更特定地係關於一種高精度類比/數位轉換器(ADC)其可彌補在一開關式電容器 ADC 中因電容器失配所造成的錯誤。

【先前技術】

類比/數位轉換器(ADC)可將類比輸入訊號轉換成數位訊號。此等 ADC 被使用在許多應用設備上，例如視訊，音訊及訊號感測應用設備上。一種 ADC 為 σ - δ 轉換器，其係運用過度取樣(over-sampling)技術。此一 ADC 大體上包括一類比調變器部分及數位濾波與十進位部分。此類比調變器部分主要是將一類比輸入訊號在一非常高的取樣率，即大於尼奎斯特(Nyquist)率的取樣率下加以數位化，用以實施一雜訊整型功能。然後，該數位濾波部分讓該 ADC 能夠達到一高解析度。之後，十進位被用來將有效取樣率降回至尼奎斯特率。

該類比調變器部分可大體上包括一前饋式路徑其具有一加總電路，一濾波器，及一單一位元 A/D 轉換器。一後饋式路徑可進一步包括一單一位元數位/類比轉換器(DAC)其耦合至該單位元 A/D 轉換器的輸出及該加總電路用以提供一負的回饋訊號給該加總電路。除了接受來自於該 DAC 的回饋之外，該加總電路亦接受一轉換用的輸入類比訊號。

在一具有一對輸入端子用來接受一輸入類比訊號的開

關式電容器 ADC 中，一輸入開關陣列被提供，該輸入開關陣列包括一對被耦合至相關的輸入端子的輸入電容器。此外，一具有一對積分電容器的積分器可如該濾波器般地作用。該積分器可進一步被耦合至一比較器其如該 A/D 轉換器般地作用。

理想下，該對輸入電容器彼此相匹配且該對積分電容器彼此相匹配。然而，某些電容器失配是無法避免的，因而造成因失配所致之增益(gain)及偏位(offset)，當所需求者微高精確度 ADC 時，這樣的結果會造成一無法接受的非線性及偏位問題。

因此，亟需一種可克服前技上述缺點，並可讓 ADC 在有電容器失配情形下仍具有較佳的精確度性能的設備及方法。

【發明內容】

依據本發明提供一種 ADC，其包括：一輸入開關陣列，其具有一第一輸出及一第一輸入；及一第一輸入電容器，其耦合於該第一輸入與該第一輸出之間；該輸入開關陣列具有一第二輸出及一第二輸入；及一第二輸入電容器，其耦合於該第二輸入與該第二輸出之間；一積分器其具有一第一積分器輸出及一第一積分器輸入及一第一積分器電容器其耦合於該第一積分器輸入與該第一積分器輸出之間，該積分器亦具有一第二積分器輸出及一第二積分器輸入及一第二積分器電容器其耦合於該第二積分器輸入與該第二

積分器輸出之間；及一交叉開關陣列其耦合於該輸入開關陣列與該積分器之間且被建構可交替地將電荷從第一輸入電容器及第二輸入電容器傳送至第一積分電容器與第二積分電容器。

依據本發明的一 ADC 亦包括一交叉開關陣列其被建構來在一第一電荷傳送時間區段期間將電荷從第一輸入電容器傳送至第一積分電容器及從第二輸入電容器傳送至第二積分電容器，及其中該交叉開關陣列進一步被建構成在一第二電荷傳送時間區段期間將電荷從第一輸入電容器傳送至第二積分電容器及從第二輸入電容器傳送至第一積分電容器。

在另一實施例中，本發明一種 ADC 包括：一類比調變器，其被建構可接收一類比輸入訊號及輸出一經過取樣的訊號其為該類比輸入訊號的代表；及一數位濾波器，其被建構可接收該經過取樣的訊號及輸出一數位訊號其為該類比輸入訊號的代表，其中該類比調變器包括：一前饋路徑其被建構可接收該類比輸入訊號並將該經過取樣的訊號提供至該數位濾波器；及一回饋路徑其具有一數位/類比轉換器 (DAC) 其被建構可接收該經過取樣的訊號並將該經過取樣的訊號轉換為一回饋類比訊號，其中該 DAC 包括：一參考端子其被建構可接收一參考訊號；及一第一導電路徑其耦合至該參考端子及一第一節點，其中該第一導電路徑包括一第一參考電容器及多個開關，其中該第一導電路徑的該等開關係回應於多個相應的控制訊號用以在一第

一時間區段期間於該第一節點產生一正的參考訊號，及用以在一第二時間區段期間於該第一節點產生一負的參考訊號。

依據本發明之一使用在一類比/數位轉換器中之類比調變器包括：一對輸入電容器其包括一第一輸入電容器及一第二輸入電容器；一對積分電容器其包括一第一積分電容器及一第二積分電容器；及一交叉開關陣列其耦合在該對輸入電容器與該對積分電容器之間且被建構成可在一電荷傳送時間區段期間交叉地將該第輸入電容器耦合至該對積分電容器。

依據本發明的一 DAC 包括：一參考端子其被建構成可接收一參考訊號；及一第一導電路徑其耦合至該參考端子及一第一節點，其中該第一導電路徑包括一第一參考電容器及多個開關，其中該第一導電路徑的該等開關係回應於多個相應的控制訊號用以在一第一時間區段期間於該第一節點產生一正的參考訊號，及用以在一第二時間區段期間於該第一節點產生一負的參考訊號。

在另一實施例中，本發明的 ADC 包括：一積分器其具有一第一積分器輸入及一積分器輸出；一比較器其具有一耦合至該積分器輸出的比較器輸入，其中該比較器被建構成可在一第一比較時間期間及一第二非重疊的比較時間期間輸出數位資料樣本；及一回饋切換電路其被建構成可接受一參考來源及該數位資料樣本並提供一回饋訊號給該積分器，其中來自於該參考來源的雜訊藉由在第一比較時間

區段之後及在第一比較時間區段之前讓一第一電荷傳送時間區段及一第二非重疊的電荷傳送時間區段發生來將其消散掉。

依據本發明的一感測系統包括：一電源其具有一電力特性；一感測器其被建構可感測該電力特性並提供代表該電力特性之一第一類比訊號及一第二類比訊號；及一ADC其被建構可接受該第一及第二類比訊號並提供代表該第一及第二類比訊號的一數位訊號，其中該ADC包括一輸入開關陣列其具有一第一輸出及一第一輸入及一耦合至該第一輸入與該第一輸出之間的第一輸入電容器，該輸入開關陣列亦具有一第二輸出及一第二輸入及一耦合至該第二輸入與該第二輸出之間的第二輸入電容器，其中該第一輸入被建構可接收該第一類比訊號及該第二輸入被建構可接受該第二類比訊號；一積分器其具有一第一積分器輸出及一第一積分器輸入及一耦合至該第一積分器輸入與該第一積分器輸出之間的第一積分器電容器，該積分器亦具有一第二積分器輸出及一第二積分器輸入及一耦合至該第二積分器輸入與該第二積分器輸出之間的第二積分器電容器；及一交叉開關陣列其耦合在該輸入開關陣列與該積分器之間且被建構可交替地將電荷從該第一輸入電容器與第二輸入電容器傳送至該第一積分電容器與該第二積分電容器。

依據本發明的一種將類比/數位轉換器中的電荷從一第一輸入電容器及一第二輸入電容器傳送至一第一積分電容

器及一第二積分電容器的方法包括以下的步驟：在一第一電荷傳送時間區段期間將電荷從第一輸入電容器傳送至第一積分電容器及從第二輸入電容器傳送至第二積分電容器；及在一第二電荷傳送時間區段期間將電荷從第一輸入電容器傳送至第二積分電容器及從第二輸入電容器傳送至第一積分電容器。

依據本發明的一種將一輸入類比訊號轉換為數位輸出樣本的方法包括以下的步驟：在一第一及第三非重疊的時間區段期間用該輸入類比訊號來對一第一輸入電容器及一第二輸入電容器充電；及在一第二及第四非重疊的時間區段期間將電荷交替地從該第一輸入電容器及第二輸入電容器傳送至一第一積分電容器及一第二積分電容器。

依據本發明之一種將 ADC 內的電荷取樣並傳送的方法包含以下的步驟：提供一第一類比訊號給該 ADC 的一第一輸入端子及一第二類比訊號給該 ADC 的一第二輸入端子；在一第一取樣時間區段期間於一第一輸入電容器處對該第一類比訊號取樣及在該第一取樣時間區段期間於一第二輸入電容器處對該第二類比訊號取樣；在一第一電荷傳送時間區段期間，將被該第一輸入電容器取樣的電荷傳送至一第一積分電容器及將被該第二輸入電容器取樣的電荷傳送至一第二積分電容器；在一第二取樣時間區段期間於該第一輸入電容器處對該第二類比訊號取樣及在第二輸入電容器處對該第一類比訊號取樣；及在一第二電荷傳送時間區段期間，將被該第一輸入電容器取樣的電荷傳送至該第二

積分電容器及將被該第二輸入電容器取樣的電荷傳送至該第一積分電容器。

最後，依據本發明一種用來降低 DAC 中來自於一參考訊號的雜訊的影響的方法，其中該 DAC 被耦合至一 ADC 的回饋路徑，該方法包括以下的步驟：在一第一及第三非重疊時間區段期間，用該參考訊號對該 DAC 的一第一參考電容器及一第二參考電容器充電；在一第二及第四非重疊的時間區段期間，將電荷交替地從第一參考電容器及第二參考電容器傳送至一第一積分電容器與一第二積分電容器；及在一第五時間區段中將被傳送的電荷與一參考電荷相比較，其中該第三時間區段是在第二時間區段之後發生，及該第五時間區段是在第四時間區段之後發生的。

【實施方式】

翻到第 1 圖，一包括了一感測電阻 102 及一 ADC108 之依據本發明的舉例性感測系統 100 被示出。熟悉此技藝者可瞭解到依據本發明之 ADC 108 可被使用在許多用來接收不同的輸入類比訊號，如電壓或電流訊號，的系統及感測系統中。在第 1 圖的舉例性系統 100 中，一電流感測器，如感測電阻 102，係與一電源，如可充電式的電池 106(如鋰電池，鎳氫電池)，串聯。感測電阻 102 可藉由提供一對輸入類比訊號至該 ADC108 的輸入端子 107，109 而被用來感測來自於電池 106 的充電與放電。

來自於電池 106 的充電與放電是藉由測量橫跨該感測

器 102 的電壓而被間接地感測，因為充電或放電的電流程級係等於橫跨端子 110，112 之被測得的電壓層級除以該感測電阻 102 的電阻值。為了要降低感測電阻 102 所浪費掉的電力，有許多的應用使用了一感測電阻其具有一很小的預定值，如約 $10\text{m}\Omega$ 。因此，橫跨該感測電阻 102 輸入到該 ADC108 的電壓亦相當地小，如約 20mV 。因此，需要一依據本發明之高精密的 ADC108 來接收及精確地轉換此很小的類比輸入訊號成為一數位訊號。

此外，一依據本發明的 ADC108 亦可具有偵測此等低只比地極稍高或稍低的電壓的類比訊號。這是因為負的電池端子 111 典型地為系統的地極使得當對電池 106 充電時，該充電電流係流動在從端子 110 朝向端子 112 的方向上，如第 1 圖所示。因此，在此例子中，橫跨感測電阻 102 的電壓是正的，如 $V=(V_{\text{sense+}})-(V_{\text{sense-}})$ ，其中 $(V_{\text{sense+}})>(V_{\text{sense-}})$ 。相反地，範電電流係流動於反的方向上，使得橫跨感測電阻 102 的電壓是負的，如 $V=(V_{\text{sense+}})-(V_{\text{sense-}})$ ，其中 $(V_{\text{sense+}})<(V_{\text{sense-}})$ 。

翻到第 2 圖，一舉例性的 ADC 208 的方塊圖被示出。該舉例性的 ADC 208 為一 $\sigma - \delta$ 過度取樣 (over-sampling) ADC 其包括一類比調變器部分 202 及一數位濾波器部分 204。大體上，該類比調變器部分 202 接收一輸入類比訊號並提供一高頻 1 位元資料流給該數位濾波器部分 204。該輸入類比訊號可以是許多種類比訊號中的任何一種，如電流或電壓訊號。例如，在一例子中，該類比訊號可以是一電

壓訊號，如從橫跨第 1 圖中的感測電阻的電壓 102 獲得者。

該類比調變器部分 202 以一等於 $F_s \times OSR$ 的高取樣頻率對該輸入類比訊號取樣，其中該 F_s 為奈奎斯特(Nyquist)頻率及 OSR 為奈奎斯特頻率的過度取樣率。對於一具有等於 f_{max} 之最高頻率部分的已知類比輸入訊號而言，該奈奎斯特頻率為 $2f_{max}$ 或是該最高頻率部分的兩倍。該類比調變器 202 將輸入類比訊號轉為一連續的 1/0 數位流，其速率是由取樣頻率速率或 $F_s \times OSR$ 來決定。該類比調變器部分可包括一低通濾波器 206，一比較器 211，及在一連接至一加總電路 212 的負回饋迴路中的 1 位元 DAC 210。

該比較器 211 在訊號頻帶($<F_s/2$)中之具有 1 位元解析度的高量子化雜訊在低頻時可被該低通濾波器 206 的高增益所抑制。該雜訊在高頻時雖不能被該低通濾波器 206 所抑制，但其通常是在訊號頻帶的範圍之外且可被該數位低通濾波器 212 過濾掉。該數位低通濾波器 212 接受來自於該類比調變器部分 202 的高頻 1 位元資料並加以處理，及對該訊號加以低通濾波用以在正常的奈奎斯特頻率 F_s 下輸出一非常高的解析度，如高於 14 位元。

該類比調變器 202 可隨著該低通濾波器 206 的等級而如第一級調變器，第二級調變器等等般地作用。理論上， OSR 愈高則可獲得的解析度就愈高，且調變器的等級愈高則可獲得的解析度以愈高。在如第 1 圖所示的電源感測系統應用中，該輸入類比訊號，或在此例子中橫跨該感測電阻 102 的電壓，典型地為一低頻電壓訊號。因此，一非常高的 OSR ，

如 $OSR=4096$ 或 $OSR=8192$ ，可被用在此一應用中。對於此種應用而言，即使是一第一等級的類比調變器亦可達到一高於 14 位元解析度的高經度結果。因此，依據本發明的一第一等級的調變器將參照第 3A 及 3B 圖來加以說明。熟悉此技藝者將可瞭解到其它的應用可能需要不同等級的類比調變器及 OSR 值用以達到特定應用所想要的精度。

翻到第 3A 圖，一依據本發明的高精度 ADC 的第一等級類比調變器部分 302 的電路圖被示出。第 3B 圖為第 3A 圖的電路的時序圖。該類比調變器 302 大體上包括一輸入開關陣列 319，一交叉開關陣列 324，一積分器 306，一比較器 308，一 1 位元 DAC 310，及一 DAC 開關陣列 312。該輸入開關陣列進一步包括一對輸入端子 322，324 用來接受來自第 1 圖所示之該舉例性應用的輸入類比訊號，如 V_{sense+} 或 V_{sense-} 。熟悉此技藝者將可瞭解到任何不同的輸入類比訊號都可被輸入到該輸入端子 322，324。此輸入類比訊號亦可以是一差異輸入對。

該輸入開關陣列 319 進一步包括一對輸入電容器 $C1A$ ， $C1B$ 用來在不同的取樣時間對該輸入類比訊號取樣，這將於下文中詳細說明。較佳地，該交叉開關陣列 324 係耦合於該輸入開關陣列 319 與積分器 306 之間用以交替地將電荷從該對輸入電容器 $C1A$ ， $C1B$ 傳送至該對積分電容器 $CF1A$ ， $CF1B$ ，這將在下文中參照第 3B 圖詳細說明。該負回饋可由一回饋開關陣列 312 來構成，其部分地被來自於該比較器 308 的 1 位元資料流 Y 所控制。

第 3 圖中之不同開關陣列 319, 324, 312 的開關及其它開關都回應第 3B 圖所示的時序圖中的不同控制訊號 $\phi 1$, $\phi 2$, $\phi 1P$, $\phi 2P$, $\phi 21$ 及 $\phi 22$ 且所有的控制訊號都是非重疊的。因此, 第 3 圖之開關 S1 至 S20 每一個都被標以相關聯的控制訊號 $\phi 1$, $\phi 2$, $\phi 1P$, $\phi 2P$, $\phi 21$ 或 $\phi 22$ 。控制訊號 $\phi 1$, $\phi 2$, $\phi 1P$, $\phi 2P$, $\phi 21$ 及 $\phi 22$ 是由一時序電路 326 所提供的。該時序電路 326 可以是熟悉此技藝者所習知的任何架構用來提供適當的控制訊號 $\phi 1$, $\phi 2$, $\phi 1P$, $\phi 2P$, $\phi 21$ 及 $\phi 22$ 。大體上, 當與一開關相關的一控制訊號為”高”時, 該開關會被閉合及因而高通電流。相反地, 當於該開關相關的控制訊號為”低”時, 該開關會開啟及因而不會導通電流。熟悉此技藝者亦瞭解到其它的開關與控制訊號架構亦可被使用在依據本發明的 ADC 中作為替代的開關及控制訊號。

該輸入開關陣列 319 可包括多個開關 S1, S2, S3 及 S4。此等開關可以是熟悉此技藝者所習知的任何不同的開關, 如 CMOS 電晶體可提供此一切換功能。該交叉開關陣列 324 亦包括多個開關 S7, S8, S19 及 S20。該回饋開關陣列 312 亦可包括多個開關 S15, S16, S17 及 S18。最好該 1 位元 DAC310 亦可包括多個開關 S9, S10, S11, S12, S13 及 S14。

依據本發明的一高精度 ADC 的該舉例性第一級類比調變器部分 302 的操作, 包括上述開關的操作在內, 將於下文中參照第 3B 圖加以詳細說明。首先, 在時間區段 T1 期間, 控制訊號 $\phi 1$, $\phi 1P$ 及 ϕ_{comp} 為高, 而所有其它的控制

訊號皆為低。因此，回應控制訊號 $\phi 1$ 及 $\phi 1P$ 的開關被閉合，而其它的開關則被開啟。因此，1 位元 DAC310 的開關 S9，S12，S13 及 S14 於時間區段 T1 期間是被閉合的。此外，輸入開關陣列 319 的開關 S1 及 S2 在時間區段 T1 期間亦是被閉合的。此外，開關 S5 及 S6 在時間區段 T1 期間是被閉合的。

因此，該輸入電容器 C1A 經由閉合的開關 S1 從輸入端子 322 預取樣一輸入類比訊號輸入，如 V_{sense+} ，而另一輸入電容器 C1B 經由閉合的開關 S2 在另一輸入端子 324 處預取樣一輸入類比訊號，如 V_{sense-} 。DAC310 的一參考電容器 CR1A 經由閉合的開關 S9 取樣一參考訊號，如參考電壓 V_{ref} ，而另一參考電容器 CR1B 則經由閉合的開關 S12，S14 放電至地極。該參考訊號可以是任何種類的參考訊號，如一電壓或電流訊號。第 3A 圖所示的參考電壓訊號 V_{ref} 可從任何不同的來源被提供，其係視應用而定。

在第二時間區段 T2 期間，控制訊號 $\phi 2$ ， $\phi 2P$ 及 $\phi 2I$ 是高，而其它所有控制訊號皆為低。因此，輸入開關陣列 319 的開關 S3 及 S4 於時間區段 T2 期間是閉合的而開關 S1 及 S2 則是開啟的。交叉開關陣列 324 的開關 S7 及 S8 是閉合的及 DAC 310 的開關 S10 及 S11 在時間區段 T2 期間是閉合的。因此，輸入電容器 C1A 將其在 T1 時間區段中預取樣的電荷傳送至積分電容器 CF1A，及輸入電容器 C1B 將其在 T1 時間區段中預取樣的電荷傳送至積分電容器 CF1B。

較佳地，因為在時間區段 T2 期間開關 S4 被閉合且開

關 S1 被開啟，所以輸入電容器 C1A 被耦合至該輸入電壓端子 324 而非地極。這讓該電容器 C1A 的一預定的電容值可以是其耦合至地極時的一半，因為被傳送的電荷被有效地加倍。相同地，因為開關 S3 被閉合且開關 S2 被開啟，所以其它輸入電容器 C1B 被耦合至輸入電壓端子 322 而非地極。因此，該輸入電容器 C1B 的一預定的值可以是其在此時間區段期間耦合至地極時的一半。輸入電容器 C1A，C1B 的電容值較小可節省在積體電路(IC)中的面積，這在現今的 IC 上是很重要的。

而且，在時間區段 T2 期間，開關 S10 及 S11 被閉合，所以一負的參考訊號，如 $-V_{ref}$ ，在節點 C 被產生且一正的參考訊號，如 $+V_{ref}$ 在節點 D 被產生。該回饋開關陣列 312 將根據二位元回饋訊號 Y 把節點 C 與節點 A 耦合在一起及將節點 D 與節點 B 耦合在一起，或將節點 C 與節點 B 耦合在一起及將節點 C 與節點 D 耦合，這端視 Y 是 0 或 1 而定。例如，如果 $Y=1$ 的話，開關 S15 及 S16 被閉合而開關 S17 與 S18 被開啟。因此，節點 C 會經由閉合的開關 S15 而耦合至節點 A，及節點 D 會經由閉合的開關 S16 而耦合至節點 B。或者，如果回饋訊號 $Y=0$ 的話，開關 S15 及 S16 被開啟而開關 S17 與 S18 被閉合。因此，節點 C 會經由閉合的開關 S17 而耦合至節點 B，及節點 D 會經由閉合的開關 S18 而耦合至節點 A。

在時間區段 T3 期間，時鐘訊號 $\phi 1$ 及 $\phi 2P$ 為高，而其它所有的時鐘訊號皆為低。因此，在時間區段 T3 期間，開

關 S3 及 S4 被閉合，而開關 S1 及 S2 被開啟。因此，輸入電容器 C1A 經由閉合的開關 S4 在輸入端子 324 對該輸入類比訊號預先取樣及另一輸入電容器 C1B 經由閉合的開關 S3 在輸入端子 322 處對該輸入類比訊號預先取樣。此外，在時間區段 T3 期間，DAC310 的開關 S10，S11，S13 及 S14 被閉合，而 DAC 的開關 S9 及 S12 則被開啟。因此，該 1 位元 DAC 310 的參考電容器 CR1A 經由閉合的開關 S11 及 S13 被放電至地極，而另一參考電容器 CR1B 則經由閉合的開關 S10 對該參考訊號，如參考電壓 V_{ref} ，預先取樣。

因為控制訊號 $\phi 21$ 及 $\phi 22$ 在時間區段 T3 期間為低，所以交叉開關陣列 306 的開關 S7，S8，S19 及 S20 被開啟，因此在時間區段 T3 期間不會有電荷從輸入電容器 C1A，C1B 被傳送至積分電容器 CF1A，CF1B。

在時間區段 T4 期間，控制訊號 $\phi 2$ ， $\phi 1P$ 及 $\phi 22$ 為高，而其餘的時鐘訊號皆為低。因此，開關 S1 及 S2 被閉合而開關 S3 及 S4 被開啟。此外，交叉開關陣列 324 的開關 S19 及 S20 被閉合，而開關 S7 及 S8 則被開啟。因此，輸入電容器 C1A 最好是將其在時間區段 T3 期間所累積之預先取樣的電荷經由閉合的開關 S19 傳送至積分電容器 CF1B。此外，輸入電容器 C1B 將其在時間區段 T3 期間所累積之預先取樣的電荷經由閉合的開關 S20 傳送至積分電容器 CF1A。以此方式，交叉開關陣列 324 被建構成可在時間區段 T2 期間將電荷從輸入電容器 C1A 傳送至積分電容器 CF1A 及從輸入電容器 C1B 傳送至積分電容器 CF1B，然後交替地在另一時

間區段 T4 期間將電荷從輸入電容器 C1A 傳送至積分電容器 CF1B 及從輸入電容器 C1B 傳送至積分電容器 CF1A。因此，該交叉開關陣列 324 交叉地將輸入電容器 C1A，C1B 耦合至積分電容器 CF1A，CF1B。

與時間區段 T2 相同地，在時間區段 T4 期間輸入電容器 C1A 經由閉合的開關 S1 耦合至該輸入端子 322，及輸入電容器 C1B 經由閉合的開關 S2 耦合至該輸入端子 324。如果輸入端子 322 接受來自於第 1 圖的感測電阻 102 處的 V_{sense+} 及第二輸入端子 324 接受來自於感射電阻 102 的 V_{sense-} 的話，則輸入電容器 C1A，C1B 會被連接至這兩個端子而不會接地。藉此可將傳送電荷加倍且可讓輸入電容器 C1A，C1B 的值成為其接地情況時的一半。

同樣是在時間區段 T4 期間，開關 S9 及 S12 被閉合，而在該 1 位元 DAC310 上的其它開關皆被開啟。因此， $-V_{ref}$ 於節點 D 處被產生及 $+V_{ref}$ 於節點 C 處被產生。與上文中詳細說明的時間區段 T2 相同地，該回饋開關陣列 312 將根據回饋訊號 Y 把節點 C 與節點 A 耦合在一起及將節點 D 與節點 B 耦合在一起，或將節點 C 與節點 B 耦合在一起及將節點 A 與節點 D 耦合在一起。因此可看出來，在時間區段 T2 期間，經由適當的時序控制， $+V_{ref}$ 經由電容器 CR1B 在節點 D 處被產生及 $-V_{ref}$ 經由電容器 CR1A 在節點 C 處被產生，及在時間區段 T4 期間， $+V_{ref}$ 經由電容器 CR1A 在節點 C 處被產生及 $-V_{ref}$ 經由電容器 CR1B 在節點 D 處被產生。因此， $+V_{ref}$ 及 $-V_{ref}$ 經由電容器 CR1A 及 CR1B 而交替地

被產生在節點 C 及節點 D 處。

時間區段 T5 與時間區段 T1 相似，其中控制訊號 $\phi 1$ ， $\phi 1P$ 及 ϕ_{comp} 為高，而其餘的時鐘訊號皆為低。因此，在時間區段 T5 期間，該比較器 308 接受來自於該積分器 306 的積分結果並以 $OSR \times F_s$ 的速率產生一 1 位元資料輸出流 Y。因此，該比較器 308 如一 1 位元 ADC 般的作用。

一依據本發明的 ADC 的類比調變部分 302 具有數項優點。首先，該輸入開關陣列 319 在電荷傳送時間區段，如時間區段 T2 及 T4，期間能夠在交替的輸入端子 322，324 處交叉取樣該輸入訊號。這可有效地將傳送電荷加倍且讓輸入電容器 C1A，C1B 的值成為其接地時的一半。

此外，該交叉開關陣列 314 被建構成可讓該輸入電容器 C1A 在一時間區段期間，如時間區段 T2，將電荷傳送至積分電容器 CF1A，然後在另一時間區段期間，如時間區段 T4，將電荷交替地傳送至積分電容器 CF1B。相似地，該交叉開關陣列 314 被建構成可讓該輸入電容器 C1B 在一時間區段期間，如時間區段 T2，將電荷傳送至積分電容器 CF1B，然後在另一時間區段期間，如時間區段 T4，將電荷交替地傳送至積分電容器 CF1A。因此，因輸入電容器 C1A，C1B 與積分電容器 CF1A，CF1B 之間的失配所自成的非直線性及偏位即可被有效地消除。此外，亦不需要輸入類比訊號，如 V_{sens+} 及 V_{sens-} ，有絕佳對稱性。若沒有此一架構，則 C1A/C1B 與 CF1A/CF1B 之間的增益失配會發生且造成對於高精度 ADC 無法接受的結果。

本發明的另一項好處為對於 1 位元 DAC310 而言， V_{sens+} 及 V_{sens-} 是在該 DAC310 的開關 S9，S10，S11，S12，S13 及 S14 被第 3B 圖所示的時序圖的控制訊號的控制下於節點 C 及節點 D 被交替地產生。因此，導因於參考電容器 CR1A 與另一參考電容器 CR1B 的失配所造成的非直線性及偏移亦可被有效地消除。

此外，因為在第一比較階段，如時間區段 T1，與第二比較階段，如時間區段 T5，之間有兩個傳送或積分階段，如時間區段 T2 及時間區段 T4，所以在參考來源訊號，如 V_{ref} ，訊號中的雜訊的影響可被顯著地消除。這可將對於一參考來源的雜訊要求降低。例如，在時間區段 T2 期間累積的低頻雜訊可在時間區段 T4 期間被顯著地消除。理論上，此影響等於該 V_{ref} 雜訊的第一等級高通濾波。一使用電壓參考來源的模擬顯示出由於此種加倍取樣的設計的關係，所以 V_{ref} 的低頻雜訊可以有一 12dB 的抑制。一此，對於一參考電壓源的雜訊要求可大大地降低。

此外，放大器 350 的偏移及低頻雜訊可藉由如第 3A 圖所示的剪除-穩定技術，或相關連的加倍取樣 (CDS) 技術，或自動歸零技術，而被消除。剪除-穩定技術，或相關連的加倍取樣 (CDS) 技術，或自動歸零技術在此技藝中是習知的，因此將不再於本文中贅述。

在本文中所描述的實施例只是許多可使用本發明的實施例中的一些例子且只是作為舉例的目的而發作為限制的目的的被舉出。很明顯的是，對於熟悉此技藝者而言是很顯而

易見的許多其它的實施例都可在不偏離本發明的精神及範圍下被達成。

【圖式簡單說明】

為了要更加瞭解本發明的其它目的，特徵及優點，應參考附圖來閱讀以下的詳細說明，其中相同的標號代表相同的元件：

第 1 圖為依據本發明的一 ADC 的舉例性應用的方塊圖；

第 2 圖為一方塊圖，其顯示本發明之具有一類比調變器及一數位濾波部分的 ADC；

第 3A 圖為本發明的一 ADC 的類比調變器部分的電路圖；及

第 3B 圖為第 3A 圖的一時序圖。

【元件代表符號簡單說明】

100	感測系統	102	感測電阻器
106	電池	108	類比/數位轉換器(ADC)
107,109	輸入端子	110,112	端子
111	負的電池端子	202	類比調變器部分
204	數位濾波器部分	206	低通濾波器
210	數位類比轉換器(DAC)	211	比較器
212	加總電路(數位低通濾波器)		
302	類比調變器	319	輸入開關陣列

324	交叉開關陣列	306	積分器
308	比較器	310	數位/類比轉換器(DAC)
312	DAC開關陣列	322,324	輸入端子
C1A,C1B	輸入電容器	CF1A,CF1B	積分電容器
S1-S20	開關	CR1A,CR1B	參考電容器

伍、中文發明摘要

一種類比/數位轉換器(ADC)包括一交叉開關陣列其耦合於一輸入開關陣列與一積分器之間。該積分器被建構來交替地將電荷從一第一輸入電容器及一第二輸入電容器傳送至一第一積分電容器與一第二積分電容器，藉以改善因電容器失配(mismatch)所致之線性問題。該交叉開關陣列亦被建構成可在一第一電荷傳送時間區段期間，將電荷從第一輸入電容器傳送至第一積分電容器及從第二輸入電容器傳送至第二積分電容器；以及可在一第二電荷傳送時間區段期間將電荷從第一輸入電容器傳送至第二積分電容器及從第二輸入電容器傳送至第一積分電容器。此外還提供一種包括本發明 ADC 之感測系統；及多種將電荷傳送於一 ADC 中的方法。

陸、英文發明摘要

An analog to digital converter (ADC) includes a cross switch array coupled between an input switch array and an integrator configured to alternately transfer charges from a first input capacitor and a second input capacitor to a first integration capacitor and a second integration capacitor thereby improving linearity problems caused by capacitor mismatching. The cross switch array may also be configured to transfer charges from the first input capacitor to the first integration capacitor and from the second input capacitor to the second integration capacitor during a first charge transfer time interval, and from the first input capacitor to the second integration capacitor and from the second input capacitor to the first integration capacitor during a second charge transfer time interval. A sensing system including and ADC consistent with the invention is also provided. Various methods of transferring charges in an ADC are also provided.

拾、申請專利範圍

1. 一種類比/數位轉換器(ADC)，至少包含：

一輸入開關陣列，其具有一第一輸出及一第一輸入及一第一輸入電容器其耦合於該第一輸入與該第一輸出之間，該輸入開關陣列具有一第二輸出及一第二輸入及一第二輸入電容器其耦合於該第二輸入與該第二輸出之間；

一積分器，其具有一第一積分器輸出及一第一積分器輸入及一第一積分器電容器其耦合於該第一積分器輸入與該第一積分器輸出之間，該積分器亦具有一第二積分器輸出及一第二積分器輸入及一第二積分器電容器其耦合於該第二積分器輸入與該第二積分器輸出之間；及

一交叉開關陣列，其耦合於該輸入開關陣列與該積分器之間，且被建構成可交替地將電荷從第一輸入電容器及第二輸入電容器傳送至第一積分電容器與第二積分電容器。

2. 如申請專利範圍第 1 項所述之類比/數位轉換器(ADC)，其中該交叉開關陣列係被建構成可在一第一電荷傳送時間區段期間，將電荷從第一輸入電容器傳送至第一積分電容器；及可在一第二電荷傳送時間區段期間，將電荷從第一輸入電容器傳送至第二積分電容器。

3. 如申請專利範圍第 1 項所述之類比/數位轉換器(ADC)，

其中該交叉開關陣列係被建構成可在一第一電荷傳送時間區段期間，將電荷從第二輸入電容器傳送至第二積分電容器；及可在一第二電荷傳送時間區段期間，將電荷從第二輸入電容器傳送至第一積分電容器。

4. 如申請專利範圍第 1 項所述之類比/數位轉換器(ADC)，其中該交叉開關陣列係被建構來在一第一電荷傳送時間區段期間，將電荷從第一輸入電容器傳送至第一積分電容器及從第二輸入電容器傳送至第二積分電容器；且其中該交叉開關陣列被進一步建構成可在一第二電荷傳送時間區段期間，將電荷從第一輸入電容器傳送至第二積分電容器及從第二輸入電容器傳送至第一積分電容器。
5. 如申請專利範圍第 4 項所述之類比/數位轉換器(ADC)，其中該第一輸入電容器及第二輸入電容器在一取樣時間區段期間，可從一輸入類比訊號取樣電荷，其中該取樣時間區段是在該第一電荷傳送時間區段之前發生的。
6. 如申請專利範圍第 1 項所述之類比/數位轉換器(ADC)，其中該交叉開關陣列包含：
 - 一第一開關，其具有一第一端子耦合至該第一輸入電容器及一第二端子耦合至該第一積分電容器；
 - 一第二開關，其具有一第一端子耦合至該第二輸入電容器及一第二端子耦合至該第二積分電容器；

一 第三開關，其具有一第一端子耦合至該第一輸入電容器及一第二端子耦合至該第二積分電容器；及

一 第四開關，其具有一第一端子耦合至該第二輸入電容器及一第二端子耦合至該第一積分電容器，其中該第一開關與該第二開關係被建構成一第一電荷傳送時間區段期間是閉合的，且該第二開關及第四開關則被建構成在該第一電荷傳送時間區段期間是開啟的，用以將電荷從該第一輸入電容器傳送至該第一積分電容器及將電荷從該第二輸入電容器傳送至該第二積分電容器。

7. 如申請專利範圍第 6 項所述之類比/數位轉換器(ADC)，其中該第一開關與該第二開關被建構成一第二電荷傳送時間區段期間是開啟的，且該第二開關及第四開關則被建構成在該第二電荷傳送時間區段期間是閉合的，用以將電荷從該第一輸入電容器傳送至該第二積分電容器及將電荷從該第二輸入電容器傳送至該第一積分電容器。

8. 如申請專利範圍第 1 項所述之類比/數位轉換器(ADC)，其中該交叉開關陣列包含：

一 第一開關，其具有一第一端子耦合至該第一輸入電容器及一第二端子耦合至該第一積分電容器；

一 第二開關，其具有一第一端子耦合至該第二輸入電容器及一第二端子耦合至該第二積分電容器；

一 第三開關，其具有一第一端子耦合至該第一輸入電容器及一第二端子耦合至該第二積分電容器；及

一 第四開關，其具有一第一端子耦合至該第二輸入電容器及一第二端子耦合至該第一積分電容器，其中該第一開關與該第二開關被建構成一第二電荷傳送時間區段期間是開啟的及該第二開關及第四開關則被建構成在該第二電荷傳送時間區段期間是閉合的，用以將電荷從該第一輸入電容器傳送至該第二積分電容器及將電荷從該第二輸入電容器傳送至該第一積分電容器。

9. 如申請專利範圍第 1 項所述之類比/數位轉換器(ADC)，其中該輸入開關陣列的第一輸入端子被建構成可接受一第一類比輸入訊號，且該輸入開關陣列的第二輸入端子被建構成可接受一第二類比輸入訊號，其中該第一輸入電容器在一第一電荷取樣時間區段期間對該第一類比輸入訊號取樣及該第二輸入電容器在一第二電荷取樣時間區段期間對該第二類比輸入訊號取樣。
10. 如申請專利範圍第 9 項所述之類比/數位轉換器(ADC)，其中該第一類比輸入訊號與一預定的訊號層級比較起來是正的，及該第二類比輸入訊號與該預定的訊號層級比較起來是負的。
11. 如申請專利範圍第 1 項所述之類比/數位轉換器(ADC)，

其中該輸入開關陣列的第一輸入端子進一步被建構可接受一第一類比輸入訊號，且該輸入開關陣列的第二輸入端子被建構可接受一第二類比輸入訊號，其中該第一輸入電容器在一第二電荷取樣時間區段期間對該第二類比輸入訊號取樣及該第二輸入電容器在該第二電荷取樣時間區段期間對該第一類比輸入訊號取樣。

12. 如申請專利範圍第 11 項所述之類比/數位轉換器(ADC)，其中該第一類比輸入訊號與一預定的訊號層級比較起來是正的，及該第二類比輸入訊號與該預定的訊號層級比較起來是負的。

13. 如申請專利範圍第 1 項所述之類比/數位轉換器(ADC)，其中該交叉開關陣列包含：

一第一開關，其具有一第一端子耦合至該第一輸入電容器及一第二端子耦合至該第一輸入端子；

一第二開關，其具有一第一端子耦合至該第二輸入電容器及一第二端子耦合至該第二輸入端子；

一第三開關，其具有一第一端子耦合至該第二輸入電容器及一第二端子耦合至該第一輸入端子；及

一第四開關，其具有一第一端子耦合至該第一輸入電容器及一第二端子耦合至該第二輸入端子，其中在一第一電荷取樣時間區段期間，該輸入開關陣列的第一開關及該輸入開關陣列的第二開關被建構是閉合的及該

輸入開關陣列的第三開關及該輸入開關陣列的第四開關被建構是開啟的，用以將該第一輸入端子耦合至該第一輸入電容器及將該第二輸入端子耦合至該第二輸入電容器。

14. 如申請專利範圍第 13 項所述之類比/數位轉換器(ADC)，其中在一第二電荷取樣時間區段期間，該輸入開關陣列的第一開關及該輸入開關陣列的第二開關被建構是開啟的及該輸入開關陣列的第三開關及該輸入開關陣列的第四開關被建構是閉合的，用以將該第一輸入端子耦合至該第二輸入電容器及將該第二輸入端子耦合至該第一輸入電容器。

15. 如申請專利範圍第 1 項所述之類比/數位轉換器(ADC)，其中該交叉開關陣列包含：

一第一開關，其具有一第一端子耦合至該第一輸入電容器及一第二端子耦合至該第一輸入端子；

一第二開關，其具有一第一端子耦合至該第二輸入電容器及一第二端子耦合至該第二輸入端子；

一第三開關，其具有一第一端子耦合至該第二輸入電容器及一第二端子耦合至該第一輸入端子；及

一第四開關，其具有一第一端子耦合至該第一輸入電容器及一第二端子耦合至該第二輸入端子，其中在一第二電荷取樣時間區段期間，該輸入開關陣列的第一開

關及該輸入開關陣列的第二開關被建構是開啟的及該輸入開關陣列的第三開關及該輸入開關陣列的第四開關被建構是閉合的，用以將該第一輸入端子耦合至該第二輸入電容器及將該第二輸入端子耦合至該第一輸入電容器。

16. 如申請專利範圍第 4 項所述之類比/數位轉換器(ADC)，其中該輸入開關陣列的第一輸入端子被建構可接收一正的類比輸入訊號，及該輸入開關陣列的第二輸入端子被建構可接收一負的類比輸入訊號，其中該第一輸入電容器在一第一電荷取樣時間區段期間對該正的類比輸入訊號取樣，及該第二輸入電容器在該第一電荷取樣時間區段期間對該負的類比輸入訊號取樣，其中被第一輸入電容器取樣的電荷於該第一電荷傳送時間區段期間被傳送至該第一積分電容器及被第二輸入電容器取樣的電荷於該第一電荷傳送時間區段期間被傳送至該第二積分電容器，及其中在一第二電荷取樣時間區段期間該第一輸入電容器對該負的類比輸入訊號取樣及該第二輸入電容器對該正的類比輸入訊號取樣，其中被第一輸入電容器取樣的電荷於該第二電荷傳送時間區段期間被傳送至該第二積分電容器及被第二輸入電容器取樣的電荷於該第二電荷傳送時間區段期間被傳送至該第一積分電容器。

17. 一種類比/數位轉換器(ADC)，其至少包含：

一類比調變器，其被建構成可接收一類比輸入訊號及輸出一經過取樣的訊號其為該類比輸入訊號的代表；及

一數位濾波器，其被建構成可接收該經過取樣的訊號及輸出一數位訊號其為該類比輸入訊號的代表，其中該類比調變器包含：

一前饋路徑，其被建構成可接收該類比輸入訊號並將該經過取樣的訊號提供至該數位濾波器；及

一回饋路徑，其具有一數位/類比轉換器(DAC)其被建構成可接收該經過取樣的訊號並將該經過取樣的訊號轉換為一回饋類比訊號，其中該 DAC 包含：

一參考端子，其被建構成可接收一參考訊號；
及一第一導電路徑，其耦合至該參考端子及一第一節點，其中該第一導電路徑包括一第一參考電容器及多個開關，其中該第一導電路徑的該等開關係回應於多個相應的控制訊號用以在一第一時間區段期間於該第一節點產生一正的參考訊號，及用以在一第二時間區段期間於該第一節點產生一負的參考訊號。

18. 如申請專利範圍第 17 項所述之類比/數位轉換器(ADC)，其中該 DAC 更包含一第二導電路徑其耦合至該參考端子及一第二節點，其中該第二導電路徑包含一第二參考

電容器及多個開關其回應多個相關的控制訊好用以在該第一時間區段期間於該第二節點處產生一負的參考訊號及在該第二時間區段期間於第二節點處產生一正的參考訊號。

19. 如申請專利範圍第 17 項所述之類比/數位轉換器(ADC)，其中該第一導電路徑的多個開關包含一第一開關其具有一第一端子耦合至該參考端子及一第二端子其耦合至該第一參考電容器的左板，及其中該第二導電路徑的多個開關包含一第二開關其具有一第一端子耦合至該參考端子及一第二端子其耦合至該第二參考電容器的左板，其中該第一開關回應一第一控制訊號及該第二開關回應一第二控制訊號。

20. 一種使用在一類比/數位轉換器中之類比調變器，其至少包含：

一對輸入電容器，其包括一第一輸入電容器及一第二輸入電容器；

一對積分電容器，其包括一第一積分電容器及一第二積分電容器；及

一交叉開關陣列，其耦合在該對輸入電容器與該對積分電容器之間且被建構成可在一電荷傳送時間區段期間交叉地將該第輸入電容器耦合至該對積分電容器。

21. 如申請專利範圍第 20 項所述之類比調變器，其中該交叉開關陣列被進一步建構成一第一電荷傳送時間區段期間將該第一輸入電容器耦合至該第一積分電容器，及被建構成一第二電荷傳送時間區段期間將該第一輸入電容器耦合至該第二積分電容器。
22. 如申請專利範圍第 21 項所述之類比調變器，其中該交叉開關陣列被進一步建構成在該第一電荷傳送時間區段期間將該第二輸入電容器耦合至該第二積分電容器，及被建構成在該第二電荷傳送時間區段期間將該第二輸入電容器耦合至該第一積分電容器。
23. 如申請專利範圍第 20 項所述之類比調變器，其中該交叉開關陣列被進一步建構成在該第一電荷傳送時間區段期間將該第二輸入電容器耦合至該第二積分電容器，及被建構成在該第二電荷傳送時間區段期間將該第二輸入電容器耦合至該第一積分電容器。
24. 一種數位/類比轉換器(DAC)，其至少包含：
一參考端子，其被建構成可接收一參考訊號；及
一第一導電路徑，其耦合至該參考端子及一第一節點，其中該第一導電路徑包括一第一參考電容器及多個開關，其中該第一導電路徑的該等開關係回應於多個相應的控制訊號用以在一第一時間區段期間於該第一節點

產生一正的參考訊號，及用以在一第二時間區段期間於該第一節點產生一負的參考訊號。

25. 如申請專利範圍第 24 項所述之數位/類比轉換器(DAC)，其中該 DAC 更包含一第二導電路徑其耦合至該參考端子及一第二節點，其中該第二導電路徑包含一第二參考電容器及多個開關，其回應多個相應的控制訊號用以在該第一時間區段期間於該第二節點處產生一負的參考訊號及在該第二時間區段期間於該第二節點處產生一正的參考訊號。

26. 如申請專利範圍第 24 項所述之數位/類比轉換器(DAC)，其中該第一導電路徑的多個開關包含一第一開關其具有一第一端子耦合至該參考端子及一第二端子其耦合至該第一參考電容器的一左板，及其中該第二導電路徑的多個開關包含一第二開關其具有一第一端子耦合至該參考端子及一第二端子其耦合至該第二參考電容器的一左板，其中該第一開關回應一第一控制訊號及該第二開關回應一第二控制訊號。

27. 一種類比/數位轉換器(ADC)，其至少包含：

一積分器，其具有一第一積分器輸入及一積分器輸出；

一比較器，其具有一耦合至該積分器輸出的比較器

輸入，其中該比較器被建構成可在一第一比較時間區段期間及一第二非重疊的比較時間區段期間輸出數位資料樣本；及

一回饋切換電路，其被建構成可接受一參考來源及該數位資料樣本並提供一回饋訊號給該積分器，其中來自於該參考來源的雜訊藉由在第一比較時間區段之後及在第一比較時間區段之前讓一第一電荷傳送時間區段及一第二非重疊的電荷傳送時間區段發生來將其消散掉。

28. 一種感測系統，其至少包含：

一電源，其具有一電力特性；

一感測器，其被建構成可感測該電力特性並提供代表該電力特性之一第一類比訊號及一第二類比訊號；及

一類比/數位轉換器(ADC)，其被建構成可接受該第一及第二類比訊號並提供代表該第一及第二類比訊號的一數位訊號，其中該ADC包含：

一輸入開關陣列，其具有一第一輸出及一第一輸入及一耦合至該第一輸入與該第一輸出之間的第一輸入電容器，該輸入開關陣列亦具有一第二輸出及一第二輸入及一耦合至該第二輸入與該第二輸出之間的第二輸入電容器，其中該第一輸入被建構成可接收該第一類比訊號及該第二輸入被建構成可接受該第二類比訊號；

一積分器，其具有一第一積分器輸出及一第二積分

器輸入及一耦合至該第一積分器輸入與該第一積分器輸出之間的第一積分器電容器，該積分器亦具有一第二積分器輸出及一第二積分器輸入及一耦合至該第二積分器輸入與該第二積分器輸出之間的第二積分器電容器；及

一交叉開關陣列，其耦合在該輸入開關陣列與該積分器之間且被建構成可交替地將電荷從該第一輸入電容器與第二輸入電容器傳送至該第一積分電容器與該第二積分電容器。

29. 如申請專利範圍第 28 項所述的系統，其中該交叉開關陣列被建構成可在一第一電荷傳送時間區段期間將電荷從該第一輸入電容器傳送至該第一積分電容器，及在一第二電荷傳送時間區段期間將電荷從該第一輸入電容器傳送至該第二積分電容器。

30. 如申請專利範圍第 28 項所述的系統，其中該交叉開關陣列被建構成可在一第一電荷傳送時間區段期間將電荷從該第二輸入電容器傳送至該第二積分電容器，及在一第二電荷傳送時間區段期間將電荷從該第二輸入電容器傳送至該第一積分電容器。

31. 如申請專利範圍第 28 項所述的系統，其中該交叉開關陣列被建構成可在一第一電荷傳送時間區段期間將電荷

從該第一輸入電容器傳送至該第一積分電容器及從第二輸入電容器傳送至第二積分電容器，及其中該交叉開關陣列被進一步建構可在一第二電荷傳送時間區段期間將電荷從該第一輸入電容器傳送至該第二積分電容器及從第二輸入電容器傳送至第一積分電容器。

32. 如申請專利範圍第 28 項所述的系統，其中該感測器為一電流感測器。

33. 如申請專利範圍第 32 項所述的系統，其中該電流感測器為一電阻，且其中該第一類比訊號與一預定的訊號等級比較起來是正的及該第二類比訊號與該預定的訊號等級比較起來是負的。

34. 一種將類比/數位轉換器中的電荷從一第一輸入電容器及一第二輸入電容器傳送至一第一積分電容器及一第二積分電容器的方法，其至少包含以下的步驟：

在一第一電荷傳送時間區段期間將電荷從第一輸入電容器傳送至第一積分電容器及從第二輸入電容器傳送至第二積分電容器；及

在一第二電荷傳送時間區段期間將電荷從第一輸入電容器傳送至第二積分電容器及從第二輸入電容器傳送至第一積分電容器。

35. 一種將一輸入類比訊號轉換為數位輸出樣本的方法，其至少包含以下的步驟：

在一第一及第三非重疊的時間區段期間用該輸入類比訊號來對一第一輸入電容器及一第二輸入電容器充電；及

在一第二及第四非重疊的時間區段期間將電荷交替地從該第一輸入電容器及第二輸入電容傳送至一第一積分電容器及一第二積分電容器。

36. 如申請專利範圍第 35 項所述之方法，其中該輸入類比訊號包含一正的類比訊號及一負的類比訊號交替地耦合至該第一輸入電容器及該第二輸入電容器。

37. 如申請專利範圍第 35 項所述之方法，其中該第二時間區段是在該第一時間區段之後發生的，該第三時間區段是在該第二時間區段之後發生的，該第四時間區段是在該第三時間區段之後發生的，其中該第一、第二、第三及第四時間區段都是不重疊的。

38. 一種將類比/數位轉換器(ADC)內的電荷加以取樣並傳送的方法，其至少包含以下的步驟：

提供一第一類比訊號給該 ADC 的一第一輸入端子及一第二類比訊號給該 ADC 的一第二輸入端子；

在一第一取樣時間區段期間於一第一輸入電容器處

對該第一類比訊號取樣及在該第一取樣時間區段期間於一第二輸入電容器處對該第二類比訊號取樣；

在一第一電荷傳送時間區段期間，將被該第一輸入電容器取樣的電荷傳送至一第一積分電容器及將被該第二輸入電容器取樣的電荷傳送至一第二積分電容器；

在一第二取樣時間區段期間於該第一輸入電容器處對該第二類比訊號取樣及在第二輸入電容器處對該第一類比訊號取樣；及

在一第二電荷傳送時間區段期間，將被該第一輸入電容器取樣的電荷傳送至該第二積分電容器及將被該第二輸入電容器取樣的電荷傳送至該第一積分電容器。

39. 如申請專利範圍第 38 項所述之方法，其中該第一類比訊號與一預定的訊號等級比較起來是正的，及該第二類比訊號與該預定的訊號等級比較起來是負的。

40. 一種用來降低數位/類比轉換器(DAC)中來自於一參考訊號之雜訊影響的方法，其中該 DAC 被耦合至一類比/數位轉換器(ADC)的回饋路徑，該方法至少包含以下的步驟：

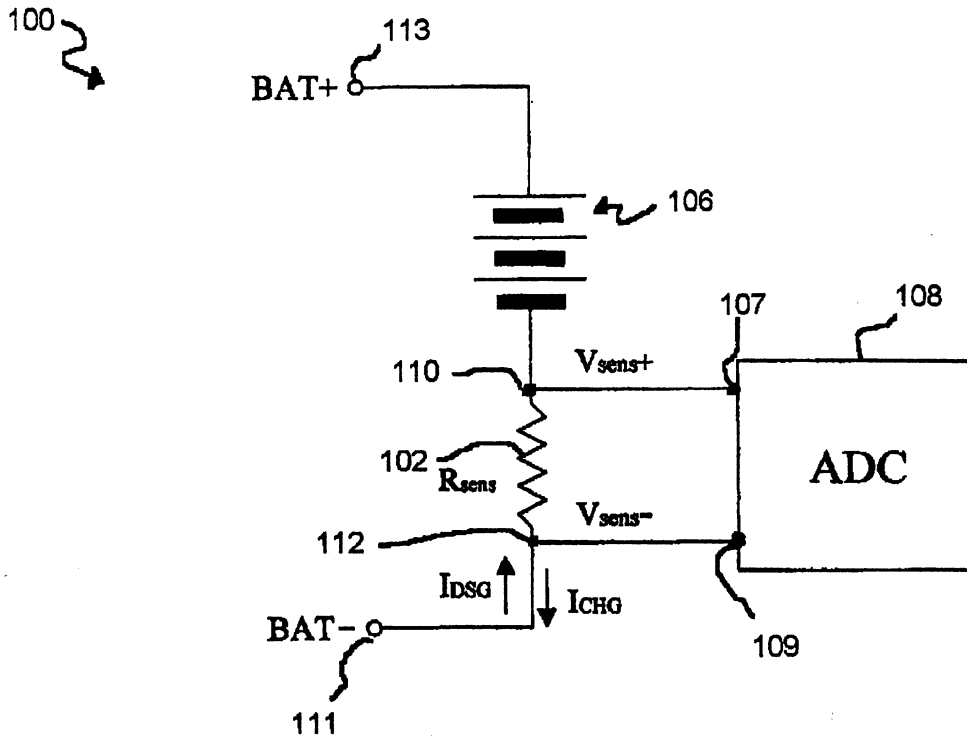
在一第一及第三非重疊時間區段期間，用該參考訊號對該 DAC 的一第一參考電容器及一第二參考電容器充電；

在一第二及第四非重疊的時間區段期間，將電荷交

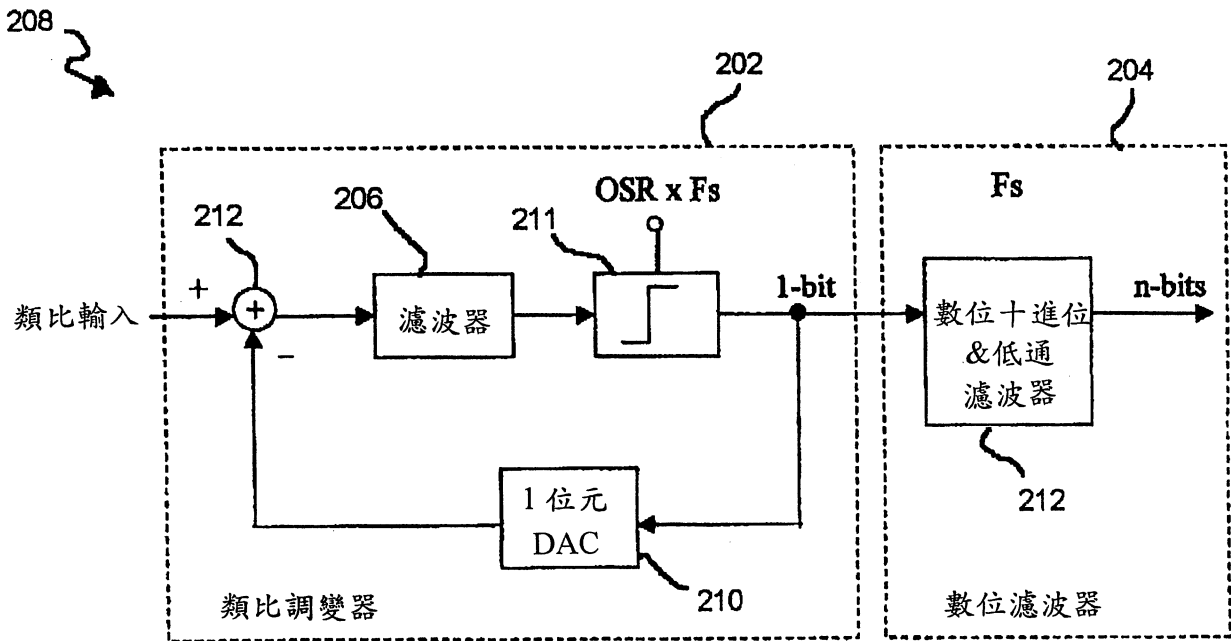
替地從第一參考電容器及第二參考電容器傳送至一第一積分電容器與一第二積分電容器；及

在一第五時間區段中將被傳送的電荷與一參考電荷相比較，其中該第三時間區段是在第二時間區段之後發生，及該第五時間區段是在第四時間區段之後發生的。

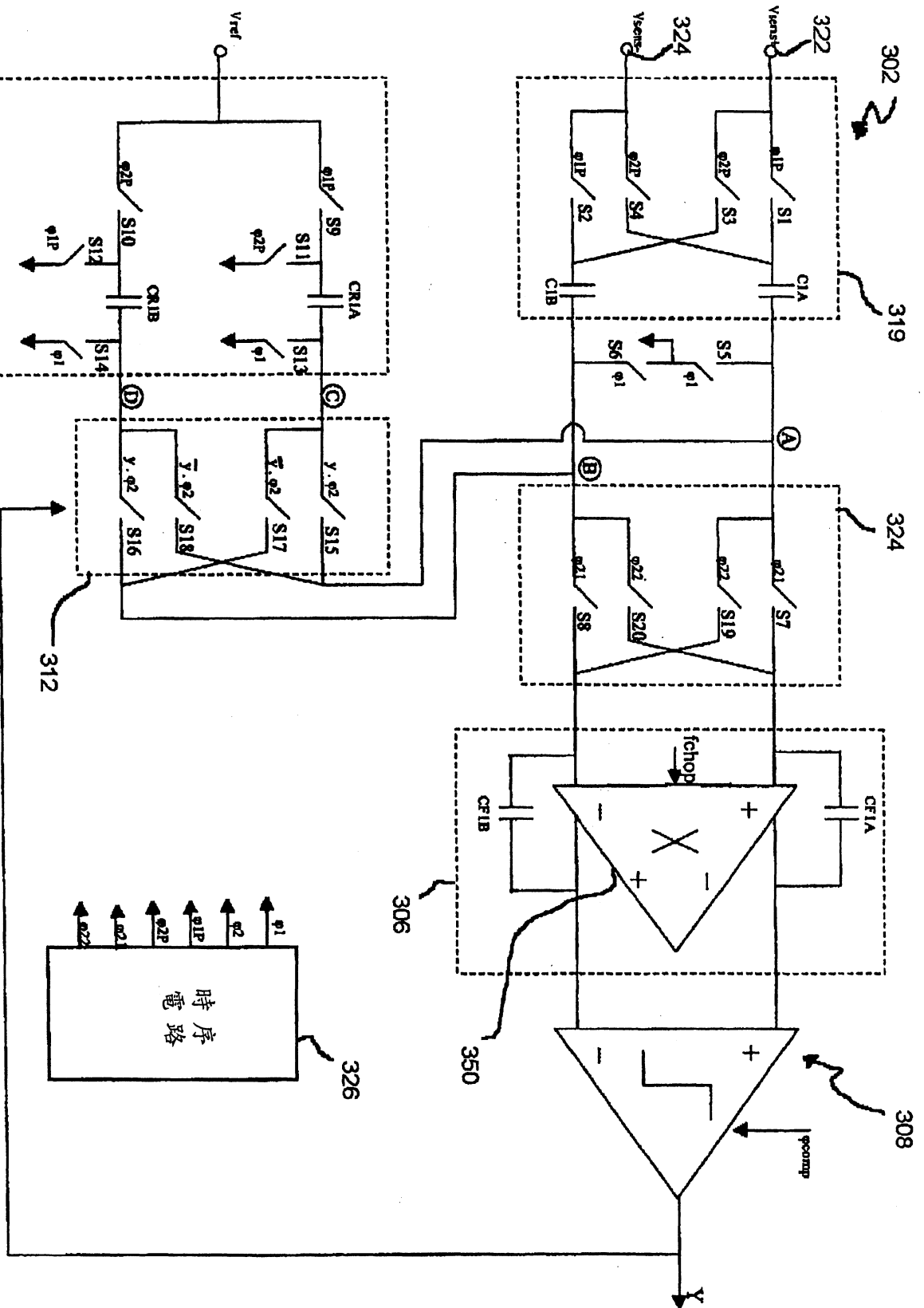
41. 如申請專利範圍第 40 項所述之方法，其中該第二時間區段是在該第一時間區段之後發生的，該第三時間區段是在該第二時間區段之後發生的，該第四時間區段是在該第三時間區段之後發生的，其中該第一、第二、第三及第四時間區段都是不重疊的。



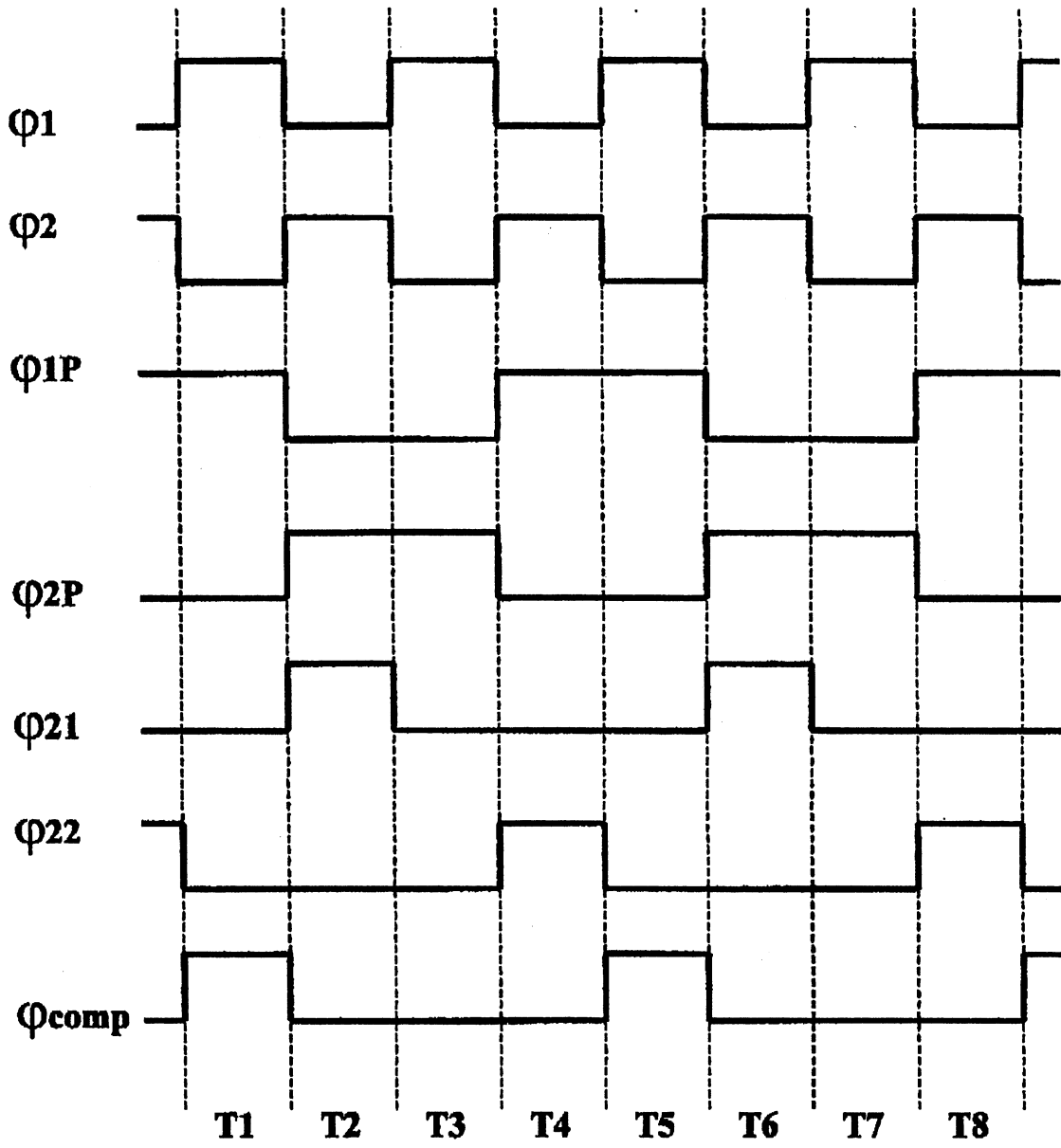
第 1 圖



第 2 圖



第 3A 圖



第 3B 圖

柒、(一)、本案指定代表圖為：第 2 圖

(二)、本代表圖之元件代表符號簡單說明：

208 類比調變器

204 數位濾波器

210 1 位元 DAC

212 數位十進位 & 低通濾波器

206 濾波器

211 比較器

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

發明專利說明書

民國 94 年 11 月 修正

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92112737

※申請日期：92 年 05 月 09 日

※IPC 分類：H03M 1/12

一、發明名稱：

(中) 高精度之類比／數位轉換器

(英) High precision analog to digital converter

二、申請人：(共 1 人)

1. 姓名：(中) 凹凸科技國際股份有限公司

(英) O2MICRO INTERNATIONAL LIMITED

代表人：(中) 1. 杜珣砥

(英) 1. DU, STERLING

地址：(中) 開曼群島大開曼喬治城西灣路商務展示中心郵政信箱 3 2 3 3 1 號

(英) Grand Pavilion Commercial Centre, West Bay Road, P.O. Box
32331 SMB, George Town, Grand Cayman, Cayman Islands

國籍：(中英) 英屬開曼群島 CAYMAN ISLANDS

三、發明人：(共 2 人)

1. 姓名：(中) 劉柳勝

(英) LIU, LIUSHENG

國籍：(中) 美國

(英) U.S.A.

2. 姓名：(中) 栗國星

(英) LI, GUOXING

國籍：(中) 大陸地區

(英) CHINA

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2002/05/10 ; 10/142,503 有主張優先權

發明專利說明書

民國 94 年 11 月 修正

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92112737

※申請日期：92 年 05 月 09 日

※IPC 分類：H03M 1/12

一、發明名稱：

(中) 高精度之類比／數位轉換器

(英) High precision analog to digital converter

二、申請人：(共 1 人)

1. 姓名：(中) 凹凸科技國際股份有限公司

(英) O2MICRO INTERNATIONAL LIMITED

代表人：(中) 1. 杜珣砥

(英) 1. DU, STERLING

地址：(中) 開曼群島大開曼喬治城西灣路商務展示中心郵政信箱 3 2 3 3 1 號

(英) Grand Pavilion Commercial Centre, West Bay Road, P.O. Box
32331 SMB, George Town, Grand Cayman, Cayman Islands

國籍：(中英) 英屬開曼群島 CAYMAN ISLANDS

三、發明人：(共 2 人)

1. 姓名：(中) 劉柳勝

(英) LIU, LIUSHENG

國籍：(中) 美國

(英) U.S.A.

2. 姓名：(中) 栗國星

(英) LI, GUOXING

國籍：(中) 大陸地區

(英) CHINA

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 ; 2002/05/10 ; 10/142,503 有主張優先權