(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H04L 12/56

(45) 공고일자 1997년07월16일
(11) 공고번호 특1997-0011841
(24) 등록일자 1997년07월16일

(21) 출원번호	특1994-0001855	(65) 공개번호	특1994-0023098
(22) 출원일자	1994년02월02일	(43) 공개일자	1994년10월22일
(30) 우선권주장	8/025,019 1993년03월02일 미국(US)		

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션 윌리엄 티. 엘리스
미합중국 10504 뉴욕주 아몬크
(72) 발명자 블레이크 지. 피치
미합중국 10805 뉴욕주 뉴 로첼리 이카드 레인 1
마크 에드윈 기암파파
미합중국 10533-1240 뉴욕주 어빙톤 에이피티. GT-14 노쓰 브로드웨이 140
더글라스 제이. 죠셉
미합중국 06812 코네티컷주 뉴 페어필드 리타 드라이브 54
(74) 대리인 김성택, 주성민

심사관 : 채종길 (책자공보 제5125호)

(54) 메시지 패킷 전송기

요약

없음.

대표도

도1

명세서

[발명의 명칭]

메시지 패킷 전송기

[도면의 간단한 설명]

제1도는 본 발명에 따른 메시지 패킷 송신기의 예시적인 블럭도.

제2도는 제1도의 메시지 패킷 전송기용 선입선출 전자 메모리(a first-in, first-out electronic memory)에 대한 예시적인 블럭도.

제3도는 제1도의 메시지 패킷 전송기용 상태 제어기의 상태도에 대한 예시도.

제4도는 제1도의 상태 제어기에 대한 예시적인 블럭도.

제5도는 제1도의 메시지 패킷 전송기의 메시지 패킷 통과 식별 회로에 대한 예시적인 블럭도.

제6도는 제1도의 메시지 패킷 통과 식별 회로의 '원 숏(one shot)' 회로에 대한 예시적인 블럭도.

제7도는 제1도의 메시지 패킷 전송기의 상태 제어기에 대한 다른 예시적인 블럭도.

제8도는 제7도의 상태 제어기의 비-충만-패킷-인-메모리 신호(a non-full-packet-in-memory signal) 생성 회로에 대한 예시적인 블럭도.

제9도는 제1도의 메시지 패킷 전송기의 인터럽트 논리 회로에 대한 예시적인 블럭도.

* 도면의 주요부분에 대한 부호의 설명

10 : 선입선출 전자 메모리12 : 메시지 데이타 입력

14 : 메시지 데이타 출력16 : 메시지 패킷 통과 식별 회로

18 : 상태 제어기22 : 전송 상태 입력

24 : 메모리-내용-상태 입력26 : 메모리 셀 어레이

28 : 어드레스 입력30 : 어드레스 디코더 및 비교기

32 : 기록 어드레스 카운터34 : 판독 어드레스 카운터

36 및 38 : 선발 입력42,52 및 108 : 지연 래치

44 : 전송 상태46 : 휴지 상태

66 : 패킷 통과 카운터68 : 데이타 입력

75 및 102 : 원 숏 회로88 : 업/다운 카운터

94 : 다운 카운터104 : 인터럽트 논리 회로

106 : 데이타 원114 : 디코더

[발명의 상세한 설명]

본 발명은 통신망을 통해 전자 데이타 신호의 패킷을 전송하는 것과 같은 전자 메시지 패킷 전송기(electronic message packet transmitters)에 관한 것이다.

패킷-스위치 통신망에서, 메시지의 출발지로부터 메시지의 종착지까지의 경로는 전송되고 있는 각 메시지 패킷용 통신망에서 만들어진다. (통신망의 인접하는 스위치를 연결하는)통신 경로의 각 세그먼트는 상기 세그먼트를 통해 패킷 내의 첫번째 데이타 신호를 전송함으로서 개방된다. 각 통신 경로의 세그먼트는 세그먼트의 수신단에 있는 장치가 패킷의 마지막 데이타 신호를 수신함으로서 폐쇄된다. 메시지 패킷을 위한 통신 경로의 세그먼트가 개방되면, 다른 어떠한 메시지도 상기 경로의 세그먼트를 통해 전달(travel)될 수 없다.

통신망을 통해 메시지 패킷 내 데이타 신호의 단지 일부분만을 전송한 후 메시지 전송기가 교착 상태로 될 때, 통신망상의 데이타 신호는 통신망을 통해 메시지 종착지로 전달됨으로서 부수적인 통신 경로 세그먼트를 개방시키게 된다. 그러나, 패킷의 마지막 데이타 신호가 통신망을 통해 아직 전송되지 않고 있기 때문에, 개방된 경로 세그먼트의 어떠한 것도 폐쇄되지 않는다. 결국, 메시지 패킷에 의해 개방된 경로 세그먼트의 수는 늘어날 수 있다(예를들어, 메시지 패킷의 데이타 신호 수 보다 크게). 더우기, 메시지 패킷에 의해 개방된 경로 세그먼트는 다른 메시지에 의해 사용될 수 없기 때문에, 통신망의 이용도가 크게 떨어질 수 있다. 최악의 경우, 부분적으로 전송되는 두개 이상의 메시지 사이에 교착 상태가 발생하여 메시지가 완전하게 전송되지 못하게 할 수 있다.

본 발명의 목적은 통신망을 통해 일부의 메시지 패킷이 전달된 후 교착됨이 없이 완전한 메시지 패킷을 전달하는 전자 메시지 전송기를 제공하는 것이다.

본 발명의 다른 목적은 인터럽트가 걸려있는 동안에는 통신망을 통해 메시지 패킷의 전송을 개시하지 않는 전자 메시지 전송기를 제공하는 것이다.

본 발명에 따른 메시지 패킷 전송기는 적어도 한 메시지 패킷의 적어도 일부를 형성하는 복수개의 전자 데이타 신호를 저장하기 위한 선입선출 전자 메모리를 구비한다. 각 메시지 패킷은 첫번째 전자 데이타 신호와 마지막 전자 데이타 신호를 구비한다. 상기 전자 메모리는 전자 데이타 신호를 수신하기 위한 메시지 데이타 입력과, 전자 데이타 신호를 출력하기 위한 메시지 데이타 출력을 갖는다. 상기 전자 메모리는 그 내부에 기억되어 있는 전자 데이타 신호가 메시지 데이타 출력에서 출력되는 전송 상태와, 그 내부에 기억되어 있는 전자 데이타 신호가 메시지 데이타 출력에서 출력되지 않는 휴지 상태를 갖는다.

메시지 패킷 통과 식별 회로(A message packet-in-transit identification circuit)는 전자 메모리가 메시지 패킷의 첫번째 전자 데이타 신호를 출력한 후 패킷 통과 신호(a packet-in-transit signal)를 발생한다. 상기 패킷 통과 식별 회로는 전자 메모리가 메시지 패킷의 마지막 전자 데이타 신호를 출력한 후 패킷 통과 불가신호(a no-packet-in-transit signal)를 발생한다.

상태 제어기는 인터럽트 신호를 수신하기 위한 인터럽트 입력과, 패킷 통과 신호를 수신하기 위한 전송 상태 입력을 갖는다. 상기 상태 제어기는 전자 메모리가 적어도 일부의 메시지 패킷을 저장하고 있으며, 상태 제어기의 전송 상태 입력이 패킷 통과 신호를 수신하며 그리고 상태 제어기의 인터럽트 입력이 인터럽트계류 신호를 수신할 때 전자 메모리를 전송 상태로 유지시킨다.

상기 선입선출 전자 메모리는 예를 들어, 선입선출 전자 메모리가 적어도 한 메시지 패킷의 적어도 일부를 포함할때 패킷-인-메모리 신호(a packet-in-memory signal)를 발생할 수 있다. 상기 상태 제어기는 패킷-인-메모리 신호(a packet-in-memory signal)를 수신하기 위한 메모리-내용-상태 입력(a memory-content-status input)을 가질 수 있다.

본 발명의 일면에 따르면, 상태 제어기는 상태 제어기의 메모리-내용-상태 입력이 패킷-인-메모리 신호를 수신하고, 상태 제어기의 전송 상태 입력이 패킷 통과 신호를 수신하며 그리고 상태 제어기의 인터럽트 입력이 인터럽트 계류 신호를 수신할 때 상기 전자 메모리를 휴지 상태로부터 전송 상태로 전환시킨다.

바람직하게, 상기 상태 제어기는 상태 제어기의 메모리-내용-상태 입력이 패킷-인-메모리 신호를 수신하고, 상태 제어기의 전송 상태 입력이 패킷 통과 신호를 수신하며 그리고 상태 제어기의 인터럽트 입력이 인터럽트 무계류 신호 또는 인터럽트 계류 신호를 수신할 때 상기 전자 메모리를 전송 상태로 유지시킨다.

본 발명의 다른 면에 따르면, 상기 상태 제어기는 상태 제어기는 전송 상태 입력이 패킷 무통과 신호(a no-packet-in-transit signal)를 수신하고, 상태 제어기의 인터럽트 신호가 인터럽트 무계류 신호(a no-interrupt-pending signal)를 수신할 때 상기 전자 메모리를 전송 상태로부터 휴지 상태로 전환시킨다.

상기 상태 제어기는 바람직하게 전자 메모리가 휴지 상태에 있을 때, 상태 제어기의 전송 상태 입력이 패킷 무통과 신호를 수신하고 그리고 상태 제어기의 인터럽트 입력이 인터럽트 계류 신호를 수신할 때 전자 메모리를 휴지 상태로 유지시킨다.

상기 상태 제어기는 바람직하게 상태 제어기의 메모리-내용-상태 입력이 패킷-인-메모리 신호를 수신하고, 상태 제어기의 인터럽트 입력이 인터럽트 무계류 신호를 수신할 때 상기 전자 메모리를 휴지

상태로 부터 전송 상태로 전환시킨다.

본 발명에 따른 상기 메시지 패킷 전송기는 전자 메모리의 메시지 데이타 입력에 일련의 전자 데이타 신호를 공급하기 위한 제1상태를 갖는 데이타원을 부가적으로 구비할 수 있다. 또한 상기 데이타원은 전자 메모리의 메시지 데이타 입력에 전자 데이타 신호를 공급하지 않기 위한 제2상태를 갖는다. 상기 상태 제어기는 상태 제어기의 인터럽트 입력이 인터럽트 계류 신호를 수신하고, 상태 제어기의 전송 상태 입력이 패킷 무통과 신호를 수신할 때 상기 데이타원을 제1상태로부터 제2상태로 전환시킨다.

상기 상태 제어기는 바람직하게 상기 데이타원이 제1상태에 있을 때 그리고 상태 제어기의 전송 상태 입력이 패킷 통과 신호를 수신하고 상태 제어기의 인터럽트 입력이 인터럽트 신호를 수신할 때 상기 데이타원을 제1상태로 유지시킨다.

본 발명의 한 면에 따르면, 각 메시지 패킷의 상기 첫번째 전자 데이타 신호는 메시지 패킷의 전자 데이타 신호수를 나타내는 길이 신호(a length signal)를 구비한다. 상기 메시지 패킷 통과 식별 회로는 전자 메모리에 의해 출력되지 않은 메시지 패킷의 전자 데이타 신호수를 나타내는 패킷 통과 신호를 발생하기 위한 패킷 통과 카운터를 구비한다.

전자 메모리가 메시지 패킷의 첫번째 전자 데이타 신호를 출력한 후 패킷 통과 신호를 발생하기 위한 메시지 패킷 통과 식별 회로를 갖는 메시지 패킷 전송기를 제공함으로써 그리고 전자 메모리가 적어도 일부의 메시지 패킷을 저장하며 있으며, 상태 제어기의 전송 상태 입력이 패킷 통과 신호를 수신하고, 상태 제어기의 인터럽트 입력이 인터럽트 계류 신호를 수신할 때 전자 메모리를 전송 상태로 유지하기 위한 상태 제어기를 제공함으로써, 통신망을 통해 일부의 메시지 패킷이 전달된 후 교착됨이 없이 전송된 메시지 패킷이 완전한 메시지 패킷을 전송할 수 있도록 보장할 것이다.

전자 메모리가 휴지 상태에 있으며, 상태 제어기의 전송 상태 입력이 패킷 무통과 신호를 수신하고, 상태 제어기의 인터럽트 입력이 인터럽트 계류 신호를 수신할 때, 상태 제어기가 전자 메모리를 휴지 상태로 유지시키는 메시지 패킷 전송기를 제공함으로써, 인터럽트가 걸려있는 동안에는 메시지 패킷 전송기가 통신망을 통해 메시지의 전송을 시작하지 못하게 보장할 것이다.

제1도는 본 발명에 따른 메시지 패킷 전송기의 예시적인 블럭도이다. 상기 메시지 패킷 전송기는 적어도 한 메시지 패킷의 적어도 일부를 형성하는 복수개의 전자 데이타 신호를 저장하기 위한 선입선출 전자 메모리(10)를 구비한다. 각 메시지 패킷은 첫번째 전자 데이타 신호와 마지막 전자 데이타 신호를 구비한다. 상기 전자 메모리(10)는 전자 데이타 신호를 수신하기 위한 메시지 데이타 입력(12)을 갖는다. 또한 상기 전자 메모리(10)는 전자 데이타 신호를 출력하기 위한 메시지 데이타 출력(14)을 갖는다.

상기 전자 메모리(10)는 그 내부에 기억되어 있는 전자 데이타 신호가 메시지 데이타 출력(14)에서 출력되는 전송 상태를 갖는다. 또한 전자 메모리(10)는 그 내부에 기억되어 있는 전자 데이타 신호가 메시지 데이타 출력(14)에서 출력되지 않는 휴지 상태를 갖는다.

상기 메시지 패킷 전송기는 메시지 패킷 통과 식별 회로(16)를 더 구비한다. 상기 메시지 패킷 통과 식별 회로(16)는 전자 메모리(10)가 메시지 패킷의 첫번째 전자 데이타 신호를 출력한 후 패킷 통과 신호를 발생한다. 상기 패킷 통과 식별 회로(16)는 또한 전자 메모리(10)가 메시지 패킷의 마지막 전자 데이타 신호를 출력한 후 패킷 무통과 신호를 발생한다.

본 발명에 따른 상기 메시지 패킷 전송기는 상태 제어기(18)를 더 구비한다. 상기 상태 제어기(18)는 인터럽트 계류 신호를 수신하기 위한 인터럽트 입력(20)을 갖는다. 또한 상기 상태 제어기(18)는 패킷 통과 신호를 수신하기 위한 전송 상태 입력(22)을 갖는다. 상기 상태 제어기(18)는 전자 메모리(10)가 적어도 일부의 메시지 패킷을 저장하고 있으며, 상태 제어기(18)의 전송 상태 입력(22)이 패킷 통과 신호를 수신하며 그리고 상태 제어기(18)의 인터럽트 입력(20)이 인터럽트 계류 신호를 수신할 때 전자 메모리(10)를 전송 상태로 유지시킨다.

상기 선입선출 전자 메모리(10)는 예를 들어, 선입선출 전자 메모리(10)가 적어도 한 메시지 패킷의 적어도 일부를 포함하고 있을 때 패킷-인-메모리 신호를 발생할 수 있다. 상기 상태 제어기(18)는 패킷-인-메모리 신호를 수신하기 위한 메모리-내용-상태 입력(24)을 갖는다.

제2도는 선입선출 전자 메모리(10)에 대한 예시적인 블럭도이다. 상기 전자 메모리(10)는 메시지 데이타 입력(12)에 연결되어 있으며 메시지 데이타 출력(14)에 연결되어 있는 메모리 셀 어레이(26)를 구비한다. 상기 메모리 셀 어레이(26)는 어드레스 디코더 및 비교기(30)로부터 어드레스를 수신하는 어드레스 입력(28)을 갖는다.

상기 어드레스 디코더 및 비교기(30)는 기록 어드레스 카운터(32)로부터 기록 어드레스를 수신하고, 판독 어드레스 카운터(34)로부터 판독 어드레스를 수신한다. 만약 메모리 셀 어레이(26)가 단일 포트 어레이라면, 상기 판독 및 기록 어드레스는 어드레스 디코더 및 비교기(30)에 일시에 한개의 어드레스를 공급할 수 있도록 시간적으로 멀티플렉스된다. 만약 상기 메모리 셀 어레이(26)가 듀얼 포트 어레이라면, 판독 및 기록 어드레스가 동시에 인가되어, 메시지 데이타가 출력되는 것과 동일한 시간에 메시지 데이타가 입력될 수 있다.

상기 기록-어드레스 카운터(32)와 상기 판독-어드레스 카운터(34)는 각각 선발 입력(advance inputs)(36과 38)을 갖는다. 메모리 셀 어레이(26)가 비게 되면, 마운터(32와 34) 모두는 메모리 셀 어레이(26)의 동일한 장소를 가리킨다. 메시지 데이타 신호가 메시지 데이타 입력(12)에 나타나고 기록 인에이블 신호가 선발 입력(36)에 나타나면, 상기 메시지 데이타 신호는 기록 어드레스 카운터(32)에 의해 식별된 지점의 메모리 셀 어레이(26)에 기억되며, 다음에 기록 어드레스 카운터(32)는 메모리 셀 어드레스(26)의 다음 메모리 지점의 어드레스로 전진된다.

상태 제어신호가 판독 어드레스 카운터(34)의 선발 입력(38)에 나타나면, 판독 어드레스 카운터(34)의 내용에 의해 식별된 지점의 메모리 셀 어레이(26)에 기억된 메시지 데이타가 메시지 데이타 출력(14)으로 출력되고, 기록 인에이블 신호는 기록 인에이블선(4)으로 출력되며, 판독 어드레스 카운터(34)는 메모리

셀 어레이(26)의 다음 메모리 지점으로 전진된다.

어드레스 디코더 및 비교기(30)는 기록 어드레스 카운터(32)로부터의 기록 어드레스를 판독 어드레스 카운터(34)로부터의 판독 어드레스와 비교하여, 선입선출 메모리(10)가 적어도 한 메시지 패킷의 적어도 일부를 포하하고 있을 때 패킷-인-메모리 신호를 발생한다. 상기 패킷-인-메모리 신호는 지연 래치(42)에 의해 래치될 수 있다. 지연을 보상하기 위해, 상기 어드레스 디코더 및 비교기는 판독 어드레스가 기록 어드레스의 한 메모리 지점안에서 전진할 때 무패킷-인-메모리 신호를 발생할 수 있다. 상기 기록 어드레스 카운터(32)와 판독 어드레스 카운터(34)는 카운팅 업 또는 카운팅 다운함으로서 전진할 수 있다.

제3도는 제1도의 상태 제어기(18)의 상태도에 대한 예시도이다. 본 예에서, 상태 제어기(18)는 선입선출 전자 메모리(10)의 전송 상태를 대응하는 전송 상태(44)를 가지며, 선입선출 전자 메모리(10)의 휴지 상태에 대응하는 휴지 상태(46)를 갖는다. 제3도에 도시된 바와 같이, 상태 제어기는 상태 제어기(18)의 메모리-내용-상태입력(24)이 패킷-인-메모리 신호를 수신하고, 상태 제어기(18)의 전송 상태입력(22)이 패킷 통과 신호를 수신하며, 상태 제어기(18)의 인터럽트 입력(20)이 인터럽트 계류 신호를 수신할 때 상기 전자 메모리를 휴지 상태(46)로부터 전송 상태(44)로 전환시킨다.

상기 상태 제어기(18)는 상태 제어기(18)의 메모리-내용-상태입력(24)이 패킷-인-메모리 신호를 수신하고, 상태 제어기(18)의 전송 상태 입력(22)이 패킷 통과 신호를 수신하며, 상태 제어기(18)의 인터럽트 입력이 인터럽트 계류 신호 또는 인터럽트 무계류 신호를 수신할 때 상기 전자 메모리(10)를 전송 상태로 유지시킨다.

제3도로부터, 또한 상기 상태 제어기(18)는 상태 제어기(18)의 전송 상태 입력(22)이 패킷 무통과 신호를 수신하고, 상태 제어기(18)의 인터럽트 입력(20)이 인터럽트 계류 신호 또는 인터럽트 무계류 신호를 수신할 때 상기 전자 메모리(10)를 전송 상태(44)로부터 휴지 상태(46)로 전환시킨다는 것을 알 수 있다.

상기 상태 제어기(18)는 전자 메모리(10)가 휴지 상태에 있으며, 상태 제어기(18)의 전송 상태 입력(22)이 패킷 무통과 신호를 수신하고, 상태 제어기(18)의 인터럽트 입력(20)이 인터럽트 계류 신호를 수신할 때 상기 전자 메모리(10)를 휴지 상태(46)로 유지시킨다.

또한 상기 상태 제어기(18)는 상태 제어기(18)의 메모리-내용-상태 입력(24)이 패킷-인-메모리 신호를 수신하고, 상태 제어기(18)의 인터럽트 입력(20)이 인터럽트 무계류 신호를 수신할 때 상기 전자 메모리(10)를 휴지 상태(46)로부터 전송 상태(44)로 전환시킨다.

제4도는 상태 및 천이가 제3도의 상태도에 도시되어 있는 상태 제어기(18)의 예에 대한 블럭도이다. 제4도에 도시된 바와 같이, 상태 제어기는 상태 제어 신호 출력(48)를 가지며, 인터럽트 디스에이블 신호 출력(50)을 갖는다. 지연 래치(52), OR 게이트(54) 및 NOR 게이트(56)로서, 패킷 통과 신호(PIT=1)가 NOR 게이트(56)의 한 입력에 인가되면 출력(50)에 인터럽트 디스에이블 신호(Q=1)가 발생되며, 반전된 인터럽트 디스에이블 신호(Q=0)가 NOR 게이트(56)의 다른 입력에 인가된다. 패킷 무통과 신호(PIT=0)가 NOR 게이트(56)에 인가될 때에만 인터럽트 디스에이블 신호가 $\overline{Q}$=1로부터 $\overline{Q}$=0로 전환될 것이다(인터럽트 인에이블).

출력(50)에 인터럽트-무-디스에이블 신호($\overline{Q}$=0)가 존재할 때, OR 게이트(60)의 한 입력에 인터럽트 계류 IP=1가 나타나지 않거나 또는 인버터(62)에 무-패킷-인 메모리 신호(PIM=0)가 나타나지 않는 한 인터럽트-무-디스에이블 신호는 $\overline{Q}$=0으로 남게될 것이다. 그러나, 인터럽트 디스에이블 신호($\overline{Q}$=1)가 출력(50)에 나타날 때, OR 게이트(60)의 한 입력에 인터럽트 계류 신호(IP=1)가 나타나거나 인버터(62)에 무-패킷-인 메모리 신호(PIM=0)가 나타날 때 AND 게이트(58)의 한 입력에서 반 인터럽트 디스에이블 신호(Q=0)는 $\overline{Q}$=1을 유지시킨다.

출력(48)의 상태 제어 신호는 '1'의 값을 가지며, 반전된 인터럽트 디스에이블 신호(Q=0)가 NOR 게이트(64)의 한 입력에 나타나며, 반전된 패킷-인-메모리 신호($\overline{\mathrm{PIM}}$=0)가 NOR 게이트(64)의 다른 입력에 나타날 때에만 전송 상태를 나타낸다. 출력(48)의 상태 제어 신호가 전송 상태를 나타내는 '1'의 값을 나타날 때, 제2도의 전자 메모리(10)의 판독 어드레스 카운터(38)는 각 판독 사이클과 함께 전진하며, 전자 메모리(10)의 기록 인에이블선(40)에는 기록 인에이블 신호가 공급된다.

제5도는 메시지 패킷 통과 식별 회로(16)에 대한 예시적인 블럭도이다. 상기 메시지 패킷 통과 식별 회로(16)는 데이타 입력(68), 8-비트 카운트 출력(70), 적재 인에이블 입력(72) 및 감소 인에이블 입력(74)을 갖는 패킷 통과 카운터(66)를 구비한다. 전자 메모리(10)로부터 출력되는 각 메시지 데이타 신호는 또한 패킷 통과 카운터(66)의 데이타 입력(68)상에 나타난다. '원 숏(one shot)' 회로(75)는 '원 숏' 회로(75)의 입력에서 인터럽트 디스에이블 신호가 '0'으로부터 '1'로 변할 때에만 패킷 통과 카운터(66)의 적재 인에이블 입력(72)으로 한 사이클의 적재 신호를 공급한다. 그래서 '원 숏' 회로(75)에 의한 적재 신호의 발생은 메모리(10)에서 나오는 새로운 메시지 패킷의 첫번째 데이타 신호 출력과 일치한다. 각 메시지 패킷에 메시지 패킷의 길이와 같은 값을 갖는 첫번째 전자 데이타 신호를 공급함으로써, 패킷 통과 카운터(66)는 패킷 길이와 같은 초기의 카운트로서 적재된다.

그 다음에, 패킷-인-메모리 신호(PIM=1)가 패킷 통과 카운터(66)의 감소 인에이블 입력(74)에 나타나는 각 사이클동안, 카운트는 1씩 감소된다. OR 게이트(76)는 카운터(66)의 값이 제로가 아닌 한 패킷 통과 신호(PIT=1)를 발생한다.

제6도는 제5도의 '원 숏' 회로(76)에 대한 예시적인 블럭도이다. 도시된 바와같이, 지연 래치(80), AND

게이트(82) 및 인버터(84)는 '원 숏' 회로가 현재 사이클에서 '원 숏' 회로의 입력이 '1'일 때 그리고 바로 이전 사이클에서 '원 숏' 회로의 입력이 '제로'일 때에만 '1'을 출력하도록 보장한다.

제7도에 제1도의 상태 제어기(18)의 다른 예시적인 블럭도이다. 제7도에 도시된 상태 제어기는 AND 게이트(58)을 제외하고는 제4도에 도시된 상태 제어기와 동일하다. 비-충만-패킷-인-메모리 신호는 AND 게이트(58)의 제3입력에 인가된다. [메모리(10)로부터 부분적으로 전송된 임의의 메시지 패킷과 메모리(10)에 의해 부분적으로 수신된 임의의 메시지 패킷 이외에]전자 메모리(10)에 충만 메시지 패킷이 존재할 때에는, OR 게이트(60)의 한 입력인 인터럽트 계류 신호는 인터럽트 디스에이블 신호가 $\overline{Q}$ =0으로부터 $\overline{Q}$ =1로 전환되는 것을 막지 않으며, 그래서 상태 제어기가 휴지 상태(46)로부터 전송 상태(44)로 전환하는 것을 막지 않는다.

제8도는 제7도의 상태 제어기를 위한 비-충만-패킷-인-메모리 신호 발생회로에 대한 예시적인 블럭도이다. 업/다운 카운터(88)는 전자 메모리(10)에 기억되어 있는 충만 메시지 패킷의 수와 같은 값을 갖는다. NOR 게이트(90)는 카운터(88)의 값이 제로일 때 비-충만-패킷-인-메모리를 나타내는 '1' 신호를 출력한다. 상기 업/다운 카운터(88)는 예를 들어, 4비트 카운터일 수 있다.

메시지 패킷의 첫번째 데이타 신호가 전자 메모리(10)로부터 판독될 때마다, 상태 제어기(18)(제4도 및 제7도)의 인터럽트 디스에이블 신호는 '0'으로부터 '1'로 변한다. '원 숏' 회로(92)의 입력에 인터럽트 디스에이블 신호를 공급함으로서, 업/다운 카운터(88)의 감소 입력에 감소 신호가 인가되어 카운트가 1씩 감소된다.

새로운 메시지 패킷의 첫번째 데이타 신호가 데이타원으로부터 전자 메모리(10)에 입력되며, 데이타원이 기록 인에이블 신호를 공급할 때, '패킷 길이를 나타내는' 첫번째 데이타 신호의 값은 다운 카운터(94)에 기록된다. 초기에, 다운 카운터(94)는 제로의 값을 갖는다. NOR 게이트(96)과 AND 게이트(98)로서, 데이타원이 기록 인에이블 신호를 공급할 때, 상기 다운 카운터(94)는 다운 카운터(94)의 데이타 입력에 메시지 패킷의 첫번째 데이타 신호가 나타남과 동시에 적재 인에이블 된다.

그 다음에, 다운 카운터(94)의 카운트값이 제로가 아닐 때, NOR 게이트(96)와 AND 게이트(100)는 다운 카운터(94)로 하여금 데이타원이 기록 인에이블 신호를 공급하는 각 사이클동안 감소하게 한다. 모든 메시지 패킷이 전자 메모리(10)로 적재되면, 다운 카운터(94)의 카운트는 '1'로부터 '0'으로 변하며, NOR 게이트(96)의 출력은 '0'으로부터 '1'로 변하며 그리고 '원 숏' 회로(102)는 업/다운 카운터(88)로 하여금 1씩 증가하게 한다.

다시 제1도와 관련하여, 메시지 패킷 전송기는 인터럽트 논리 회로(104)와 데이타원(106)을 더 구비한다. 상기 데이타원은 전자 메모리에 메시지 데이타 입력에 일련의 전자 데이타 신호를 공급하기 위한 제1상태를 갖는다. 또한 상기 데이타원은 전자 메모리의 메시지 데이타 입력에 전자 데이타 신호를 공급하기 않기 위한 제2상태를 갖는다. 인터럽트 논리 회로(104)에 의해, 상기 상태 제어기(18)는 상태 제어기(18)의 인터럽트 입력(20)이 인터럽트 계류 신호를 수신할 때 그리고 상태 제어기(18)의 전송 상태 입력(22)이 패킷 무통과 신호를 수신할 때 상기 데이타원(106)를 제1상태로부터 제2상태로 전환시킨다.

상기 상태 제어기(18)는 데이타원(106)이 제1상태에 있을 때, 상태 제어기(18)의 전송 상태 입력(22)이 패킷 통과 신호를 수신할 때 그리고 상태 제어기(18)의 인터럽트 입력(20)이 인터럽트 신호를 수신할 때 상기 데이타원(106)을 제1상태로 유지시킨다.

상기 데이타원(106)은 예를 들어, 선정된 어드레스에 데이타 신호를 기록하는 마이크로프로세서일 수도 있다.

제9도는 제1도의 인터럽트 논리 회로(104)의 예시적인 블럭도이다. 지연 래치(108), AND 게이트(110) 및 NAND 게이트(112)로서, 인터럽트 논리 회로(104)의 입력에 인가된 인터럽트 신호는 인터럽트 디스에이블 신호 또는 비-충만-패킷-인-메모리 신호 중 한개 또는 이들 모두 '0'의 값을 가질 때 인터럽트 논리 회로(104)의 출력에 의해 데이타원(106)에 인가된다. 디코더(114)는 인터럽트 신호가 인터럽트 논리 회로(104)의 입력에 나타날 때 인터럽트 계류 신호를 발생한다.

제9도의 인터럽트 논리 회로(104)와 제7도의 향상된 상태 제어기를 결합시킴으로써, 전자 메모리(10)로부터 현재 전송되고 있는 메시지 패킷 이외에, 메모리(10)에 기억되어 있는 적어도 한개의 충만 메시지 패킷이 존재하는 한, 메시지 패킷이 전자 메모리(10)로부터 전송되는 동안 인터럽트는 데이타원(106)으로 전달된다.

(57) 청구의 범위

청구항 1

메시지 패킷 전송기에 있어서, 적어도 하나의 메시지 패킷-각 메시지 패킷은 첫번째 전자 데이타 신호와 마지막 전자 데이타 신호를 구비함-의 적어도 일부를 형성하는 복수개의 전자 데이타 신호를 저장하고, 데이타원(source)으로부터 전자 데이타 신호를 수신하기 위한 메시지 데이타 입력과 전자 데이타 신호를 통신망상으로 출력하기 위한 메시지 데이타 출력을 갖는 선입선출 전자 메모리(first-in, first-out electronic memory)-상기 선입 선출 전자 메모리는 자신이 적어도 하나의 메시지 패킷의 적어도 일부를 포함할 때 패킷-인-메모리(packet-in-memory) 신호를 발생시키고, 그 내부에 기억되어 있는 전자 데이타 신호가 메시지 데이타 출력에서 출력되는 전송 상태, 및 그 내부에 기억되어 있는 전자 데이타 신호가 메시지 데이타 출력에서 출력되지 않는 휴지 상태를 가짐-, 상기 전자 메모리의 메시지 데이타 출력에 접속되고 상기 전자 메모리가 메시지 패킷으로 첫번째 전자 데이타 신호를 출력한 후 패킷 통과 신호(packet-in-transit signal)를 발생하기 위한 패킷-인-메모리 신호를 수신하고, 전자 메모리가 메시지 패킷으로 마지막 전자 데이타 신호를 출력한 후 패킷 무통과 신호(no-packet-in-transit signal)를 발생하는 메시

지 패킷 통과 식별 회로(message packet-in-transit identification circuit), 및 상기 메시지 패킷 통과 식별 회로 및 상기 선입 선출 전자 메모리에 접속되고 상기 데이타원에 대한 인터럽트 신호에 응답하여 발생된 인터럽트 계류 신호(interrupt-pending signal)를 수신하기 위한 인터럽트 입력을 갖고 메시지 패킷 통과 식별 회로로부터 패킷 통과 신호를 수신하기 위한 전송 상태 입력과 상기 선입 선출 전자 메모리로부터 패킷-인-메모리 신호를 수신하기 위한 메모리-내용-상태 입력을 가지는 상태 제어기(state controller)를 포함하고, 상기 상태 제어기는 메시지 패킷 전송기가 메시지 패킷의 일부가 통신망으로 전송된 후에 스톨링(stalling)없이 완전한 메시지 패킷을 전송하도록 상기 전자 메모리가 메시지 패킷의 적어도 일부를 저장하고 상태 제어기의 인터럽트 입력이 인터럽트 계류 신호를 수신하지만 상태 제어기의 전송 상태 입력이 패킷 통과 신호를 수신할 때 상기 전자 메모리를 전송 상태로 유지하고, 상기 메시지 전송기가 인터럽트가 계류중인 동안 메시지 패킷을 통신망으로 전송하기 시작하지 않도록 상태 제어기의 인터럽트 입력이 인터럽트 계류 신호를 수신하고 상태 제어기의 전송 상태 입력이 패킷 무통과 신호를 메시지 패킷 통과 식별 회로로부터 수신할 때 전자 메모리를 휴지 상태(idle state)로 유지하기 위해 상기 전자 메모리에 상태 제어 신호를 출력하고, 상태 제어기의 메모리-내용-상태 입력이 패킷-인-메모리 신호를 수신하며, 상태 제어기의 전송 상태 입력이 패킷 통과 신호를 수신하며 그리고 상태 제어기의 인터럽트 입력이 인터럽트 계류 신호를 수신할 때 상기 전자 메모리를 휴지 상태로부터 전송 상태로 전환시키고 상태 제어기의 메모리-내용-상태 입력이 패킷-인-메모리 신호를 수신하며, 상태 제어기의 전송 상태 입력이 패킷 통과 신호를 수신하며 그리고 상태 제어기의 인터럽트 입력이 인터럽트 무계류 신호(no-interrupt-pending signal)를 수신할 때 상기 전자 메모리를 전송 상태로 유지시키는 메시지 패킷 전송기.

청구항 2

제1항에 있어서, 상기 상태 제어기는 상태 제어기의 전송 상태 입력이 패킷 무통과 신호를 수신하며, 상태 제어기의 인터럽트 입력이 인터럽트 계류 신호를 수신할 때 상기 전자 메모리를 전송 상태로부터 휴지 상태로 전환시키는 것을 특징으로 하는 메시지 패킷 전송기.

청구항 3

제2항에 있어서, 상기 상태 제어기는 상태 제어기의 전송 상태 입력이 패킷 무통과 신호를 수신하며, 상태 제어기의 인터럽트 입력이 인터럽트 무계류 신호를 수신할 때 상기 전자 메모리를 전송상태로부터 휴지 상태로 전환시키는 것을 특징으로 하는 메시지 패킷 전송기.

청구항 4

제3항에 있어서, 상기 상태 제어기는 상태 제어기의 메모리-내용-상태 입력이 패킷-인-메모리 신호를 수신하며, 상태 제어기의 인터럽트 입력이 인터럽트 무계류 신호를 수신할 때 상기 전자 메모리를 전송상태로부터 휴지 상태로 전환시키는 것을 특징으로 하는 메시지 패킷 전송기.

청구항 5

제4항에 있어서, 상기 메시지 패킷 전송기는, 일련의 전자 데이타 신호를 전자 메모리의 메시지 데이타 입력으로 공급하기 위한 제1상태와 전자 데이타 신호를 전자 메모리의 메시지 데이타 입력으로 공급하지 않기 위한 제2상태를 갖는 데이타원을 더 구비하며, 상기 상태 제어기는 상태 제어기의 인터럽트 입력이 인터럽트 계류 신호를 수신하고, 상태 제어기의 전송 상태 입력이 패킷 무통과 신호를 수신할 때 상기 데이타원을 제1상태로부터 제2상태로 전환시키는 것을 특징으로 하는 메시지 패킷 전송기.

청구항 6

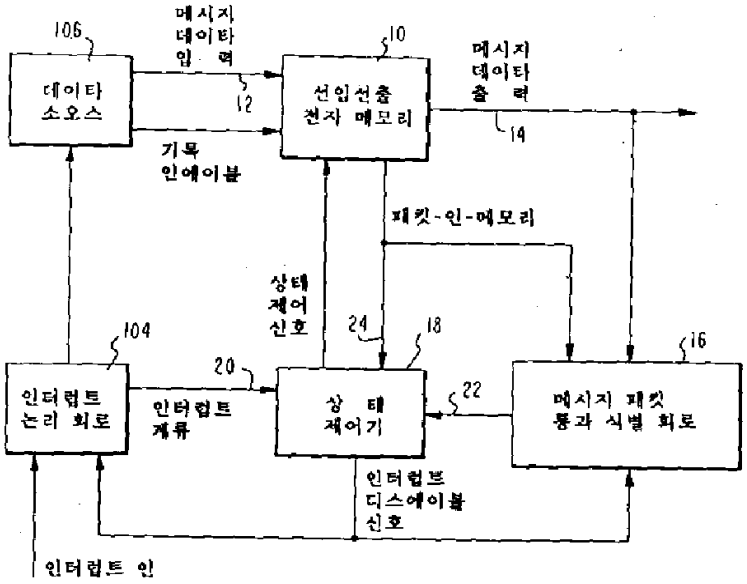
제5항에 있어서, 상기 상태 제어기는 데이타원이 제1상태에 있으며, 상태 제어기의 전송 상태 입력이 패킷 통과 신호를 수신하며, 상태 제어기의 인터럽트 입력이 인터럽트 신호를 수신할 때 상기 데이타원을 제1상태로 유지시키는 것을 특징으로 하는 메시지 패킷 전송기.

청구항 7

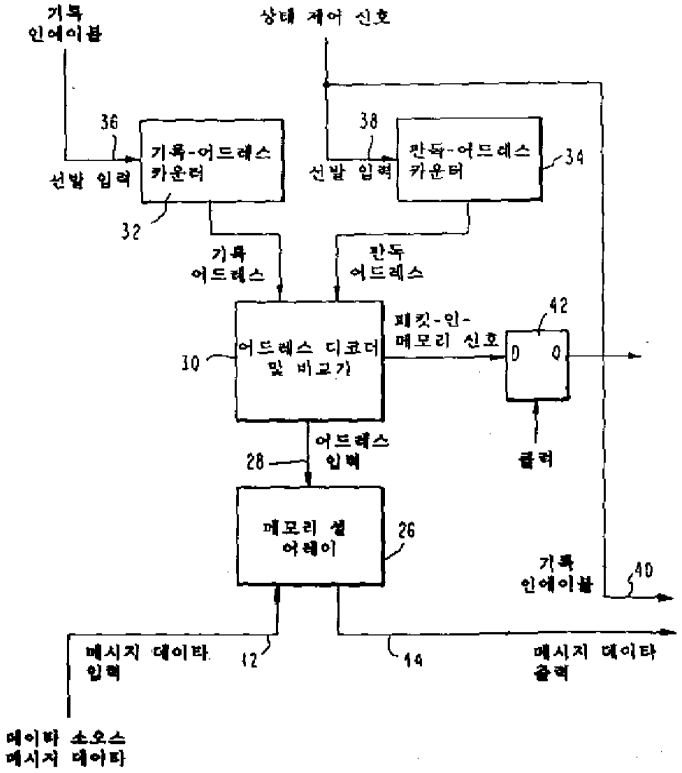
제6항에 있어서, 각 메시지 패킷의 상기 첫번째 전자 데이타 신호는 메시지 패킷의 전자 데이타 신호의 수를 나타내는 길이 신호(lenght signal)를 구비하며, 상기 메시지 패킷 통과 식별 회로는 전자 메모리에 의해 출력되지 않은 메시지 패킷의 전자 데이타 신호의 수를 나타내는 패킷 통과 신호를 발생하기 위한 패킷 통과 카운터를 구비하는 것을 특징으로 하는 메시지 패킷 전송기.

도면

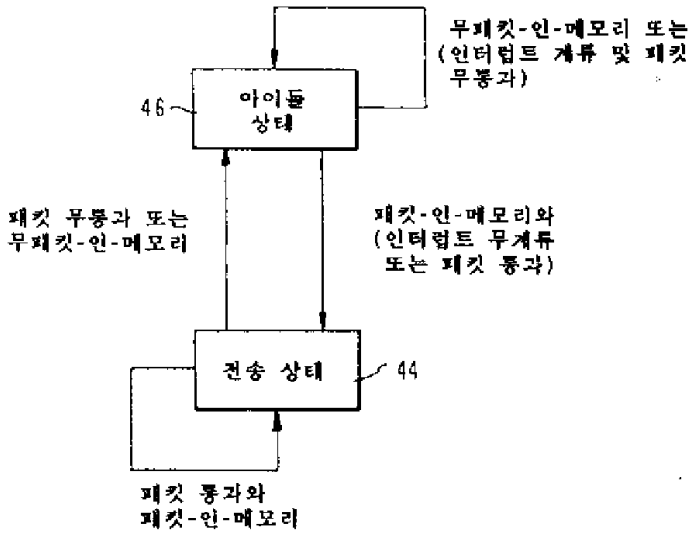
도면1


106
데이타 소오스
메시지 데이타 입력
12
기록 인에이블
10
선입선출 전자 메모리
메시지 데이타 출력
14
패킷-인-메모리
상태 제어 신호
24
18
16
104
인터럽트 논리 회로
20
인터럽트 개류
상 태 제어기
22
메시지 패킷 통과 식별 회로
인터럽트 디스에이블 신호
인터럽트 인

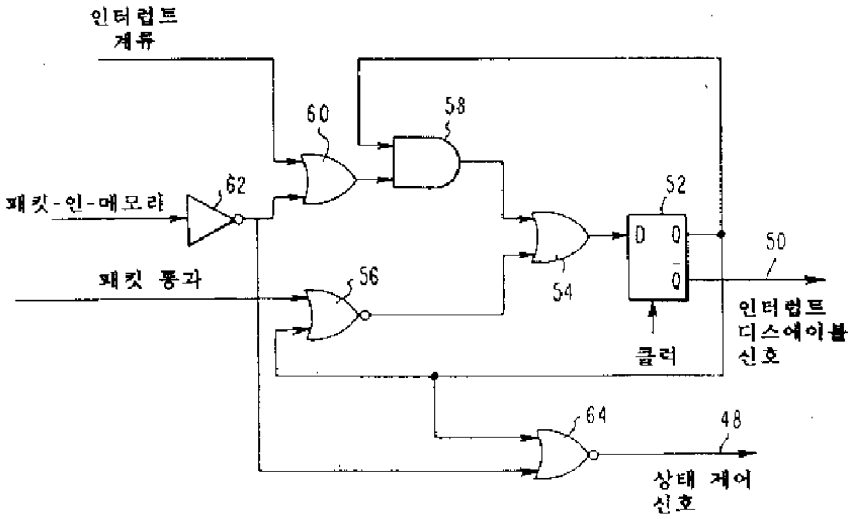
도면2


기록 인에이블
상태 제어 신호
36
선발 입력
기록-어드레스 카운터
38
선발 입력
판독-어드레스 카운터
34
32
기록 어드레스
판독 어드레스
42
패킷-인-메모리 신호
D Q
30
어드레스 디코더 및 비교기
클럭
어드레스 입력
28
메모리 셀 어레이
26
기록 인에이블
40
메시지 데이타 입력
12
14
메시지 데이타 출력
데이타 소오스 메시지 데이타

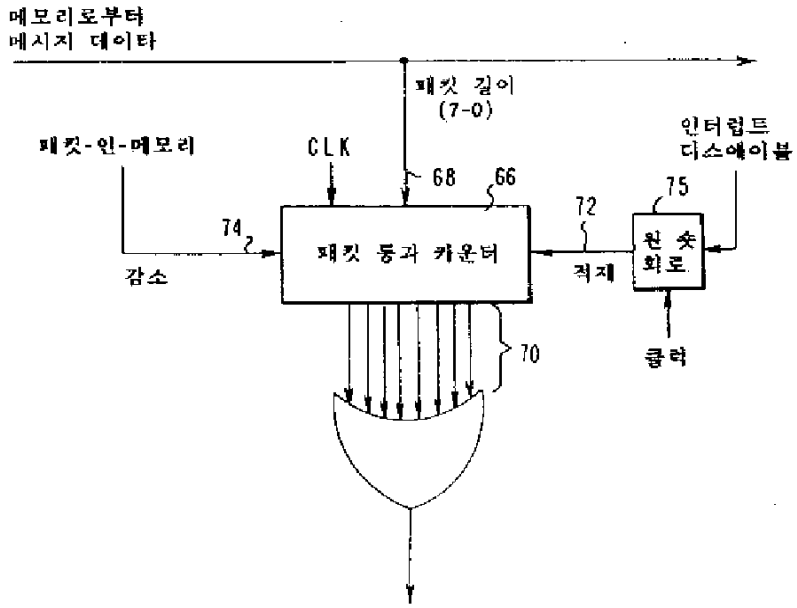
도면3


무패킷-인-메모리 또는
(인터럽트 계류 및 패킷
무통과)
46
아이들
상태
패킷 무통과 또는
무패킷-인-메모리
패킷-인-메모리와
(인터럽트 무계류
또는 패킷 통과)
전송 상태
44
패킷 통과와
패킷-인-메모리

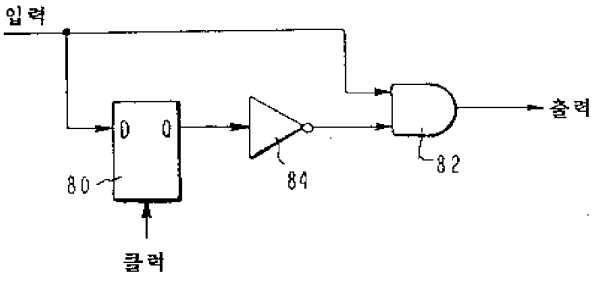
도면4


인터럽트
계류
60
58
패킷-인-메모리
62
52
D
Q
Q
50
패킷 통과
56
54
인터럽트
디스에이블
신호
클럭
64
48
상태 제어
신호

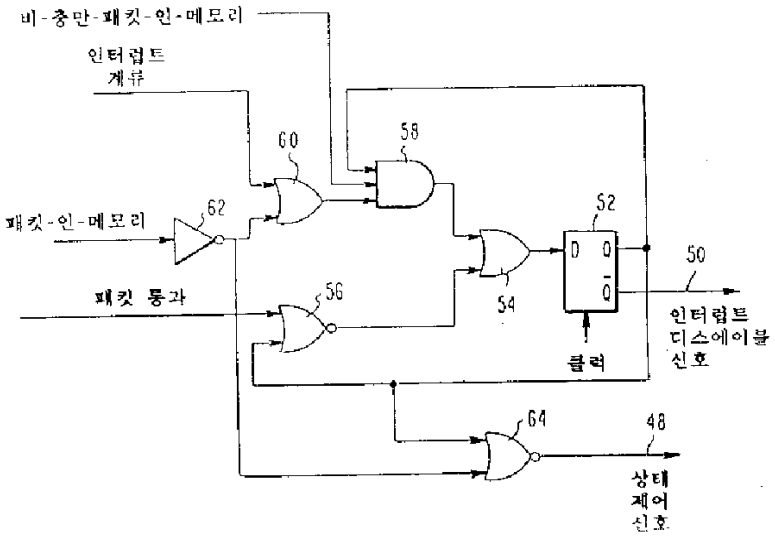
도면5


메모리로부터
메시지 데이타
패킷 길이
(7-0)
패킷-인-메모리
CLK
인터럽트
디스에이블
68
66
75
72
74
패킷 통과 카운터
원 숏
회로
감소
적재
70
클럭

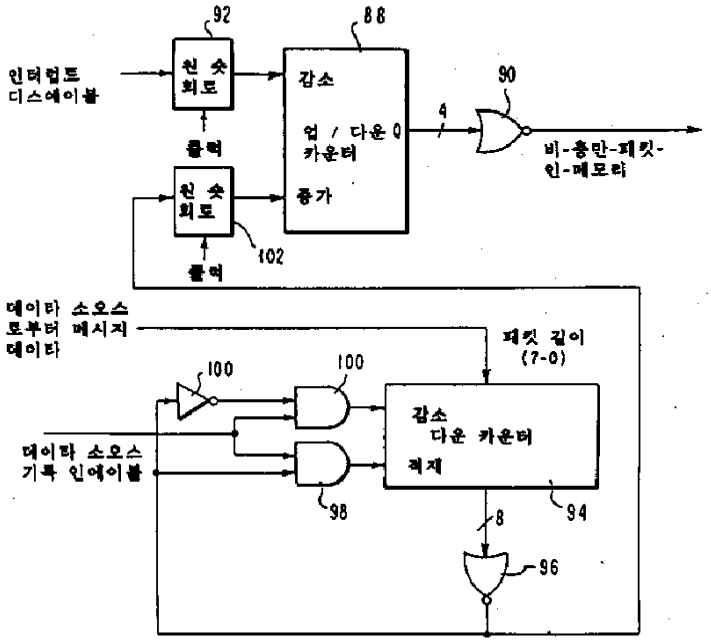
도면6


입력
D Q
출력
80
84
82
클럭

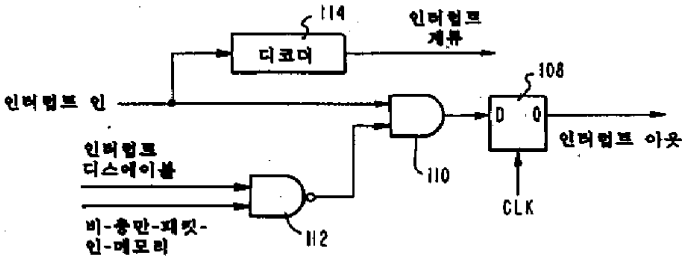
도면7


비-충만-패킷-인-메모리
인터럽트
계류
60
58
패킷-인-메모리
62
52
D Q
50
패킷 통과
56
54
인터럽트
디스에이블
신호
클럭
64
48
상태
제어
신호

도면8


92
88
인터럽트
디스에이블
원 숏
회로
감소
업 / 다운 0
카운터
증가
90
4
비-충만-피킷-
인-메모리
클럭
원 숏
회로
102
클럭
데이타 소오스
로부터 메시지
데이타
피킷 길이
(7-0)
100
100
감소
다운 카운터
레지
데이타 소오스
기록 인에이블
98
94
8
96

도면9


114
디코더
인터럽트
계류
108
인터럽트 인
D
Q
인터럽트 아웃
인터럽트
디스에이블
110
CLK
비-충만-피킷-
인-메모리
112