

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 2 区分
 【発行日】平成 17 年 9 月 2 日 (2005.9.2)

【公開番号】特開 2002-175028 (P2002-175028A)
 【公開日】平成 14 年 6 月 21 日 (2002.6.21)
 【出願番号】特願 2001-227219 (P2001-227219)

【国際特許分類第 7 版】

G 0 9 F 9/30
 G 0 9 F 9/00
 H 0 1 L 21/336
 H 0 1 L 21/8238
 H 0 1 L 27/08
 H 0 1 L 27/092
 H 0 1 L 29/786
 // G 0 2 F 1/1368

【F I】

G 0 9 F 9/30 3 3 8
 G 0 9 F 9/30 3 3 0 Z
 G 0 9 F 9/00 3 4 8 C
 H 0 1 L 27/08 3 3 1 E
 H 0 1 L 29/78 6 1 6 V
 H 0 1 L 29/78 6 1 2 B
 H 0 1 L 29/78 6 1 6 A
 H 0 1 L 27/08 3 2 1 E
 G 0 2 F 1/1368

【手続補正書】
 【提出日】平成 17 年 2 月 25 日 (2005.2.25)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】特許請求の範囲
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路は、第 1 の半導体層、ゲート絶縁膜および第 1 のゲート電極で形成される n チャネル型薄膜トランジスタと、第 2 の半導体層、前記ゲート絶縁膜および第 2 のゲート電極で形成される p チャネル型薄膜トランジスタと、を有し、

前記画素部は、第 3 の半導体層、前記ゲート絶縁膜および第 3 のゲート電極で形成される薄膜トランジスタを有し、

前記第 1 の半導体層、前記第 2 の半導体層および前記第 3 の半導体層は、それぞれチャネル形成領域、ソース領域およびドレイン領域を有し、

前記第 1 のゲート電極は、テーパー部を有することを特徴とする半導体装置。

【請求項 2】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路は、第 1 の半導体層、ゲート絶縁膜および第 1 のゲート電極で形成される n チャネル型薄膜トランジスタと、第 2 の半導体層、前記ゲート絶縁膜および第 2 のゲート電極で形成される p チャネル型薄膜トランジスタと、を有し、

前記画素部は、第3の半導体層、前記ゲート絶縁膜および第3のゲート電極で形成される薄膜トランジスタを有し、

前記第1の半導体層、前記第2の半導体層および前記第3の半導体層は、それぞれチャンネル形成領域、ソース領域、ドレイン領域および低濃度不純物領域を有し、

前記第1のゲート電極は、テーパ部を有することを特徴とする半導体装置。

【請求項3】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路は、第1の半導体層、ゲート絶縁膜および第1のゲート電極で形成されるnチャンネル型薄膜トランジスタと、第2の半導体層、前記ゲート絶縁膜および第2のゲート電極で形成されるpチャンネル型薄膜トランジスタと、を有し、

前記画素部は、第3の半導体層、前記ゲート絶縁膜および第3のゲート電極で形成される薄膜トランジスタを有し、

前記第1の半導体層は、チャンネル形成領域、ソース領域、ドレイン領域および前記ゲート絶縁膜を介して前記第1のゲート電極と重なるよう形成された低濃度不純物領域を有し

、
前記第2の半導体層および前記第3の半導体層は、それぞれチャンネル形成領域、ソース領域、ドレイン領域および低濃度不純物領域を有し、

前記第1のゲート電極は、テーパ部を有することを特徴とする半導体装置。

【請求項4】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路部は、第1の半導体層、ゲート絶縁膜および第1のゲート電極で形成されるnチャンネル型薄膜トランジスタと、第2の半導体層、前記ゲート絶縁膜および第2のゲート電極で形成されるpチャンネル型薄膜トランジスタと、を有し、

前記画素部は、第3の半導体層、前記ゲート絶縁膜および第3のゲート電極で形成される薄膜トランジスタを有し、

前記第1のゲート電極はテーパ部を有し、

前記第1の半導体層は、前記ゲート絶縁膜を介して一部が前記第1のゲート電極と重なるように形成された低濃度不純物領域を有し、

前記第2の半導体層および前記第3の半導体層は、それぞれ前記ゲート絶縁膜を介して前記第2のゲート電極および前記第3のゲート電極と重ならないように形成された低濃度不純物領域を有することを特徴とする半導体装置。

【請求項5】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路は、第1の半導体層、ゲート絶縁膜および第1のゲート電極で形成されるnチャンネル型薄膜トランジスタと、第2の半導体層、前記ゲート絶縁膜および第2のゲート電極で形成されるpチャンネル型薄膜トランジスタと、を有し、

前記画素部は、第3の半導体層、前記ゲート絶縁膜および第3のゲート電極で形成される薄膜トランジスタを有し、

前記第1のゲート電極、第2のゲート電極および第3のゲート電極は第1の導電膜と第2の導電膜との積層からなり、

前記第1のゲート電極は、前記第1の導電膜よりも前記第2の導電膜のチャンネル長方向の長さが長くなるように形成され、且つテーパ部を有し、

前記第1の半導体層は、前記ゲート絶縁膜を介して一部が前記第1の導電膜と重なるように形成された低濃度不純物領域を有し、

前記第2のゲート電極および前記第3のゲート電極は、それぞれ前記第1の導電膜と前記第2の導電膜のチャンネル長方向の長さが同じになるように形成され、

前記第2の半導体層および前記第3の半導体層は、それぞれ前記ゲート絶縁膜を介して前記第1の導電膜と重ならないように形成された低濃度不純物領域を有することを特徴とする半導体装置。

【請求項6】

請求項 1 乃至請求項 5 のいずれか一において、

前記駆動回路の有する n チャンネル型薄膜トランジスタの第 1 のゲート電極、p チャンネル型薄膜トランジスタの第 2 のゲート電極および前記画素部の有する TFT の第 3 のゲート電極は、Ta、W、Ti、Mo、Al または Cu から選ばれた元素、前記元素を主成分とする合金材料もしくは化合物材料からなることを特徴とする半導体装置。

【請求項 7】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路部は、第 1 の半導体層、ゲート絶縁膜および第 1 のゲート電極で形成される n チャンネル型薄膜トランジスタと、第 2 の半導体層、前記ゲート絶縁膜および第 2 のゲート電極で形成される第 1 の p チャンネル型薄膜トランジスタと、第 3 の半導体層、前記ゲート絶縁膜、第 3 のゲート電極で形成される第 2 の p チャンネル型薄膜トランジスタと、を有し、

前記第 1 のゲート電極および前記第 3 のゲート電極は第 1 の導電膜と第 2 の導電膜との積層からなり、

前記第 1 のゲート電極はテーパ部を有し、

前記第 1 の半導体層および前記第 3 の半導体層は、チャンネル形成領域、ソース領域、ドレイン領域および前記ゲート絶縁膜を介して前記第 1 の導電膜と重なるように形成された低濃度不純物領域を有し、

前記第 2 の半導体層は、前記第 2 のゲート電極とチャンネル長方向の長さが同じであるチャンネル形成領域、ソース領域、ドレイン領域および低濃度不純物領域を有することを特徴とする半導体装置。

【請求項 8】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路部は、第 1 の半導体層、ゲート絶縁膜および第 1 のゲート電極で形成される n チャンネル型薄膜トランジスタと、第 2 の半導体層、前記ゲート絶縁膜および第 2 のゲート電極で形成される第 1 の p チャンネル型薄膜トランジスタと、第 3 の半導体層、前記ゲート絶縁膜および第 3 のゲート電極とで形成される第 2 の p チャンネル型薄膜トランジスタと、を有し、

前記第 1 のゲート電極および第 3 のゲート電極は第 1 の導電膜と第 2 の導電膜との積層からなり、

前記第 1 のゲート電極はテーパ部を有し、

前記第 1 の半導体層および前記第 3 の半導体層は、それぞれチャンネル形成領域、ソース領域、ドレイン領域および前記ゲート絶縁膜を介して前記第 1 の導電膜と重なるように形成された低濃度不純物領域を有し、

前記第 2 の半導体層は、チャンネル形成領域、ソース領域、ドレイン領域、低濃度不純物領域およびオフセット領域を有することを特徴とする半導体装置。

【請求項 9】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路は、第 1 の半導体層、ゲート絶縁膜および第 1 のゲート電極で形成される n チャンネル型薄膜トランジスタと、第 2 の半導体層、前記ゲート絶縁膜および第 2 のゲート電極で形成される第 1 の p チャンネル型薄膜トランジスタと、第 3 の半導体層、前記ゲート絶縁膜および第 3 のゲート電極で形成される第 2 の p チャンネル型薄膜トランジスタと、を有し、

前記第 1 のゲート電極は第 1 の導電膜と第 2 の導電膜との積層からなり、且つテーパ部を有し、

前記第 1 の半導体層は、チャンネル形成領域、ソース領域、ドレイン領域および前記ゲート絶縁膜を介して一部が前記第 1 の導電膜と重なるように形成された低濃度不純物領域を有し、

前記第 2 の半導体層および前記第 3 の半導体層は、それぞれチャンネル形成領域、ソース領域、ドレイン領域および低濃度不純物領域を有することを特徴とする半導体装置。

【請求項 10】

請求項 7 乃至請求項 9 のいずれかーにおいて、

前記駆動回路の有する n チャンネル型薄膜トランジスタの第 1 のゲート電極、前記第 1 の p チャンネル型薄膜トランジスタの第 2 のゲート電極および前記第 2 の p チャンネル型薄膜トランジスタの第 3 のゲート電極は、Ta、W、Ti、Mo、Al または Cu から選ばれた元素、前記元素を主成分とする合金材料もしくは化合物材料からなることを特徴とする半導体装置。

【請求項 11】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路は、第 1 の半導体層、ゲート絶縁膜および第 1 のゲート電極で形成される n チャンネル型薄膜トランジスタと、第 2 の半導体層、前記ゲート絶縁膜および第 2 のゲート電極で形成される第 1 の p チャンネル型薄膜トランジスタと、第 3 の半導体層、前記ゲート絶縁膜および第 3 のゲート電極で形成される第 2 の p チャンネル型薄膜トランジスタと、を有し、

前記画素部は、第 4 の半導体層、前記ゲート絶縁膜および第 4 のゲート電極で形成される薄膜トランジスタを有し、

前記第 1 の半導体層、前記第 2 の半導体層、前記第 3 の半導体層および前記第 4 の半導体層は、それぞれチャンネル形成領域、ソース領域およびドレイン領域を有し、

前記第 1 のゲート電極は、テーパ部を有することを特徴とする半導体装置。

【請求項 12】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路は、第 1 の半導体層、ゲート絶縁膜および第 1 のゲート電極で形成される n チャンネル型薄膜トランジスタと、第 2 の半導体層、前記ゲート絶縁膜および第 2 のゲート電極で形成される第 1 の p チャンネル型薄膜トランジスタと、第 3 の半導体層、前記ゲート絶縁膜および第 3 のゲート電極で形成される第 2 の p チャンネル型薄膜トランジスタと、を有し、

前記画素部は、第 4 の半導体層、前記ゲート絶縁膜および第 4 のゲート電極で形成される薄膜トランジスタを有し、

前記第 1 の半導体層、前記第 2 の半導体層、前記第 3 の半導体層および前記第 4 の半導体層は、それぞれチャンネル形成領域、ソース領域、ドレイン領域および低濃度不純物領域を有し、

前記第 1 のゲート電極は、テーパ部を有することを特徴とする半導体装置。

【請求項 13】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路は、第 1 の半導体層、ゲート絶縁膜および第 1 のゲート電極で形成される n チャンネル型薄膜トランジスタと、第 2 の半導体層、前記ゲート絶縁膜および第 2 のゲート電極で形成される第 1 の p チャンネル型薄膜トランジスタと、第 3 の半導体層、前記ゲート絶縁膜および第 3 のゲート電極で形成される第 2 の p チャンネル型薄膜トランジスタと、を有し、

前記画素部は、第 4 の半導体層、前記ゲート絶縁膜および第 4 のゲート電極で形成される薄膜トランジスタを有し、

前記第 1 の半導体層は、チャンネル形成領域、ソース領域、ドレイン領域および前記ゲート絶縁膜を介して前記第 1 のゲート電極と重なるよう形成された低濃度不純物領域を有し、

前記第 2 の半導体層、前記第 3 の半導体層および前記第 4 の半導体層は、それぞれチャンネル形成領域、ソース領域、ドレイン領域および低濃度不純物領域を有し、

前記第 1 のゲート電極は、テーパ部を有することを特徴とする半導体装置。

【請求項 14】

同一基板上に画素部と駆動回路とを有し、

前記駆動回路は、第 1 の半導体層、ゲート絶縁膜および第 1 のゲート電極で形成される

nチャネル型薄膜トランジスタと、第2の半導体層、前記ゲート絶縁膜および第2のゲート電極で形成される第1のpチャネル型薄膜トランジスタと、第3の半導体層、前記ゲート絶縁膜および第3のゲート電極で形成される第2のpチャネル型薄膜トランジスタと、を有し、

前記画素部は、第4の半導体層、前記ゲート絶縁膜および第4のゲート電極で形成される薄膜トランジスタと、保持容量と、を有し、

前記第1のゲート電極および第3のゲート電極は第1の導電膜と第2の導電膜との積層からなり、

前記第1のゲート電極はテーパー部を有し、

前記第1の半導体層および前記第3の半導体層は、それぞれチャネル形成領域、ソース領域、ドレイン領域および前記ゲート絶縁膜を介して前記第1の導電膜と重なるように形成された低濃度不純物領域を有し、

前記第2の半導体層および前記第4の半導体層は、それぞれチャネル形成領域、ソース領域、ドレイン領域、低濃度不純物領域およびオフセット領域を有することを特徴とする半導体装置。

【請求項15】

請求項5乃至14のいずれか一において、

前記第1の導電膜及び前記第2の導電膜は、Ta、W、Ti、Mo、Al、CuまたはPをドーピングした多結晶シリコン膜から選ばれた元素、前記元素を主成分とする合金材料もしくは化合物材料からなることを特徴とする半導体装置。

【請求項16】

請求項11乃至請求項15のいずれか一において、

前記駆動回路の有するnチャネル型薄膜トランジスタの第1のゲート電極、前記第1のpチャネル型薄膜トランジスタの第2のゲート電極、前記第2のpチャネル型薄膜トランジスタの第3のゲート電極および前記画素部の有する薄膜トランジスタの第4のゲート電極は、Ta、W、Ti、Mo、AlまたはCuから選ばれた元素、前記元素を主成分とする合金材料もしくは化合物材料からなることを特徴とする半導体装置。

【請求項17】

請求項1乃至16のいずれか一において、

前記画素部は複数の凸部を有し、

前記画素部に形成された薄膜トランジスタと電氣的に接続されている画素電極は、凹凸であり、

前記画素電極の凹凸の曲率半径は、0.1～0.4μmであり、前記画素電極の凹凸の高さは、0.3～3μmであることを特徴とする半導体装置。

【請求項18】

請求項1乃至17のいずれか一において、

前記画素部に形成された薄膜トランジスタおよび前記凸部を覆う層間絶縁膜は、粘度が10～1000cPの有機樹脂からなることを特徴とする半導体装置。

【請求項19】

請求項1乃至18のいずれか一に記載の半導体装置を表示部に有するパーソナルコンピュータ、ビデオカメラ、モバイルコンピュータ、ゴーグル型ディスプレイ、記録媒体、プロジェクター、携帯電話または電子書籍。

【請求項20】

絶縁表面上に半導体層を形成し、

前記半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第1の導電膜と第2の導電膜とを順次積層して導電層を形成し、

前記導電層上にレジストマスクを形成し、

前記レジストマスクを用いて前記導電層をエッチングして、第1の形状の第1の導電膜と第1の形状の第2の導電膜との積層からなる第1の形状の導電層を形成し、

前記レジストマスク及び前記第1の形状の導電層をマスクとして前記半導体層にn型不

純物元素を添加して第 1 の濃度の不純物領域を形成し、

前記レジストマスクを用いて前記第 1 の形状の導電層をエッチングして、端部にテーパー部を有する第 2 の形状の第 1 の導電膜と第 2 の形状の第 2 の導電膜との積層からなる第 2 の形状の導電層を形成し、

前記レジストマスクおよび前記第 2 の形状の導電層をマスクとして前記半導体層に n 型不純物元素を添加して、前記ゲート絶縁膜を介して前記第 2 の形状の第 1 の導電膜のテーパー部と重なる第 2 の濃度の不純物領域と、前記第 1 の濃度の不純物領域と前記第 2 の不純物領域の間に第 3 の不純物領域を形成し、

前記レジストマスクを除去し、

前記第 2 の形状の第 2 の導電膜をマスクとして前記第 2 の形状の第 1 の導電膜をエッチングして第 3 の形状の第 1 の導電膜と第 3 の形状の第 2 の導電膜との積層からなる第 3 の形状の導電層を形成し、

前記第 3 の形状の導電層をマスクとして前記ゲート絶縁膜をエッチングすることを特徴とする半導体装置の作製方法。

【請求項 2 1】

n チャネル型薄膜トランジスタ及び p チャネル型薄膜トランジスタが形成された駆動回路部を形成する半導体装置の作製方法であって、

絶縁表面上に半導体層を形成し、

前記半導体層上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第 1 の導電膜と第 2 の導電膜とを順次積層して導電層を形成し、

前記導電層上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて前記導電層をエッチングして、第 1 の形状の第 1 の導電膜と第 1 の形状の第 2 の導電膜との積層からなる第 1 の形状の導電層を形成し、

前記第 1 のレジストマスクおよび前記第 1 の形状の導電層をマスクとして、前記半導体層に n 型不純物元素を添加して第 1 の濃度の不純物領域を形成し、

前記第 1 のレジストマスクを用いて前記第 1 の形状の導電層をエッチングして、端部にテーパー部を有する第 2 の形状の第 1 の導電膜と第 2 の形状の第 2 の導電膜との積層からなる第 2 の形状の導電層を形成し、

前記第 1 のレジストマスク及び前記第 2 の形状の導電層をマスクとして前記半導体層に n 型不純物元素を添加して、前記第 2 の形状の第 1 の導電膜のテーパー部と重なる第 2 の濃度の不純物領域と、前記第 1 の濃度の不純物領域と前記第 2 の不純物領域の間に第 3 の不純物領域を形成し、

前記第 1 のレジストマスクを除去し、

前記駆動回路部の n チャネル型薄膜トランジスタを形成する領域に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクが形成されていない領域の前記第 2 の形状の第 2 の導電膜をマスクとして前記第 2 の形状の第 1 の導電膜をエッチングして第 3 の形状の第 1 の導電膜と第 3 の形状の第 2 の導電膜との積層からなる第 3 の形状の導電層を形成し、

前記第 2 のレジストマスクを除去し、

前記第 3 の形状の導電層をマスクとしてゲート絶縁膜をエッチングすることを特徴とする半導体装置の作製方法。

【請求項 2 2】

請求項 1 9 または請求項 2 0 において、前記第 2 の形状の導電層のチャンネル長方向の長さは、前記第 1 の形状の導電層のチャンネル長方向の長さより短くなるよう形成されることを特徴とする半導体装置の作製方法。

【請求項 2 3】

請求項 1 9 乃至請求項 2 1 のいずれか一において、前記第 3 の形状の導電層のチャンネル長方向の長さは、前記第 2 の形状の導電層のチャンネル長方向の長さより短くなるよう形成されることを特徴とする半導体装置の作製方法。

【請求項 2 4】

同一基板上に薄膜トランジスタが形成された画素部と、nチャネル型薄膜トランジスタ、第1のpチャネル型薄膜トランジスタ及び第2のpチャネル型薄膜トランジスタが形成された駆動回路部と、を形成する半導体装置の作製方法であって、

絶縁表面上に非晶質半導体膜を形成し、

前記非晶質半導体膜を結晶化して結晶質半導体膜を形成し、

前記結晶質半導体膜上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第1の導電膜と第2の導電膜とを順次積層して導電層を形成し、

前記導電層上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記導電層をエッチングして第1の形状の第1の導電膜と第1の形状の第2の導電膜との積層からなる第1の形状の導電層を形成し、

前記第1のレジストマスク及び前記第1の形状の導電層をマスクとして、前記結晶質半導体膜にn型不純物元素を添加して第1の濃度の不純物領域を形成し、

前記第1のレジストマスクを用いて前記第1の形状の導電層をエッチングして端部にテーパ部を有する第2の形状の第1の導電膜と第2の形状の第2の導電膜との積層からなる第2の形状の導電層を形成し、

前記第1のレジストマスク及び前記第2の形状の第2の導電膜をマスクとして前記結晶質半導体膜にn型不純物元素を添加して、前記第2の形状の第1の導電膜のテーパ部と重なる第2の濃度の不純物領域を形成し、

前記第1のレジストマスクを除去し、

前記駆動回路のnチャネル型薄膜トランジスタおよび前記画素部の薄膜トランジスタを形成する領域に第2のレジストマスクを形成し、

前記第2のレジストマスクが形成されていない領域の前記第2の形状の導電層をマスクとして前記結晶質半導体膜にp型不純物元素を添加し、前記第2の形状の導電層と重ならない第3の不純物領域と、前記第2の形状の第1の導電膜のテーパ部と重なる第4の濃度の不純物領域を形成し、

前記第2のレジストマスクを除去し、

前記駆動回路のnチャネル型薄膜トランジスタおよび第2のpチャネル型薄膜トランジスタを形成する領域に第3のレジストマスクを形成し、

前記第3のレジストマスクが形成されていない領域の前記第2の形状の導電層をエッチングし、第3の形状の導電層を形成することを特徴とする半導体装置の作製方法。

【請求項25】

同一基板上に薄膜トランジスタが形成された画素部と、nチャネル型薄膜トランジスタ、第1のpチャネル型薄膜トランジスタおよび第2のpチャネル型薄膜トランジスタが形成された駆動回路部と、を形成する半導体装置の作製方法であって、

絶縁表面上に非晶質半導体膜を形成し、

前記非晶質半導体膜を結晶化して結晶質半導体膜を形成し、

前記結晶質半導体膜上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第1の導電膜と第2の導電膜とを順次積層して導電層を形成し、

前記導電層上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて前記導電層をエッチングして第1の形状の第1の導電膜と第1の形状の第2の導電膜との積層からなる第1の形状の導電層を形成し、

前記第1のレジストマスク及び前記第1の形状の導電層をマスクとして、前記結晶質半導体膜にn型不純物元素を添加して第1の濃度の不純物領域を形成し、

前記第1のレジストマスクを用いて前記第1の形状の導電層をエッチングして、端部にテーパ部を有する第2の形状の第1の導電膜と第2の形状の第2の導電膜との積層からなる第2の形状の導電層を形成し、

前記第1のレジストマスク及び前記第2の形状の導電膜をマスクとして前記結晶質半導体膜にn型不純物元素を添加して、前記第2の形状の第1の導電膜のテーパ部と重なる第2の濃度の不純物領域を形成し、

前記第1のレジストマスクを除去し、

前記駆動回路の n チャンネル型薄膜トランジスタおよび前記画素部の薄膜トランジスタを形成する領域に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクが形成されていない領域の前記第 2 の形状の導電層をマスクとして前記結晶質半導体膜に p 型不純物元素を添加し、前記第 2 の形状の導電層と重ならない第 3 の不純物領域と、前記第 2 の形状の第 1 の導電膜のテーパ部と重なる第 4 の濃度の不純物領域を形成し、

前記第 2 のレジストマスクを除去し、

前記駆動回路の n チャンネル型薄膜トランジスタおよび第 2 の p チャンネル型薄膜トランジスタを形成する領域に第 3 のレジストマスクを形成し、

前記第 3 のレジストマスクが形成されていない領域の前記第 2 の形状の導電層をエッチングし、第 3 の形状の導電層を形成することにより、前記画素部の薄膜トランジスタの結晶質半導体膜および前記駆動回路の第 1 の p チャンネル型薄膜トランジスタの結晶質半導体膜にオフセット領域を形成することを特徴とする半導体装置の作製方法。

【請求項 26】

同一基板上に薄膜トランジスタが形成された画素部と、n チャンネル型薄膜トランジスタ、第 1 の p チャンネル型薄膜トランジスタ及び第 2 の p チャンネル型薄膜トランジスタが形成された駆動回路部と、を形成する半導体装置の作製方法であって、

絶縁表面上に非晶質半導体膜を形成し、

前記非晶質半導体膜を結晶化して結晶質半導体膜を形成し、

前記結晶質半導体膜上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第 1 の導電膜と第 2 の導電膜とを順次積層して導電層を形成し、

前記導電層上に第 1 のレジストマスクを形成し、

前記第 1 のレジストマスクを用いて導電層をエッチングして第 1 の形状の第 1 の導電膜と第 1 の形状の第 2 の導電膜との積層からなる第 1 の形状の導電層を形成し、

前記第 1 のレジストマスク及び前記第 1 の形状の導電層をマスクとして、前記結晶質半導体膜に n 型不純物元素を添加して第 1 の濃度の不純物領域を形成し、

前記第 1 のレジストマスクを用いて前記第 1 の形状の導電層をエッチングして、端部にテーパ部を有する第 2 の形状の第 1 の導電膜と第 2 の形状の第 2 の導電膜との積層からなる第 2 の形状の導電層を形成し、

前記第 1 のレジストマスクを除去し、

前記駆動回路の n チャンネル型薄膜トランジスタおよび前記画素部の薄膜トランジスタを形成する領域に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクが形成されていない領域の前記第 2 の形状の導電層をマスクとして前記結晶質半導体膜に p 型不純物元素を添加して、前記第 2 の形状の導電層と重ならない第 2 の不純物領域と、前記第 2 の形状の第 1 の導電膜のテーパ部と重なる第 3 の濃度の不純物領域を形成し、

前記第 2 のレジストマスクを除去し、

前記駆動回路の n チャンネル型薄膜トランジスタおよび第 2 の p チャンネル型薄膜トランジスタを形成する領域に第 3 のレジストマスクを形成し、

前記第 3 のレジストマスクが形成されていない領域の前記第 2 の形状の導電層をエッチングして第 3 の形状の導電層を形成し、

前記第 3 のレジストマスクを除去し、

前記第 3 の形状の導電層をマスクとして前記結晶質半導体膜に n 型不純物元素を添加して第 4 の濃度の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項 27】

同一基板上に薄膜トランジスタが形成された画素部と、n チャンネル型薄膜トランジスタ、第 1 の p チャンネル型薄膜トランジスタ及び第 2 の p チャンネル型薄膜トランジスタが形成された駆動回路部と、を形成する半導体装置の作製方法であって、

絶縁表面上に非晶質半導体膜を形成し、

前記非晶質半導体膜を結晶化して結晶質半導体膜を形成し、

前記結晶質半導体膜上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に第１の導電膜と第２の導電膜とを順次積層して導電層を形成し、
前記導電層上に第１のレジストマスクを形成し、
前記第１のレジストマスクを用いて前記導電層をエッチングして、第１の形状の第１の導電膜と第１の形状の第２の導電膜との積層からなる第１の形状の導電層を形成し、
前記第１のレジストマスク及び前記第１の形状の導電層をマスクとして前記結晶質半導体膜にｎ型不純物元素を添加して第１の濃度の不純物領域を形成し、
前記第１のレジストマスクを用いて前記第１の形状の導電層をエッチングし、端部にテーパー部を有する第２の形状の第１の導電膜と第２の形状の第２の導電膜との積層からなる第２の形状の導電層を形成し、
前記第１のレジストマスク及び前記第２の形状の導電膜をマスクとして前記結晶質半導体膜にｎ型不純物元素を添加して、前記第２の形状の第１の導電膜のテーパー部と重なる第２の濃度の不純物領域を形成し、
前記第１のレジストマスクを除去し、
前記駆動回路のｎチャネル型薄膜トランジスタを形成する領域に第２のレジストマスクを形成し、
前記第２のレジストマスクが形成されていない領域の前記第２の形状の導電層をエッチングし、第３の形状の導電層を形成し、
前記第２のレジストマスクを除去し、
前記第２の形状の導電層および前記第３の形状の導電層をマスクとして、薄膜トランジスタ毎に前記ゲート絶縁膜を切断するようにエッチングし、
前記駆動回路のｎチャネル型薄膜トランジスタおよび前記画素部の薄膜トランジスタを形成する領域に第３のレジストマスクを形成し、
前記第３のレジストマスクが形成されていない領域の前記第３の形状の導電層をマスクとして前記結晶質半導体膜にｐ型不純物元素を添加して、第３の不純物領域と、前記第２の濃度の不純物の領域に第４の濃度の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項２８】

同一基板上に薄膜トランジスタが形成された画素部と、ｎチャネル型薄膜トランジスタ、第１のｐチャネル型薄膜トランジスタおよび第２のｐチャネル型薄膜トランジスタが形成された駆動回路部と、を形成する半導体装置の作製方法であって、
絶縁表面上に非晶質半導体膜を形成し、
前記非晶質半導体膜を結晶化して結晶質半導体膜を形成し、
前記結晶質半導体膜上にゲート絶縁膜を形成し、
前記ゲート絶縁膜上に第１の導電膜と第２の導電膜とを順次積層して導電層を形成し、
前記導電層上に第１のレジストマスクを形成し、
前記第１のレジストマスクを用いて前記導電層をエッチングして、第１の形状の第１の導電膜と第１の形状の第２の導電膜との積層からなる第１の形状の導電層を形成し、
前記第１のレジストマスク及び前記第１の形状の導電層をマスクとして、前記結晶質半導体膜にｎ型不純物元素を添加して第１の濃度の不純物領域を形成し、
前記第１のレジストマスクを用いて前記第１の形状の導電層をエッチングして、端部にテーパー部を有する第２の形状の第１の導電膜と第２の形状の第２の導電膜との積層からなる第２の形状の導電層を形成し、
前記第１のレジストマスク及び前記第２の形状の導電膜をマスクとして前記結晶質半導体膜にｎ型不純物元素を添加して、前記第２の形状の第１の導電膜のテーパー部と重なる第２の濃度の不純物領域を形成し、
前記第１のレジストマスクを除去し、
前記駆動回路のｎチャネル型薄膜トランジスタを形成する領域に第２のレジストマスクを形成し、
前記第２のレジストマスクが形成されていない領域の前記第２の形状の導電層をエッチ

ングし、第3の形状の導電層を形成し、

前記第2のレジストマスクを除去し、

前記駆動回路のnチャネル型薄膜トランジスタおよび前記画素部の薄膜トランジスタを形成する領域に第3のレジストマスクを形成し、

前記第3のレジストマスクが形成されていない領域の前記第3の形状の導電層をマスクとして前記結晶質半導体膜にp型不純物元素を添加して、第3の不純物領域と、前記第2の濃度の不純物の領域に第4の濃度の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項29】

同一基板上に薄膜トランジスタが形成された画素部と、nチャネル型薄膜トランジスタ、第1のpチャネル型薄膜トランジスタ及び第2のpチャネル型薄膜トランジスタが形成された駆動回路部と、を形成する半導体装置の作製方法であって、

絶縁表面上に非晶質半導体膜を形成し、

前記非晶質半導体膜を結晶化して結晶質半導体膜を形成し、

前記結晶質半導体膜上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第1の導電膜と第2の導電膜とを順次積層して導電層を形成し、

前記導電層上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて導電層をエッチングして、第1の形状の第1の導電膜と第1の形状の第2の導電膜との積層からなる第1の形状の導電層を形成し、

前記第1のレジストマスク及び前記第1の形状の導電層をマスクとして前記結晶質半導体膜にn型不純物元素を添加して第1の濃度の不純物領域を形成し、

前記第1のレジストマスクを用いて前記第1の形状の導電層を2段階でエッチングして、端部にテーパ部を有する第2の形状の第1の導電膜と端部にテーパ部を有する第2の形状の第2の導電膜との積層からなる第2の形状の導電層を形成し、

前記第1のレジストマスク及び前記第2の形状の導電層をマスクとして前記結晶質半導体膜にn型不純物元素を添加して、前記第2の形状の第1の導電膜のテーパ部と重なる領域と重ならない領域を有する第2の濃度の不純物領域を形成し、

前記第1のレジストマスクを除去し、

前記駆動回路のnチャネル型薄膜トランジスタを形成する領域に第2のレジストマスクを形成し、

前記第2のレジストマスクが形成されていない領域の前記第2の形状の導電層をエッチングし、第3の形状の導電層を形成し、

前記第2のレジストマスクを除去し、

前記駆動回路のnチャネル型薄膜トランジスタおよび前記画素部の薄膜トランジスタを形成する領域に第3のレジストマスクを形成し、

前記第3のレジストマスクが形成されていない領域の前記第3の形状の導電層をマスクとして前記結晶質半導体膜にp型不純物元素を添加して、第3の不純物領域と、前記第2の濃度の不純物の領域に第4の濃度の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項30】

同一基板上に薄膜トランジスタが形成された画素部と、nチャネル型薄膜トランジスタ、第1のpチャネル型薄膜トランジスタ及び第2のpチャネル型薄膜トランジスタが形成された駆動回路部と、を形成する半導体装置の作製方法であって、

絶縁表面上に非晶質半導体膜を形成し、

前記非晶質半導体膜を結晶化して結晶質半導体膜を形成し、

前記結晶質半導体膜上にゲート絶縁膜を形成し、

前記ゲート絶縁膜上に第1の導電膜と第2の導電膜とを順次積層して導電層を形成し、

前記導電層上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて導電層をエッチングして、第1の形状の第1の導電膜と第1の形状の第2の導電膜との積層からなる第1の形状の導電層を形成し、

前記第 1 のレジストマスク及び前記第 1 の形状の導電層をマスクとして前記結晶質半導体膜に n 型不純物元素を添加して第 1 の濃度の不純物領域を形成し、

前記第 1 のレジストマスクを用いて前記第 1 の形状の導電層をエッチングして、端部にテーパー部を有する第 2 の形状の第 1 の導電膜と第 2 の形状の第 2 の導電膜との積層からなる第 2 の形状の導電層を形成し、

前記第 1 のレジストマスク及び前記第 2 の形状の導電層をマスクとして前記結晶質半導体膜に n 型不純物元素を添加して、前記第 2 の形状の第 1 の導電膜のテーパー部と重なる第 2 の濃度の不純物領域を形成し、

前記第 1 のレジストマスクを除去し、

前記駆動回路の n チャネル型薄膜トランジスタおよび前記第 2 の p チャネル型薄膜トランジスタを形成する領域に第 2 のレジストマスクを形成し、

前記第 2 のレジストマスクが形成されていない領域の前記第 2 の形状の導電層をエッチングし、第 3 の形状の導電層を形成し、

前記第 2 のレジストマスクを除去し、

前記駆動回路の n チャネル型薄膜トランジスタおよび前記画素部の薄膜トランジスタを形成する領域に第 3 のレジストマスクを形成し、

前記第 3 のレジストマスクが形成されていない領域の前記第 3 の形状の導電層をマスクとして前記結晶質半導体膜に p 型不純物元素を添加して、第 3 の不純物領域と、前記第 2 の濃度の不純物の領域に第 4 の濃度の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項 3 1】

請求項 2 4 乃至請求項 3 0 のいずれか一において、

前記非晶質半導体膜の結晶化は、レーザー結晶化法、熱結晶化法または結晶化を助長する触媒を用いた結晶化法を用いることを特徴とする半導体装置の作製方法。

【請求項 3 2】

請求項 2 4 乃至請求項 3 1 のいずれか一項において、

前記非晶質半導体膜の結晶化を助長する触媒を用いた結晶化法において、結晶化を助長する触媒元素として、ニッケル (Ni)、鉄 (Fe)、パラジウム (Pd)、スズ (Sn)、鉛 (Pb)、コバルト (Co)、白金 (Pt)、銅 (Cu) または金 (Au) から選ばれた元素を用いることを特徴とする半導体装置の作製方法。

【請求項 3 3】

請求項 2 4 乃至請求項 3 2 のいずれか一項において、

前記非晶質半導体膜を結晶化を助長する触媒を用いた結晶化法において、前記触媒を添加し加熱した後、レーザ光を照射することを特徴とする半導体装置の作製方法。