

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-278658

(P2010-278658A)

(43) 公開日 平成22年12月9日(2010.12.9)

(51) Int.Cl.	F I	テーマコード (参考)
H03B 5/12 (2006.01)	H03B 5/12 G	5J081
	H03B 5/12 B	

審査請求 未請求 請求項の数 12 O L (全 14 頁)

(21) 出願番号	特願2009-128038 (P2009-128038)	(71) 出願人	302062931
(22) 出願日	平成21年5月27日 (2009. 5. 27)		ルネサスエレクトロニクス株式会社
		(74) 代理人	100080816
			弁理士 加藤 朝道
		(72) 発明者	中村 良明
			神奈川県川崎市中原区下沼部 1 7 5 3 番地
			NECエレクトロニクス株式会社内
		Fターム(参考)	5J081 AA02 CC07 CC12 DD04 DD11
			EE02 EE03 EE18 KK02 KK08
			KK22 MM01 MM03

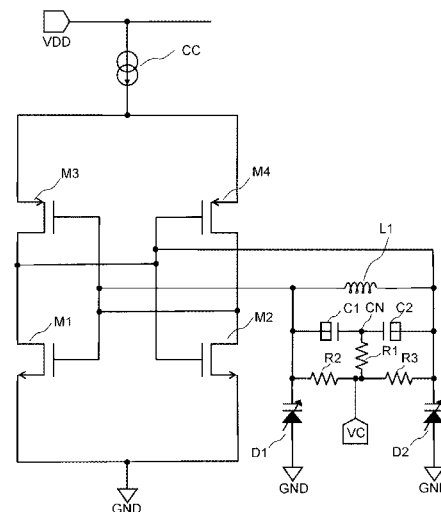
(54) 【発明の名称】 電圧制御発振器

(57) 【要約】

【課題】変調感度が高すぎず、かつ、制御周波数範囲の広い電圧制御発振器を提供する。

【解決手段】構造、容量変化特性が異なる複数種類の可変容量素子が並列に接続され、制御電圧により、複数種類の可変容量素子の容量値を同時に制御するようにした共振部と、共振部による発振を維持するための増幅部とを備える。可変容量素子として、バラクタダイオードとMOSバラクタを用いることができる。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

構造、容量変化特性が異なる複数種類の可変容量素子が並列に接続され、制御電圧により、前記複数種類の可変容量素子の容量値を同時に制御するようにした共振部と、
前記共振部による発振を維持するための増幅部と、
を含むことを特徴とする電圧制御発振器。

【請求項 2】

前記複数種類の可変容量素子が、MOS バラクタと、バラクタダイオードであることを特徴とする請求項 1 記載の電圧制御発振器。

【請求項 3】

インダクタと

前記インダクタの両端と共通ノードとの間にそれぞれ接続された第 1、第 2 の MOS バラクタと、

前記インダクタの両端と電源との間にそれぞれ逆バイアスになるように接続された第 1、第 2 のバラクタダイオードと、

前記共通ノードと電圧制御端子との間に接続された第 1 の抵抗と、

前記インダクタの両端と前記電圧制御端子との間に接続された第 2、第 3 の抵抗と、
を含むことを特徴とする請求項 2 記載の電圧制御発振器。

【請求項 4】

前記電源を高電位電源、低電位電源のうち一方の電源としたときに、

前記高電位電源、低電位電源のうち他方の電源と前記インダクタの両端との間にそれぞれ逆バイアスになるように接続された第 3、第 4 のバラクタダイオードをさらに含むことを特徴とする請求項 3 記載の電圧制御発振器。

【請求項 5】

前記第 1 及び第 2 の MOS バラクタのゲート端子が前記共通ノードに接続されていることを特徴とする請求項 3 又は 4 記載の電圧制御発振器。

【請求項 6】

前記インダクタの両端が前記増幅部の入出力端子に接続されていることを特徴とする請求項 3 乃至 5 いずれか 1 項記載の電圧制御発振器。

【請求項 7】

電源と第 1 ノードとの間に接続された第 1 のインダクタンスと、

前記電源と第 2 ノードとの間に接続された第 2 のインダクタンスと、

電圧制御端子に抵抗を介して接続された第 3 ノードと前記第 1 ノードとの間に逆バイアスになるように接続された第 1 のバラクタダイオードと、

前記第 3 ノードと前記第 2 ノードとの間に逆バイアスになるように接続された第 2 のバラクタダイオードと、

一端がそれぞれ前記第 3 ノードに接続させた第 1 及び第 2 の MOS バラクタと、

前記第 1 の MOS バラクタの他端と前記第 1 ノードとの間に接続された第 1 の固定容量と、

前記第 2 の MOS バラクタの他端と前記第 2 ノードとの間に接続された第 2 の固定容量と、

を含むことを特徴とする請求項 2 記載の電圧制御発振器。

【請求項 8】

前記第 1 及び第 2 の MOS バラクタの他端にそれぞれ固定バイアスが与えられていることを特徴とする請求項 7 記載の電圧制御発振器。

【請求項 9】

前記第 1 及び第 2 の MOS バラクタのゲート端子が前記第 3 ノードに接続されていることを特徴とする請求項 7 又は 8 記載の電圧制御発振器。

【請求項 10】

前記第 1 ノード及び第 2 ノードがそれぞれ前記増幅部の入出力端子に接続されているこ

10

20

30

40

50

とを特徴とする請求項 7 乃至 9 いずれか 1 項記載の電圧制御発振器。

【請求項 1 1】

前記電源が高電位電源であり、前記第 1 のバラクタダイオードのアノードが前記第 3 ノードに、カソードが前記第 1 ノードに接続され、前記第 2 のバラクタダイオードのアノードが前記第 3 ノードに、カソードが前記第 2 ノードに接続されていることを特徴とする請求項 7 乃至 10 いずれか 1 項記載の電圧制御発振器。

【請求項 1 2】

前記電源が低電位電源であり、前記第 1 のバラクタダイオードのアノードが前記第 1 ノードに、カソードが前記第 3 ノードに接続され、前記第 2 のバラクタダイオードのアノードが前記第 2 ノードに、カソードが前記第 3 ノードに接続されていることを特徴とする請求項 7 乃至 10 いずれか 1 項記載の電圧制御発振器。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電圧制御発振器に関する。特に、LC 回路の共振現象を利用した電圧制御発振器に関する。

【背景技術】

【0002】

インダクタの L と、制御電圧によって容量値が変わる可変容量素子 C とを用いた LC 共振部を有する電圧制御発振器が知られている。その電圧制御発振器では、LC 共振部による発振を維持するための増幅部がさらに設けられ、その LC 共振部に用いられる可変容量素子は、バラクタダイオードを用いたものと、MOS バラクタを用いたものがある。

20

【0003】

また、バラクタダイオードの他に MOSFET を可変容量として用いた電圧制御発振器が特許文献 1 に記載されている。特許文献 1 の電圧制御発振器では、LC 共振器回路部が、インダクタンス部と容量部と制御電圧端子とを有し、容量部は、直列接続されたバラクタダイオードと MOSFET を備え、制御電圧端子がバラクタダイオードのカソードと MOSFET のゲートに接続され、制御電圧端子に印加される制御電圧により、容量を従来より大きく変化させることができると特許文献 1 には記載されている。

【先行技術文献】

30

【特許文献】

【0004】

【特許文献 1】特開 2008 - 118550 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

以下の分析は本発明により与えられる。電圧制御発振器の共振部は、電圧制御端子に与える電圧により制御可能な制御周波数範囲が広いことが好ましい。また、制御電圧の全範囲（例えば、電圧制御発振器に供給される高電位電源電圧と低電位電源電圧の範囲内）において、周波数の変化が直線的であることが理想である。その周波数の変化率（変調感度）が一部の領域で高すぎることは好ましくない。可変容量素子としてバラクタダイオードを用いた場合には、周波数の変化は MOS バラクタに比べて直線的であるが、制御周波数範囲が狭い。一方、MOS バラクタを用いた場合には、制御周波数範囲は広く取れるが、直線性が得られず、一部の領域で変調感度が高すぎる場合がある。

40

【課題を解決するための手段】

【0006】

本発明の 1 つの側面による電圧制御発振器は、構造、容量変化特性が異なる複数種類の可変容量素子が並列に接続され、制御電圧により、前記複数種類の可変容量素子の容量値を同時に制御するようにした共振部と、前記共振部による発振を維持するための増幅部と、を含む。

50

【発明の効果】

【0007】

本発明によれば、複数種類の可変容量素子を並列に接続し、それら複数種類の可変容量素子の容量値を同時に制御するようにした共振部を備えるので、各可変容量素子の長所を生かし、欠点を抑制した電圧制御発振器が得られる。

【0008】

特に並列に接続する可変容量素子として、MOSバラクタとバラクタダイオードを用いた場合には、制御周波数範囲が広く、かつ、変調感度が高すぎる領域の存在しない電圧制御発振器が得られる。

【図面の簡単な説明】

10

【0009】

【図1】本発明の実施例1による電圧制御発振器のブロック図である。

【図2】実施例1の変形例1による電圧制御発振器のブロック図である。

【図3】実施例1の変形例2による電圧制御発振器のブロック図である。

【図4】MOSバラクタの印加電圧対容量値の変化特性である。

【図5】バラクタダイオードの印加電圧対容量値の変化特性である。

【図6】比較例1の電圧制御発振器のブロック図である。

【図7】比較例2の電圧制御発振器のブロック図である。

【図8】実施例1と比較例1及び比較例2の制御電圧対発振周波数特性を比較した図である。

20

【図9】実施例1と特許文献1に記載の従来技術による電圧制御発振器の制御電圧対発振周波数特性を比較した図である。

【図10】実施例1と比較例1及び比較例2の制御電圧対変調感度特性を比較した図である。

【図11】実施例1と特許文献1に記載の従来技術による電圧制御発振器の制御電圧対変調感度特性を比較した図である。

【図12】本発明の実施例2による電圧制御発振器のブロック図である。

【図13】本発明の実施例3による電圧制御発振器のブロック図である。

【発明を実施するための形態】

【0010】

30

最初に本発明の概要について、必要に応じて図面を参照して説明する。なお、概要の説明において引用する図面及び図面の符号は実施形態の一例として示すものであり、それにより本発明による実施形態のバリエーションを制限するものではない。

【0011】

本発明の一実施形態の電圧制御発振器1は、例えば、図1～図3、図12、図13に示すように、構造、容量変化特性が異なる複数種類の可変容量素子（バラクタダイオードD1～D4とMOSバラクタC1、C2）が並列に接続され、（電圧制御端子VCから与えられる）制御電圧により、複数種類の可変容量素子（C1、C2、D1～D4）の容量値を同時に制御するようにした共振部と、共振部による発振を維持するための増幅部（M1～M4、CC）と、を含む。複数種類の可変容量素子を並列に接続し、制御電圧により複数種類の可変容量素子を同時に制御するので、各可変容量素子の長所を生かし、欠点を抑制した電圧制御発振器が得られる。

40

【0012】

また、一実施形態の電圧制御発振器1は、複数種類の可変容量素子が、MOSバラクタと、バラクタダイオードである。MOSバラクタは、制御電圧がMOSトランジスタの閾値付近であると容量値が大きく変化するが、制御電圧が閾値から離れると印加電圧に対する容量値の変化率は著しく鈍くなる。特に、用途によっては、閾値付近での変調感度が高すぎる場合がある。一方、バラクタダイオードは、MOSバラクタに比べて広い電圧範囲で直線に近い印加電圧対容量値の変化特性を有する。ただし、容量変化率が小さいので、制御周波数範囲が狭くなる。上記構成により、MOSバラクタとバラクタダイオードを並

50

列に接続し、MOSバラクタとバラクタダイオードの容量値を同時に制御するようにしたので、制御周波数範囲が広く、かつ、変調感度が高すぎる領域の存在しない電圧制御発振器が得られる。

【0013】

また、一実施形態の電圧制御発振器1は、例えば図1～3のように、インダクタL1と、インダクタL1の両端と共通ノードCNとの間にそれぞれ接続された第1、第2のMOSバラクタ(C1、C2)と、インダクタL1の両端と電源(GND、VDD)との間にそれぞれ逆バイアスになるように接続された第1、第2のバラクタダイオード(D1、D2)と、共通ノードCNと電圧制御端子VCとの間に接続された第1の抵抗R1と、インダクタL1の両端と電圧制御端子VCとの間に接続された第2、第3の抵抗(R2、R3)と、を含む。

10

【0014】

また、一実施形態の電圧制御発振器1は、例えば図3のように、上記電源(VDD、GND)を高電位電源VDD、低電位電源GNDのうち一方の電源としたときに、高電位電源VDD、低電位電源GNDのうち他方の電源とインダクタL1の両端との間にそれぞれ逆バイアスになるように接続された第3、第4のバラクタダイオード(D3、D4)をさらに含む。

【0015】

また、図1～図3に示すように、第1及び第2のMOSバラクタ(C1、C2)のゲート端子が共通ノードCNに接続されている。

20

【0016】

さらに、例えば、図1～図3に示すように、インダクタの両端が増幅部の入出力端子に接続されている。図1～図3では、増幅部は、電流源CCから電流を供給されるMOSトランジスタM1、M3で構成されるインバータとMOSトランジスタM2、M4で構成されるインバータが互いに入力と出力が接続されている構成を取っているが、これらのインバータの入出力端子が増幅器の入出力端子となり、インダクタL1の両端に接続される。

【0017】

また、図12、図13に示すように、電源VDDと第1ノードN1との間に接続された第1のインダクタL1と、電源VDDと第2ノードN2との間に接続された第2のインダクタL2と、電圧制御端子VCに抵抗R1を介して接続された第3ノードN3と第1ノードN1との間に逆バイアスになるように接続された第1のバラクタダイオードD1と、第3ノードN3と第2ノードN2との間に逆バイアスになるように接続された第2のバラクタダイオードD2と、一端がそれぞれ第3ノードN3に接続させた第1及び第2のMOSバラクタ(C1、C2)と、第1のMOSバラクタC1の他端と第1ノードN1との間に接続された第1の固定容量C3と、第2のMOSバラクタC2の他端と第2ノードN2との間に接続された第2の固定容量C4と、を含む。

30

【0018】

また、図12、図13に示すように、第1及び第2のMOSバラクタの他端にそれぞれ固定バイアスVBIASが与えられている。MOSバラクタが電圧制御端子VCから与える電圧により容量値を容易に変えられるように、固定バイアスを与える。たとえば、固定バイアス値は、VDDとGNDの1/2の電圧である。

40

【0019】

図12、図13のように第1及び第2のMOSバラクタ(C1、C2)のゲート端子が第3ノードN3に接続される。

【0020】

また、図12、図13に示すように、第1ノードN1及び第2ノードN2がそれぞれ(トランジスタM1、M2で構成される)増幅部の入出力端子(M1、M2のドレイン、ゲート)に接続されている。

【0021】

さらに、図12に示すように、インダクタ(L1、L2)が接続される電源が高電位電

50

源 VDD であり、第 1 のバラクタダイオード $D1$ のアノードが第 3 ノード $N3$ に、カソードが第 1 ノード $N1$ に接続され、第 2 のバラクタダイオード $D2$ のアノードが第 3 ノード $N3$ に、カソードが第 2 ノード $N2$ に接続されている。

【0022】

または、図 13 に示すように、インダクタ ($L1$ 、 $L2$) が接続される電源が低電位電源 GND であり、第 1 のバラクタダイオード $D1$ のアノードが第 1 ノード $N1$ に、カソードが第 3 ノード $N3$ に接続され、第 2 のバラクタダイオード $D2$ のアノードが第 2 ノード $N2$ に、カソードが第 3 ノード $N3$ に接続されている。以下、実施例について、図面を参照して詳しく説明する。

【実施例 1】

【0023】

図 1 は、実施例 1 の電圧制御発振器 1 のブロック図である。図 1 の電圧制御発振器 1 は、増幅部と、共振部により構成される。増幅部は、PMOS トランジスタ $M3$ と NMOS トランジスタ $M1$ で構成される CMOS インバータと、PMOS トランジスタ $M4$ と NMOS トランジスタ $M2$ で構成される CMOS インバータを備えている。PMOS トランジスタ $M3$ と $M4$ のソースは、高電位電源 VDD に接続された電流源回路 CC に接続されている。また、NMOS トランジスタ $M1$ と $M2$ のソースは、低電位電源 GND に接続されている。この 2 つのインバータは互いに入力端子が相手方のインバータの出力端子に接続されている。この 2 つのインバータの入力端子及び出力端子は、それぞれ増幅部の入出力端子として共振部に接続されている。

【0024】

共振部は、インダクタ $L1$ と第 1、第 2 の MOS バラクタ $C1$ 、 $C2$ 、第 1、第 2 のバラクタダイオード $D1$ 、 $D2$ 、第 1 乃至第 3 の抵抗 $R1 \sim R3$ を備えている。インダクタ $L1$ の両端は、増幅部の入出力端子に接続される。また、このインダクタ $L1$ の両端には、それぞれ、第 1 のバラクタダイオード $D1$ のカソードと第 2 のバラクタダイオード $D2$ のカソードが接続されている。第 1 のバラクタダイオード $D1$ 及び第 2 のバラクタダイオード $D2$ のアノードはそれぞれ低電位電源端子 GND に接続されている。また、インダクタ $L1$ の両端には、それぞれ第 1 の MOS バラクタ $C1$ と第 2 の MOS バラクタ $C2$ のソースドレイン端子が接続されている。第 1 の MOS バラクタ $C1$ と第 2 の MOS バラクタ $C2$ のゲート端子は共通ノード CN に接続され、共通ノード CN は第 1 の抵抗 $R1$ を介してチューニング端子である電圧制御端子 VC に接続される。また、第 1、第 2 のバラクタダイオード $D1$ 、 $D2$ のカソードは、それぞれ第 2、第 3 の抵抗 $R2$ 、 $R3$ を介して電圧制御端子 VC に接続されている。

【0025】

上記構成により、共振部は、インダクタ $L1$ に対して、第 1、第 2 の MOS バラクタ $C1$ 、 $C2$ と第 1、第 2 のバラクタダイオード $D1$ 、 $D2$ が並列に接続された共振回路として機能する。また、電圧制御端子 VC が第 1 乃至第 3 の抵抗 $R1 \sim R3$ を介して第 1、第 2 の MOS バラクタ $C1$ 、 $C2$ のゲート端子、及び第 1、第 2 のバラクタダイオードのカソードに接続されているので、電圧制御端子 VC の電圧が変化すると、第 1、第 2 の MOS バラクタ $C1$ 、 $C2$ と第 1、第 2 のバラクタダイオード $D1$ 、 $D2$ の容量が共に変化することになる。なお、図 1 において、第 1、第 2 の MOS バラクタ $C1$ 、 $C2$ は、ドレインとソースが短絡接続されており、ゲート端子とソースドレイン端子の 2 端子の可変容量素子として機能する。

【0026】

図 2 は、実施例 1 の変形例 1 による電圧制御発振器のブロック図である。図 1 では、第 1、第 2 のバラクタダイオードを低電位電源 GND とインダクタ $L1$ の両端との間に接続していたが、図 2 の変形例 1 では、第 1、第 2 のバラクタダイオードを高電位電源 VDD とインダクタ $L1$ の両端との間に接続している点が異なっている。バラクタダイオードの向きは、図 1 と同様に、逆バイアスになるように接続している。すなわち、アノードをインダクタ $L1$ の両端に接続し、カソードを高電位電源 VDD に接続している。他は、図 1

10

20

30

40

50

の実施例 1 と同一である。

【0027】

図 3 は、実施例 1 の変形例 2 による電圧制御発振器のブロック図である。図 3 では、第 1、第 2 のバラクタダイオードに加えて、第 3、第 4 のバラクタダイオードを設け、インダクタ L 1 の両端と、高電位電源 VDD との間、及び低電位電源 GND との間の両方にバラクタダイオードを接続している。バラクタダイオードの接続の向きは、いずれも逆バイアスになる向きである。

【0028】

なお、図 1 乃至図 3 のような発振回路は、共振部に電氣的刺激が加わると、共振周波数の交流信号が発生する。しかしその共振現象も共振部の寄生抵抗により減衰、停止してしまうため、正帰還で構成された増幅部によって作られる負性抵抗によってその損失が補填され、定常的な交流信号が得られるようになる。電圧制御発振器とは発振周波数を印加電圧によってコントロールする回路であるが、共振周波数 $f = 1 / (2 \pi \sqrt{LC})$ の C の値、つまりバラクタの容量値を変化させることでそれを可能としている。上記図 1 乃至図 3 のいずれも増幅部は、MOS トランジスタで構成しているが、バイポーラトランジスタによっても構成することができる。増幅部は、発振部による発振を維持するような回路であれば、どのような回路であってもよい。

【0029】

ここで、図 4 と図 5 を用いて、可変容量素子である MOS バラクタとバラクタダイオードの印加電圧対容量値の変化特性の違いについて説明する。

【0030】

図 4 は、MOS バラクタの印加電圧対容量値の変化特性である。MOS バラクタの容量値制御はゲート端子とソースドレイン端子の相対電位により行い、ゲート印加、ソースドレイン印加でもほぼ同特性で使用可能である。実施例ではゲート端子印加として構成しているが、ソースドレイン印加としてもよい。MOS バラクタでは、通常ソースとドレインとを短絡接続し、その短絡したソースドレイン端子とゲート端子間の容量を可変容量として用いており、容量変化のための電圧印加の向きは、MOS トランジスタとしてのしきい値電圧を基準としてプラス方向とマイナス方向の 2 方向である。

【0031】

図 4 から理解できるように、容量値は MOS トランジスタのしきい値付近 (0 V 付近) は印加電圧を変化させると容量値は急峻に変化する。しかし、印加電圧が MOS トランジスタの閾値を離れていくに従って、容量変化特性は、著しく鈍くなる。図 4 でも、印加電圧が -1 V 以下、又は 1 V 以上であると印加電圧を変化させてもほとんど容量値は変化していないことが読み取れる。

【0032】

図 5 は、バラクタダイオードの印加電圧対容量値の変化特性である。バラクタダイオードの容量値制御は、アノード端子とカソード端子に逆バイアスを印加し、PN 接合の逆バイアスで生じる空乏層の厚さを制御することにより行う。容量値制御のための電圧印加は、逆バイアスであればアノード端子、カソード端子のどちらでもいい。なお、PN 接合の逆バイアス状態で生じる空乏層を制御して用いるため、容量印加の向きは逆方向のみである。カソード印加の場合はアノードに低電位電源 (0 V、グラウンド GND) に接続して基準とするためカソード電圧を高電位電源から低電位電源 (0 V) に低下させるにしたがって、容量が増加する。すなわち、印加電圧に対し容量値は負の傾きになる。これに対して、アノード印加の場合は、カソードを高電位電源に接続して基準とするため、アノード電圧を 0 V から高電位電源の電圧に上昇させるに従って容量値が増加する。すなわち、印加電圧に対し容量値は正の傾きになる。

【0033】

図 5 から理解できるように、印加電圧に対する容量値の変化は比較的にリニアであり、印加電圧を変化させれば、それにつれて容量値は変化する。ただし、規格化して MOS バラクタの容量変化率と比較すると、特に MOS バラクタのしきい値付近で MOS バラクタよ

10

20

30

40

50

りバラクタダイオードの方が容量変化率が小さい。すなわち、MOS バラクタは、特に MOS バラクタのしきい値付近で大きな容量変化率が得られるが、変調感度が高すぎる場合があり、しきい値から離れると容量変化率は急速に低下する。一方、バラクタダイオードは、MOS バラクタに比べて広い範囲で直線的な容量変化率が得られるが、容量変化率が低いため、制御周波数範囲が得られない。そのように、MOS バラクタとバラクタダイオードは互いに異なる印加電圧容量特性を有している。

【0034】

実施例 1 では、MOS バラクタとバラクタダイオードを並列に接続し、MOS バラクタとバラクタダイオードの容量値を同時に制御している。上記のように、MOS バラクタとバラクタダイオードは、異なる印加電圧容量特性を有しているが、実施例 1 によれば、両者の長所を活かし短所を補い合うことができる。

10

【0035】

すなわち、MOS バラクタを使用したときに生じる、基準電圧から離れた領域での周波数変化の鈍化を、バラクタダイオードにより補うことで制御電圧の全範囲で周波数変化のリニアリティを高めることができる。

【0036】

また、MOS バラクタのみの場合の容量変化ではしきい値付近において、変調感度が高すぎてしまうが、バラクタダイオードを併用することでそれを緩和させることができる。さらに緩和の度合いも、MOS バラクタとバラクタダイオードの容量比を変えることでコントロール可能である。

20

【0037】

さらに、MOS バラクタのみの場合の容量変化では最大発振周波数と最低発振周波数の範囲が大きすぎ、後段の分周器の全範囲正常動作確保が難しくなる場合があるが、バラクタダイオードを併用することで、それを抑えることができる。

【0038】

図 8 は、実施例 1 の制御電圧対発振周波数特性を比較例 1 及び比較例 2 と比較した図である。比較例 1 の電圧制御発振器 101 の構成を図 6 に、比較例 2 の電圧制御発振器 102 の構成を図 7 に示す。図 6 の電圧制御発振器 101 は、図 1 の電圧制御発振器に対して、バラクタダイオード D1 と D2 及びバラクタダイオード D1、D2 のカソードと電圧制御端子 VC との間に設けた抵抗 R2、R3 を備えておらず、可変容量素子として MOS バラクタ C1、C2 のみを備えた電圧制御発振器である。

30

【0039】

また、図 7 の電圧制御発振器 102 は、図 6 の電圧制御発振器 101 にインダクタ L1 と低電位電源 GND との間に固定容量 C3、C4 を付加し、MOS バラクタ C1、C2 のしきい値付近における変調感度を鈍らせた電圧制御発振器である。

【0040】

図 8 において、比較例 1 は、制御電圧 VT が 1.2 V 付近での変調感度が高すぎる。比較例 2 では、固定容量を付加しているので、全体的に変調感度が鈍っている。また、比較例 1、比較例 2 とともに、制御電圧が 0.4 V 以下、又は 2.2 V 以上で制御電圧を変えてもほとんど発振周波数が変化していない。それに対して、実施例 1 では、制御電圧が 1.2 V 付近での変調感度が緩和されており、かつ、0 V ~ 3 V の全流域で、制御電圧につれて発振周波数が変化している。

40

【0041】

次に図 9 は、特許文献 1 に記載されている電圧制御発振器と実施例 1 による電圧制御発振器 1 の制御電圧対発振周波数特性を比較した図である。特許文献 1 に記載されている電圧制御発振器は、すでに説明したように、バラクタダイオードと MOSFET とを直列に接続し、MOSFET を可変容量として用いるものであるが、特許文献 1 の段落 0018 に記載されているようにバラクタダイオードの容量を全容量に対して無視できるような小さな容量としているので、基本的には、図 6 に示す比較例 1 と同様な特性となる。したがって、比較例 1 と同様に、特定の制御電圧で変調感度が高すぎ、かつ、特定の制御電圧が

50

ら離れると制御電圧を変えてもほとんど発振周波数が変わらない領域が存在する。

【 0 0 4 2 】

図 1 0 は、実施例 1 と比較例 1 及び比較例 2 の制御電圧対変調感度特性を比較した図である。実施例 1 によれば、比較例 1 のような変調感度が高すぎる領域が存在せず、比較例 1、比較例 2 より中程度の変調感度が得られる領域が広がっている。電圧制御発振器に求められる変調感度は、要求される位相ノイズによって異なる。例えば GPS 受信用 IC などにおいては、変調感度を 150 ~ 600 MHz 程度に抑えたい場合がある。この様な場合、図 1 0 により、所望の変調感度が得られる制御可能電圧範囲を求めると、比較例 1 では 0.4 ~ 2.0 V、比較例 2 では 0.7 ~ 2.1 V、実施例 1 では 0 ~ 2.4 V となる。すなわち、実施例 1 によれば、比較例 1、2 より広い領域で所望の変調感度が得られる。

10

【 0 0 4 3 】

図 1 1 は、実施例 1 と特許文献 1 に記載の従来技術による電圧制御発振器の制御電圧対変調感度特性を比較した図である。従来技術は、基本的に図 1 0 に示す比較例 1 と同様な特性を有しており、実施例 1 によれば、この従来技術と比較しても良好な制御電圧対変調感度特性が得られる。

【 実施例 2 】

【 0 0 4 4 】

図 1 2 は、実施例 2 による電圧制御発振器 1 のブロック図である。図 1 2 に示す電圧制御発振器 1 は、電源電圧が低い条件やバイポーラ回路においてよく用いられる電圧制御発振器である。図 1 2 では、共振部の電圧が高電位電源電圧に近い場合、実施例 1 の電圧制御発振器とは、構成が少し異なる。図 1 2 の電圧制御発振器 1 は、増幅部と、共振部により構成される。増幅部は、NMOS トランジスタ M 1 と NMOS トランジスタ M 2 を含み、NMOS トランジスタ M 1 のドレインと NMOS トランジスタ M 2 のゲートは第 1 ノード N 1 に接続される。また、NMOS トランジスタ M 2 のドレインと NMOS トランジスタ M 1 のゲートは第 2 ノード N 2 に接続される。第 1、第 2 ノード N 1、N 2 は、増幅部の入出力端子になり、共振部に接続される。なお、NMOS トランジスタ M 1 と M 2 のソースは共に低電位電源 GND に接続される。なお、NMOS トランジスタ M 1、M 2 は、それぞれ、コレクタを第 1 ノード N 1、ベースを第 2 ノード N 2、エミッタを低電位電源 GND に接続した NPN バイポーラトランジスタと、コレクタを第 2 ノード N 2、ベースを第 1 ノード N 1、エミッタを低電位電源 GND に接続した NPN バイポーラトランジスタと、に置き換えることもできる。

20

30

【 0 0 4 5 】

共振部は、第 1 及び第 2 のインダクタ L 1、L 2 と、第 1、第 2 の MOS バラクタ C 1、C 2 と、第 1、第 2 のバラクタダイオード D 1、D 2 と、抵抗 R 1 と、第 1、第 2 の固定容量 C 3、C 4 と、を備えている。インダクタ L 1 は高電位電源 VDD と第 1 ノード N 1 との間に接続され、インダクタ L 2 は高電位電源 VDD と第 2 ノード N 2 との間に接続される。また、第 1 ノード N 1、第 2 ノード N 2 には、それぞれ、第 1、第 2 のバラクタダイオード D 1、D 2 のカソードが接続される。第 1、第 2 のバラクタダイオード D 1、D 2 のアノードは、第 3 ノード N 3 に接続され、第 3 ノード N 3 は抵抗 R 1 を介して電圧制御端子 VC に接続される。さらに、第 3 ノード N 3 には、第 1、第 2 の MOS ダイオード C 1、C 2 のゲート端子が接続される。また、第 1、第 2 の MOS ダイオード C 1、C 2 のソースドレイン端子には、固定バイアス電圧 VBIAS が与えられる。さらに、第 1、第 2 の MOS ダイオード C 1、C 2 のソースドレイン端子と第 1、第 2 ノード N 1、N 2 との間には、第 1、第 2 の固定容量 C 3、C 4 が接続される。この固定容量 C 3、C 4 は、直流電圧を遮断するために設けられ、固定容量 C 3、C 4 と MOS バラクタ C 1、C 2 との接続点には、MOS バラクタの制御電圧の基準電位となる固定バイアス電圧 VBIAS が外部から与えられる。VBIAS の電圧としては、高電位電源 VDD と低電位電源 (GND) との 1/2 の電圧が望ましい。

40

【 0 0 4 6 】

50

上記構成によっても、MOSバラクタとバラクタダイオードが並列に接続され、電圧制御端子VCから与えられる電圧により、MOSバラクタとバラクタダイオードを同時制御するので、実施例1と同様に好ましい特性の電圧制御発振器が得られる。

【実施例3】

【0047】

図13は、実施例3による電圧制御発振器1のブロック図である。実施例2は、共振部の電圧が高電位電源VDDに近い場合に適した電圧制御発振器であったが、実施例3は、共振部の電圧が低電位電源（グラウンド）GNDに近い場合に適した電圧制御発振器の構成である。実施例2では、増幅部はソースが低電位電源に接続されたNMOSトランジスタで構成されていたのに対して、図13の実施例3では、ソースが高電位電源VDDに接続されたPMOSトランジスタで構成されている点が異なっている。また、第1及び第2のインダクタL1、L2は、それぞれ、第1、第2ノードN1、N2と低電位電源VSSとの間に接続される。また、第1、第2のバラクタダイオードD1、D2の接続の方向が第1、第2ノードN1、N2がアノードに、第3ノードN3がカソードに接続されていることが違うほかは、実施例2の図12と同一である。実施例3によっても、実施例1と同様に好ましい特性の電圧制御発振器が得られる。また、実施例3において、増幅部のPMOSトランジスタをPNPバイポーラトランジスタに置き換えることもできる。

【0048】

なお、MOSバラクタには、NMOSのトランジスタ構造をバラクタに用いたNMOSバラクタとPMOSのトランジスタ構造をバラクタに用いたPMOSバラクタが考えられるが、必要に応じてどちらの構造もMOSバラクタとして用いることができる。また、並列に接続するバラクタダイオードとMOSバラクタは接続の向きにより印加電圧対容量の変化特性が逆になる場合があるが、印加電圧を変化させたときにバラクタダイオード容量が増える方向に変化するときには、MOSバラクタも容量が増える向きに接続することが望ましい。

【0049】

以上、実施例について説明したが、本発明は上記実施例の構成にのみ制限されるものでなく、本発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

【符号の説明】

【0050】

- 1、101、102：電圧制御発振器
- C1、C2：MOSバラクタ
- C3、C4：固定容量
- CC：電流源回路
- D1、D2、D3、D4：バラクタダイオード
- GND：低電位電源
- L1、L2、L3：インダクタ
- M1、M2：NMOSトランジスタ
- M3、M4：PMOSトランジスタ
- R1、R2、R3：抵抗
- VBIAS：バイアス電圧
- VC：電圧制御端子（チューニング端子）
- VDD：高電位電源
- CN：共通ノード
- N1：第1ノード
- N2：第2ノード
- N3：第3ノード

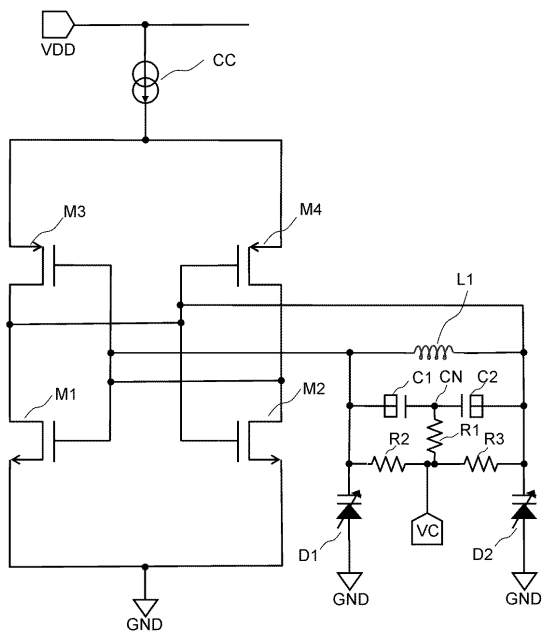
10

20

30

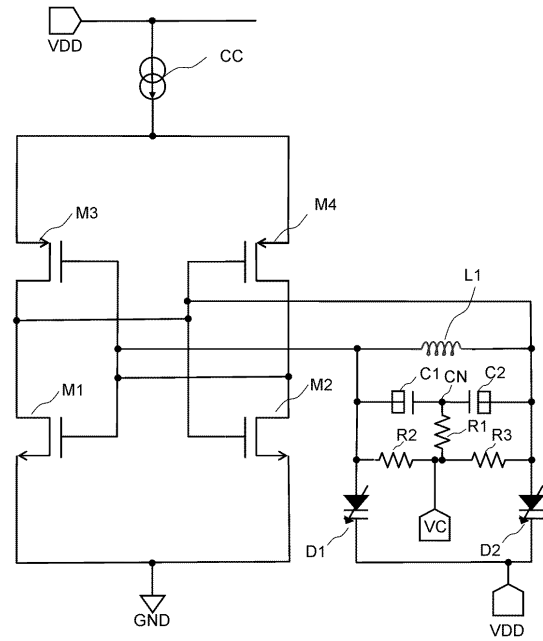
40

【図 1】



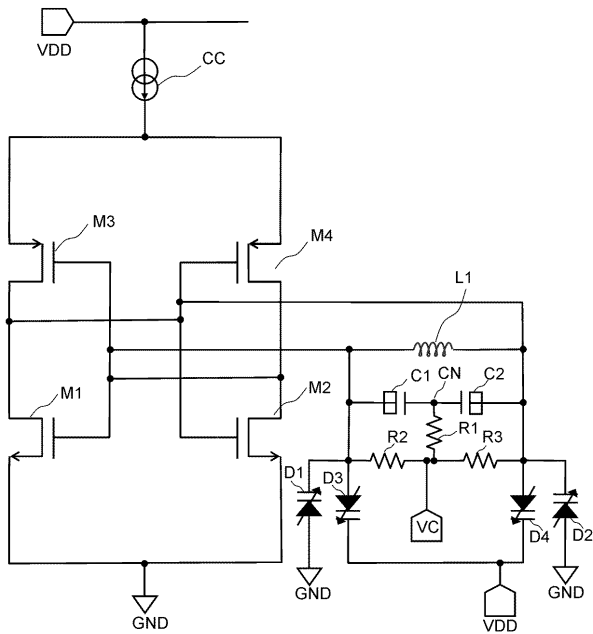
1

【図 2】



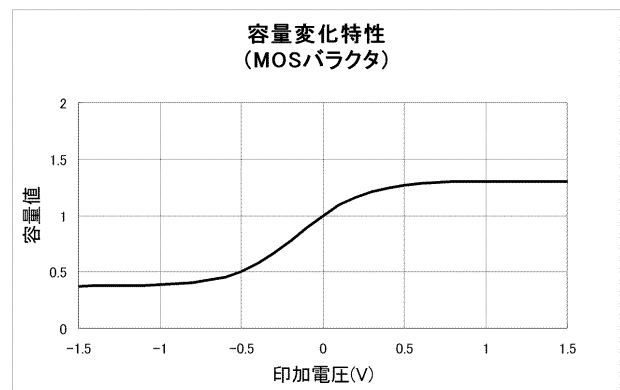
1

【図 3】

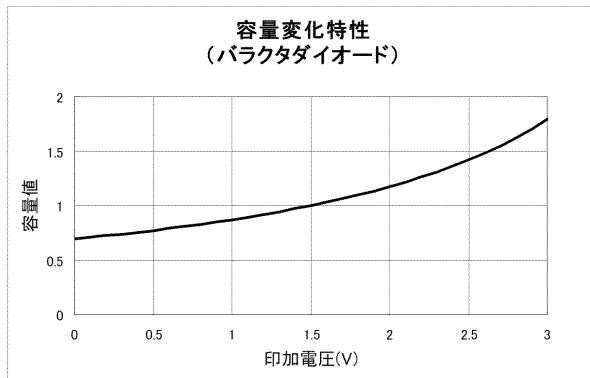


1

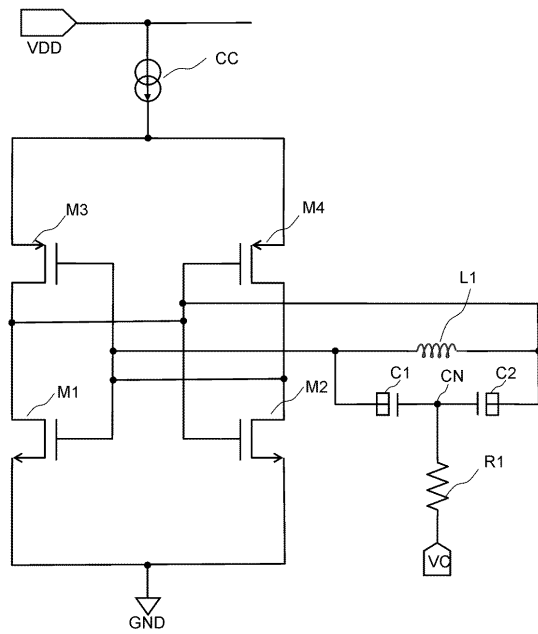
【図 4】



【図 5】

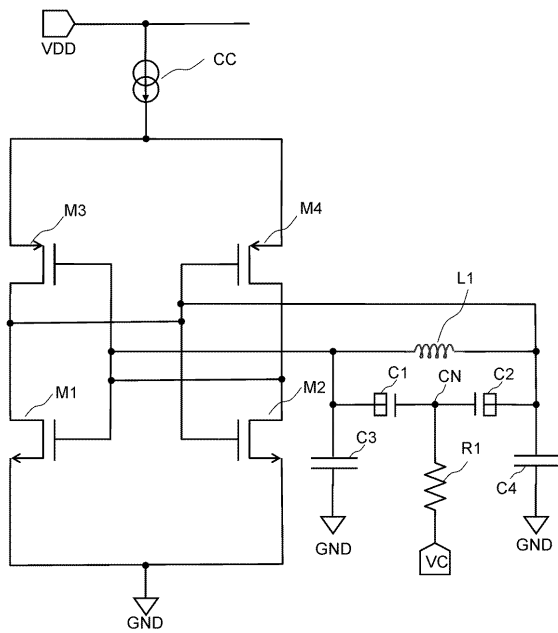


【図 6】



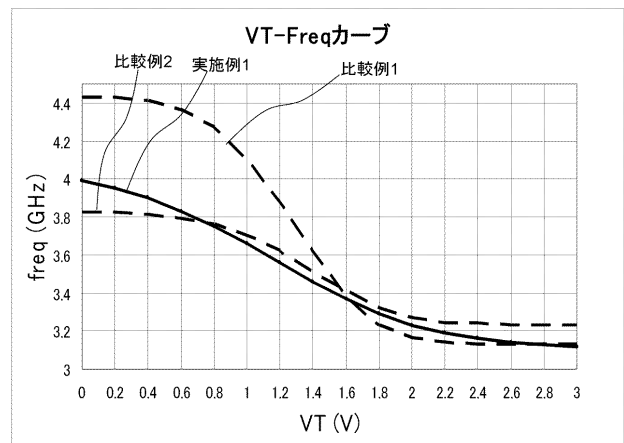
101

【図 7】

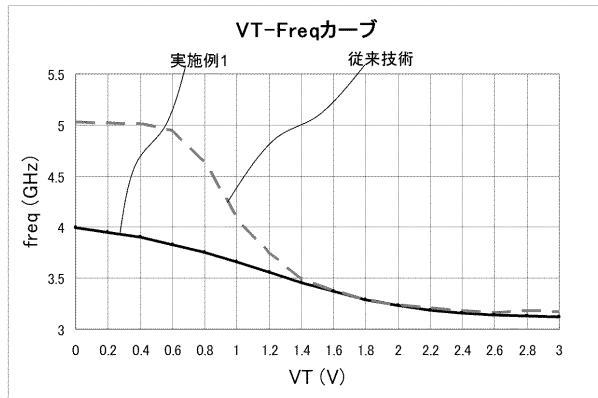


102

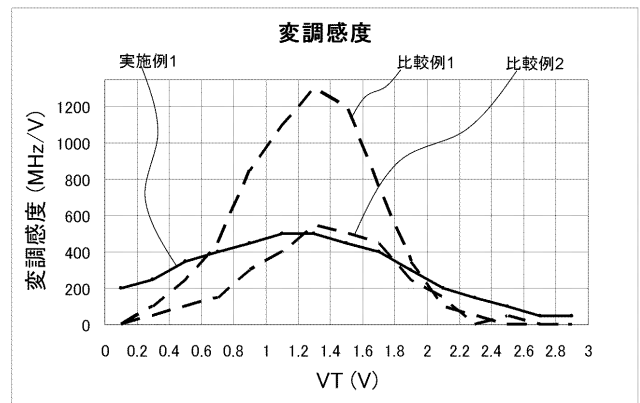
【図 8】



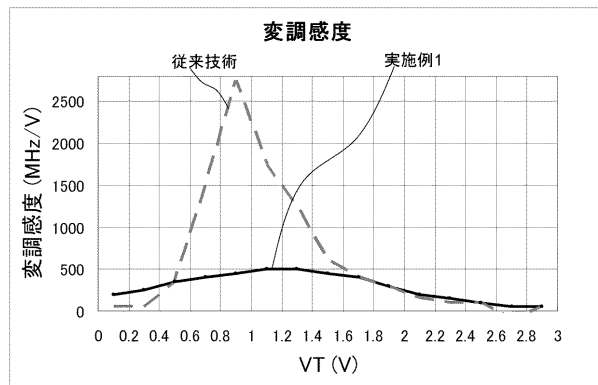
【図 9】



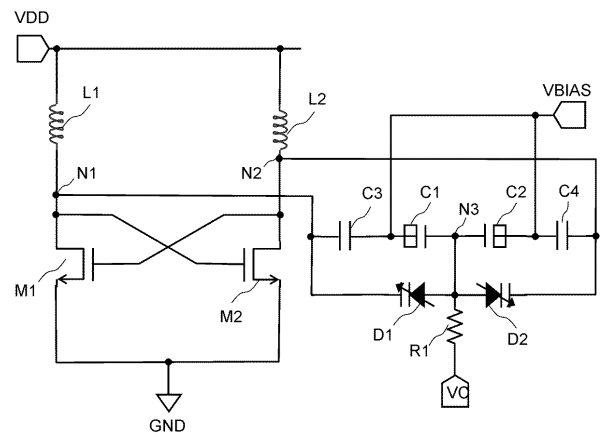
【図 10】



【図 11】



【図 12】



【 図 1 3 】

