

(19)



SUOMI - FINLAND

(FI)

PATENTTI- JA REKISTERIHALLITUS
PATENT- OCH REGISTERSTYRELSEN
FINNISH PATENT AND REGISTRATION OFFICE

(10) **FI 930433 A7**

(12) **JULKISEKSI TULLUT PATENTTIHAKEMUS
PATENTANSÖKAN SOM BLIVIT OFFENTLIG
PATENT APPLICATION MADE AVAILABLE TO THE
PUBLIC**

(21) Patentihakemus - Patentansökan - Patent application **930433**

(51) Kansainvälinen patenttiluokitus - Internationell patentklassifikation -
International patent classification
**G11C 15/04
G11C 11/40**

(22) Tekemispäivä - Ingivningsdag - Filing date **01.08.1991**

(23) Saapumispäivä - Ankomstdag - Reception date **01.02.1993**

(41) Tullut julkiseksi - Blivit offentlig - Available to the public **01.02.1993**

(43) Julkaisupäivä - Publiceringsdag - Publication date **13.06.2019**

(86) Kansainvälinen hakemus - **01.08.1991 PCT/SE1991/000512**
Internationell ansökan - International
application

(32) (33) (31) Etuoikeus - Prioritet - Priority

02.08.1990 SE 9002558

(71) Hakija - Sökande - Applicant

1 • Carlstedt Elektronik AB, Industrivägen 55 433 61 Partille, Sverige, SVERIGE, (SE)

(72) Keksijä - Uppfinnare - Inventor

1 • Carlstedt, Lars Gunnar, Sverige, SVERIGE, (SE)

(74) Asiamies - Ombud - Agent

Berggren Oy Ab, Antinkatu 3 C, 00100 Helsinki

(54) Keksinnön nimitys - Uppfinningens benämning - Title of the invention

Bittimuistisolu

Bitminnescell

Bittimuistisolu - Bitminnescell

5 Tämä keksintö liittyy muistin bitin tallettavaan soluun.

Tavanomaisessa assosiatiivisessa muistissa muistisolut on jaettu assosioivaan alueeseen ja tallettavaan alueeseen. Tiedon kirjoittaminen assosioivaan alueeseen tehdään ilman osoitetta. Tallettava
10 solun alue on tavallisesti järjestetty siirtorekistereiksi.

Tietokone keksittiin 1940-luvulla. Sen jälkeen sitä on kehitetty mullistavalla vauhdilla. Siitä huolimatta nykyisissä tietokoneissa on lähes sama arkkitehtuuri kuin ensimmäisissä.

15

Enimmät parannukset on tehty laitteistopuolella. VLSI-tekniikan tulo ja litografian parannukset ovat mahdollistaneet yhden sirun tietokoneiden rakentamisen, joita vasta viisi vuotta sitten kutsuttiin supertietokoneiksi. Mitat ovat kutistuneet eksponentiaalisesti ja ovat nyt alle yhden mikrometrin. Kellotaajuudet
20 samoin kuin aktiivisten transistoreiden lukumäärät ovat kasvaneet monta kertaluokkaa. Fyysiset rajoitukset tulevat todennäköisesti rajoittamaan viivaleveyden 0,2 mikrometriksi.

25 Keksinnön päätavoitteena on aikaansaada bittimuistisolun, joka on erityisesti sovitettu assosiatiiviseen muistiin, joka voi toimia tietokoneen aktiivisena osana, eikä pelkästään tallettaa tietoa vaan myös osallistua loogisiin toimintoihin.

30 Keksinnön toisena tarkoituksena on aikaansaada bittimuistisolun, jolla voisi olla erittäin suuri pakkaustiheys.

35 Keksinnön eräänä toisena tavoitteena on aikaansaada bittimuistisolun, jota voidaan soveltaa VLSI-tekniikassa (VLSI = Very Large Scale Integration).

Vielä eräänä tavoitteena on aikaansaada bittimuistisolun, joka

on optimoitu erittäin nopeita toimintoja varten.

5 Bittimuistisolua, jolla on assosiatiiviseen muistiin sovitettavat ominaisuudet, on selitetty julkaisussa US-A-3,634,833, ja siinä on kahden monella emitterillä varustetun transistorin muodostama kiikku. Tällä solulla on vertailumahdollisuudet. Sen ohjaus ja valvonta muodostuu kuitenkin vain se monesta emitteristä, jonka takia siitä tulee varsin herkkä ulkoisille häiriökentille.

10

Kannan kautta ohjattavan transistorin sisältävän kiikun käsit-
tävää bittimuistisolua on selitetty julkaisussa JP-60-273712. Tämä muistisolu on tarkoitettu käytettäväksi pelkästään datan muistisolun kirjoittamista ja siitä lukemista varten, eikä
15 siten assosiatiivisessa muistissa käyttöä varten, eikä sillä siten ole vertailuominaisuuksia. Kirjoituksen ja lukemisen ohjaus on järjestetty lähdelinjan eri tehopotentiaaleilla ja maalinjan eri potentiaaleilla, riippuen siitä, onko suoritettava luku- vai kirjoitustoiminta. Lukemisen ja kirjoittamisen
20 tulos saadaan kahdelta liittimeltä, joilla on keskenään erilaiset jännitetasot. Tämä tarkoittaa sitä, että muistisolun kaikkia neljää liitäntää on ohjattava ja/tai valvottava.

25
30
35

Julkaisussa FR-A-2,091,964 esitetään muistisolu, joka on tarkoitettu pelkästään kirjoittamista ja lukemista varten, eikä
siten assosiatiivista tyyppiä olevaa muistia varten. Solu sisältää mutkikkaan kiikun, johon sisältyy kaksi transistoria ja useita vastuksia. Sillä on neljä liitäntää, joista yhdellä on vakio syöttöjännite ja yksi niistä on sanalinja, jota ajetaan sanan valintapiirillä. Kahteen jäljellä olevaan liitäntään on
30 kytketty kaksi piiriä, joista toinen on tarkoitettu soluun kirjoittamista varten ja toinen solun sisällön lukemista varten, jolloin solu valitaan sanalinjan avulla.

40
45

Keksinnössä harkitaan assosiatiivista muistia varten bittimuistisolua, johon voidaan tallettaa arvo v_{store} , jonka arvo on joko 'tosi' tai 'epätosi', jolloin solun rakenne on sellainen, että

se voidaan asettaa moniin erilaisiin toimintatiloihin ja se sisältää ensimmäisen liitännän, johon jatkuvasti tuodaan syöttöjännitettä, ja toisen, kolmannen, ja neljännen liitännän, joista jokainen on asetettavissa ainakin kolmeen eri ohjaustilaan, jolloin toisen, kolmannen ja neljännen liitännän jokaisen ohjaustilan yhdistelmä asettaa muistisolun määrättyyn yksilölliseen toimintatilaan.

Muistilaitte sovellettavaksi VLSI-tekniikalla ja joka sisältää:

- 10 - muistin bittisolun, joka sisältää:
 - + ensimmäisen, toisen ja kolmannen liitännän;
 - + kiikun, joka sisältää ristiinkytketyn transistoriparin, joilla kummallakin on emitteri- tai nielu-elektrodi; sekä vastaavat kuormat; ja jolla on mainitun ensimmäisen ja toisen liitännän
 - 15 välillä oleva syöttöjännite; ja jota voidaan ohjata kummaltakin puolelta mainitun kolmannen ja neljännen liitännän kautta; ja jolla on ensimmäinen ja toinen solmukohta, jotka voidaan saattaa keskenään eri jännitetasoille, joista jännitetasoyhdistelmistä toinen osoittaa talletetun bitin arvon 'tosi', ja toinen
 - 20 talletetun bitin arvon 'epätosi'; ja jossa on mainitun kolmannen liitännän ja mainitun ensimmäisen solmukohdan väliin kytketty ensimmäinen erillinen tasasuuntaava väline; ja jossa on mainitun neljännen liitännän ja mainitun toisen solmukohdan väliin kytketty toinen erillinen tasasuuntaava väline;
 - 25 jolloin muistilaitteeseen lisäksi sisältyy:
 - mainittuun kolmanteen ja neljanteen liitäntään kytketyn ensimmäisen välineen; ja
 - mainittuun toiseen liitäntään kytketyn toisen välineen;
 - jolloin mainittuun ensimmäiseen liitäntään jatkuvasti syötetään
 - 30 syöttöjännitettä, jolloin mainitut toinen, kolmas ja neljäs liitäntä voidaan asettaa eri asetustiloihin mainitun ensimmäisen ja toisen välineen avulla niin, että mainittu solu voidaan asettaa moneen toimintatilaan toimintatilojen joukosta, joita
 - 35 jokaista edustaa mainitun toisen, kolmannen ja neljännen liitännän tilojen määrätty yhdistelmä; ja jolloin toimintatilassa solun tilan vertaamiseksi tulodataan mainittu ensimmäinen väline asettaa komplementaaristen tulosignaalien parin kolman-

teen ja neljänteen liitääntään; ja jolloin mainittu toinen väline sisältää kolmannen välineen toisen liitännän esivaraamiseksi referenssijännitetasoon ja neljännen välineen toisen liitännän jännitteen muutoksen ilmaisemiseksi.

5

Muistilaite, jossa mainitut asetustilat mainitun solupiirin toisessa, kolmannessa ja neljännessä liitännässä ovat mainitun kolmannen ja neljännen liitännän osalta "korkea" taso, "matala" taso, ei virtaa soluun, virta soluun mainitun kolmannen ja
 10 neljännen liitännän osalta, ja myös virtaa solusta mainitusta toisesta liitännästä, jolloin "korkea" ja "matala" -tasot liittyvät siihen pidetäänkö jännitteitä positiiviseen tai negatiiviseen suuntaan muuttuvina, ts. liittyvät siihen, onko mainitun ensimmäisen liitännän jännite positiivinen tai negatiivinen maan suhteen.
 15

Toinen liitääntä on pääsyliitääntä, jolloin mainitussa kolmannessa ja neljännessä liitännässä (d, d*) signaalien tasot ovat vastakkaiset solupiiriin kirjoitettaessa tai siitä luettaessa.

20

Ohjaus suoritetaan kaksivaiheisella ohjausjaksolla, ensimmäisellä esivarausvaiheella, jossa mainittu toinen, kolmas ja neljäs liitääntä kytketään lisäjännitteeseen, joka on mainitun ensimmäisen liitännän jännitteen ja maan välillä, ja toisella toimintavaiheella, jolla se asetetaan ennalta määrättyyn toimintatilaan, jolloin "korkea" ja "matala" tila määritetään mainitun lisäjännitteen suhteen, jolloin mainittu "korkea" ja "matala" taso määräytyvät siitä, muuttuvatko piirin jännitteet positiiviseen vai negatiiviseen suuntaan.

30

Keksinnön mukaisella muistibittisolulla voidaan suorittaa monia toimintoja, vaikka se sisältää vain neljä liitääntää, joista kolme ovat säädettäviä. Se sisältää hyvin vähän komponentteja. Tämä antaa mahdollisuuden kompaktin muistilaitteen tekemiseksi, joka sisältää suuren määrän muistibittisoluja.

35

40

Assosiatatiivista muistia, joka erityisen hyvin sopii toimimaan

yhdessä reduktiotyypin tietokoneen kanssa, ja johon keksinnön mukainen bittimuistisolun erityisen hyvin sopii, on selitetty rinnakkaisessa PCT-patenttihakemuksessa, jonka julkaisunumero on WO 92/02932.

5

Esillä olevan keksinnön sekä sen muiden tavoitteiden ja etujen täydellisempää ymmärtämistä varten viitataan seuraavassa esitettyyn selitykseen oheisten piirustusten kanssa, joissa:

- 10 kuvio 1 esittää kaaviollisesti muistisolussa olevan bittimuistisolun ensimmäistä suoritusmuotoa; ja
 kuvio 2 esittää kaaviollisesti muistisolussa olevan bittimuistisolun toista suoritusmuotoa ja siihen liittyviä ajuri- ja ilmaisupiirejä

15

Keksinnön mukainen bittimuistisolun, jota alla sanotaan bittisoluksi, on tarkoitettu muistikentän bittisoluksi muistisolussa, joka sisältää suuren määrän bittisoluja, joita ohjataan ulkoisesti muodostetulla digitaalisella tiedolla, jota
 20 jaellaan kaikille bittisoluille ajuri- ja ilmaisupiireihin kytketyn tietoväylän kautta. Ulkoisten liitännöiden tieto kirjoitetaan soluihin. Soluissa oleva tieto luetaan soluista ulkoisiin liitännöihin.

25 Jokaisen muistikentän jokaista bittisolua voidaan ohjata muistikentän päästä niin, että bittisolut kerrallaan voivat suorittaa jonkin alla olevista toiminnoista:

lepo	jossa jokainen bittisolun säilyttää siihen talletetun bittiarvon,
lue	jossa bittisolun talletettu bittiarvo luetaan,
kirjoita	jossa bittisolun kirjoitetaan bittiarvo,
vertaa	jossa bittisoluun talletettujen bittiarvojen muodostamaa datasanaa verrataan toiseen datasanaan.

35

Ohjaus riippuu loogisista olosuhteista. Nämä eivät muodosta esillä olevan keksinnön osaa, eikä niitä sen takia selitetä tässä

patenttihakemuksessa.

Keksinnön mukainen, kuviossa 1 esitetty bittisolu on kytketty ulkoiseen ohjaukseen kahdella johdolla d ja d' . Päähän (ei esitetty) kytketty johto acc liittää toisiinsa kaikki muistisolun bittisolut, joita voi olla useampia, esimerkiksi 38. Kaikkia muistisolun bittisoluja ohjataan johdon acc signaaleilla. Toiset bittisoluun kytketyt johdot d ja d' liitetään muiden muistisolujen vastaaviin bittisoluihin muistissa, joka sisältää suuren määrän muistisoluja.

Koko muisti on tarkoitettu sovellettavaksi VLSI-tekniikalla (VLSI = Very Large Scale Integration). Siten jokaisen bittisolun rakenne on sovitettu sovellettavaksi VLSI-tekniikalla ja optimoitu suuren bittisolujen määrän suurta pakkaustiheyttä varten. Kuten kuviossa 1 nähdään, bittisoluissa on vain neljä liitäntää (lankaa), ts. ensimmäinen liitäntä V_{cc} , johon jatkuvasti syötetään syöttöjännitettä, ja toinen, kolmas ja neljäs liitäntä, acc , d , d' , joista jokainen voidaan asettaa ainakin komeen eri ohjaustilaan, kuten alla selitetään yksityiskohtaisemmin.

Kuviossa 1 esitetyn bittisolun suoritusmuoto on nelitransistorinen CMOS-solu. Transistorit ovat esitetyssä suoritusmuodossa n -tyyppisiä transistoreita. Bittisolu-piirin komponentit voivat kuitenkin olla monta eri tyyppiä, joka ilmenee alla esitetystä komponenttiluettelosta. Nelitransistorinen CMOS-solu on statti-nen, ja sillä on resistiivinen kuorma. Solu on kiikku, jota voidaan ohjata kummaltakin puolelta. Pääsyjohdon acc ja syöttö-johdon V_{cc} välissä on kaksi rinnan järjestettyä sarjapiiriä, jotka kummatkin sisältävät MOS FET-transistorin lähde/nielu-rei-tin ja kuorman $T1$, $L1$ ja vastaavasti $T2$, $L2$. Transistorin $T1$ nielu on kytketty transistorin $T2$ hilalle, ja transistorin $T2$ nielu on kytketty transistorin $T1$ hilalle. Diodi $D1$ on kytketty langan d ja transistorin $T1$, kuorman $L1$ ja transistorin $T2$ hilan välisen liitoksen $n1$ väliin. Diodi $D2$ on kytketty langan d' ja transistorin $T2$, kuorman $L2$ ja transistorin $T1$ hilan välisen liitoksen $n2$ väliin. Molemmat diodit $D1$ ja $D2$ on muodostettu MOS FET-transistorilla,

jonka nielu ja hila on kytketty toisiinsa ja lankaan d ja vastaavasti d*.

Piirielementtien oleellisia ominaisuuksia on, että diodit D1 ja D2 ovat elementtejä, jotka päästävät virran kulkemaan vain toiseen suuntaan lankojen d ja d* suhteen, ja että transistorit ovat aktiivisia elementtejä, joiden virtaa voidaan säätää muuttamalla niiden hilojen potentiaalia. Liitokset n1 ja n2 ovat solmukohtia, joihin voidaan tallettaa yhden bitin tietoon liittyvä potentiaali. Molemmat kuormat ovat elementtejä, jotka käyttäytyvät vastuksen tavoin.

Kuvion 1 suoritusmuodossa jännite V_{cc} on esitetty korkeana potentiaalina. Diodien D1 ja D2 suunnat ovat tällöin sellaiset, että virta kulkee langasta d tai d* solmuun n1 ja vastaavasti n2. Aktiivisen elementin T1 ja vastaavasti T2 resistanssi pienenee, kun sen hilaelektrodilla oleva jännite kasvaa. Siten sen nielun kohdalla olevan solmun jännite laskee. Toisissa suoritusmuodoissa voitaisiin kuitenkin valita potentiaalit ja virrat niin, että niiden suunnat olisivat päinvastaiset kuin kuvion 1 esittämässä suoritusmuodossa.

Kuvion 1 piirin komponentit voitaisiin valita monella eri tavalla. Diodit D1 ja D2 voitaisiin valita seuraavista komponenteista:

- 1) n-kanava MOS FET, jonka nielu ja hila on kytketty toisiinsa (positiiviset jännitteet);
- 2) p-kanava MOS FET, jonka lähde ja hila on kytketty toisiinsa (negatiiviset jännitteet);
- 3) pn-diodi (positiiviset jännitteet; negatiiviset jännitteet vastakkaissuuntaisella diodilla);
- 4) Schottky-diodi (positiiviset jännitteet; negatiiviset jännitteet vastakkaissuuntaisella diodilla).

Aktiivisina elementteinä T1 ja T2 voitaisiin käyttää seuraavia komponentteja:

- 1) n-kanava MOS FET (positiiviset jännitteet);

- 2) p-kanava MOS FET (negatiiviset jännitteet);
- 3) npn-transistori (positiiviset jännitteet);
- 4) pnp-transistori (negatiiviset jännitteet).

5 Kuormina L1 ja L2 voitaisiin käyttää seuraavia komponentteja:

- 1) vastus;
- 2) n-kanava avaustyyppinen MOS FET, jonka nielu ja hila on kytketty toisiinsa (positiiviset jännitteet);
- 3) p-kanava avaustyyppinen MOS FET, jonka nielu ja hila on kytketty toisiinsa (negatiiviset jännitteet);
- 4) n-kanava tyhjennystyyppinen MOS FET, jonka nielu ja hila on kytketty toisiinsa (positiiviset jännitteet);
- 5) p-kanava tyhjennystyyppinen MOS FET, jonka nielu ja hila on kytketty toisiinsa (negatiiviset jännitteet);
- 6) n-kanava MOS FET, jonka hila toimii ohjauselektrodina ja lähde ja nielu johtavina yhteyksinä (positiiviset jännitteet);
- 7) p-kanava MOS FET, jonka hila toimii ohjauselektrodina ja lähde ja nielu johtavina yhteyksinä (negatiiviset jännitteet);
- 8) npn-transistori, jonka kanta toimii ohjauselektrodina ja emitteri ja kollektori johtavina yhteyksinä (positiiviset jännitteet);
- 8) npn-transistori, jonka kanta toimii ohjauselektrodina ja emitteri ja kollektori johtavina yhteyksinä (positiiviset jännitteet);
- 9) pnp-transistori, jonka kanta toimii ohjauselektrodina ja emitteri ja kollektori johtavina yhteyksinä (negatiiviset jännitteet).

Positiivisilla ja negatiivisilla jännitteillä tarkoitetaan, että V_{cc} on positiivinen tai vastaavasti negatiivinen maan suhteen. Alla käytetyt termit "matala" ja "korkea" jännite on siis suhteuttava siihen, onko mainitun bittisolun jännitteitä pidettävä positiivisella tai negatiivisella puolella olevina, ts. onko mainitun ensimmäisen liitännän jännite V_{cc} positiivinen vai negatiivinen.

Kuviossa 2 esitetään bittisolupiirin toinen suoritusmuoto

yhdessä bittisolun lankojen d, d* ja acc ajureiden kanssa. Kuvion 1 elementtejä vastaavilla elementeillä on samat viitenumerot. Bittisolu 7' on esitetty katkoviivalla ympäröitynä. Kuorma on tässä suoritusmuodossa p-tyyppisenä esitettyjen MOS FET-transistorien I1 ja vastaavasti I2 lähde/nielu-reitti, jotka ts. ovat vastakkaista tyyppiä kuin tässä suoritusmuodossa n-tyyppisinä esitetyt transistorit T1 ja T2. Transistorin I1 hila on kytketty solmuun n2 ja transistorin I2 hila solmuun n1.

10 Sekä kuvioiden 1 että 2 bittisolun suoritusmuodoissa bittisoluun voidaan tallettaa arvo vstore, joka on joko 'tosi' tai 'epätosi'. Bittisolun rakenne on sellainen, että se voidaan asettaa useampaan eri toimintatilaan asettamalla erilaiset potentiaalit langoille acc, d ja d*.

15

Ohjaustilat ovat korkea taso, matala taso, virtaa soluun kaikilla langoilla ja myös virtaa ulos solusta langalla acc. Lanka acc on pääsylanka, joka kulkee päästä 8 ja joka on kytketty kaikkiin muistisolun bittisoluihin 7'. Kolmannen ja neljännen langan d ja d* signaalit ovat keskenään invertoituja soluihin kirjoitettaessa tai niistä luettaessa, ja pääsylanka acc on matalalla.

20

Päässä 8 olevat ajuri- ja ilmaisu vahvistimia on kuviossa 2 havainnollistettu kaaviollisesti katkoviiva-neliöllä. Pääsylangan acc ohjaus tapahtuu päästä 8, jota vuorostaan ohjataan ulkoisella ohjauksella, joka voi olla tietokone, ja joka tuottaa jännitteet Vr ja V3, sekä esivaraussignaaleilla prech (precharge). Ensimmäisen transistorin T3, jonka tässä suoritusmuodossa on esitetty olevan n-tyyppiä, lähde on kytketty jännitteeseen Vr, sen nielu on kytketty muistisolun kaikkien bittisolujen 7' pääsylankaan acc, ja sen hilaa syötetään esivaraussignaaleilla prech, jota voitaisiin pitää kellosignaalina. Toisen transistorin T4, jonka tässä suoritusmuodossa on esitetty olevan n-tyyppiä, lähde on kytketty jännitteeseen 0V, sen nielu on kytketty muistisolun kaikkien bittisolujen 7' pääsylankaan acc, ja sen hilaa ohjataan ulkoisella ohjauksella, joka asettaa jännitteen V3, jonka jännitteen tulee olla korkealla, kun

25
30
35

pääsylanalle acc on asetettava jännite 0V. Kuten edellä mainittiin, lanka acc kytketään muistisolun kaikkiin bittisoluihin, jolloin muistisolussa on esimerkiksi 38 bittisolua, ja kaikilla bittisoluilla on tällöin sama ohjaus langan acc osalta.

- 5 Langan acc ohjaamiseksi tehdään ensimmäisessä vaiheessa esivara-
 raus, joka ohjaa MOS FET:n T3 johtavaan tilaan ja asettaa siten
 langan acc jännitteeseen Vr. Seuraavassa vaiheessa MOS FET:iin
 T4 syötetään signaali V3, joka on joko korkea tai matala riippuen
 tehtävästä ohjauksesta, ja langan acc jännite on joko matala tai
 10 korkea. Langalla acc olevaa jännitetasoa vahvistetaan vahvisti-
 mella AMP ja se siirretään ulkoisiin piireihin muita toimia
 varten. Ohjaussignaalien järjestäminen päähän 8, samoin kuin
 alla selitettävään ajuripiiriin 9, sekä näiden piirien tulo- ja
 lähtösignaalien käyttäminen ei muodosta tämän keksinnön osaa,
 15 eikä niitä sen vuoksi selitetä enempää.

- Kuvion 2 toisessa katkoviivaneliössä on esitetty kaaviollisesti
 bittisolun lankojen d ja d* ajuri- ja ilmaisupiirin 9 suoritus-
 muoto. On kuitenkin huomattava, että piiri 9 havainnollistaa
 20 vain yhtä mahdollista tapaa lankojen d ja d* tilojen ohjaamiseksi
 ja ilmaisemiseksi.

- 25 Langan d kirjoituspiiri sisältää ensimmäisen transistorien T5
 ja T6 parin, joista ensimmäinen on esitetty n-tyyppisenä ja
 toinen p-tyyppisenä tässä suoritusmuodossa, ja joiden nielut on
 kytketty lankaan d, ja jotka muodostavat jännitteenjakajan.
 Transistorin T5 lähde on kytketty potentiaaliin Vr ja sen hilaa
 syötetään esivaraussignaallilla preh. Toisen transistorin T6
 nielu on kytketty potentiaaliin Vcc ja sen hilaa syötetään
 30 ohjaussignaallilla V4, joka menee matalaksi, kun potentiaali Vcc
 on syötettävä langalle d, kuten alempana selitetään. Langan d
 kirjoituspiiri sisältää myös p-tyyppisen transistorin T9 ja
 n-tyyppisen transistorin T10 lähde/nielu-reittine sarjakytken-
 35 nän, joka on kytketty jännitelähteen Vcc ja n-tyyppisen tran-
 sistorin T11 nielun väliin, jonka transistorin lähde on kytketty
 maahan ja hila kytketty ulkoisesta ohjauksesta tulevaan kirjoin-
 tuslankaan. Transistorien T9 ja T10 nielujen välinen yhteys on

kytketty transistorin T6 hilalle ja sillä oleva jännite on V4. Transistorin T9 hilalle syötetään invertoitu esivaraussignaali prech^* , joka kytkee transistorin T6 hilaan syöttöjännitteeseen V_{cc} johtavan transistorin T9 kautta esivarausvaiheen aikana.

5

Langan d* kirjoituspiiri sisältää myös jännitelähteen V_{cc} ja transistorin T11 nielun välille kytketyn p-tyyppisen transistorin T12 ja n-tyyppisen transistorin T13 lähde/nielu-reitin sarjakytken. Transistorien T12 ja T13 nielujen välinen yhteys on kytketty transistorin T8 hilalle, ja sillä oleva jännite on V5. Transistorin T12 hilalle syötetään invertoitu esivaraussignaali prech^* , joka kytkee transistorin T8 hilaan syöttöjännitteeseen V_{cc} johtavan transistorin T12 kautta esivarausvaiheen aikana.

10

15

Ulkoinen lanka IN/OUT tuloa ja lähtö varten on kytketty kahteen kolmitilaiseen invertteriin. Toisen kolmitilaisen invertterin lankaan IN/OUT kytketty lähtö sisältää kahden n-tyyppisen transistorin T14, T15 sekä kahden p-tyyppisen transistorin T16, T17 lähde/nielu-reittien sarjakytken. Transistorin T16 hila on kytketty ulkoiseen ohjauslankaan, jolta tulee signaalin bitin, ja transistorin T15 hilalle syötetään invertoitu signaali bitin*. Toisen kolmitilaisen invertterin lankaan IN/OUT kytketty tulo sisältää kahden n-tyyppisen transistorin T18, T19 sekä kahden p-tyyppisen transistorin T20, T21 lähde/nielu-reittien sarjakytken. Transistorin T19 hila on kytketty ulkoiseen ohjauslankaan, jolta tulee signaalin bitin, ja transistorin T20 hilalle syötetään invertoitu signaali bitin*. Toisen kolmitilaisen invertterin lähtö on kytketty transistorin T13 hilalle ja invertterin INV kautta transistorin T10 hilalle.

20

25

30

35

40

45

Lukuvahvistin sisältää n-tyyppisen transistorin T22, jonka lähde on kytketty maahan, sen hila kytketty vakiojännitteeseen V_{bias} , joka pitää transistorin T22 jatkuvasti johtavana ja toimimassa virtageneraattorina, ja sen nielu on kytketty kahteen rinnakkaiseen n-tyyppisen transistorin ja p-tyyppisen transistorin T23, T24 ja vastaavasti T25, T26 muodostamaan lähde/nielu-reitin

sarjakytkentään, joiden toinen pää on kytketty syöttöjännitteeseen V_{cc} . P-tyyppisten transistorien T24 ja T26 hilat on kytketty toisiinsa sekä transistorien T23 ja T24 nieluihin. Transistorin T23 hila on kytketty bittisolun 7' lankaan d, ja transistorin
 5 T25 hila on kytketty lankaan d*.

Jokainen kellojakso, signaalit $prech$ ja $prech^*$, on jaettu esivarausvaiheeseen, jossa signaali $prech$ on korkealla, ja toimintavaiheeseen, jossa signaali $prech$ on matalalla, ja
 10 ulkoisen ohjauksen muut ohjaussignaalit määrittävät suoritettavan toiminnan. siten esivarausvaiheessa langat d, d* ja acc esivarataan jännitteeseen V_r transistorien T5, T7 ja vastaavasti T3 kautta.

15 Signaalit bitin ja bitin* säätävät hetken, jolloin dataa lähetetään soluun 7' tai siitä ulos. Kun signaali bitin on matalalla ja signaalin bitin* on korkealla, data siirretään bittisolusta langalle IN/OUT ensimmäisen kolmitilaisen invertterin kautta. Kun signaali bitin on korkealla ja signaali bitin*
 20 on matalalla, data siirretään bittisoluun langalta IN/OUT toisen kolmitilaisen invertterin kautta.

Vaiheen kaksi lukutoiminnassa, kun langat d, d* ja acc on varattu V_r :ään, langat d ja d* jätetään kellumaan ja lanka acc saatetaan
 25 jännitteeseen 0V korkealla jännitteellä V3, joka sattaa transistorin T4 johtamaan. Tämän johdosta matalimmassa potentiaalissa oleva solmu, esimerkiksi n1, laskee arvojen V_r ja 0V välillä olevaan potentiaaliin. Tämän johdosta virta kulkee langalta d solmuun n1 ja langalle acc. Tämä virta purkaa langan
 30 d, ts. langan d jännite laskee. Tämä jännitteen pieneneminen mitataan lukuvahvistimella T22.- T26. Lukemisen tulos saadaan transistorien T25 ja T26 nielujen väliseltä yhteydeltä ja syötetään ensimmäisen kolmittilaisen invertterin T14 - T17
 35 tuloon. Signaalin bitin ollessa matalalla ja signaalin bitin* ollessa korkealla tämä aiheuttaa luetun ja vahvistetun bitytiarvon siirtymisen tulo/lähtö-langalle IN/OUT. On tärkeitä, ettei lankoja d ja d* ajeta aktiivisesti vaiheen kaksi aikana, koska

siten toiseen lankaan ei saataisi mitään jännitteen alenemista.

Siten sekä d että d* on järjestetty aluksi jännitteeseen Vr lukutoimenpidettä varten. Sekä d että d* pidetään oleellisesti potentiaalissa Vr, mutta toinen niistä laskee jonkin verran, johtuen soluun "tulevasta virrasta", joka purkaa toista johdoista d, d*. Koska Vr tässä on määritelty "matalaksi", matala potentiaali on alempana kuin "matala". d ja d* tuottavat lukuarvot. Kun d on matalampi kuin d*, saadaan 'epätosi', ja kun d on korkeammalla kuin d* saadaan 'tosi'. Toimenpiteillä älä kirjoita, kirjoita 'epätosi', kirjoita 'tosi', älä kirjoita ja älä vertaa, lankojen d ja d* informaatio-potentiaalit eivät anna mitään tietoa.

Vaiheessa kaksi tapahtuvassa kirjoitustoimenpiteessä, kun langat d, d* ja acc on esivarattu jännitteeseen Vr, lanka acc saatetaan jännitteeseen 0V korkealla jännitteellä V3, joka saattaa transistorin T4 johtavaksi. Talletettava arvo järjestetään tulo/lähtö-langalle IN/OUT. Signaalit bitin korkea ja bitin* matala aktivoivat toisen kolmitilaisen invertterin T18 - T21 siirtämään lähtöönsä langalla IN/OUT olevan arvon. Transistorin T11 hilalla oleva korkea ohjaussignaali write (kirjoita) kytkee transistorien T10 ja T13 lähteet 0V:iin.

Toiselta kolmitilaiselta invertteriltä T18 - T21 tuleva korkea signaali, ts. kirjoitettava "0" eli 'epätosi', ohjaa transistorin T13 johtavaan tilaan asettaen jännitteen V5 matalaksi jännitteeksi, ja transistori T8 ohjataan johtavaksi ja lanka d* asetetaan jännitteeseen Vcc, ts. korkeaksi. Toiselta kolmitilaiselta invertteriltä transistorin T10 hilalle syötetty invertoitu matala signaali pitää sen ei-johtavassa tilassa, jolloin esivarausvaiheen aikana jännitelähteeseen Vcc kytketty jännite V4 pysyy tässä jännitteessä. Transistori T6 pysyy ei-johtavassa tilassa, ja langalle d esivarausjakson aikana transistorin T5 kytketty jännite säilyy.

Toiselta kolmitilaiselta invertteriltä T18 - T21 tuleva matala

signaali, ts. kirjoitettava "1" eli 'tosi', ohjaa langan d kirjoituspiirin T5, T6, T9, T10 T13 saattamaan sen korkeaan jännitteeseen invertterin INV kautta, kun taas kirjoituspiiri T7, T8, T12, T13 pitää langan d* jännitteessä Vr, johon se
5 asetettiin esivarausvaiheen aikana.

Kuten yllä olevista esimerkeistä ilmenee, käytetään kuvion 2 suoritusmuodossa talletussolmuja n1 ja n2 seuraavassa toimintamuodossa. Toinen solmuista n1, n2, tai kummatkin, varataan tai
10 puretaan toimintajakson toisen vaiheen aikana, riippuen siitä, mitä ohjaussignaalia V3, V4 tai V5 käytetään, ts. jos lanka acc on asetettu 0V:iin, tai jos toinen (tai molemmat) langoista d ja d* on asetettu Vcc:hen.

15 Kuten edellä mainittiin, jokainen toimintajakso muodostuu esivarausjaksosta ja toimintajaksosta. Kun alla siten mainitaan, että lanka acc asetetaan korkeaksi, sillä tarkoitetaan että signaali V3 ei ohjaa transistoria T4 asettamaan jännitettä 0V langalle acc toteutusjakson aikana. Samalla tavalla, kun alla
20 sanotaan, että lanka d tai d* asetetaan matalaksi, sillä tarkoitetaan että ohjaussignaali V4 tai V5 ei ohjaa transistoria T6 tai T8 jännitteen Vcc läpi kytkevään tilaan, jolloin jännite Vcc on korkeampi kuin Vr, ja kun lanka d tai d* on asetettu korkeaksi, niin transistori T6 tai T8 ohjataan kytkemään jännitteen Vcc läpi kulloisellekin langalle.

25 Muistisolun ala voi olla varsin laaja, niin että se esimerkiksi sisältää 256 muistisolua, joka tarkoittaa, että jokainen transistoripari T5, T6 ja vastaavasti T7, T8 on kytketty kaikissa muistisoluihin yhtä bittisolua palvelemaan lankaan, esimerkiksi
30 256 bittisoluihin. Tämän johdosta transistorien koot on sovittava väylän kokonaiskapasitanssiin ja toivottuun nopeuteen.

35 Jännite Vr voitaisiin muodostaa oikosuljetulla invertterilla, niin että säilytetään tunnettu yhteys Vr:n ja ajurivahvistimen invertterin välillä. Päässä olevien pääsypiirien on ohjattava bittisoluja ja myös siepattava tieto bittisoluista.

Ohjaustiloilla voidaan asettaa seuraavat toimintatilat:

	lepo	jossa solu pelkästään tallettaa arvon vstore;
	lue 'epätosi'	jossa voidaan lukea arvo vstore = 'epätosi';
	lue 'tosi'	jossa voidaan lukea arvo vstore = 'tosi';
5	älä lue	jossa solu pelkästään tallettaa arvon vstore;
	kirjoita 'epätosi'	jossa soluun talletetulle arvolle vstore asetetaan arvo 'epätosi';
	kirjoita 'tosi'	jossa soluun talletetulle arvolle vstore asetetaan arvo 'tosi';
10	älä kirjoita	jossa solu pelkästään tallettaa arvon vstore;
	vertaa 'epätosi'	jossa talletettua arvoa vstore verrataan arvoon 'epätosi';
	vertaa 'tosi'	jossa talletettua arvoa vstore verrataan arvoon 'tosi';
15	älä vertaa	jossa solu pelkästään tallettaa arvon vstore.

Alla on toimintataulukko bittisolun erilaisia toimintamuotoja varten:

20	<u>Toimintatila</u>	<u>acc</u>	<u>d</u>	<u>d*</u>
	lepo	korkea	matala	matala
	lue 'epätosi'	matala	virtaa sisään	matala
	lue 'tosi'	matala	matala	virtaa sisään
	älä lue	korkea	mielivalt.	mielivalt.
25	kirjoita 'epätosi'	matala	matala	korkea
	kirjoita 'tosi'	matala	korkea	matala
	älä kirjoita	korkea	mielivalt.	mielivalt.
	vertaa 'epätosi'	mielivalt.	matala	korkea
	vertaa 'tosi'	mielivalt.	korkea	matala
30	älä vertaa	mielivalt.	matala	matala
	Toimintoja vertaa 'epätosi' ja vertaa 'tosi' langalla acc tulisi olla tila virtaa ulos, jos vertailutulos on 'erilainen'.			
35	Vertaa 'tosi' tai vertaa 'epätosi' -toiminnoilla lanka acc (access, pääsylanka) antaa vertailun tuloksen. Lanka acc on esivarattu Vr:ään ja tulodata syötetään langalla d sekä sen			

käänteisarvo langalla d^* . Jos bittisoluun talletettu arvo on erilainen kuin tulodata, lanka acc varautuu toisen diodin D1 tai D2 kautta, ja vastaavan n-tyyppisen transistorin T1 tai T2 kautta. tämä ilmaistaan vahvistintransistorilla T11 päässä 8.

5 Kun verrattu tulos 'sama' ilmaistaan, lanka acc pystyy potentiaalissa Vr.

Ilmaisut 'virtaa sisään' ja 'virtaa ulos' ilmaisevat, että varaus siirtyy lankaan tai vastaavasti pois kyseiseltä langalta,
10 aikajakson aikana. Tämä tehdään tavallisesti saattamalla lanka tilaan korkea tai vastaavasti matala toimintatilassa lepo ja sitten siirtymällä varsinaiseen tilaan. Tällöin virtaa purkautuu langalta tai vastaavasti varautuu kyseiselle langalle. Sen vuoksi aikajakson aikana ei järjestetä jännitemuutosta.

15

Vaikka keksintöä on selitetty erityisiin suoritusmuotoihin viitaten, alan ammattilaiset ymmärtävät, että voidaan tehdä erilaisia muutoksia ja sen elementit voidaan korvata vastaavilla poikkeamatta keksinnön todellisesta hengestä tai sen suoja-alalta.
20 ta. Lisäksi voidaan tehdä muunnelmia poikkeamatta keksinnön oleellisista opetuksista.

25

30
35

Patenttivaatimukset

1. Muistilaite sovellettavaksi VLSI-tekniikalla, joka sisältää:

- muistin bittisolun, joka sisältää:

+ ensimmäisen, toisen ja kolmannen liitännän (V_{cc} , acc, d, d*);

5 + kiikun, joka sisältää ristiinkytketyn transistoriparin, joilla kummallakin on emitteri- tai nielu-elektrodi; sekä vastaavat (T_1 , T_2 , L_1 , L_2 ; T_1 , T_2 , I_1 , I_2) kuormat; jolloin kiikun syöttöjännite on kytketty mainitun ensimmäisen (V_{cc}) ja toisen (acc) liitännän väliin ja jolloin kiikkua voidaan ohjata

10 kummaltakin puolelta mainitun kolmannen ja neljännen liitännän (d, d*) kautta; ja jolloin kiikulla on ensimmäinen ja toinen solmukohta (n_1 , n_2), jotka voidaan saattaa keskenään eri jännitetasoille, joista jännitetasoyhdistelmistä toinen osoittaa talletetun bitin arvon 'tosi', ja toinen talletetun bitin

15 arvon 'epätosi'; ja jossa on mainitun kolmannen liitännän (d) ja mainitun ensimmäisen solmukohdan (n_1) väliin kytketty ensimmäinen erillinen tasasuuntaava väline (D_1); ja jossa on mainitun neljännen liitännän (d*) ja mainitun toisen solmukohdan (n_2) väliin kytketty toinen erillinen tasasuuntaava väline (D_2);
20 jolloin muistilaitteeseen lisäksi sisältyy:

- mainittuun kolmanteen ja neljänteen liitäntään (d, d*) kytketyn ensimmäisen välineen (9); ja

- mainittuun toiseen liitäntään (acc) kytketyn toisen välineen (8);

25 **tunnettu** siitä, että

mainittuun ensimmäiseen liitäntään jatkuvasti syötetään syöttöjännitettä, jolloin mainitut toinen, kolmas ja neljäs liitäntä mainitun ensimmäisen ja toisen välineen (8, 9) avulla voidaan asettaa eri asetustiloihin niin, että mainittu solu voidaan

30 asettaa moneen toimintatilaan toimintatilojen joukosta, joita jokaista edustaa mainitun toisen, kolmannen ja neljännen liitännän tilojen määrätty yhdistelmä; ja että toimintatilassa solun tilan vertaamiseksi tulodataan mainittu ensimmäinen väline (9) asettaa komplementaaristen tulosignaalien parin kolmanteen ja neljänteen liitäntään (d, d*); ja jolloin mainittu toinen väline (8)

35 sisältää kolmannen välineen (T_3) toisen liitännän (acc) esivaaramiseksi referenssijännitetasoon (V_r) ja neljännen välineen

(AMP) toisen liitännän jännitteen muutoksen ilmaisemiseksi.

2. Patenttivaatimuksen 1 mukainen muistilaite, **tunnettu** siitä, että mainitun solupiirin toisen, kolmannen ja neljännen liitännän mainitut asetustilat ovat "korkea" taso, "matala" taso, ei virtaa soluun, virta soluun mainitun kolmannen ja neljännen liitännän osalta, ja myös virtaa solusta mainitusta toisesta liitännästä (acc), jolloin "korkea" ja "matala" -tasot liittyvät siihen, pidetäänkö jännitteitä positiiviseen tai negatiiviseen suuntaan muuttuvina, ts. liittyvät siihen, onko mainitun ensimmäisen liitännän jännite (V_{cc}) positiivinen tai negatiivinen maan suhteen.

3. Patenttivaatimuksen 1 tai 2 mukainen muistilaite, **tunnettu** siitä, että sekä mainittu ensimmäinen että toinen väline (9, 8) on solupiirin kaikkia toimintatiloja varten sovitettu ohjaamaan toista, kolmatta ja neljättä liitäntää (acc, d, d*) ohjausjaksolla, joka käsittää kaksi vaihetta, ensimmäisen esivarausvaiheen, jossa mainittu toinen, kolmas ja neljäs liitäntä kytketään lisäjännitteeseen (V_r), joka on mainitun ensimmäisen liitännän jännitteen (V_{cc}) ja maan välillä, ja toisen toimintavaiheen sen asettamiseksi ennalta määrättyyn toimintatilaan, jolloin "korkea" ja "matala" tila määritetään mainitun lisäjännitteen suhteen, jolloin "korkea" ja "matala" taso määritetään mainitun lisäjännitteen (V_r) suhteen, ja jolloin mainittu korkea" ja "matala" taso liittyvät siihen, muuttuvatko piirin jännitteet positiiviseen vai negatiiviseen suuntaan.

4. Jonkin edellisen patenttivaatimuksen 1 - 3 mukainen muistilaite, **tunnettu** siitä, että mainittu solupiiri (T_1 , T_2 , L_1 , L_2 , D_1 , D_2 ; T_1 , T_2 , I_1 , I_2 , D_1 , D_2) on asetettavissa seuraaviin toimintatiloihin mainittujen toisen, kolmannen ja neljännen liitännän mainittujen asetustilojen yhdistelmien avulla:

lepo	jossa solu pelkästään tallettaa mainitun bittiarvon;
lue	jossa mainittu bittiarvo voidaan lukea mainitusta solupiiristä;
älä lue	jossa mainittu solupiiri pelkästään tallettaa

mainitun bittiarvon;

kirjoita 'epätosi' jossa mainittuun solupiiriin talletetulle
bittiarvolle asetetaan arvo 'epätosi';

kirjoita 'tosi' jossa mainittuun solupiiriin talletetulle
bittiarvolle asetetaan arvo 'tosi';

älä kirjoita jossa solu pelkästään tallettaa mainitun
bittiarvon;

vertaa 'epätosi' jossa mainittuun solupiiriin talletettua
bittiarvoa verrataan arvoon 'epätosi';

vertaa 'tosi' jossa mainittuun solupiiriin talletettua
bittiarvoa verrataan arvoon 'tosi';

älä vertaa jossa mainittu solupiiri pelkästään tallettaa
mainitun bittiarvon.

5. Jonkin edellisen patenttivaatimuksen mukainen muistilaite,
jossa "matala" ja "korkea" jännite liittyy siihen, että mainitun
bittisolun jännitteitä pidetään positiiviseen tai negatiiviseen
suuntaan muuttuvina, ts. liittyvät siihen, onko mainitun
ensimmäisen liitäntän jännite (V_{cc}) positiivinen tai negatiivi-
nen maan suhteen, **tunnettu** siitä, että toimintatila 'lepo'
tuotetaan toisella ja ensimmäisellä välineellä (9, 8) asetta-
malla toiseen, kolmanteen ja neljänteen liitäntään (acc, d, d*)
seuraava yhdistelmä: korkea, matala, matala.

6. Jonkin edellisen patenttivaatimuksen mukainen muistilaite,
jossa "matala" ja "korkea" jännite liittyy siihen, että mainitun
bittisolun jännitteitä pidetään positiiviseen tai negatiiviseen
suuntaan muuttuvina, ts. liittyvät siihen, onko mainitun
ensimmäisen liitäntän jännite (V_{cc}) positiivinen tai negatiivi-
nen maan suhteen, **tunnettu** siitä, että toimintatila 'lue epätosi'
tuotetaan toisella ja ensimmäisellä välineellä (9, 8) asetta-
malla toiseen, kolmanteen ja neljänteen liitäntään (acc, d, d*)
seuraava yhdistelmä: matala, virtaa sisään, matala.

7. Jonkin edellisen patenttivaatimuksen mukainen muistilaite,
jossa "matala" ja "korkea" jännite liittyy siihen, että mainitun
bittisolun jännitteitä pidetään positiiviseen tai negatiiviseen

suuntaan muuttuvina, ts. liittyvät siihen, onko mainitun ensimmäisen liitännän jännite (V_{cc}) positiivinen tai negatiivinen maan suhteen, **tunnettu** siitä, että toimintatila 'lue tosi' tuotetaan toisella ja ensimmäisellä välineellä (9, 8) asettamalla toiseen, kolmanteen ja neljänteen liitäntään (acc, d, d*) seuraava yhdistelmä: matala, matala, virtaa sisään.

8. Jonkin edellisen patenttivaatimuksen mukainen muistilaite, jossa "matala" ja "korkea" jännite liittyy siihen, että mainitun bittisolun jännitteitä pidetään positiiviseen tai negatiiviseen suuntaan muuttuvina, ts. liittyvät siihen, onko mainitun ensimmäisen liitännän jännite (V_{cc}) positiivinen tai negatiivinen maan suhteen, **tunnettu** siitä, että toimintatila 'älä lue' ja 'älä kirjoita' tuotetaan toisella välineellä asettamalla toiseen liitäntään (acc) tila 'korkea'.

9. Jonkin edellisen patenttivaatimuksen mukainen muistilaite, jossa "matala" ja "korkea" jännite liittyy siihen, että mainitun bittisolun jännitteitä pidetään positiiviseen tai negatiiviseen suuntaan muuttuvina, ts. liittyvät siihen, onko mainitun ensimmäisen liitännän jännite (V_{cc}) positiivinen tai negatiivinen maan suhteen, **tunnettu** siitä, että mainittu toinen liitäntä on pääsyliitäntä (acc), ja että mainittuun solupiiriin kirjoitettaessa mainittu ensimmäinen väline asettaa kolmanteen ja neljänteen liitäntään (d, d*) komplementaaristen tulosignaalien parin, ja että mainittu toinen väline sisältää viidennen välineen mainitun toisen liitännän (acc) asettamiseksi "matala"-tasolle.

10. Jonkin edellisen patenttivaatimuksen mukainen muistilaite, jossa "matala" ja "korkea" jännite liittyy siihen, että mainitun bittisolun jännitteitä pidetään positiiviseen tai negatiiviseen suuntaan muuttuvina, ts. liittyvät siihen, onko mainitun ensimmäisen liitännän jännite (V_{cc}) positiivinen tai negatiivinen maan suhteen, **tunnettu** siitä, että mainittu toinen väline on sovitettu asettamaan kolmanteen ja neljänteen liitäntään (d, d*) komplementaaristen tulosignaalien erilaiset yhdistelmät toimintatiloja 'vertaa epätosi' ja 'vertaa tosi' varten.

11. Jonkin edellisen patenttivaatimuksen mukainen muistilaite, jossa "matala" ja "korkea" jännite liittyy siihen, että mainitun bittisolun jännitteitä pidetään positiiviseen tai negatiiviseen suuntaan muuttuvina, ts. liittyvät siihen, onko mainitun ensimmäisen liitännän jännite (V_{cc}) positiivinen tai negatiivinen maan suhteen, **tunnettu** siitä, että toimintatila 'älä vertaa' tuotetaan ensimmäisellä välineellä (9) asettamalla sekä kolmas että neljäs liitäntä (d, d*) tilaan 'matala', ja käyttämällä mainituksa toisessa välineessä (8) olevaa mainittua kolmatta ja neljättä välinettä (T3, AMP).

12. Jonkin edellisen patenttivaatimuksen mukainen muistilaite, **tunnettu** siitä, että mainitun kiikun rakenne on seuraava: mainitun toisen liitännän (acc) ja mainitun ensimmäisen liitännän (V_{cc}) väliin on järjestetty rinnakkaisesti ensimmäinen ja toinen sarjakytkentä, jolloin molemmat sisältävät transistorin ja kuorman (T1, L1 ja T2, L2) lähde/nielu-reitin, jolloin mainitun ensimmäisen sarjakytkennän mainitun kuorman ja mainitun transistorin välinen liitäntä on mainittu ensimmäinen solmukohta (n1), joka on kytketty mainitun toisen sarjakytkennän mainitun transistorin hilalle, ja jolloin mainitun toisen sarjakytkennän mainitun kuorman ja mainitun transistorin välinen liitäntä on mainittu toinen solmukohta, joka on kytketty mainitun ensimmäisen sarjakytkennän mainitun transistorin hilalle; että mainitun kolmannen liitännän (d) ja mainitun ensimmäisen solmukohdan väliin on kytketty ensimmäinen tasasuuntaava elementti (D1), joka sallii virran kulun vain toiseen suuntaan mainitun kolmannen liitännän suhteen, ja että mainitun neljännen liitännän (d*) ja mainitun toisen solmukohdan (n2) väliin on kytketty toinen tasasuuntaava elementti (D2), joka sallii virran kulun vain toiseen suuntaan mainitun neljännen liitännän suhteen.

13. Patenttivaatimuksen 12 mukainen muistilaite, **tunnettu** siitä, että mainitut tasasuuntaavat elementit (D1 ja D2) on valittu alla olevien komponenttien joukosta:

1) n-kanava MOS FET, jonka nielu ja hila on kytketty toisiinsa (positiiviset jännitteet);

2) p-kanava MOS FET, jonka lähde ja hila on kytketty toisiinsa (negatiiviset jännitteet);

3) pn-diodi (positiiviset jännitteet; negatiiviset jännitteet vastakkaissuuntaisella diodilla);

5 4) Schottky-diodi (positiiviset jännitteet; negatiiviset jännitteet vastakkaissuuntaisella diodilla).

14. Patenttivaatimuksen 12 mukainen muistilaite, **tunnettu** siitä, että mainitut transistorit (T1 ja T2) on valittu alla olevien
10 komponenttien joukosta:

1) n-kanava MOS FET (positiiviset jännitteet);

2) p-kanava MOS FET (negatiiviset jännitteet);

3) npn-bipolaaritransistori (positiiviset jännitteet);

4) pnp-bipolaaritransistori (negatiiviset jännitteet).

15

15. Patenttivaatimuksen 12 mukainen muistilaite, **tunnettu** siitä, että mainitut kuormat (L1 ja L2) on valittu alla olevien komponenttien joukosta:

1) vastus;

20 2) n-kanava avaustyyppinen MOS FET, jonka nielu ja hila on kytketty toisiinsa (positiiviset jännitteet);

3) p-kanava avaustyyppinen MOS FET, jonka nielu ja hila on kytketty toisiinsa (negatiiviset jännitteet);

25 4) n-kanava tyhjennystyyppinen MOS FET, jonka nielu ja hila on kytketty toisiinsa (positiiviset jännitteet);

5) p-kanava tyhjennystyyppinen MOS FET, jonka nielu ja hila on kytketty toisiinsa (negatiiviset jännitteet);

6) n-kanava MOS FET, jonka hila toimii ohjauselektrodina ja lähde ja nielu johtavina yhteyksinä (positiiviset jännitteet);

30 7) p-kanava MOS FET, jonka hila toimii ohjauselektrodina ja lähde ja nielu johtavina yhteyksinä (negatiiviset jännitteet);

8) pnp-transistori, jonka kanta toimii ohjauselektrodina ja emitteri ja kollektori johtavina yhteyksinä (positiiviset jännitteet);

35 9) npn-transistori, jonka kanta toimii ohjauselektrodina ja emitteri ja kollektori johtavina yhteyksinä (negatiiviset jännitteet).