

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成24年8月9日(2012.8.9)

【公表番号】特表2010-537265(P2010-537265A)

【公表日】平成22年12月2日(2010.12.2)

【年通号数】公開・登録公報2010-048

【出願番号】特願2010-520524(P2010-520524)

【国際特許分類】

**G 0 6 F 12/08 (2006.01)**

【F I】

G 0 6 F 12/08 5 0 7 E

G 0 6 F 12/08 5 0 9 Z

G 0 6 F 12/08 5 1 1 E

G 0 6 F 12/08 5 2 3 B

【手続補正書】

【提出日】平成24年6月21日(2012.6.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のプロセッサに通信可能なように結合され、アドレス階層に基づいて2つまたはそれ以上のキャッシュ・スライスに分割された、第1レベルのキャッシュと、前記第1のプロセッサに通信可能なように結合された、第2レベルのキャッシュであって、前記第2レベルのキャッシュは、少なくとも2ウェイ・セクタ化された2つまたはそれ以上の第2のキャッシュ・スライスを有し、2つまたはそれ以上の第2のキャッシュ・スライス内のセクタは、第1のセクタが、前記2つまたはそれ以上の第2のキャッシュ・スライスのうちの第1に割り当てられ、前記第1のセクタと連続している第2のセクタが、前記2つまたはそれ以上の第2のキャッシュ・スライスのうちの第2に割り当てられるように、前記アドレス階層に従って不連続に割り振られる、第2レベルのキャッシュと、を備える、メモリ・サブシステム。

【請求項2】

前記第1レベルと前記第2レベルのキャッシュ間でのデータ交換を可能にするために、前記第1レベルのキャッシュを前記第2レベルのキャッシュに接続するための相互接続であって、(1)前記第1レベルのキャッシュの第1のスライスを前記第2レベルのキャッシュ内の対応する第1のスライスに通信可能なように接続する、第1のデータ・バスと、(2)前記第1レベルのキャッシュの第2のスライスを前記第2レベルのキャッシュ内の対応する第2のスライスに通信可能なように接続する、第2のデータ・バスとを含む、相互接続をさらに備え、

前記第1レベルのキャッシュ内の第1のセクタのデータが、前記第2レベルのキャッシュ内の前記第2のキャッシュ・スライスのうちの第1にのみ割り振られ、前記第1レベルのキャッシュ内の第2のセクタのデータが、前記第2レベルのキャッシュ内の前記第2のキャッシュ・スライスのうちの第2にのみ割り振られる、

請求項1に記載のメモリ・サブシステム。

【請求項3】

前記第1レベルのキャッシュと同様に構成され、前記第2レベルのキャッシュを前記第1

レベルのキャッシュと共有する、次の第1レベルのキャッシュをさらに備え、前記相互接続が、(1)前記次の第1レベルのキャッシュの第1のスライスを、前記第2のキャッシュ・スライスのうちの第1に通信可能なように接続する、第3のデータ・バスと、(2)前記次の第1レベルのキャッシュの第2のスライスを、前記第2のキャッシュ・スライスのうちの第2に通信可能なように接続する、第4のデータ・バスとを、さらに備え、

前記第1レベルのキャッシュおよび前記次の第1レベルのキャッシュはどちらも、それぞれの第1のスライスから前記第2のキャッシュ・スライスへ、およびその逆に、データを調達し、第1レベルのキャッシュはどちらも、それぞれの第2のスライスから前記第2のキャッシュ・スライスへ、およびその逆に、データを調達する、

請求項2に記載のメモリ・サブシステム。

【請求項4】

1つまたは複数のセクタ・ビットの位置を、キャッシュ・ラインに関するアドレス・タグ内の1つまたは複数のスライス・セクタ・ビットに関して交換する機能であって、前記スライス・セクタ・ビットは、対応するデータのラインが第2レベルのキャッシュ内で割り当てられることになるスライスを示すために使用され、前記セクタ・ビットは、前記キャッシュ・ライン・データが割り振られる特定のセクタを示す、交換する機能と、

前記1つまたは複数のスライス・セクタ・ビット内に第1の値を有する第1のデータを、前記1つまたは複数のスライス・ビットによって示される前記第2レベルのキャッシュ内の第1のスライスに自動的に割り当てる機能と、

前記1つまたは複数のスライス・セクタ・ビット内に第2の値を有する第2のデータを、前記1つまたは複数のスライス・セクタ・ビットによって示される前記第2レベルのキャッシュ内の第2のスライスに自動的に割り当てる機能と、

を、完了するための、キャッシュ・ライン・アドレス・ビット割り当て論理を備える、第2レベルのキャッシュ・アドレッシング・プロトコルをさらに備える、請求項1～3のいずれか一項に記載のメモリ・サブシステム。

【請求項5】

前記自動的な割り当てが、

前記キャッシュ・ライン・アドレス内の前記スライス・セクタ・ビットの値をチェックすること、

前記キャッシュ・ライン・アドレスのメモリ・アドレス部分が0ビット値で終わる場合、前記第2レベルのキャッシュ内の前記第1のスライスに前記キャッシュ・ラインを割り当てること、および

前記キャッシュ・ライン・アドレスの前記メモリ・アドレス部分が1ビット値で終わる場合、前記第2レベルのキャッシュ内の前記第2のスライスに前記キャッシュ・ラインを割り当てること、

を含み、

前記キャッシュ・ラインの前記メモリ・アドレス部分を表すために、キャッシュ・ライン・アドレス内の複数のビットが使用され、前記複数のビットのうちの最後の1つまたは複数のビットが、前記スライス・セクタ・ビットに対応する、

請求項4に記載のメモリ・サブシステム。

【請求項6】

前記第2レベルのキャッシュがNウェイ・セクタ化され、Nは2のべき乗であり、

同じキャッシュ・スライスに2つの連続するセクタが割り振られないように、連続するセクタの各ペアが、前記2つまたはそれ以上のキャッシュ・スライスにわたって割り振られる、

請求項4または5に記載のメモリ・サブシステム。

【請求項7】

前記キャッシュ・ラインのメモリ・アドレス部分を表すために、キャッシュ・ライン・アドレス内の複数のビットが使用され、前記複数のビットのうちの最後の1つまたは複数の

ビットが、前記スライス・セクタ・ビットに対応し、  
前記最後の1つまたは複数のビットが、00Hexおよび80Hexで終わる前記メモリ・アドレスに対応し、00Hexで終わる前記メモリ・アドレス部分を備えるキャッシュ・ラインが前記第1のスライスにルーティングされ、80Hexで終わる前記メモリ・アドレス部分を備えるキャッシュ・ラインが前記第2のスライスにルーティングされるように、前記割り当てが完了する、  
請求項4、5、または6に記載のメモリ・サブシステム。