

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成24年8月9日 (2012.8.9)

【公表番号】特表2010-537265(P2010-537265A)
 【公表日】平成22年12月2日 (2010.12.2)
 【年通号数】公開・登録公報2010-048
 【出願番号】特願2010-520524(P2010-520524)
 【国際特許分類】

G 0 6 F 12/08 (2006.01)

【F I】

G 0 6 F 12/08 5 0 7 E

G 0 6 F 12/08 5 0 9 Z

G 0 6 F 12/08 5 1 1 E

G 0 6 F 12/08 5 2 3 B

【手続補正書】

【提出日】平成24年6月21日 (2012.6.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 のプロセッサに通信可能なように結合され、アドレス階層に基づいて 2 つまたはそれ以上のキャッシュ・スライスに分割された、第 1 レベルのキャッシュと、
 前記第 1 のプロセッサに通信可能なように結合された、第 2 レベルのキャッシュであって、前記第 2 レベルのキャッシュは、少なくとも 2 ウェイ・セクタ化された 2 つまたはそれ以上の第 2 のキャッシュ・スライスを有し、2 つまたはそれ以上の第 2 のキャッシュ・スライス内のセクタは、第 1 のセクタが、前記 2 つまたはそれ以上の第 2 のキャッシュ・スライスのうちの第 1 に割り当てられ、前記第 1 のセクタと連続している第 2 のセクタが、前記 2 つまたはそれ以上の第 2 のキャッシュ・スライスのうちの第 2 に割り当てられるように、前記アドレス階層に従って不連続に割り振られる、第 2 レベルのキャッシュと、を備える、メモリ・サブシステム。

【請求項 2】

前記第 1 レベルと前記第 2 レベルのキャッシュ間でのデータ交換を可能にするために、前記第 1 レベルのキャッシュを前記第 2 レベルのキャッシュに接続するための相互接続であって、(1) 前記第 1 レベルのキャッシュの第 1 のスライスを前記第 2 レベルのキャッシュ内の対応する第 1 のスライスに通信可能なように接続する、第 1 のデータ・バスと、(2) 前記第 1 レベルのキャッシュの第 2 のスライスを前記第 2 レベルのキャッシュ内の対応する第 2 のスライスに通信可能なように接続する、第 2 のデータ・バスとを含む、相互接続をさらに備え、

前記第 1 レベルのキャッシュ内の第 1 のセクタのデータが、前記第 2 レベルのキャッシュ内の前記第 2 のキャッシュ・スライスのうちの第 1 にのみ割り振られ、前記第 1 レベルのキャッシュ内の第 2 のセクタのデータが、前記第 2 レベルのキャッシュ内の前記第 2 のキャッシュ・スライスのうちの第 2 にのみ割り振られる、

請求項 1 に記載のメモリ・サブシステム。

【請求項 3】

前記第 1 レベルのキャッシュと同様に構成され、前記第 2 レベルのキャッシュを前記第 1

レベルのキャッシュと共有する、次の第 1 レベルのキャッシュをさらに備え、
前記相互接続が、(1) 前記次の第 1 レベルのキャッシュの第 1 のスライスを、前記第 2 のキャッシュ・スライスのうちの第 1 に通信可能なように接続する、第 3 のデータ・バスと、(2) 前記次の第 1 レベルのキャッシュの第 2 のスライスを、前記第 2 のキャッシュ・スライスのうちの第 2 に通信可能なように接続する、第 4 のデータ・バスとを、さらに備え、

前記第 1 レベルのキャッシュおよび前記次の第 1 レベルのキャッシュはどちらも、それぞれの第 1 のスライスから前記第 2 のキャッシュ・スライスへ、およびその逆に、データを調達し、第 1 レベルのキャッシュはどちらも、それぞれの第 2 のスライスから前記第 2 のキャッシュ・スライスへ、およびその逆に、データを調達する、

請求項 2 に記載のメモリ・サブシステム。

【請求項 4】

1 つまたは複数のセクタ・ビットの位置を、キャッシュ・ラインに関するアドレス・タグ内の 1 つまたは複数のスライス・セクタ・ビットに関して交換する機能であって、前記スライス・セクタ・ビットは、対応するデータのラインが第 2 レベルのキャッシュ内で割り当てられることになるスライスを示すために使用され、前記セクタ・ビットは、前記キャッシュ・ライン・データが割り振られる特定のセクタを示す、交換する機能と、

前記 1 つまたは複数のスライス・セクタ・ビット内に第 1 の値を有する第 1 のデータを、前記 1 つまたは複数のスライス・ビットによって示される前記第 2 レベルのキャッシュ内の第 1 のスライスに自動的に割り当てる機能と、

前記 1 つまたは複数のスライス・セクタ・ビット内に第 2 の値を有する第 2 のデータを、前記 1 つまたは複数のスライス・セクタ・ビットによって示される前記第 2 レベルのキャッシュ内の第 2 のスライスに自動的に割り当てる機能と、

を、完了するための、キャッシュ・ライン・アドレス・ビット割り当て論理を備える、第 2 レベルのキャッシュ・アドレッシング・プロトコルをさらに備える、請求項 1 ~ 3 のいずれか一項に記載のメモリ・サブシステム。

【請求項 5】

前記自動的な割り当てが、

前記キャッシュ・ライン・アドレス内の前記スライス・セクタ・ビットの値をチェックすること、

前記キャッシュ・ライン・アドレスのメモリ・アドレス部分が 0 ビット値で終わる場合、前記第 2 レベルのキャッシュ内の前記第 1 のスライスに前記キャッシュ・ラインを割り当てること、および

前記キャッシュ・ライン・アドレスの前記メモリ・アドレス部分が 1 ビット値で終わる場合、前記第 2 レベルのキャッシュ内の前記第 2 のスライスに前記キャッシュ・ラインを割り当てること、

を含み、

前記キャッシュ・ラインの前記メモリ・アドレス部分を表すために、キャッシュ・ライン・アドレス内の複数のビットが使用され、前記複数のビットのうちの最後の 1 つまたは複数のビットが、前記スライス・セクタ・ビットに対応する、

請求項 4 に記載のメモリ・サブシステム。

【請求項 6】

前記第 2 レベルのキャッシュが N ウェイ・セクタ化され、N は 2 のべき乗であり、同じキャッシュ・スライスに 2 つの連続するセクタが割り振られないように、連続するセクタの各ペアが、前記 2 つまたはそれ以上のキャッシュ・スライスにわたって割り振られる、

請求項 4 または 5 に記載のメモリ・サブシステム。

【請求項 7】

前記キャッシュ・ラインのメモリ・アドレス部分を表すために、キャッシュ・ライン・アドレス内の複数のビットが使用され、前記複数のビットのうちの最後の 1 つまたは複数の

ビットが、前記スライス・セクタ・ビットに対応し、
前記最後の１つまたは複数のビットが、００Hexおよび８０Hexで終わる前記メモリ・アドレスに対応し、００Hexで終わる前記メモリ・アドレス部分を備えるキャッシュ・ラインが前記第１のスライスにルーティングされ、８０Hexで終わる前記メモリ・アドレス部分を備えるキャッシュ・ラインが前記第２のスライスにルーティングされるように、前記割り当てが完了する、
請求項４、５、または６に記載のメモリ・サブシステム。