



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0108255

(43) 공개일자 2015년09월25일

(51) 국제특허분류(Int. Cl.)

H03F 1/32 (2006.01) H03F 1/07 (2006.01)

(21) 출원번호 10-2014-0031238

(22) 출원일자 2014년03월17일

심사청구일자 2014년03월17일

(71) 출원인

한국과학기술원

대전광역시 유성구 대학로 291(구성동)

한밭대학교 산학협력단

대전광역시 유성구 동서대로 125 (덕명동)

(72) 발명자

홍성철

대전광역시 유성구 대학로 291, 한국과학기술원 (구성동)

이상민

대전광역시 유성구 대학로 291, 한국과학기술원 (구성동)

이동호

대전광역시 유성구 동서대로 125, 한밭대학교 (덕명동)

(74) 대리인

박영우

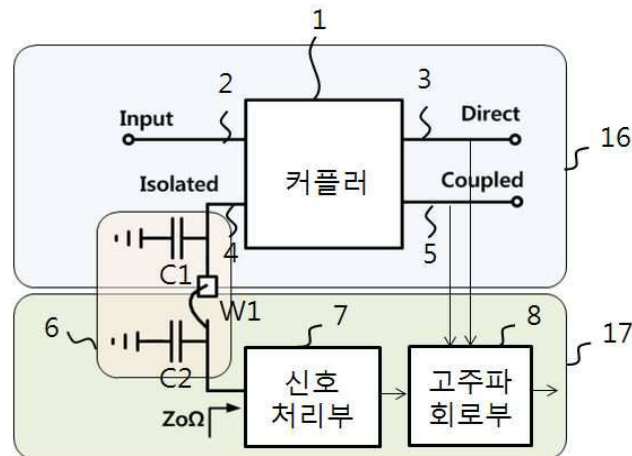
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 커플러의 분리단을 이용한 신호 검출 장치

(57) 요약

본 발명은 입력단, 직접단, 결합단 및 분리단의 4 단자를 포함하는 커플러, 상기 커플러의 분리단의 검출 신호를 감지하거나 정류하여 DC 신호로 출력하는 신호 처리부 및 상기 커플러와 상기 신호 처리부를 연결하고 임피던스를 정합하는 분리단 임피던스 정합부를 포함하는 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치에 관한 것이다.

대표도 - 도5



이 발명을 지원한 국가연구개발사업

과제고유번호 1297204001130010200

부처명 방송통신위원회

연구관리전문기관 한국과학기술원

연구사업명 방송통신기술개발사업

연구과제명 4G 네트워크에 적용 가능한 안테나 일체형 (RF+Baseband+안테나) 초소형 기지국 핵심 기술
개발(2차년도)

기 여 율 1/1

주관기관 (주)케이엠더블유

연구기간 2013.05.01 ~ 2014.04.30

명세서

청구범위

청구항 1

커플러;

상기 커플러의 분리단(isolated port)의 검출 신호를 감지하거나 정류하는 신호 처리부 및

상기 커플러와 상기 신호 처리부를 연결하고 임피던스를 정합하는 분리단 임피던스 정합부를 포함하는 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 2

제1항에 있어서,

상기 신호 처리부의 출력에 의해 제어되어 상기 커플러의 직접단(direct port)과 결합단(coupled port)의 출력 신호를 증폭시키는 고주파 회로부를 더 포함하는 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 3

제1항에 있어서,

상기 커플러는 커플러칩에 집적되며 분리단을 커플러칩의 패드로 뽑아내고, 상기 신호 처리부는 커플러칩과는 별도의 고주파회로칩에 집적된 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 4

제3항에 있어서,

상기 분리단 임피던스 정합부는,

상기 커플러칩의 분리단과 상기 고주파회로칩의 패드를 와이어 본딩하는 본딩 와이어;

상기 커플러칩의 분리단에 병렬로 연결된 제1 커패시터 및

상기 신호 처리부의 입력단에 병렬로 연결된 제2 커패시터를 포함하고,

상기 본딩 와이어, 상기 제1 커패시터 및 상기 제2 커패시터는 전송 선로의 등가 파이 모델의 인덕터와 양단 커패시터인 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 5

제4항에 있어서,

상기 분리단 임피던스 정합부는,

상기 커플러의 분리단과 본딩 와이어의 패드 사이에 직렬 연결되고, 커플러칩 내부에 집적된 인덕터를 포함하는 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 6

제4항 또는 제5항에 있어서,

상기 분리단 임피던스 정합부는,

상기 신호 처리부의 입력단과 본딩 와이어의 패드 사이에 직렬 연결되고, 상기 고주파회로칩에 집적된 인덕터를 포함하는 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 7

제4항에 있어서,

상기 분리단 임피던스 정합부는,

상기 커플러칩 내부에 집적되고 상기 커플러의 분리단에 직렬 연결된 제1 인덕터;

상기 커플러칩 내부에 집적되고 상기 커플러의 분리단에 병렬 연결된 제1 커패시터 및

상기 인덕터의 일단과 상기 고주파회로칩의 패드를 와이어 본딩하는 본딩 와이어를 포함하고,

상기 제1 커패시터, 상기 제1 인덕터 및 상기 본딩 와이어는 전송 선로의 등가 T 모델의 커패시터와 양단 인덕터인 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 8

제7항에 있어서,

상기 분리단 임피던스 정합부는,

상기 고주파회로칩 내부에 집적되고, 상기 신호 처리부의 입력단과 본딩 와이어 사이에 직렬 연결되는 제2 인덕터를 더 포함하는 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 9

제4항에 있어서,

상기 분리단 임피던스 정합부는,

상기 커플러칩의 분리단과 상기 고주파회로칩의 패드를 와이어 본딩하는 본딩 와이어;

상기 고주파회로칩의 내부에 집적되고 상기 신호 처리부의 입력단에 직렬 연결된 인덕터 및

상기 고주파회로칩의 내부에 집적되고, 상기 인덕터와 상기 본딩 와이어의 교점에 병렬 연결된 커패시터를 포함하고,

상기 커패시터, 상기 인덕터 및 상기 본딩 와이어는 전송 선로의 등가 T 모델의 커패시터와 양단 인덕터인 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 10

제4항에 있어서,

상기 분리단 임피던스 정합부는,

상기 커플러칩의 분리단과 상기 고주파회로칩의 패드를 와이어 본딩하는 본딩 와이어;

상기 고주파회로칩의 내부에 집적되고 상기 본딩 와이어의 일단에 직렬 연결된 제1 인덕터;

상기 고주파회로칩의 내부에 집적되고 상기 제1 인덕터와 상기 신호 처리부의 입력단의 사이에 병렬 연결된 제2 인덕터 및

상기 고주파회로칩의 내부에 집적되고 상기 제1 인덕터와 상기 제2 인덕터의 교점에 병렬 연결된 커패시터를 포함하는 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 11

제3항에 있어서,

상기 신호 처리부는 상기 커플러의 분리단의 검출 신호의 전력을 감지하여 상기 고주파 회로부의 트랜지스터에 게이트에 인가하는 전력 디텍터인 것을 특징으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 12

제3항에 있어서,

상기 커플러의 분리단의 검출 신호는 상기 고주파회로칩에서 가공되어 상기 커플러칩으로 피드백되는 것을 특징

으로 하는 커플러의 분리단을 이용한 신호 검출 장치.

청구항 13

입력단, 직접단, 결합단 및 분리단을 포함하는 커플러;

상기 커플러의 분리단의 검출 신호를 감지하거나 정류하여 DC 신호로 출력하는 신호 처리부;

캐리어 증폭부와 상기 커플러의 결합단의 출력이 제1 전력 레벨보다 크면 동작하는 피킹 증폭부를 포함하여 상기 커플러의 직접단과 결합단의 출력을 증폭시키는 도허티 증폭부를 포함하고,

상기 피킹 증폭부는 상기 신호 처리부의 출력에 의해 제어되어 동작하는 것을 특징으로 하는 커플러의 분리단의 검출 신호를 이용한 도허티 전력 증폭기.

청구항 14

제13항에 있어서,

상기 커플러의 분리단과 상기 신호 처리부를 연결하고 상기 신호 처리부의 임피던스를 정합하는 분리단 임피던스 정합부를 더 포함하는 것을 특징으로 하는 커플러의 분리단의 검출 신호를 이용한 도허티 전력 증폭기.

청구항 15

입력단, 직접단, 결합단 및 분리단을 포함하는 커플러;

상기 커플러의 분리단의 검출 신호를 감지하거나 정류하는 신호 처리부;

상기 커플러의 직접단의 출력을 증폭시키는 제1 증폭부와 상기 커플러의 결합단의 출력을 증폭시키는 제2 증폭부를 포함하는 전력 증폭부 및

상기 제1 증폭부의 출력과 상기 제2 증폭부의 출력을 합성하는 출력 커플러를 포함하고,

상기 전력 증폭부는 상기 신호 처리부의 출력에 의해 제어되어 동작하는 것을 특징으로 하는 커플러의 분리단의 검출 신호를 이용한 평형 전력 증폭기.

청구항 16

제15항에 있어서,

상기 커플러의 분리단과 상기 신호 처리부의 입력단을 연결하고 상기 신호 처리부의 임피던스를 정합하는 분리단 임피던스 정합부를 더 포함하는 커플러의 분리단의 검출 신호를 이용한 평형 전력 증폭기.

발명의 설명

기술 분야

[0001] 본 발명은 신호 분배 기술에 관한 것으로서, 더욱 상세하게는 커플러의 분리단에서 검출되는 신호를 별도의 신호 분배 회로의 출력 대신 재활용하여 제조비용을 감소시킨 커플러의 분리단을 이용한 신호 검출 및 분배 장치에 관한 것이다.

배경 기술

[0002] 최근 고주파 송수신 시스템은 신호의 분배 또는 검출 등을 위해 분배기 및 커플러 등이 사용되고 있고 신호의 가공을 위한 추가적인 회로들이 사용되고 있다. 예를 들면, 입력 신호의 크기에 따라 트랜지스터의 바이어스를 조정하는 적응형 바이어스(adaptive bias) 회로나 출력 신호의 선형 특성을 개선하기 위해서 사용하는 전치왜곡(predistortion) 회로 등이 있다. 이러한 고주파 송수신 시스템에서 사용되어지는 신호의 분배 또는 검출 회로들 중 하나로서 커플러가 있다.

[0003] 도 1을 참조하면, 커플러는 입력단(input port), 직접단(direct port), 결합단(coupled port) 및 분리단(isolated port)의 4 개의 입출력단을 갖는다. 이상적으로 커플러는 고주파 회로의 출력 신호를 직접단과 결합단으로 분배를 하고 분배된 신호간의 위상 차이를 갖게 하며 분리단으로는 신호가 검출되지 않도록 하고 있다. 그러나 실제로 의도적으로 분리단에 적은 양의 신호가 출력되도록 설계하거나 제작상의 비이상적인 점으로 인해

분리단으로부터 신호가 검출되는 경우가 있다. 이 경우 분리단의 검출 신호는 입력 신호 대비 -20 dB 내지 -30 dB 정도의 매우 작은 값이 검출되므로 커플러의 특성 임피던스와 동일한 값의 저항을 이용하여 제거하고 있다. 예를 들면 도 1과 같은 커플러의 분리단에 50 Ω 저항을 연결함으로써 분리단에서 검출되는 신호는 저항을 통해 열로 소모된다. 분리단이 커플러의 특성 임피던스와 동일한 값의 저항과 연결되지 않으면 직접단과 결합단의 출력 신호의 크기 또는 위상의 왜곡이 발생한다.

[0004] 특허문헌 1은 하이브리드 커플러를 이용한 평형 증폭기 회로에 관한 것으로서, 커플러의 분리단을 50 Ω 저항으로 커플러와 임피던스를 정합하여 분리단을 통한 신호는 열로 소모되며, 증폭기를 구동시키기 위해서는 별도의 DC 바이어스부를 설계해야 하는 문제점이 있다.

선행기술문헌

[0005] 1. 한국공개특허 제10-2004-0054943(2004년 06월 26일 공개)

발명의 내용

해결하려는 과제

[0006] 상기와 같은 문제점을 해결하고자 본 발명은 커플러의 비이상적인 부분으로 인해 커플러의 분리단에서 발생한 검출 신호를 제거하지 않고 신호 분배 회로 대신 재활용하여 제조비용을 감소시키고, 커플러칩과 고주파회로칩 간 임피던스 정합을 하여 커플러의 출력 신호의 왜곡을 줄이고 고주파 회로부의 출력 특성을 개선시킨 커플러의 분리단을 이용한 신호의 검출 장치를 제공하고자 한다.

과제의 해결 수단

[0007] 상기의 해결하려는 과제를 위한 본 발명에 의한 커플러의 분리단을 이용한 신호 검출 장치는 커플러, 상기 커플러의 분리단의 검출 신호를 감지하거나 정류하여 DC 신호로 출력하는 신호 처리부 및 상기 커플러와 상기 신호 처리부를 연결하고 임피던스를 정합하는 분리단 임피던스 정합부를 포함하는 것을 특징으로 한다.

[0008] 다른 실시예로서 본 발명에 의한 커플러의 분리단의 검출 신호를 이용한 도허티 전력 증폭기는 입력단, 직접단, 결합단 및 분리단의 4 단자를 포함하는 커플러, 상기 커플러의 분리단의 검출 신호를 이용하는 신호 처리부, 캐리어 증폭부와 상기 커플러의 결합단의 출력이 제1 전력 레벨보다 크면 동작하는 피킹 증폭부를 포함하여 상기 커플러의 직접단과 결합단의 출력을 증폭시키는 도허티 증폭부를 포함하고, 상기 피킹 증폭부는 상기 신호 처리부의 출력에 의해 제어되어 동작하고, 상기 커플러의 분리단과 상기 신호 처리부를 연결하고 상기 신호 처리부의 임피던스를 정합하는 분리단 임피던스 정합부를 더 포함하는 것을 특징으로 한다.

[0009] 다른 실시예로서 본 발명에 의한 커플러의 분리단의 검출 신호를 이용한 평형 전력 증폭기는 입력단, 직접단, 결합단 및 분리단을 포함하는 커플러, 상기 커플러의 분리단의 검출 신호를 감지하거나 정류하는 신호 처리부, 상기 커플러의 직접단의 출력을 증폭시키는 제1 증폭부와 상기 커플러의 결합단의 출력을 증폭시키는 제2 증폭부를 포함하는 전력 증폭부 및 상기 제1 증폭부의 출력과 상기 제2 증폭부의 출력을 합성하는 출력 커플러를 포함하고, 상기 전력 증폭부는 상기 신호 처리부의 출력에 의해 제어되어 동작하는 것을 특징으로 한다.

발명의 효과

[0010] 본 발명은 50 Ω 저항을 이용하지 않고 커플러와 동일한 특성 임피던스를 갖는 분리단 임피던스 정합부를 이용하여 작은 양의 신호를 버리지 않고 재사용하므로 별도의 신호 분배 회로를 추가하지 않을 수 있다.

[0011] 또한 본 발명은 고주파 회로부의 면적 및 사용되는 소자를 감소시킴으로써 고주파 송수신 시스템의 효율을 높이고 고주파 송수신 시스템의 크기를 소형화시킬 수 있으므로 제조비용이 감소되는 효과가 발생한다.

[0012] 또한 본 발명에 의한 커플러 칩 내부와 외부의 회로를 연결할 때 전송선로 등가 모델을 이용하여 임피던스를 정합함으로써 커플러의 직접단과 결합단은 원하는 신호를 왜곡 없이 전달할 수 있게 된다.

도면의 간단한 설명

[0013] 도 1은 4 단자 커플러.

도 2는 전송선 등가 모델.

도 3은 본 발명에 의한 커플러의 분리단을 이용한 신호 검출 장치의 개략도.

도 4는 본 발명에 의한 전송 선로의 등가 파이 모델에 의해 임피던스를 정합시킨 커플러의 분리단을 이용한 신호 검출 장치.

도 5는 본 발명에 의한 커플러의 분리단을 이용한 신호 검출 장치.

도 6은 본 발명에 의한 커플러의 분리단을 이용한 신호 검출 장치.

도 7은 본 발명에 의한 커플러의 분리단을 이용한 신호 검출 장치.

도 8은 본 발명에 의한 커플러의 분리단을 이용한 신호 검출 장치.

도 9는 본 발명에 의한 커플러의 분리단을 이용한 신호 검출 장치.

도 10은 본 발명에 의한 커플러의 분리단을 이용한 신호 검출 장치.

도 11은 본 발명에 의한 커플러의 분리단을 이용한 신호 검출 장치.

도 12는 본 발명에 의한 커플러의 분리단을 이용한 신호 검출 장치.

도 13은 커플러의 분리단의 검출 신호를 이용한 도허티 전력 증폭기.

도 14는 커플러의 분리단의 검출 신호를 이용한 평형 전력 증폭기.

발명을 실시하기 위한 구체적인 내용

[0014] 이하 본 발명의 실시를 위한 구체적인 실시예를 도면을 참고하여 설명한다. 예시된 도면은 발명의 명확성을 위하여 핵심적인 내용만 확대 도시하고 부수적인 것은 생략하였으므로 도면에 한정하여 해석하여서는 아니 된다.

[0015] 실제로 커플러를 잘 설계하더라도 분리단에서는 소정 신호가 검출되며 이는 커플러와 동일한 특성 임피던스의 저항을 통해 제거하고 있다. 그런데 증폭회로와 같은 경우 커플러의 분리단의 검출 신호도 상당히 크므로 본 발명은 별도의 신호 분배 회로를 사용하지 않고도 커플러의 분리단의 검출 신호를 고주파 송수신 시스템에 활용한 발명이다.

[0016] 예를 들면, 커플러의 분리단의 검출 신호는 도허티 증폭기나 평형 전력 증폭기의 동작을 제어하는 신호로 사용할 수 있다. 종래는 증폭기들의 동작을 제어하기 위한 별도의 신호 분배 회로를 더 포함하였으나 본 발명은 커플러칩과 고주파회로칩을 연결하는 본딩 와이어와 커패시터에 의해 임피던스를 정합하여 커플러의 출력 신호의 왜곡도 감소시키면서 신호 분배 회로를 감소시킬 수 있는 효과가 있다. 즉, 전력 증폭기와 같이 출력 레벨이 높은 RF 회로에 사용되는 커플러는 입력단의 신호 레벨이 크므로 상대적으로 분리단에서 얻을 수 있는 신호가 크다. 따라서 분리단의 검출 신호는 신호의 분배, 검출 및 측정하는데 사용할 수 있을 정도의 세기가 된다. 따라서 본 발명에서 커플러의 분리단의 검출 신호를 이용한 고주파 회로 시스템을 제안한다.

[0017] 도 4는 본 발명에 의한 전송 선로의 등가 파이(π) 모델에 의해 임피던스를 정합시킨 커플러의 분리단(4)을 이용한 신호 검출 장치로서, 하나의 집적회로칩(17)에 커플러(1)와 분리단 임피던스 정합부(6), 신호 처리부(7) 및 고주파 회로부(8)를 집적한다. 도 5 내지 도 12에서 기술될 실시예는 커플러(1)와 신호 처리부(7)를 다른 집적회로칩에 형성한 반면 도 4는 하나의 집적회로칩에 이들을 모두 형성한 점에서 차이가 있다. 따라서 도 4의 분리단 임피던스 정합부(6)는 본딩 와이어가 아닌 금속 배선이나 전송 선로로 설계할 수도 있다.

[0018] 도 5와 같이 커플러의 분리단(4)과 신호 처리부(7)를 본딩 와이어에 연결하면 커플러의 분리단(4)에 원하지 않는 인덕턴스(inductance)가 추가되어 커플러(1)의 출력 특성에 왜곡이 발생한다. 이러한 왜곡을 일으킨 인덕턴스 성분은 전송선로 등가 파이 모델을 이용하여 제거할 수 있다.

[0019] 다른 실시예로서, 도 5 내지 도 12에 도시된 커플러(1), 분리단 임피던스 정합부(6), 신호 처리부(7) 및 고주파 회로부(8)를 서로 다른 칩을 사용하지 않고 하나의 집적회로칩(20)에 설계할 수 있다.

[0020] 도 2는 전송 선로의 등가 파이 모델(π -model)이며, 직렬 연결된 인덕터와 인덕터의 양단에 병렬 연결된 커패시터들을 포함한다. 전송선로의 등가 파이 모델의 인덕턴스와 커패시턴스의 값은 수학적 1 및 수학적 2와 같다. 여기서 f 는 주파수이고 Z_0 는 전송 선로의 임피던스이고 π 는 원주율이다.

수학식 1

$$L = \frac{Z_0}{2\pi f}$$

[0021]

수학식 2

$$C = \frac{1}{Z_0 2\pi f}$$

[0022]

[0023] 도 5의 본딩 와이어는 인덕터에 해당되므로 동작 주파수에서 커플러의 특성 임피던스와 정합하기 위해 수학식 2에 의해 계산된 커패시턴스를 갖는 커패시터를 본딩 와이어의 양단에 연결해준다. 따라서 분리단 임피던스 정합부(6)는 커플러(1)의 특성 임피던스에 정합이 되므로 본 발명은 커플러의 직접단(3)과 결합단(5)의 출력 신호의 왜곡을 제거할 수 있다.

[0024] 도 5 내지 도 12에 도시된 커플러의 분리단을 이용한 신호 검출 장치는 커플러(1), 분리단 임피던스 정합부(6), 신호 처리부(7) 및 고주파 회로부(8)를 포함한다.

[0025] 커플러의 분리단(4)에서 검출되는 신호는 커플러가 집적된 칩(16)의 외부에서 사용하기 위해 본딩 와이어를 이용하여 상기 커플러칩(16)과는 별도로 제작된 고주파회로칩(17)으로 전송된다.

[0026] 커플러(1)는 커플러칩(16)에 집적되고 분리단(4)은 커플러칩(16)의 외부 패드로 뽑아낸다. 신호 처리부(7)와 고주파 회로부(8)는 커플러칩(16) 외부의 고주파회로칩(17)에 집적된다.

[0027] 커플러(1)는 입력단(2), 직접단(3), 결합단(5) 및 분리단(4)의 4 단자를 포함한다. 신호 처리부(7)는 커플러의 분리단(4)의 검출 신호를 감지하거나 정류하여 DC 신호로 출력한다.

[0028] 분리단 임피던스 정합부(6)는 커플러(1)와 신호 처리부(7)를 연결하고 임피던스를 정합한다. 분리단 임피던스 정합부(6)는 커플러(1)의 특성 임피던스와 임피던스를 정합하여 커플러의 결합단(5)과 직접단(3)으로 출력되는 신호 특성의 저하를 방지하고 분리단(4)의 출력 신호를 안정적으로 얻을 수 있다.

[0029] 도 5의 분리단 임피던스 정합부(6)는 파이 등가 모델로 구현한 것이며 본딩 와이어(W1), 제1 커패시터(C1) 및 제2 커패시터(C2)를 포함한다. 본딩 와이어(W1)는 커플러칩(16)의 분리단(4)과 상기 고주파회로칩(17)을 와이어 본딩하여 연결한다. 제1 커패시터(C1)는 커플러칩(16)의 분리단(4)에 병렬 연결된다. 제2 커패시터(C2)는 신호 처리부(7)의 입력단(2)에 병렬 연결된다.

[0030] 고주파 회로부(8)는 신호 처리부(7)의 출력에 제어되어 커플러의 직접단(3)과 결합단(5)의 출력 신호를 증폭시킨다.

[0031] 도 6 내지 도 12는 도 5에 도시된 커플러의 분리단을 이용한 신호 검출 장치와 분리단 임피던스 정합부(6)만 다르고, 커플러(1), 신호 처리부(7) 및 고주파 회로부(8)는 동일하므로 도 5의 설명으로 대체하고 분리단 임피던스 정합부(6)만을 기술하겠다.

[0032] 도 6에 도시된 분리단 임피던스 정합부(6)는 커플러칩(16)의 내부에 집적된 제1 인덕터(L1)와 제1 커패시터(C1), 본딩 와이어(W1) 및 고주파회로칩(17)의 내부의 제2 커패시터(C2)를 포함하고, 도 5에 비해 제1 인덕터(L1)를 더 포함한다. 커플러칩(16)의 내부에 집적된 제1 인덕터(L1)는 상기 커플러의 분리단(4)의 일단과 본딩 와이어(W1)의 패드 사이에 직렬 연결된다.

[0033] 도 7에 도시된 분리단 임피던스 정합부(6)는 커플러칩(16)의 내부의 제1 커패시터(C1)와 본딩 와이어(W1), 고주파회로칩(17)의 내부의 제2 인덕터(L2) 및 제2 커패시터(C2)를 포함한다. 고주파회로칩(17)의 내부의 제2 인덕터

터(L2)는 상기 신호 처리부(7)의 입력단(2)과 본딩 와이어(W1)의 패드 사이에 연결된다.

- [0034] 도 8에 도시된 분리단 임피던스 정합부(6)는 커플러칩(16)의 내부의 제1 커패시터(C1)와 제1 인덕터(L1), 본딩 와이어(W1), 고주파회로칩(17)의 내부의 제2 인덕터(L2)와 제2 커패시터(C2)를 포함한다.
- [0035] 도 9의 분리단 임피던스 정합부(6)는 T 등가 모델로 구현하고 커플러칩(16)의 내부의 제1 인덕터(L1)와 제1 커패시터(C1) 및 본딩 와이어(W1)를 포함한다.
- [0036] 도 10의 분리단 임피던스 정합부(6)는 제1 인덕터(L1), 제3 커패시터(C3), 본딩 와이어(W1) 및 제2 인덕터(L2)를 포함한다. 제1 인덕터(L1) 및 제3 커패시터(C3)는 커플러칩(16)의 내부에 집적되고, 제2 인덕터(L2)는 고주파회로칩(17)의 내부에 집적된다.
- [0037] 도 11의 분리단 임피던스 정합부(6)도 본딩 와이어(W1), 고주파회로칩(17)의 내부의 제3 커패시터(C3) 및 제2 인덕터(L2)를 포함한다.
- [0038] 도 12의 분리단 임피던스 정합부(6)는 본딩 와이어(W1), 제1 인덕터(L1), 제3 커패시터(C3) 및 제2 인덕터(L2)를 포함한다. 제1 인덕터(L1), 제3 커패시터(C3) 및 제2 인덕터(L2)는 고주파회로칩(17)의 내부에 집적된다.
- [0039] 도 13에 도시된 본 발명에 의한 도허티 전력 증폭기는 커플러(1), 분리단 임피던스 정합부(6), 전력 디텍터(detector) 또는 바이어스 회로부(bias circuit)를 포함하는 신호 처리부(7) 및 도허티 증폭부(9)를 포함한다.
- [0040] 신호 처리부(7)는 분리단(4)의 검출 신호를 분리단 임피던스 정합부(6)를 통해 입력받는다. 전력 디텍터는 분리단(4)의 검출 신호의 전력을 감지하고, 바이어스 회로부는 분리단(4)에서 검출되는 RF 신호를 정류하여 DC 전압으로 출력한다. 신호 처리부(7)의 출력은 피킹 증폭부(peaking amplifier)의 트랜지스터(T2)의 게이트에 인가되어 피킹 증폭부의 DC 게이트 전압을 상승시킨다.
- [0041] 도허티 증폭부(9)는 캐리어 증폭부(21)와 피킹 증폭부(22)를 포함한다. 도허티 증폭부(9)는 항상 동작하는 캐리어 증폭부(21)와 상기 커플러(1)의 결합단(5)의 출력이 제1 전력 레벨보다 크면 동작하는 피킹 증폭부(21)를 포함하고, 직접단(3)과 결합단(5)의 출력을 증폭시킨다. 피킹 증폭부(21)는 신호 처리부(7)의 출력 전압에 의해 게이트 전압이 상승하여 도허티 증폭기의 선형성을 개선시킬 수 있다.
- [0042] 캐리어 증폭부(21)와 피킹 증폭부(22)는 각각 트랜지스터(T1,T2)를 포함한다. 피킹 증폭부(22)는 클래스 C 증폭기이고, 캐리어 증폭부(21)는 클래스 B 증폭기일 수 있다. 예를 들면, 10 dBm 이하의 낮은 입력에서는 캐리어 증폭부(20)만 동작하고, 10 dBm을 초과하는 입력에서는 캐리어 증폭부(21) 및 피킹 증폭부(22)가 모두 동작한다. 제1 출력 전송선(12)은 캐리어 증폭부(21)와 피킹 증폭부(22)의 출력의 위상차를 맞춰주고, 제2 출력 전송선(13)은 각각 캐리어 증폭부(21) 및 피킹 증폭부(22)의 출력단과 최종 출력 신호 간의 임피던스 정합을 한다.
- [0043] 도허티 증폭기는 피킹 증폭부(22)의 문턱 전압(threshlod voltage)이 크므로 트랜지스터(T2)를 흐르는 전류 레벨이 최대가 될 수 없고 최대 출력 용량에 한계가 있다. 본 발명은 커플러의 분리단(4)에서 검출된 RF 신호를 바이어스 회로부(7)에서 DC 전압으로 변환하여 피킹 증폭부의 게이트의 DC 전압 레벨을 올려줌으로써 피킹 증폭부(22)의 증폭 특성을 개선시킬 수 있다. 종래에는 이러한 피킹 증폭부의 게이트 전압을 상승시키기 위해서는 별도의 신호 분배 회로가 추가되어야 했으나 본 발명은 커플러의 분리단의 검출 신호를 활용함으로써 회로 면적을 감소시킬 수 있고 제조비용을 감소시킬 수 있다. 분리단의 검출 신호를 도허티 증폭부(9)의 제어 신호로 사용할 수 있는 이유는 증폭 회로와 같은 전력 레벨이 높은 회로에서는 커플러(1)의 출력 신호도 전력 레벨이 높기 때문에 분리단(4)의 검출 신호도 비교적 높은 전력이 출력되기 때문이다.
- [0044] 다른 실시예로서 피킹 증폭부를 도허티 증폭기로 구현함으로써 넓은 출력범위에서 높은 효율을 얻을 수 있다.
- [0045] 도 14는 본 발명에 의한 다른 실시예로서 커플러의 분리단의 검출 신호를 이용한 평형 전력 증폭기(balanced power amplifier)를 도시한 것이다. 평형 전력 증폭기는 커플러(1), 분리단 임피던스 정합부(6), 전력 디텍터 또는 바이어스 회로부를 포함하는 신호 처리부(7), 전력 증폭부(10) 및 출력 커플러(11)를 포함한다.
- [0046] 전력 증폭부(10)는 제1 증폭부(14) 및 제2 증폭부(15)를 포함한다. 제1 증폭부(14)는 커플러(1)의 직접단(3)의 출력 신호를 증폭시키고 제2 증폭부는 커플러(1)의 결합단(5)의 출력 신호를 증폭시킨다. 출력 커플러(1)는 제1 증폭부(14)의 출력과 제2 증폭부(15)의 출력을 직접단(3)과 결합단(5)으로 입력받아 합성한다. 평형 전력 증폭기는 상기 커플러의 직접단(3)과 결합단(5)의 출력을 각각 증폭시켜 합성하므로 출력 레벨이 크게 향상 된다.
- [0047] 전력 디텍터나 바이어스 회로부는 커플러의 분리단(4)의 검출 신호를 이용하여 전력 증폭부(10)를 제어한다. 즉

별도의 신호 분배 회로 없이도 커플러(1)에 입력되는 입력 신호의 크기에 비례하는 분리단(4)의 검출 신호를 사용하여 평형 전력 증폭부를 제어할 수 있게 된다. 커플러의 분리단(4)의 검출 신호는 가공되어 다시 커플러(1)가 집적된 집적 회로 칩으로 피드백할 수 있다.

[0048] 발명에 의한 커플러의 실시예는 결합 선로 결합기(coupled line coupler), 하이브리드 커플러(quadrature hybrid coupler), 브랜치 라인 결합기(branch line coupler), 랫 레이스 커플러(rat race coupler), 링 하이브리드 커플러(ring hybrid coupler) 및 랭 커플러(lange coupler) 등을 포함한다.

[0049] 또한 발명에 의한 커플러는 입력 단(input port), 직접단(direct port), 결합단(coupled port) 및 분리단(isolated port)을 포함하는 모든 대칭 커플러 (symmetric coupler) 및 비대칭 커플러(asymmetric coupler)를 포함한다.

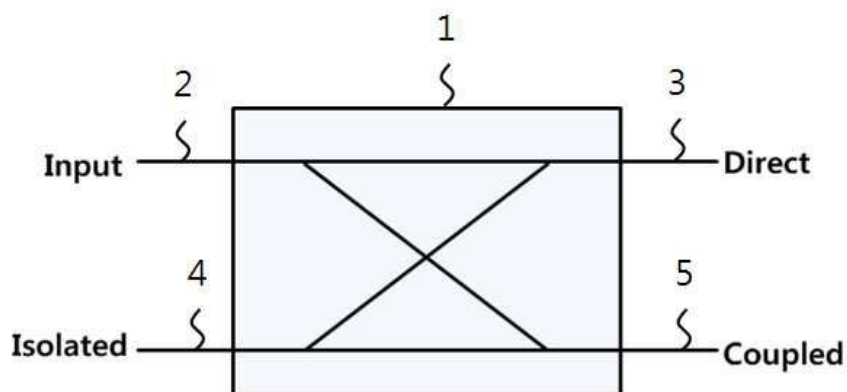
[0050] 이상에서는 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

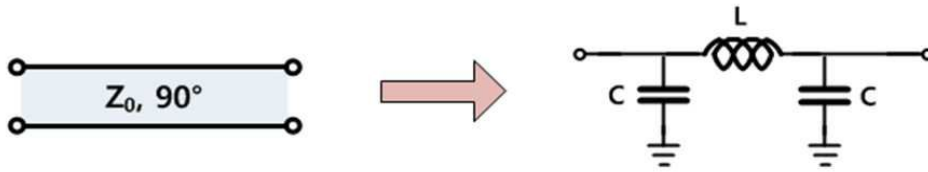
[0051] 1 : 커플러 2 : 입력단
3 : 직접단 4 : 결합단
5 : 분리단 6 : 분리단 임피던스 정합부
7 : 신호 처리부 8 : 고주파 회로부
9 : 도허티 증폭부 10 : 평형 전력 증폭부
11 : 출력 커플러 12 : 제1 출력 전송선
13 : 제2 출력 전송선 14: 제1 증폭부
15 : 제2 증폭부 16 : 커플러칩
17 : 고주파회로칩 20 : 집적회로칩
21 : 캐리어 증폭부 22 : 피킹 증폭부

도면

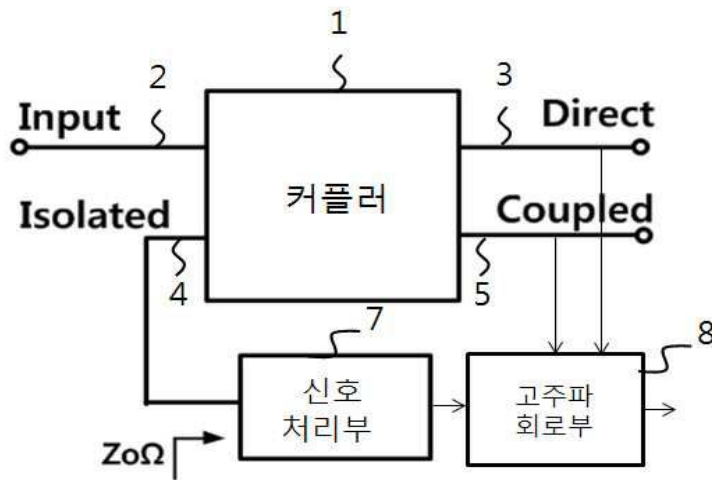
도면1



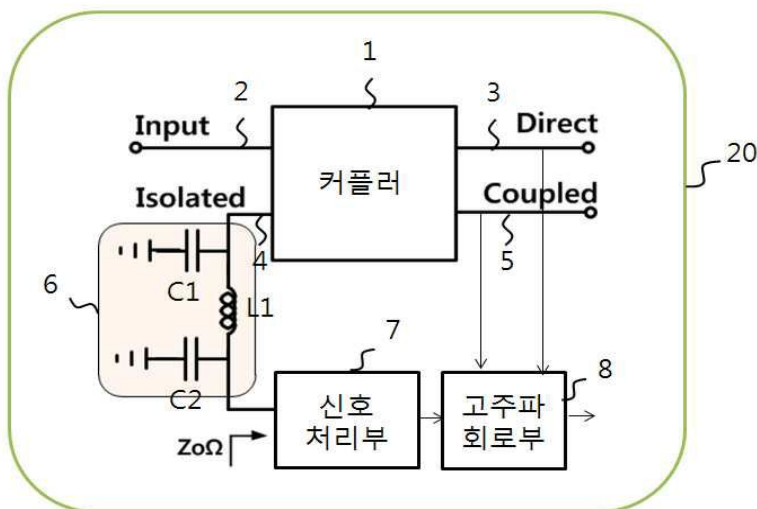
도면2



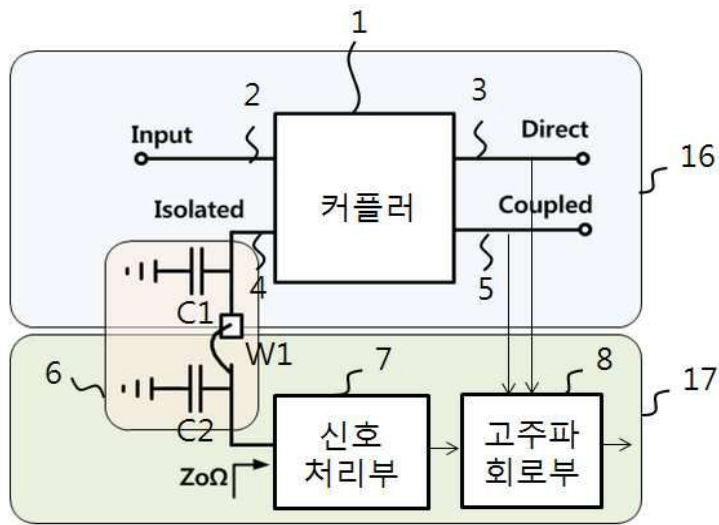
도면3



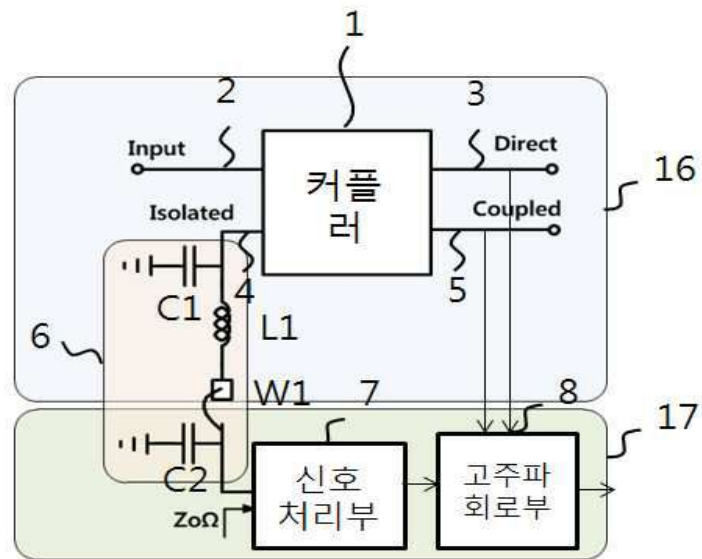
도면4



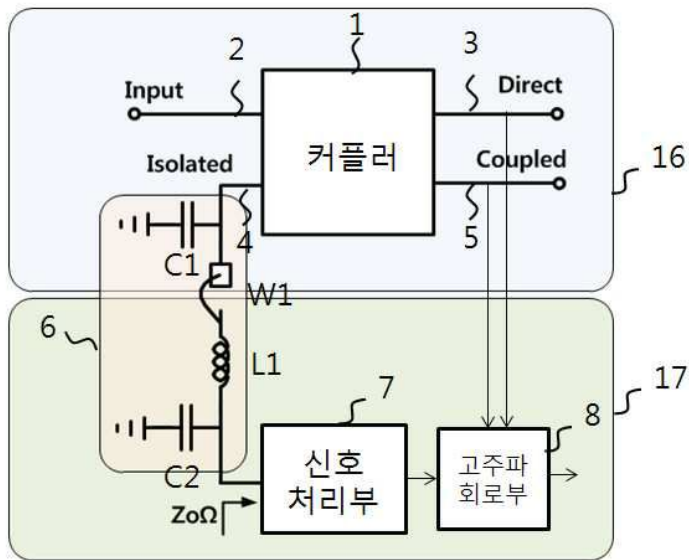
도면5



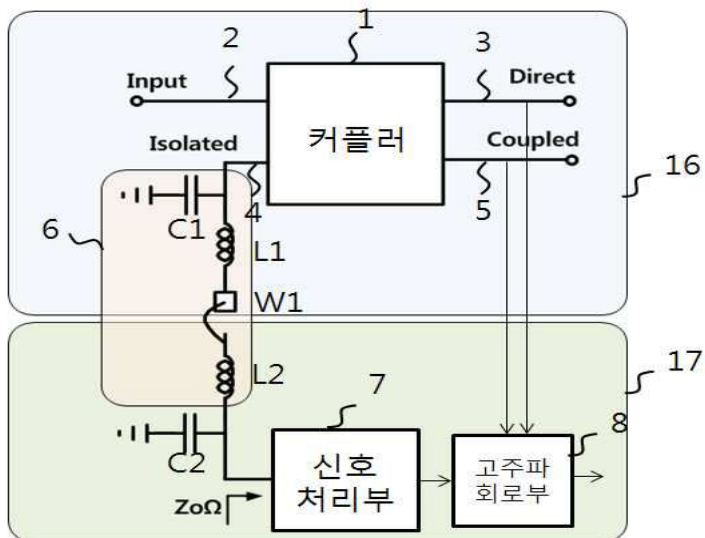
도면6



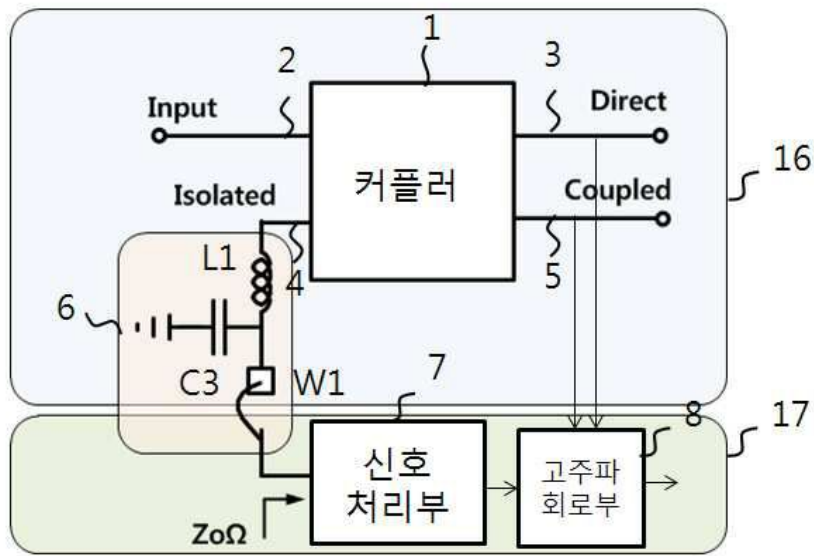
도면7



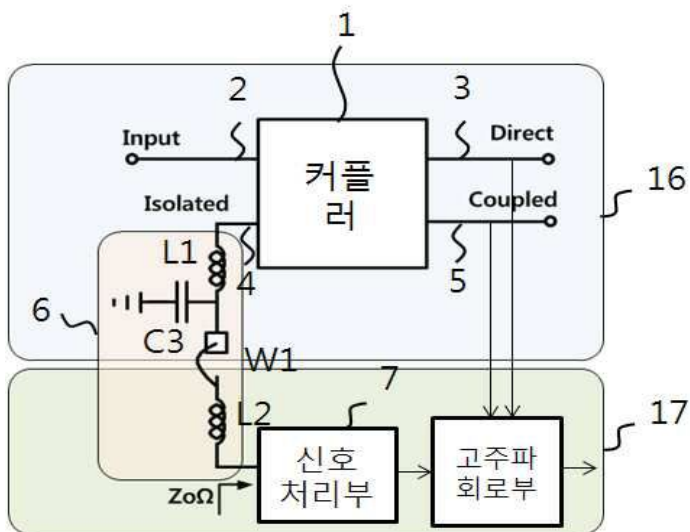
도면8



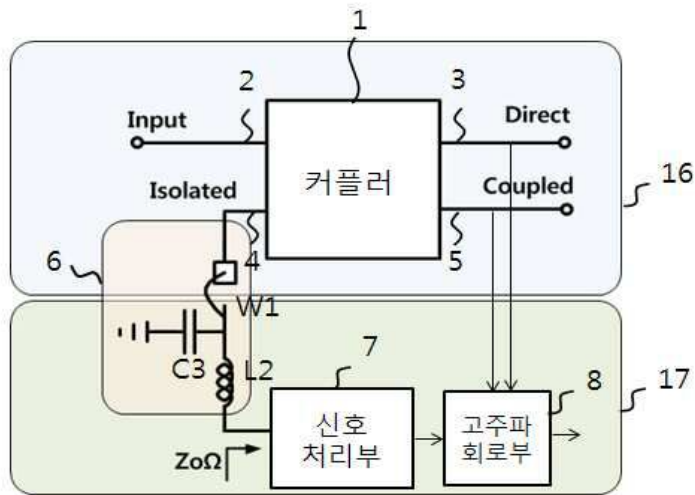
도면9



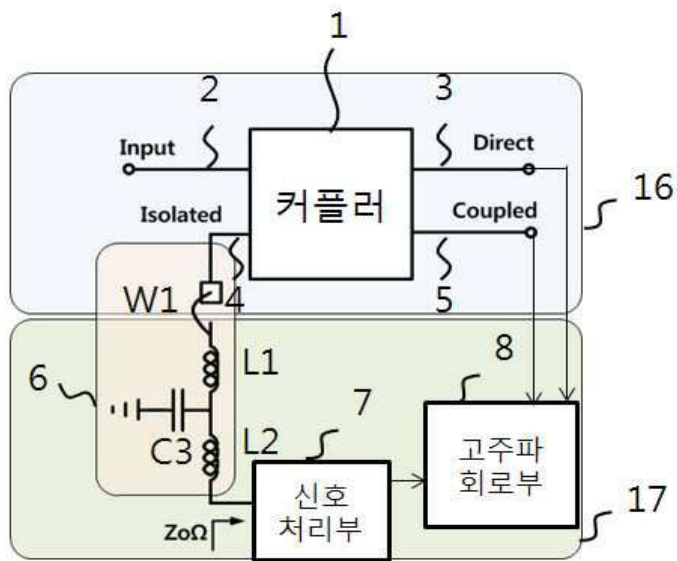
도면10



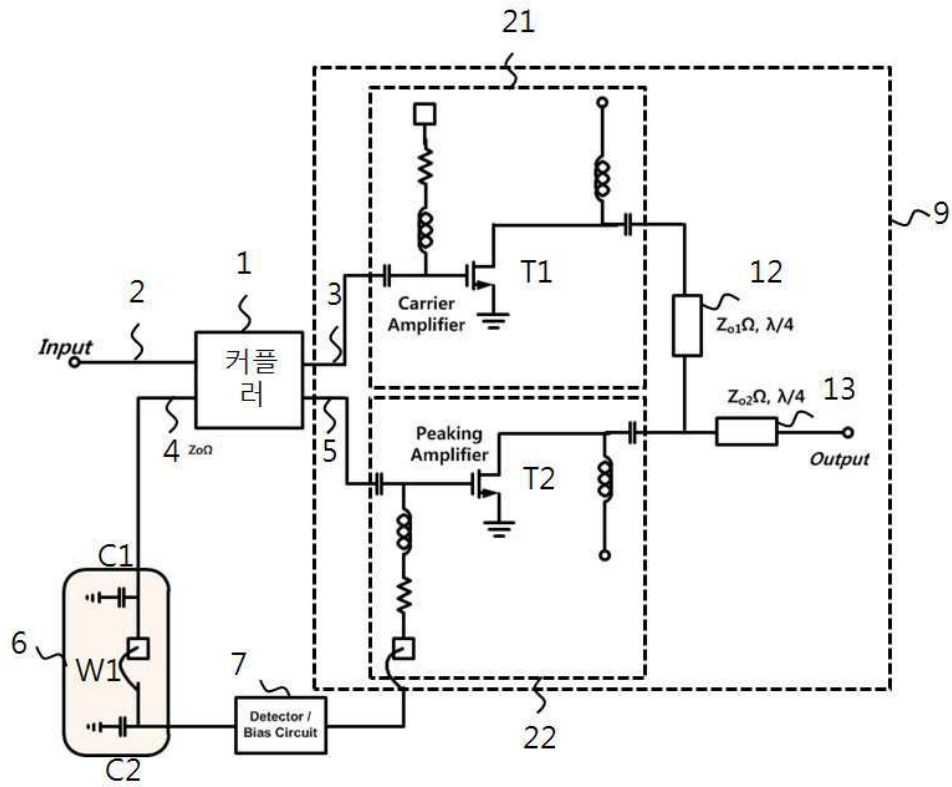
도면11



도면12



도면13



도면14

