

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-86702  
(P2009-86702A)

(43) 公開日 平成21年4月23日(2009.4.23)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 12/00 (2006.01)</b>	G06F 12/00 564C	5B060
	G06F 12/00 597C	

審査請求 未請求 請求項の数 10 O L (全 12 頁)

<p>(21) 出願番号 特願2007-251591 (P2007-251591)</p> <p>(22) 出願日 平成19年9月27日 (2007.9.27)</p>	<p>(71) 出願人 503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号</p> <p>(74) 代理人 100064746 弁理士 深見 久郎</p> <p>(74) 代理人 100085132 弁理士 森田 俊雄</p> <p>(74) 代理人 100083703 弁理士 仲村 義平</p> <p>(74) 代理人 100096781 弁理士 堀井 豊</p> <p>(74) 代理人 100098316 弁理士 野田 久登</p> <p>(74) 代理人 100109162 弁理士 酒井 将行</p>
--	--

最終頁に続く

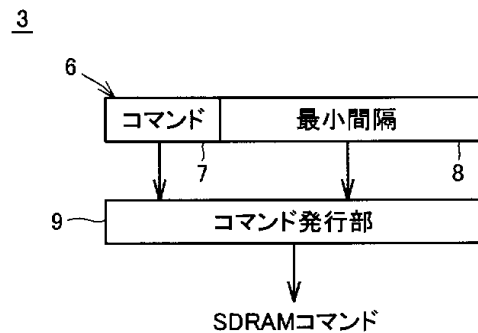
(54) 【発明の名称】 メモリ制御装置および半導体装置

(57) 【要約】

【課題】複数種類の半導体メモリに柔軟に対応することが可能なメモリ制御装置および半導体装置を提供する。

【解決手段】このSDRAMコントローラ3は、発行すべきコマンドとコマンドを発行してから次のコマンドを発行するまでの最小間隔（待機時間）とがCPU1によって書き込まれるレジスタ部6と、レジスタ部6に書き込まれたコマンドを発行した後、レジスタ部6に書き込まれた最小間隔が経過するまで次のコマンドの発行を停止するコマンド発行部9とを備える。したがって、CPU1用のソフトウェアを変更することにより複数種類のSDRAM5に柔軟に対応できる。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

一連のコマンドを発行して半導体メモリを制御するメモリ制御装置であって、  
発行すべきコマンドと該コマンドを発行してから次のコマンドを発行するまで待機すべき時間とが外部制御装置によって書き込まれるレジスタと、

前記レジスタに書き込まれたコマンドを発行した後、前記レジスタに書き込まれた待機すべき時間が経過するまで次のコマンドの発行を停止するコマンド発行部とを備える、メモリ制御装置。

## 【請求項 2】

前記コマンド発行部は、前記半導体メモリに何もせずに待機することを命令するNOPコマンドも発行する、請求項 1 に記載のメモリ制御装置。

10

## 【請求項 3】

前記待機すべき時間は浮動小数点方式で示されている、請求項 1 または請求項 2 に記載のメモリ制御装置。

## 【請求項 4】

前記コマンド発行部は、前記待機すべき時間として予め定められた値が書き込まれた場合、前記レジスタに書き込まれたコマンドによって決まる時間が経過するまで次のコマンドの発行を停止する、請求項 1 から請求項 3 までのいずれかに記載のメモリ制御装置。

## 【請求項 5】

さらに、前記レジスタに書き込まれたコマンドの発行が完了したか否かを判定する判定部を備える、請求項 1 から請求項 4 までのいずれかに記載のメモリ制御装置。

20

## 【請求項 6】

前記外部制御装置から特定アドレスへのアクセス要求があった場合、前記コマンドの発行が完了するまで応答しない、請求項 5 に記載のメモリ制御装置。

## 【請求項 7】

前記判定部は、前記外部制御装置から前記コマンドの発行が完了したか否かの問合せがあった場合、前記コマンドの発行が完了したか否かを応答する、請求項 5 に記載のメモリ制御装置。

## 【請求項 8】

前記判定部は、前記外部制御装置からの問合せの有無に関係なく、前記コマンドの発行が完了したか否かを示す信号を前記外部制御装置に出力する、請求項 5 に記載のメモリ制御装置。

30

## 【請求項 9】

システムバスと、

前記システムバスに接続されたCPUと、

前記システムバスに接続され、前記CPUからのコマンド情報と、このコマンド情報の次のコマンド情報を外部の半導体メモリに発行するまで待機すべき時間間隔を規定する時間間隔情報とを受け取るメモリ制御装置とを備え、

前記メモリ制御装置は、前記コマンド情報と前記時間間隔情報とを格納するレジスタを備え、

40

前記レジスタは、前記システムバスに出力された前記コマンドと前記時間間隔情報とを受けて、結合された状態で保持する、半導体装置。

## 【請求項 10】

前記コマンドと前記時間間隔情報は、前記CPUから結合された状態で前記システムバスに出力されることを特徴とする、請求項 9 に記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明はメモリ制御装置および半導体装置に関し、特に、一連のコマンドを発行して半導体メモリを制御するメモリ制御装置および半導体装置に関する。

50

## 【背景技術】

## 【0002】

従来より、画像圧縮や画像伸長を行なう画像処理装置には、大容量データを記憶するSDRAM (Synchronous Dynamic Random Access Memory) と、それを制御するSDRAMコントローラとが設けられている (たとえば、特許文献1参照)。

## 【0003】

SDRAMの制御においては、電源投入時の初期化、駆動周波数の変更、低電力モードからの復帰、キャリブレーションなどの際、十分な間隔を開けながら一連のSDRAMコマンドを発行するコマンド発行シーケンスを実行する必要がある。コマンドの間隔についての制約としては、通常、最小値のみが規定される。最小間隔の具体的な長さは、数サイクル程度の場合もあれば、数百マイクロ秒 (数万サイクル) に及ぶ場合もある。

10

## 【0004】

このようなコマンド発行シーケンスを実行する第1の方法としては、SDRAMコントローラに専用ハードウェア (ステートマシン) で構成された制御器を設け、その制御器によって自動的に実行する方法がある。

## 【0005】

また、コマンド発行シーケンスを実行する第2の方法としては、外部制御器からSDRAMコントローラにSDRAMコマンドの発行指示を与えて、SDRAMコントローラにSDRAMコマンドを発行させる方法がある。この第2の方法では、外部制御器からコマンド発行の指示を繰り返し与えてもらうことにより、コマンド発行シーケンスを実行する

20

【特許文献1】特開2000-10856号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0006】

しかし、上記第1の方法では、複数種類のSDRAMに対応しようとした場合に不利である。コマンド発行シーケンスは、SDRAMの種類によって異なり、またSDRAMのメーカーによっても少しずつ異なる場合があるからである。

## 【0007】

また、キャリブレーションなどのシーケンスは、複雑であり、また採用すべき戦略も組み込むシステムによって異なると考えられ、固定的なハードウェアによる制御器では柔軟性に乏しい。

30

## 【0008】

また、上記第2の方法では、SDRAMコマンド間隔を正確に設定する方法が問題となる。あるSDRAMコマンドから次のSDRAMコマンドまでの間隔を外部制御器側で測るようにすると、次のような問題がある。

## 【0009】

まず、十分なコマンド間隔を保証するために考慮すべき要因が多く、かつ多数のモジュールに分散してしまう。このため外部制御器の仕様が複雑化し、検証も難しくなる。また、ソフトウェアが過度に複雑化し、可読性・メンテナンス性の低下を招く。また、外部制御器の処理負担が大きくなる。また、予測できない部分が大きいため、十分なマージンを確保すると、実際には必要以上に待機してしまうこととなる。

40

## 【0010】

それゆえに、この発明の主たる目的は、複数種類の半導体メモリに柔軟に対応することが可能なメモリ制御装置および半導体装置を提供することである。

## 【課題を解決するための手段】

## 【0011】

この発明に係るメモリ制御装置は、一連のコマンドを発行して半導体メモリを制御するメモリ制御装置であって、レジスタとコマンド発行部を備える。レジスタには、発行すべきコマンドとコマンドを発行してから次のコマンドを発行するまで待機すべき時間とが外

50

部制御装置によって書き込まれる。コマンド発行部は、レジスタに書き込まれたコマンドを発行した後、レジスタに書き込まれた待機すべき時間が経過するまで次のコマンドの発行を停止する。

#### 【0012】

また、この発明に係る半導体装置は、システムバスと、CPUと、メモリ制御装置とを備える。CPUは、システムバスに接続される。メモリ制御装置は、システムバスに接続され、CPUからのコマンド情報と、このコマンド情報の次のコマンド情報を外部の半導体メモリに発行するまで待機すべき時間間隔を規定する時間間隔情報とを受ける。このメモリ制御装置は、コマンド情報と時間間隔情報とを格納するレジスタを含む。レジスタは、システムバスに出力されたコマンドと時間間隔情報とを受けて、結合された状態で保持する。

10

#### 【発明の効果】

#### 【0013】

この発明に係るメモリ制御装置および半導体装置では、発行すべきコマンドと、コマンドを発行してから次のコマンドを発行するまで待機すべき時間とがCPUのような外部制御装置によってレジスタに書き込まれると、レジスタに書き込まれたコマンドを発行した後、レジスタに書き込まれた待機すべき時間が経過するまで次のコマンドの発行を停止する。したがって、外部制御装置のソフトウェアを変更することにより複数種類の半導体メモリに柔軟に対応することができる。また、コマンドの間隔はメモリ制御装置によって管理されるので、外部制御装置の負担の軽減化を図ることができる。

20

#### 【発明を実施するための最良の形態】

#### 【0014】

図1は、この発明の一実施の形態によるメモリシステムの要部を示すブロック図である。図1において、このメモリシステムは、CPU (Central Processing Unit) 1、システムバス2、およびSDRAMコントローラ3を含む半導体装置4と、SDRAM5とを備える。ここで、「SDRAM」とは、SDR (Single Data Rate)、DDR (Double Data Rate)、LP (LOW Power) - DDR、DDR2、DDR3などの各種SDRAMの総称を言うものとする。

#### 【0015】

SDRAMコントローラ3とSDRAM5の間の信号は、図2に示すように、クロック、コマンド系、データ系、その他に分類できる。クロックは、SDRAM5の動作タイミングの基準となる信号である。コマンド系の信号としては、クロックイネーブル信号CKE、チップセレクト信号CS#、ロウアドレス・ストロブ信号RAS#、コラムアドレス・ストロブ信号CAS#、ライトイネーブル信号WE#、アドレス信号A、バンクアドレス信号BAなどがある。データ系の信号としては、データ信号DQ、データ信号DQの出力タイミングを示す信号DQS、データマスク信号DMなどがある。その他の信号としては、電源オン時に制御回路を初期化するためのリセット信号RESET#、データ出力線の終端抵抗をオン/オフするための信号ODTなどがある。

30

#### 【0016】

SDRAMコマンドとは、クロックに同期してSDRAMへ入力される、コマンド系の信号の組合せで表現されるSDRAM5への指示である。背景技術の欄でも述べたように、電源投入時や低電力モードからの復帰の際、SDRAMコントローラ3は一連のSDRAMコマンドを十分な時間間隔を開けながらSDRAM5に出力しなければならない。間隔についての制約としては、通常、最小値のみが規定される。最小間隔の具体的な長さは、数サイクル程度の場合もあれば、数百マイクロ秒 (数万サイクル) に及ぶ場合もある。

40

#### 【0017】

本発明が対象とするコマンド発行シーケンスで必要となるSDRAMコマンドの種類は、モードレジスタ・セット (Mode Register Set)、プリチャージ・オールバンク (Precharge all banks)、リフレッシュ (Refresh)、ZQキャリブレーション (Calibration)、CKE操作などである。CKE操作としては、パワーダウン・エントリ (Power down e

50

ntry)、パワーダウン・エグジット (Power down exit)、セルフリフレッシュ・エン트리 (Self-refresh entry)、セルフリフレッシュ・エグジット (Self-refresh exit) などがある。この他、場合によっては R E S E T # 端子の操作も必要になる。

【 0 0 1 8 】

図 3 は、S D R A M コントローラ 3 の原理的構成を示す図である。図 3 において、S D R A M コントローラ 3 は、レジスタ部 6 とコマンド発行部 9 を含む。レジスタ部 6 は、発行すべき S D R A M コマンドを示す第 1 の信号を記憶する第 1 の記憶部 7 と、第 1 の記憶部 7 に書き込まれた第 1 の信号で示される S D R A M コマンドを発行してから次の S D R A M コマンドを発行するまで待機すべき最小間隔を示す第 2 の信号を記憶する第 2 の記憶部 8 とを含む。第 1 および第 2 の信号の各々は、複数ビットのデータ信号を含む。なお、記憶部 7, 8 は、ハードウェア的な記憶素子で構成されていてもよいし、C P U 1 から読み書きされる特定のアドレスに割り当てられたソフトウェア的な記憶領域であってもよい。

10

【 0 0 1 9 】

C P U 1 は、図示しないメモリに格納されたプログラムに従い、一連の S D R A M コマンドを S D R A M コントローラ 3 に発行させるため、複数組の第 1 および第 2 の信号をレジスタ部 6 に順次書き込んで行く。なお、レジスタ部 6 とシステムバス 2 のビット幅が同じ場合、C P U 1 は、コマンドと「最小間隔」とを結合したまま一度にレジスタ部 6 に書き込みを行なう。たとえば、レジスタ部 6 のビット幅が 6 4 ビットであり、システムバス 2 のビット幅が 3 2 ビットである場合は、C P U 1 は、結合が維持されるように、3 2 ビットずつ続けて 2 度に分けてレジスタ部 6 に書き込みを行なう。レジスタ部 6 では、コマンドと「最小間隔」とを結合したまま保持する。

20

【 0 0 2 0 】

ただし、レジスタ部 6 の記憶容量は限られているので、記憶部 7, 8 が空いていない場合は、レジスタ部 6 側から C P U 1 を待たせる必要がある。このため、C P U 1 は、まずレジスタ部 6 にライト要求を行なう。レジスタ部 6 は、記憶部 7, 8 が空いている場合は、C P U 1 のライト要求を受理し、第 1 および第 2 の信号をそれぞれ記憶部 7, 8 に書き込む。また、レジスタ部 6 は、記憶部 7, 8 が空いていない場合は、空きが生じるまで C P U 1 のライト要求を受理せず、C P U 1 を待たせる。

【 0 0 2 1 】

コマンド発行部 9 は、第 1 の記憶部 7 に書き込まれた第 1 の信号で示される S D R A M コマンドを発行し、その S D R A M コマンドを発行してから次の S D R A M コマンドを発行するまで、第 2 の記憶部 8 に書き込まれた第 2 の信号で示される最小間隔の時間だけ待機する。待機している間は、コマンド発行部 9 は、一切の有効な S D R A M コマンドの出力を行なわない。有効でない S D R A M コマンドとしては、ノー・オペレーション・コマンド N O P や、チップセレクト信号 C S # を非活性化レベルに固定するデバイス・デセレクト・コマンド D E S がある。

30

【 0 0 2 2 】

換言すると、コマンド発行部 9 は、レジスタ部 6 への n 回目の書き込みによって投入されたコマンド発行要求を処理する際は、レジスタ部 6 への n - 1 回目の書き込みによる S D R A M コマンド発行の時点から n - 1 回目の書き込みで指定された「最小間隔」が経過しているかどうかをチェックする。そして、指定された間隔が確保されるまで待ってから、n 回目の書き込みで指定されたコマンドを発行する。

40

【 0 0 2 3 】

S D R A M 5 は、コマンド発行部 9 で発行された S D R A M コマンドを受け、受けた S D R A M コマンドの内容に応じた動作を行なう。

【 0 0 2 4 】

図 4 ( a ) ( b ) は、このメモリシステムのコマンド発行シーケンスを例示するタイムチャートである。レジスタ部 6 に対する 1 回目の書き込みでは、コマンドの種類として C 1 が書き込まれ、最小間隔として T 1 が書き込まれたものとする。コマンド発行部 9 は、

50

レジスタ部 6 に書き込まれた種類のコマンド C 1 を S D R A M 5 に出力する。このとき、レジスタ部 6 への書き込みから S D R A M 5 の出力までに数サイクルの時間がかかる可能性があるが、このことは大きな問題とはならない。

**【 0 0 2 5 】**

次に、1 回目のコマンド出力から時間 T 1 が経過するより前に、レジスタ部 6 への 2 回目の書き込み（コマンド種類 C 2、最小間隔 T 2）が行なわれたものとする。この場合、2 回目のコマンド発行は、1 回目のコマンド発行から間隔 T 1 が確保されるまで、遅延される。

**【 0 0 2 6 】**

さらに、レジスタ部 6 への 3 回目の書き込み（コマンド種類 C 3、最小間隔 T 3）が行なわれたものとする。3 回目の書き込みのタイミングが、図 4 に示すように、2 回目のコマンド出力から時間 T 2 が経過した時点よりも後である場合は、指定されたコマンド C 3 は直ちに出力される。このような制御を行なうことにより、少なくとも指定された最小間隔以上の間隔を確保することができる。

10

**【 0 0 2 7 】**

また、図 5 ( a ) ( b ) に示すように、コマンドの種類として、N O P コマンドを選択することも可能である。N O P コマンドを選択することにより、電源やクロックの供給を開始してから初めて有効なコマンドを出すまでの待ち時間の確保が可能となる。また、指定したい最小間隔がレジスタ部 6 で用意されているビット幅では表現できないほど長い場合に、間隔を継ぎ足すことが可能となる。たとえば、5 0 万サイクルの待ち時間を確保したいが、レジスタ部 6 で最小間隔として指定できる値は 6 万サイクルまでであるとする。この場合、コマンド種類が N O P で、最小間隔が 5 万サイクルと言う内容でレジスタ部 6 に 1 0 回の書込を行えば、所望の時間を確保することができる。

20

**【 0 0 2 8 】**

図 6 は、S D R A M コントローラ 3 の具体的構成を示す図である。図 6 において、S D R A M コントローラ 3 は、バスインターフェイス部 1 1、内部バス 1 2、内部バッファ 1 3、コマンド発行レジスタ 1 4、ダウンカウンタ 1 5、制御部 1 6、マルチプレクサ 1 7、完了判定部 1 8、および操作完了待ちレジスタ 1 9 を備える。バスインターフェイス部 1 1、内部バス 1 2、内部バッファ 1 3、コマンド発行レジスタ 1 4、完了判定部 1 8、および操作完了待ちレジスタ 1 9 は、レジスタ部 6 を構成する。ダウンカウンタ 1 5、制御部 1 6、およびマルチプレクサ 1 7 は、コマンド発行部 9 を構成する。

30

**【 0 0 2 9 】**

C P U 1 は、システムバス 2 を介して S D R A M コントローラ 3 にライト要求を行なう。ライト要求は、バスインターフェイス部 1 1 および内部バス 1 2 を介して内部バッファ 1 3 に与えられる。内部バッファ 1 3 は、コマンド発行要求（S D R A M コマンドと最小間隔）を保持する余裕がある場合はライト要求を受理し、余裕がない場合は余裕が生じるまでライト要求を受理しない。

**【 0 0 3 0 】**

ライト要求が受理されると、発行すべき S D R A M コマンドと、その S D R A M コマンドを発行してから次の S D R A M コマンドを発行するまでの最小間隔（待機時間）とが、C P U 1 からシステムバス 2、バスインターフェイス部 1 1、および内部バス 1 2 を介して内部バッファ 1 3 に書き込まれる。

40

**【 0 0 3 1 】**

内部バッファ 1 3 は、バスプロトコルのハンドシェイクなどによる時間的なロスを減らすために設けられており、複数組のコマンド発行要求（S D R A M コマンドと最小間隔）をバッファリングする。内部バッファ 1 3 に保持されたコマンド発行要求は、コマンド発行レジスタ 1 4 が空いていれば、コマンド発行レジスタ 1 4 に移される。コマンド発行レジスタ 1 4 は、発行のタイミングを待っているコマンド発行要求を保持する。なお、コマンド発行レジスタ 1 4 は、1 段構成のレジスタで構成してもよいし、F I F O などの多段構成のレジスタで構成してもよい。ここでは、1 段構成のレジスタで構成するものとして

50

説明する。コマンド発行レジスタ 14 に保持された「最小間隔」および「SDRAM コマンド」はそれぞれダウンカウンタ 15 およびマルチプレクサ 17 に与えられる。

【0032】

ダウンカウンタ 15 は、前回のコマンド発行で指定された間隔が終わるまでの残り時間を保持しており、そのカウント値は 1 サイクル毎にデクリメントされる。残り時間が 0 になれば、それ以上のデクリメントはされない。制御部 16 は、コマンド発行レジスタ 14 にコマンド発行要求があり、かつダウンカウンタ 15 の出力する残り時間が 0 ならば（もしくは十分に小さければ）、コマンド発行のタイミングを示すパルス信号を出力する。

【0033】

このパルス信号に 응답して、ダウンカウンタ 15 はコマンド発行レジスタ 14 に保持されている「最小間隔」の値をロードし、次のコマンド発行に備えてダウンカウントを開始する。また、マルチプレクサ 17 は、コマンド発行レジスタ 14 からの SDRAM コマンドを受け、パルス信号に 응답して 1 サイクルだけコマンド発行レジスタ 14 からの SDRAM コマンドを出力し、それ以外のサイクルでは無効な SDRAM コマンド（たとえば NOP コマンド）を出力する。また、コマンド発行レジスタ 14 は、パルス信号に 응답して、記憶内容を消去して空き状態となる。

10

【0034】

また、完了判定部 18 は、SDRAM コントローラ 3 に投入されたコマンド発行要求が全て捌けて、SDRAM 5 に出力済みであるかどうかを判定するものである。内部バッファ 13 およびコマンド発行レジスタ 14 が両方とも空になった後、所定の時間（コマンド発行レジスタ 14 から SDRAM までのレイテンシに相当する時間）が経過すれば、完了判定部 18 の出力信号は真（たとえば「H」レベル）になる。また、内部バッファ 13 またはコマンド発行レジスタ 14 に新たなコマンド発行要求が投入されれば、完了判定部 18 の出力信号は偽（たとえば「L」レベル）となる。操作完了待ちレジスタ 19 は、CPU 1 からのリード要求に対し、完了判定回路 18 の出力信号が真であればすぐに 응답を返すが、偽である間は 응답を返さない。これにより、SDRAM コントローラ 3 が制御していないタイミング（クロックや電源の停止など）と SDRAM コマンド発行の間の間隔についても、正しく確保することが可能になる。

20

【0035】

なお、操作完了待ちレジスタ 19 の代わりに、CPU 1 からのリード要求に対し、完了判定回路 18 の出力信号が真であるか偽であることを示す信号を直ぐに 응답するステータスレジスタを設けてもよい。また、操作完了待ちレジスタ 19 を除去し、完了判定部 18 の出力信号を CPU 1 に直接与えてもよい。

30

【0036】

図 7 (a) ~ (g) は、図 6 に示したメモリシステムのコマンド発行シーケンスを例示するタイムチャートである。時刻  $t_1$  において、内部バッファ 13 からコマンド発行レジスタ 14 にライト要求が行なわれ、コマンド発行レジスタ 14 が空いているので、内部バッファ 13 からコマンド発行レジスタ 14 に発行すべき SDRAM コマンド C1 と最小間隔  $T_1 = 6$  とが書き込まれる。このとき、ダウンカウンタ 15 のカウント値が 0 であるので、発行タイミングを示すパルス信号が出力され、SDRAM コマンド C1 が SDRAM 5 に出力される。また、発行タイミングを示すパルス信号に 응답して、最小間隔  $T_1 = 6$  がダウンカウンタ 15 にロードされてダウンカウンタ 15 がダウンカウントを開始し、コマンド発行レジスタ 14 の内容が消去されてレジスタ 14 が空き状態になり、レジスタ 14 が空いていないことを示すビジー信号が非活性化レベルの「L」レベルとなる。

40

【0037】

次に、1 回目のコマンド出力から最小間隔  $T_1 = 6$  が経過するより前の時刻  $t_2$  に、内部バッファ 13 からコマンド発行レジスタ 14 にライト要求が行なわれ、レジスタ 14 への 2 回目の書き込み（コマンド種類 C2、最小間隔  $T_2 = 4$ ）が行なわれたものとする。この場合、2 回目のコマンド発行は、1 回目のコマンド発行から最小間隔  $T_1 = 6$  が確保されるまで、遅延される。

50

## 【 0 0 3 8 】

さらに、2回目のコマンド出力から最小間隔  $T_2 = 4$  が経過した時点よりも後の時刻  $t_3$  に、内部バッファ 13 からコマンド発行レジスタ 14 にライト要求が行なわれ、レジスタ 14 への3回目の書き込み(コマンド種類 C3、最小間隔  $T_3 = 10$ )が行なわれたものとする。この場合は、2回目のコマンド出力から最小間隔  $T_2$  が既に経過しているので、指定されたコマンド C3 は直ちに出力される。このような制御を行なうことにより、少なくとも指定された最小間隔以上の間隔を確保することができる。

## 【 0 0 3 9 】

この実施の形態では、CPU 1 がプログラム(ソフトウェア)に従って一連の SDRAM コマンドを順次指定し、ハードウェア(SDRAMコントローラ3)が SDRAM コマンドの間隔を計時するので、ハードウェアの仕様をあまり複雑化することなく、ソフトウェアの変更で種々の品種・制御方式の SDRAM 5 に対応できる。このソフトウェアは、レジスタ部 6 に連続して書き込みを行なうだけの単純なものでよく、タイマーやウェイトループを用いてソフトウェア側で時間を測る必要はない。したがって、本願発明は、多種類の SDRAM に対応したい LSI では特に有効であるが、そうでない場合でも、ハードウェアの再利用性を向上し、設計・検証の工数を減らす効果がある。

## 【 0 0 4 0 】

また図 8 は、この実施の形態の変更例を示す図であって、図 3 と対比される図である。図 8 を参照して、この変更例では、コマンド間の最小間隔が浮動小数点方式でレジスタ部 6 に書き込まれる。浮動小数点方式では、最小間隔  $T$  は数式  $T = B \times 2^{K \cdot A}$  で表わされる。ここで、 $K$  は定数であり、たとえば 4 である。 $A$  は指数部であり、 $B$  は仮数部である。レジスタ部 6 の第 2 の記憶部 8 は、最小間隔  $T$  の指数部  $A$  が書き込まれる第 1 の記憶領域 8 a と、最小間隔  $T$  の仮数部  $B$  が書き込まれる第 2 の記憶領域 8 b とを含む。この変更例では、少ないビット幅で、広い範囲の待機時間  $T$  を設定することができる。

## 【 0 0 4 1 】

また図 9 は、この実施の形態の他の変更例を示すブロック図である。図 9 において、この変更例では、図 6 の内部バッファ 13 が内部バッファ 20 で置換される。SDRAM 5 は、SDRAM コマンドの種類(モードレジスタ・セット、リフレッシュ、ZQ キャリブレーションなど)によっては、SDRAM コマンドが発行されてから所定の期間、新たな SDRAM コマンドを受け付けなくなる。そこで、この変更例では、CPU 1 からの書込によって「間隔」フィールドに指定された値が特別な値(たとえば、全ビット 0)である場合は、これをデフォルト値に置き換えた上でコマンド発行レジスタ 14 に書き込む。ここで、デフォルト値は、当該書込で指定されたコマンドの種類によって選択される。

## 【 0 0 4 2 】

すなわち、内部バッファ 20 は、バスプロトコル制御部 21、形式変換部 22、およびバッファ 23 を含む。バスプロトコル制御部 21 は、CPU 1 からライト要求があった場合、バッファ 23 が空いている場合はライト要求を受理し、バッファ 23 が空いていない場合は空きが生じるまでライト要求を受理しない。ライト要求が受理された場合、形式変換部 22 にコマンドと最小間隔が書き込まれる。

## 【 0 0 4 3 】

形式変換部 22 は、書き込まれたコマンドと最小間隔を調べ、最小間隔が特別な値であった場合には、コマンドの種類によって決まるデフォルト値を最小間隔としてバッファ 23 に出力する。デフォルト値は、回路の柔軟性および再利用性を高めるため、内部バッファ 20 の外部(たとえば、CPU 1)から与えるようにしている。また、形式変換部 22 は、コマンドについては、そのままバッファ 23 に出力する。バッファ 23 に保持された最小間隔は、図 6 で示したように、ダウンカウンタ 15 に与えられ、コマンドはマルチプレクサ 17 に与えられる。この変更例では、回路の柔軟性および再利用性を一層高めることができる。なお、コマンドについても形式変換部 22 を経由して出力する様に構成しているが、これは、コマンドと最小間隔とを、バッファ 23 への入力タイミングを揃えて出力することを意図して構成するものであり、たとえばフリップフロップ等の簡易な回路に

10

20

30

40

50

よりタイミング調整を図ることもできる。

【0044】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0045】

【図1】この発明の一実施の形態によるメモリシステムの要部を示すブロック図である。

【図2】図1に示したSDRAMコントローラとSDRAMの間で授受される信号を説明するためのブロック図である。 10

【図3】図1に示したSDRAMコントローラの原理的構成を示すブロック図である。

【図4】図1～図3に示したメモリシステムの動作を示すタイムチャートである。

【図5】図1～図3に示したメモリシステムの動作を示す他のタイムチャートである。

【図6】図3に示したSDRAMコントローラの具体的構成を示すブロック図である。

【図7】図6に示したSDRAMコントローラの動作を示すタイムチャートである。

【図8】実施の形態の変更例を示すブロック図である。

【図9】実施の形態の他の変更例を示すブロック図である。

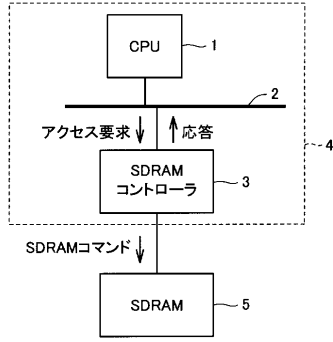
【符号の説明】

【0046】

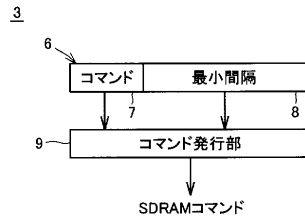
20

1 CPU、2 システムバス、3 SDRAMコントローラ、4 半導体装置、5 SDRAM、6 レジスタ部、7 第1の記憶部、8 第2の記憶部、8a 第1の記憶領域、8b 第2の記憶領域、9 コマンド発行部、11 バスインターフェイス部、12 内部バス、13, 20 内部バッファ、14 コマンド発行レジスタ、15 ダウンカウンタ、16 制御部、17 マルチプレクサ、18 完了判定部、19 操作完了待ちレジスタ、21 バスプロトコル制御部、22 形式変換部、23 バッファ。

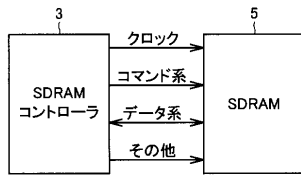
【 図 1 】



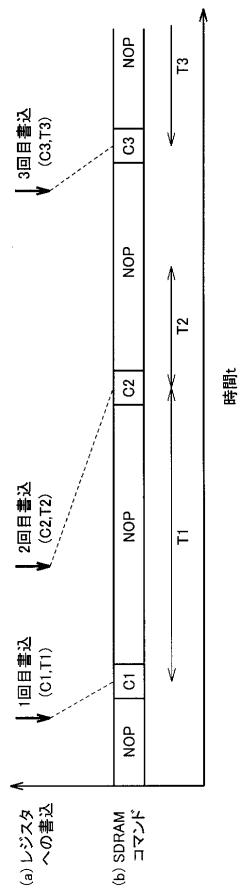
【 図 3 】



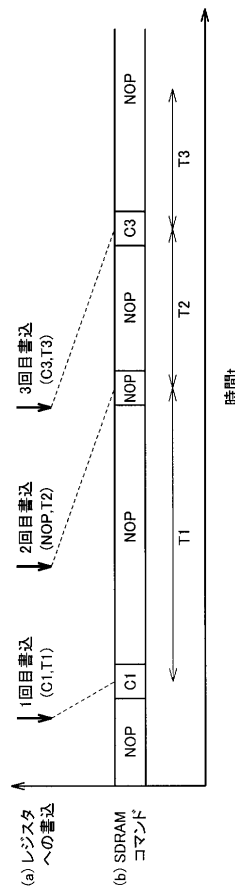
【 図 2 】



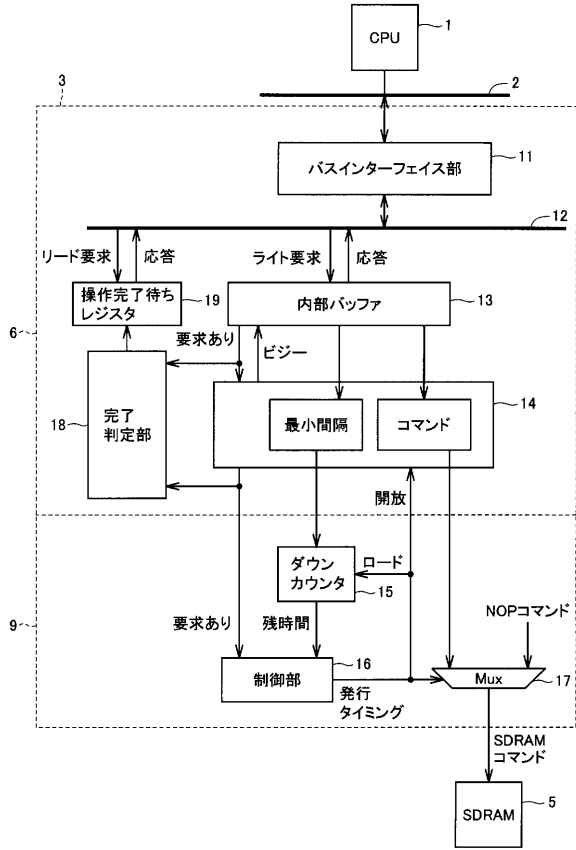
【 図 4 】



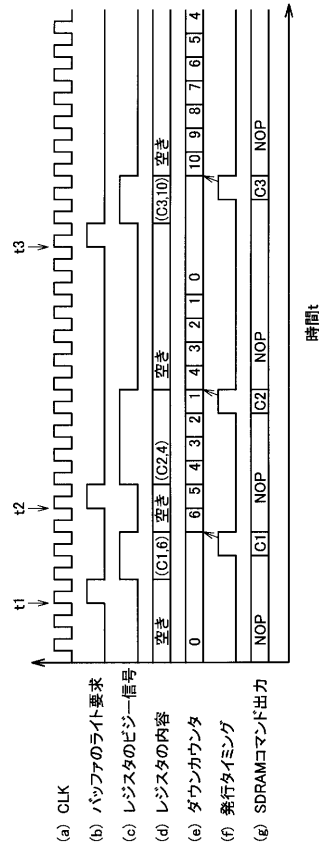
【 図 5 】



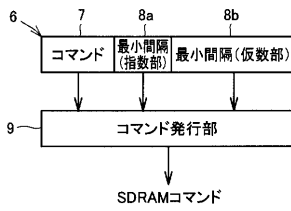
【 図 6 】



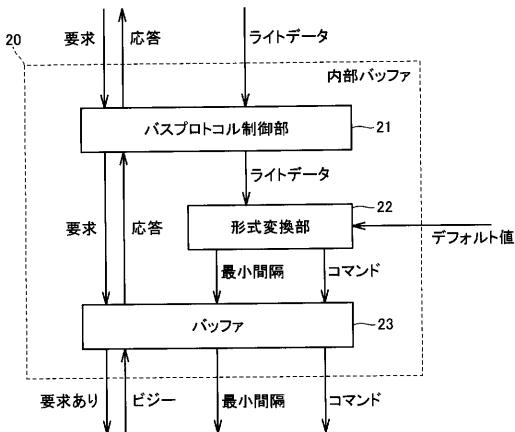
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 今井 林太郎

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

(72)発明者 中野 哲

東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

Fターム(参考) 5B060 CC02