



(21)申請案號：105120563

(22)申請日：中華民國 101 (2012) 年 09 月 25 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2011/09/29 日本

2011-215599

(71)申請人：半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；早川昌彥 HAYAKAWA, MASAHIKO
(JP)；篠原聰始 SHINOHARA, SATOSHI (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：11 項 圖式數：20 共 107 頁

(54)名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

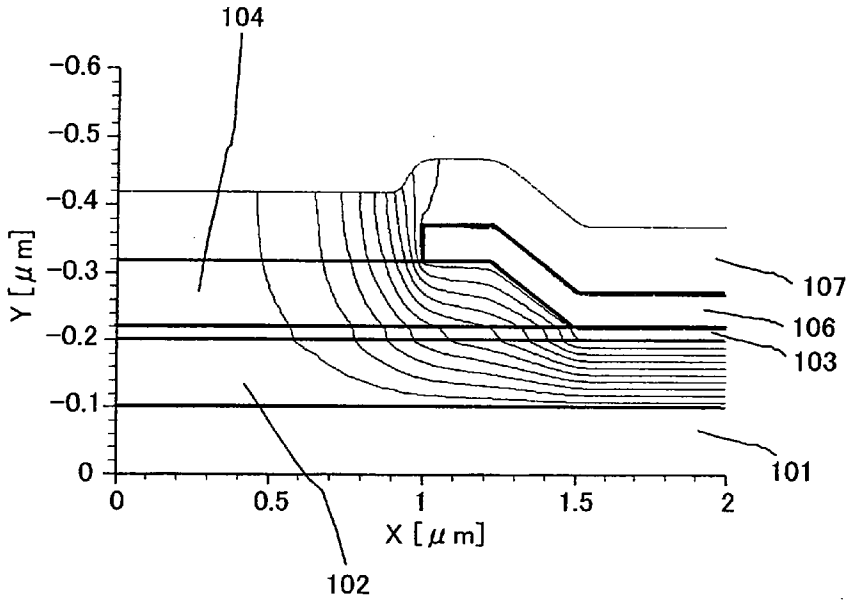
(57)摘要

在使用氧化物半導體的底閘極型的電晶體中，提供如下結構，即：對閘極電極層施加較高的閘極電壓的情況下，緩和在汲極電極層的端部近旁(及源極電極層的端部近旁)會發生的電場集中且抑制開關特性的劣化，而提高可靠性。將重疊於通道形成區上的絕緣層的剖面形狀設定為錐形形狀，且重疊於通道形成區上的絕緣層的厚度為 $0.3\mu\text{m}$ 以下，較佳為 5nm 以上且 $0.1\mu\text{m}$ 以下。將重疊於通道形成區上的絕緣層的剖面形狀的下端部的錐形角 θ 設定為 60° 以下，較佳設定為 45° 以下，更較佳設定為 30° 以下。

Provided is a bottom-gate transistor including an oxide semiconductor, in which electric-field concentration which might occur in the vicinity of an end portion of a drain electrode layer (and the vicinity of an end portion of a source electrode layer) when a high gate voltage is applied to a gate electrode layer is reduced and degradation of switching characteristics is suppressed, so that the reliability is improved. The cross-sectional shape of an insulating layer which overlaps over a channel formation region is a tapered shape. The thickness of the insulating layer which overlaps over the channel formation region is $0.3\ \mu\text{m}$ or less, preferably $5\ \text{nm}$ or more and $0.1\ \mu\text{m}$ or less. The taper angle θ of a lower end portion of the cross-sectional shape of the insulating layer which overlaps over the channel formation region is 60° or smaller, preferably 45° or smaller, further preferably 30° or smaller.

指定代表圖：

圖 1A



符號簡單說明：

- 101 . . . 閘極電極層
- 102 . . . 閘極絕緣膜
- 103 . . . 氧化物半導體膜
- 104 . . . 絕緣層
- 106 . . . 汲極電極層
- 107 . . . 保護絕緣膜

201635554

發明摘要

※申請案號：105120563 (由101135101分割)

※申請日：101年09月25日 ※IPC分類：~~H01L 29/28~~ (2006.01)

【發明名稱】(中文/英文)

~~H01L 21/28~~ (2006.01)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

● 【中文】

在使用氧化物半導體的底閘極型的電晶體中，提供如下結構，即：對閘極電極層施加較高的閘極電壓的情況下，緩和在汲極電極層的端部近旁(及源極電極層的端部近旁)會發生的電場集中且抑制開關特性的劣化，而提高可靠性。將重疊於通道形成區上的絕緣層的剖面形狀設定為錐形形狀，且重疊於通道形成區上的絕緣層的厚度為 $0.3\mu\text{m}$ 以下，較佳為 5nm 以上且 $0.1\mu\text{m}$ 以下。將重疊於通道形成區上的絕緣層的剖面形狀的下端部的錐形角 θ 設定為 60° 以下，較佳設定為 45° 以下，更較佳設定為 30° 以下。

【英文】

Provided is a bottom-gate transistor including an oxide semiconductor, in which electric-field concentration which might occur in the vicinity of an end portion of a drain electrode layer (and the vicinity of an end portion of a source electrode layer) when a high gate voltage is applied to a gate electrode layer is reduced and degradation of switching characteristics is suppressed, so that the reliability is improved. The cross-sectional shape of an insulating layer which overlaps over a channel formation region is a tapered shape. The thickness of the insulating layer which overlaps over the channel formation region is $0.3\ \mu\text{m}$ or less, preferably $5\ \text{nm}$ or more and $0.1\ \mu\text{m}$ or less. The taper angle θ of a lower end portion of the cross-sectional shape of the insulating layer which overlaps over the channel formation region is 60° or smaller, preferably 45° or smaller, further preferably 30° or smaller.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

101：閘極電極層

102：閘極絕緣膜

103：氧化物半導體膜

104：絕緣層

106：汲極電極層

107：保護絕緣膜

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

【技術領域】

本發明關於一種使用氧化物半導體的半導體裝置及其製造方法。

另外，在本說明書中，半導體裝置是指能夠藉由利用半導體特性起作用的所有類型的裝置，如電光學裝置、半導體電路及電子裝置都是半導體裝置。

【先前技術】

近年來，已對半導體裝置進行開發，將半導體裝置用作 LSI、CPU、記憶體。CPU 是包括從半導體圓片分開的半導體積體電路(至少包括電晶體及記憶體)且形成有作為連接端子的電極的半導體元件的集合體。

LSI、CPU、記憶體等的半導體電路(IC 晶片)安裝在電路基板例如印刷線路板上，並用作各種電子裝置的部件之一。

藉由將氧化物半導體膜用於通道形成區來製造電晶體等的技術引人注目。例如，可以舉出作為氧化物半導體膜使用氧化鋅(ZnO)的電晶體或者使用 $\text{InGaO}_3(\text{ZnO})_m$ 的電晶

體。專利文獻 1 及專利文獻 2 公開了在具有透光性的基板上形成上述使用氧化物半導體膜的電晶體並將該電晶體應用於影像顯示裝置的切換元件等的技術。

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報。

在氧化物半導體中形成通道形成區的電晶體可以實現比使用非晶矽的電晶體更高的場效應遷移率。非晶矽的電晶體的場效應遷移率通常為 $0.5\text{cm}^2/\text{Vs}$ 左右，與此相比使用氧化物半導體的電晶體的場效應遷移率為 $10\text{cm}^2/\text{Vs}$ 至 $20\text{cm}^2/\text{Vs}$ 或更大的值。另外，氧化物半導體藉由濺射法等可以形成活性層，不像使用多晶矽的電晶體那樣，能夠不利用雷射裝置而簡單地製造。

現在對使用上述氧化物半導體在玻璃基板或塑膠基板上形成電晶體並將該電晶體應用於液晶顯示裝置、有機 EL 顯示裝置、電子紙等進行討論。

另一方面，現在正普及具有大面積的顯示區域的顯示裝置。在家庭用電視中，顯示畫面的對角為 40 英寸至 50 英寸的電視也已開始廣泛使用，將來普及更加快。因為如上所說明的那樣，使用氧化物半導體的電晶體得到非晶矽的電晶體的 10 倍以上的場效應遷移率，所以在具有大面積的顯示區域的顯示裝置中作為像素的切換元件也得到充分的性能。另外，用於顯示裝置的電晶體被求得具有更耐

壓性。

本發明的目的之一在於將使用氧化物半導體的電特性良好且可靠性高的電晶體用作切換元件，並且提供可靠性高的顯示裝置及其製造方法。

另外，本發明的目的之一在於提供如下結構及其製造方法，即：在使用氧化物半導體的底閘極型的電晶體中，對閘極電極層施加較高的閘極電壓的情況下，緩和在汲極電極層的端部近旁(及源極電極的端部近旁)會發生的電場集中且抑制開關特性的劣化，而提高可靠性。

設為將氧化物半導體用於通道形成區，且在通道形成區上重疊地設置絕緣層(也稱為通道停止層)的結構的底閘極型的電晶體。本發明的一個方式之一是探討重疊於通道形成區上的絕緣層的剖面形狀，明確而言研究端部的剖面形狀(錐形角度 θ 或厚度等)，緩和在汲極電極層的端部近旁(及源極電極層的端部近旁)會發生的電場集中，而抑制開關特性的劣化。

明確而言，將重疊於通道形成區上的絕緣層的剖面形狀設定為梯形或三角形，即剖面形狀的下端部的錐形的角度 θ 為 60° 以下，較佳為 45° 以下，更較佳為 30° 以下。藉由採用上述角度範圍，在對閘極電極層施加較高的閘極電壓的情況下，能夠緩和在汲極電極層的端部近旁(及源極電極層的端部近旁)會發生的電場集中。

另外，將重疊於通道形成區上的絕緣層的厚度設定為 $0.3\mu\text{m}$ 以下，較佳為 5nm 以上且 $0.1\mu\text{m}$ 以下。藉由採用上

述厚度範圍，能夠使電場強度的峰值小，或者由於電場集中分散而電場集中的部分成爲多個，結果能夠緩和在汲極電極層的端部近旁會發生的電場集中。

【發明內容】

在本說明書中公開的本發明的一個方式是一種半導體裝置，包括：在絕緣表面上的閘極電極層；在閘極電極層上的閘極絕緣膜；在閘極絕緣膜上的包括通道形成區的氧化物半導體膜；與氧化物半導體膜上接觸的絕緣層；在絕緣層上具有端部的源極電極層；以及在絕緣層上具有端部的汲極電極層，其中，源極電極層的端部及汲極電極層的端部隔著絕緣層重疊於通道形成區，並且絕緣層的端部爲錐形形狀，該絕緣層的厚度爲 $0.3\mu\text{m}$ 以下，較佳爲 5nm 以上且 $0.1\mu\text{m}$ 以下。

在本說明書中公開的本發明的另一個方式是一種半導體裝置，包括：在絕緣表面上的閘極電極層；在閘極電極層上的閘極絕緣膜；在閘極絕緣膜上的包括通道形成區的氧化物半導體膜；與氧化物半導體膜上接觸的絕緣層；在絕緣層上具有端部的源極電極層；以及在絕緣層上具有端部的汲極電極層，其中，源極電極層的端部及汲極電極層的端部隔著絕緣層重疊於通道形成區，並且由絕緣層的端部的側面和絕緣表面構成的角度爲 60° 以下，較佳爲 45° 以下，更較佳爲 30° 以下，該絕緣層的厚度爲 $0.3\mu\text{m}$ 以下，較佳爲 5nm 以上且 $0.1\mu\text{m}$ 以下。

另外，在上述結構中，汲極電極層的端部重疊於絕緣層的上表面。汲極電極層也用作遮斷來自外部的光對於氧化物半導體膜的照射的遮光膜。在將汲極電極層用作遮光膜的情況下，以源極電極層的端部和汲極電極層的端部之間的間隔距離在不短路的範圍內的方式決定源極電極層的端部的位置即可。

另外，在絕緣層的端部的側面和絕緣表面形成的角度較小的情況下，絕緣層的側面的寬度(也稱為錐形部分的寬度)為較寬，因此減少汲極電極層和閘極電極層重疊的部分的寄生電容是較佳的。在此情況下，汲極電極層的端部重疊於絕緣層的端部的側面。

在絕緣層的端部上錐形角 θ 是絕緣層的剖面形狀中的下端部的側面和基板主平面形成的角度。另外，在設置有絕緣層的區域的氧化物半導體膜的表面為平面，並且與基板主平面大致平行的情況下，錐形角 θ 是指剖面形狀中的下端部的側面和氧化物半導體膜平面形成的角度。

此外，重疊於通道形成區上的絕緣層的端部的剖面形狀不侷限於梯形或三角形。也可以採用重疊於通道形成區上的絕緣層的側面的至少一部分具有曲面的形狀。例如，在絕緣層的端部的剖面形狀中，絕緣層的下端部也可以具有根據位於絕緣層的外側的曲率圓的中心決定的一個曲面。此外，絕緣層的端部的剖面形狀也可以具有從絕緣層上表面向基板擴大的剖面形狀。

藉由乾蝕刻或濕蝕刻形成具有如上所述的多種剖面形

狀的絕緣層。作為用於乾蝕刻的蝕刻裝置，可以使用如下裝置：使用反應性離子蝕刻法(RIE 法)的蝕刻裝置、使用 ECR(Electron Cyclotron Resonance：電子迴旋共振)或 ICP (Inductively Coupled Plasma：感應耦合電漿)等高密度電漿源的乾蝕刻裝置。此外，作為與 ICP 蝕刻裝置相比可以在寬廣的區域上獲得均勻的放電的乾蝕刻裝置，存在 ECCP(Enhanced Capacitively Coupled Plasma，即增強型電容耦合電漿)模式的蝕刻裝置，其中上部電極接地，並且下部電極連接到 13.56MHz 的高頻電源，並且進一步連接到 3.2MHz 的低頻電源。即使在例如使用尺寸超過 3m 的第十代基板的基板時仍可以採用該 ECCP 模式的蝕刻裝置。

此外，當重疊於通道形成區上的絕緣層的剖面形狀採用梯形或三角形時，邊使光阻掩罩縮小邊進行絕緣層的蝕刻，來形成剖面形狀為梯形或三角形狀的絕緣層。注意，在本說明書中，剖面形狀是指沿垂直於基板的主平面的面切斷的剖面形狀。

藉由將絕緣層的剖面形狀設為最適形狀，能夠緩和汲極電極層的端部近旁及源極電極層的端部近旁會發生的電場集中，而抑制開關特性的劣化，來實現提高可靠性的結構。

【圖式簡單說明】

在圖式中：

圖 1A 和 1B 是示出本發明的一個方式的剖面結構及其計算結果；

圖 2A 和 2B 是示出錐形角和電場強度的關係的圖表；

圖 3A 是示出通道長度方向的長度和電場強度的關係的圖表、圖 3B 是示出膜厚度和電場強度的關係的圖表；

圖 4A 至 4E 是示出本發明的一個方式的剖面圖的一例；

圖 5A 和 5B 是示出本發明的一個方式的剖面圖及俯視圖的一例；

圖 6A 至 6D 是示出本發明的一個方式的製程剖面圖的一例；

圖 7A 和 7B 是 STEM 照片及其示意圖；

圖 8A 和 8B 是示出本發明的一個方式的剖面圖及俯視圖的一例；

圖 9A 至 9D 是示出本發明的一個方式的製程剖面圖的一例；

圖 10A 是示出在 80°C 下的 +BT 測試前後的電特性的圖表；圖 10B 是示出在 -BT 測試前後的電特性的圖表；

圖 11A 是示出在 25°C 下的 +BT 測試前後的電特性的圖表；圖 11B 是示出在 -BT 測試前後的電特性的圖表；

圖 12A 是示出在 +BT 測試前後的電晶體的 $V_g\text{-}I_d$ 特性的圖表；圖 12B 是示出在 -BT 測試前後的電晶體的 $V_g\text{-}I_d$ 特性的圖表；

圖 13A 是示出照射光並在 80°C 下的 -BT 測試前後的電特性的圖表；圖 13B 是示出照射光並在 25°C 下的 -BT 測試前後的電特性的圖表；

圖 14A 至 14C 是說明半導體裝置的一個方式的平面圖；

圖 15A 和 15B 是說明半導體裝置的一個方式的平面圖及剖面圖；

圖 16A 和 16B 是示出半導體裝置的一個方式的剖面圖；

圖 17A 和 17B 是示出半導體裝置的一個方式的電路圖及剖面圖；

圖 18A 至 18C 是示出電子裝置的圖；

圖 19A 至 19C 是示出電子裝置的圖；

圖 20A 和 20B 是示出比較例子的計算結果。

【實施方式】

下面，參照圖式對本發明的實施模式進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本發明不應該被解釋為僅限定在以下所示的實施模式所記載的內容中。

實施模式 1

在重疊於通道形成區上的絕緣層的剖面形狀為梯形的

電晶體中，進行當施加閘極偏壓時的汲極近旁的電位分佈的計算。這裏，在計算中使用 Synopsys 公司製造的元件模擬軟體 (Sentaurus Device)。

將如圖 1A 所示的電晶體用於計算模型，即在設置於閘極電極層 101 上的厚度為 100nm 的閘極絕緣膜 102 上按順序層疊厚度為 20nm 的氧化物半導體膜 103、厚度為 100 nm 的絕緣層 104(通道停止層)，並且具有設置在絕緣層 104 上的源極電極層及汲極電極層 106、覆蓋源極電極層及汲極電極層 106 的保護絕緣膜 107 的底閘極型結構(通道停止型)的電晶體。將絕緣層 104 的下端部的錐形角設定為 30° 。

圖 1A 是示出對閘極電極層 101 施加 -30V，且將汲極電極層 106 設定為 0V 的情況下的等電位線的圖。另外，圖 1B 是如下圖表，即縱軸表示氧化物半導體膜 103 的背通道上，即與絕緣層 104 接觸的氧化物半導體膜 103 的介面中的電場強度，橫軸表示通道長度方向的長度。另外，通道長度方向的長度 X 以通道形成區的中心為原點，並且剖面形狀為梯形的絕緣層 104 的下邊為 $3\mu\text{m}$ 。

另外，為了進行比較，進行如下情況下的計算，即在絕緣層的剖面形狀不是錐形形狀，明確而言該形狀為矩形(側面和基板的主平面形成的角度為 90° 的形狀)。圖 20A 是示出對閘極電極層 101 施加 -30V，且將汲極電極層 106 設定為 0V 的情況下的等電位線的圖。另外，圖 20B 是如下圖表，即縱軸表示與絕緣層 104 接觸的氧化物半導體膜

103 的介面中的電場強度，橫軸表示通道長度方向的長度。這裏可知在氧化物半導體膜中的與絕緣層的下端部接觸的剖面近旁，即 $X=1.5\mu\text{m}$ 的部分電場集中。

與比較例子進行比較，圖 1B 所示的電場強度的峰值小。因此，與絕緣層的剖面形狀採用矩形時相比，藉由絕緣層的剖面形狀採用錐形形狀，能夠緩和電場集中。

此外，在對閘極電極層 101 施加 -30V ，對汲極電極層 106 施加 20V ，並且將源極電極層設定為 0V 的情況下進行電場強度的計算，而能夠獲得同樣的結果。

另外，圖 2A 是示出將錐形角 θ 設定為 10° 、 30° 、 50° 、 70° ，且對與絕緣層接觸的氧化物半導體膜的介面中的電場強度進行計算的結果的圖表，在此分別計算 $X=1.5\mu\text{m}$ 的部分的電場強度以及 $X=1.0\mu\text{m}$ 的部分的電場強度。另外，在圖 2A 中，白色方形點表示當將汲極電極層設定為 20V 時的 $X=1.0\mu\text{m}$ 的部分的電場強度，白色圓點表示當將汲極電極層設定為 20V 時的 $X=1.5\mu\text{m}$ 的部分的電場強度。此外，黑色方形點表示當將汲極電極層設定為 0V 時的 $X=1.0\mu\text{m}$ 的部分的電場強度，黑色圓點表示當將汲極電極層設定為 0V 時的 $X=1.5\mu\text{m}$ 的部分的電場強度。

另外，圖 2B 是示出採用厚度為 20nm 的絕緣層(通道停止層)，將錐形角 θ 設定為 10° 、 30° 、 50° 、 70° ，且對與絕緣層接觸的氧化物半導體膜的介面中的電場強度進行計算的結果的圖表，在此分別計算 $X=1.5\mu\text{m}$ 的部分的電場強度以及 $X=1.0\mu\text{m}$ 的部分的電場強度。另外，在圖 2B

中，白色方形點表示當將汲極電極層設定為 20V 時的 $X=1.0\mu\text{m}$ 的部分的電場強度，白色圓點表示當將汲極電極層設定為 20V 時的 $X=1.5\mu\text{m}$ 的部分的電場強度。此外，黑色方形點表示當將汲極電極層設定為 0V 時的 $X=1.0\mu\text{m}$ 的部分的電場強度，黑色圓點表示當將汲極電極層設定為 0V 時的 $X=1.5\mu\text{m}$ 的部分的電場強度。

另外，將絕緣層的剖面形狀設定為矩形且將其厚度設定為 5nm，對閘極電極層 101 施加 -30V，並且將汲極電極層 106 設定為 0V，來算出等電位線，而檢測在與絕緣層接觸的氧化物半導體膜的介面中的電場強度以及電場集中的位置。圖 3A 是縱軸表示該電場強度，橫軸表示通道長度方向的長度的圖表。注意，在絕緣層的厚度與比較例不同而其他條件都相同的情況下進行計算。與比較例相比，藉由將絕緣層的厚度減薄到 5nm，在多個部分中檢測出電場集中的峰值，而且該峰值比比較例的峰值小。因此可知無論絕緣層的剖面形狀，藉由厚度的減薄也能夠緩和電場集中。不用說，加上厚度的減薄，藉由剖面形狀採用錐形形狀，進一步緩和電場集中。

另外，圖 3B 是示出將絕緣層的剖面形狀設定為矩形且將其厚度設定為 5nm、10nm、20nm、30nm、50nm、100nm、200nm，並且對電場強度進行計算的結果的圖表，在此分別計算 $X=1.5\mu\text{m}$ 的部分的電場強度以及 $X=1.0\mu\text{m}$ 的部分的電場強度。圖 3A 是縱軸表示該電場強度，橫軸表示通道長度方向的長度的圖表。另外，在圖

3B 中，黑色方形點表示當將汲極電極層設定為 0V 時的 $X=1.0\mu\text{m}$ 的部分的電場強度，黑色圓點表示當將汲極電極層設定為 0V 時的 $X=1.5\mu\text{m}$ 的部分的電場強度。另外，以對數刻度表示圖 3B 的剖面結構中的每個部位的厚度。另外，關於每個厚度作出縱軸表示電場強度且橫軸表示通道長度方向的長度的圖表，而觀察到在多個部分中發生電場集中的峰值的絕緣層的厚度範圍是 5nm 以上且 50nm 以下。

藉由上述計算結果，可知藉由將絕緣層的剖面形狀設定為錐形形狀，將絕緣層的厚度設定為 5nm 以上且 100nm 以下，較佳設定為 5nm 以上且 50nm 以下，而能夠實現電場集中的緩和。另外，藉由採用錐形形狀，且將錐形角設定為 60° 以下，即使絕緣層的厚度為 300nm，也能夠實現電場集中的緩和，因此可說藉由將絕緣層的端部的錐形角設定為 60° 以下且將絕緣層的厚度設定為 300nm 以下，能夠實現電場集中的緩和。

實施模式 2

在本實施模式中，下面對絕緣層的剖面形狀的一例進行說明。

實施模式 1 的計算中所使用的模型示出汲極電極層 106 近旁的剖面圖，然而圖 4A 示出包含源極電極層 105 的電晶體整體的剖面結構圖。

在圖 4A 中，設有絕緣層 104 的區域的氧化物半導體

膜 103 的表面為平面，且看作與基板主平面大致平行。在此情況下，如圖所示那樣，錐形角 θ 是指絕緣層 104 的下端部的側面和氧化物半導體膜平面形成的角度。圖 4A 所示的絕緣層 104 為藉由通道形成區的中心為中心的線對稱形狀，因此在剖面形狀中的兩個下端部的錐形角 θ 為大致相同。另外，將通道形成區的中心作為橫軸的原點，而決定通道長度方向的長度。注意，在圖 4A 所示的電晶體的剖面結構中，雖然設定每個部位的尺寸(厚度、長度、寬度等)，但是不侷限於此。

另外，雖然圖 4A 示出絕緣層的剖面形狀為梯形的例子，但是也可以採用如圖 4B 所示那樣的剖面形狀為三角形的絕緣層 114。在絕緣層 114 的剖面形狀中，接觸於三角形的底邊的內角為錐形角 θ 。在圖 4B 中，在絕緣層 114 的側面上重疊汲極電極層的端部。當然，源極電極層的端部也重疊於絕緣層 114 的側面上。

另外，也可以採用如圖 4C 所示那樣的剖面形狀為多角形的絕緣層 124。如圖 4C 所示那樣，將剖面形狀為多角形的絕緣層 124 除了絕緣層 124 的下端部的側面和氧化物半導體膜平面形成的角度 θ_1 之外，還具有以虛線表示的平面(平行於基板主平面的面)和絕緣層 104 的上端部的側面形成的角度 θ_2 。在此情況下，採用至少角度 θ_1 為小於 90° ，較佳為 60° 以下，更較佳為 30° 以下的剖面形狀的絕緣層 124。

另外，也可以採用如圖 4D 所示那樣的剖面形狀為從

絕緣層的上表面向絕緣層的下表面擴大的形狀的絕緣層 134。絕緣層 134 的側面具有曲面，絕緣層的下端部具有根據位於絕緣層的外側的曲率圓的中心而決定的一個曲面。另外，圖示包含以絕緣層的下端為起點的側面的切線 133 的面和氧化物半導體膜的平面形成的角度(錐形角 θ)。

另外，也可以採用如圖 4E 所示那樣的、側面具有曲面的剖面形狀的絕緣層 144。絕緣層 144 的側面具有曲面，絕緣層的下端部具有根據位於絕緣層的內側的曲率圓的中心而決定的一個曲面。另外，圖示包含以絕緣層的下端為起點的側面的切線 143 的面和氧化物半導體膜的平面形成的角度(錐形角 θ)。為了實現這種剖面形狀的絕緣層 144，也可以層疊蝕刻率不同的多個絕緣層。

除了上述的剖面形狀之外還有各種各樣的剖面形狀，但是圖 4A 至 4E 所示的形狀的絕緣層用於電晶體是較佳的。藉由將圖 4A 至 4E 所示的形狀的絕緣層接觸於氧化物半導體膜而設置，能夠實現電場集中的緩和。

另外，本實施模式可與實施模式 1 自由組合。例如，採用圖 4B 所示的剖面形狀，且將絕緣層 114 的端部的錐形角 θ 設定為 60° 以下，以及將絕緣層 114 的厚度設定為 300nm 以下，能夠實現電場集中的緩和。

實施模式 3

在本實施模式中，參照圖 5A 至圖 6D 對半導體裝置

及半導體裝置的製造方法的一個方式進行說明。在本實施模式中，作為半導體裝置的一例示出具有氧化物半導體膜的電晶體。

電晶體既可以採用形成有一個通道形成區的單閘結構，又可以採用形成有兩個通道形成區的雙閘結構，還可以採用形成有三個通道形成區的三閘結構。此外，還可以採用在通道形成區的上下隔著閘極絕緣膜設置有兩個閘極電極層的雙閘結構。

圖 5A 和 5B 所示的電晶體 440 是稱為通道保護型(也稱為通道停止型)的底閘極結構的電晶體之一，並且，將該電晶體 440 也是稱為反交錯型電晶體的電晶體的一例。圖 5A 是平面圖，圖 5A 中的單點虛線 X1-Y1 切斷的剖面相當於圖 5B。

如通道長度方向的剖面圖的圖 5B 所示那樣，包括電晶體 440 的半導體裝置在設有絕緣膜 436 的具有絕緣表面的基板 400 上具有：閘極電極層 401、閘極絕緣膜 402、氧化物半導體膜 403、絕緣層 413、源極電極層 405a 以及汲極電極層 405b。

與氧化物半導體膜 403 接觸的絕緣層 413 設置在與閘極電極層 401 重疊的氧化物半導體膜 403 的通道形成區上，並且它用作通道保護膜。

藉由改進重疊於通道形成區上的絕緣層 413 的剖面形狀，明確而言端部的剖面形狀(錐形角 θ 及厚度等)，能夠緩和在汲極電極層 405b 的端部近旁會發生的電場集中，

而抑制電晶體 440 的開關特性的劣化。

明確而言，將重疊於通道形成區上的絕緣層 413 的剖面形狀設定為梯形或三角形，剖面形狀的下端部的錐形角 θ 為 60° 以下，較佳為 45° 以下，更較佳為 30° 以下。藉由採用上述角度範圍，在對閘極電極層 401 施加較高的閘極電壓的情況下，能夠緩和在汲極電極層 405b 的端部近旁會發生的電場集中。

在本實施模式中，在剖面形狀中絕緣層 413 的比中央範圍 D 靠近外側的端部為錐形形狀，且將該部分稱為錐形部分。在剖面形狀中，絕緣層 413 的錐形部分在於兩端，將其一方的寬度稱為錐形部分的寬度，並且錐形部分的寬度相當於從通道長度 L 減去中央的範圍 D 的大約一半。

另外，將重疊於通道形成區上的絕緣層 413 的厚度設定為 $0.3\mu\text{m}$ 以下，較佳為 5nm 以上且 $0.1\mu\text{m}$ 以下。藉由採用上述厚度範圍，能夠使電場強度的峰值小，或者由於電場集中分散而電場集中的部分成為多個，結果能夠緩和在汲極電極層 405b 的端部近旁會發生的電場集中。

用於氧化物半導體膜 403 的氧化物半導體較佳至少包含銦(In)或鋅(Zn)。特別較佳包含 In 及 Zn。另外，較佳的是，作為用來減少使用該氧化物的電晶體的電特性不均勻的穩定劑，除了包含上述以外，還包含鎵(Ga)。另外，作為穩定劑，較佳包含錫(Sn)。另外，作為穩定劑，較佳包含鈦(Hf)。另外，作為穩定劑，較佳包含鋁(Al)。

另外，作為其他穩定劑，也可以包含釧系元素的釧

(La)、銻(Ce)、鐳(Pr)、釹(Nd)、釷(Sm)、鈾(Eu)、釷(Gd)、鐳(Tb)、鐳(Dy)、釹(Ho)、鉺(Er)、銻(Tm)、鐳(Yb)以及鐳(Lu)中的任何一種或多種。

例如，作為氧化物半導體可以使用氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧化物(也稱為 IGZO)、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

另外，例如，In-Ga-Zn 類氧化物是指包含 In、Ga 和 Zn 的氧化物，而對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。In-Ga-Zn 類氧化物具有無電場時的電阻足夠高而可以使截止電流足夠低且遷移率高的特徵，因此作為用於半導體裝置的半導體材

料十分合適。

例如，可以使用其原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1 (=1/3 : 1/3 : 1/3)$ 或 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1 (=2/5 : 2/5 : 1/5)$ 的 In-Ga-Zn 類氧化物或其組成附近的氧化物。或者，可以使用其原子數比為 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1 (=1/3 : 1/3 : 1/3)$ 、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3 (=1/3 : 1/6 : 1/2)$ 或 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5 (=1/4 : 1/8 : 5/8)$ 的 In-Sn-Zn 氧化物或其組成附近的氧化物。

例如， In-Sn-Zn 氧化物比較容易得到高遷移率。但是，即使使用 In-Ga-Zn 氧化物，也可以藉由降低塊體內缺陷密度而提高遷移率。

另外，藉由減少成爲電子給體(施體)的水分或氫等雜質且減少氧缺陷來實現的高度純化的氧化物半導體(purified Oxide Semiconductor)是 i 型(本質半導體)或無限趨近於 i 型。因此，使用上述氧化物半導體的電晶體具有截止電流顯著低的特性。另外，氧化物半導體的能隙是 2eV 以上，較佳是 2.5eV 以上，更較佳是 3eV 以上。藉由使用水分或氫等的雜質濃度充分地降低且氧缺陷降低而被高度純化的氧化物半導體膜，可以降低電晶體的截止電流。

明確而言，根據各種實驗可以證明將被高度純化的氧化物半導體膜用作半導體膜的電晶體的截止電流低。例如，即使用具有 $1 \times 10^6 \mu\text{m}$ 通道寬度和 $10 \mu\text{m}$ 通道長度的元件，在從 1V 至 10V 的源極電極和汲極電極之間的電壓

(汲極電壓)範圍內，截止態電流可以小於或等於半導體參數分析儀的測量極限，即小於或等於 $1 \times 10^{-13} \text{ A}$ 。在此情況下，可知相當於截止電流除以電晶體的通道寬度的數值的截止電流密度為 $100 \text{ zA}/\mu\text{m}$ 以下。此外，藉由使用使電容元件和電晶體連接，並由該電晶體控制流入到電容元件的電荷或從電容元件流出的電荷的電路，來進行截止電流密度的測量。在該測量時，將被高度純化的氧化物半導體膜用於上述電晶體的通道形成區，且根據電容元件的每個單位時間的電荷量推移測量該電晶體的截止電流密度。其結果是，可知當電晶體的源極電極和汲極電極之間的電壓為 3 V 時，可以獲得更低的截止電流密度，即幾十 $\text{yA}/\mu\text{m}$ 。由此，以被高度純化的氧化物半導體膜用於通道形成區的電晶體的截止電流比使用具有結晶性的矽的電晶體的截止電流顯著低。

此外，在沒有特別的說明的情況下，在 n 通道型電晶體中，本說明書所述的截止電流是指如下電流，即：在使汲極電極的電位高於源極電極及閘極電極的電位的狀態下，當以源極電極的電位為基準時的閘極電極的電位為 0 以下時，流過源極電極和汲極電極之間的電流。或者，在 p 通道型電晶體中，本說明書所述的截止電流是指如下電流，即：在使汲極電極的電位低於源極電極及閘極電極的電位的狀態下，當以源極電極的電位為基準時的閘極電極的電位為 0 以上時，流過源極電極和汲極電極之間的電流。

此外，例如，氧化物半導體膜可以藉由使用包含 In(銦)、Ga(鎵)和 Zn(鋅)的靶材的濺射法形成。在藉由濺射法形成 In-Ga-Zn 類氧化物半導體膜的情況下，較佳使用原子數比為 In : Ga : Zn=1 : 1 : 1、4 : 2 : 3、3 : 1 : 2、1 : 1 : 2、2 : 1 : 3 或 3 : 1 : 4 的 In-Ga-Zn 類氧化物的靶材。藉由使用具有上述原子數比的 In-Ga-Zn 類氧化物的靶材形成氧化物半導體膜，容易形成多晶或 CAAC(C Axis Aligned Crystal)。另外，包含 In、Ga 及 Zn 的靶材的填充率為 90%以上且 100%以下，較佳為 95%以上且低於 100%。藉由採用填充率高的靶材，可以形成緻密的氧化物半導體膜。

另外，當作爲氧化物半導體使用 In-Zn 類氧化物材料時，將所使用的靶材中的金屬元素的原子數比設定爲 In : Zn=50 : 1 至 1 : 2(換算爲莫耳數比則爲 In_2O_3 : ZnO=25 : 1 至 1 : 4)，較佳爲 In : Zn=20 : 1 至 1 : 1(換算爲莫耳數比則爲 In_2O_3 : ZnO=10 : 1 至 1 : 2)，更較佳爲 In : Zn=1.5 : 1 至 15 : 1(換算爲莫耳數比則爲 In_2O_3 : ZnO=3 : 4 至 15 : 2)。例如，作爲用來形成作爲 In-Zn 類氧化物的氧化物半導體膜的靶材，當原子數比爲 In : Zn : O=X : Y : Z 時，滿足 $Z > 1.5X + Y$ 。藉由將 Zn 的比率設定爲上述範圍內的值，可以實現遷移率的提高。

氧化物半導體膜 403 有可能處於單晶、多晶(也稱爲多晶體)或非晶等狀態。

較佳氧化物半導體膜是 C 軸配向結晶氧化物半導體(C

Axis Aligned Crystalline Oxide Semiconductor: CAAC-OS) 膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下該結晶部為能夠容納於一個邊長小於 100nm 的立方體的尺寸。另外，在使用透射電子顯微鏡(TEM: Transmission Electron Microscope)觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，利用 TEM 在 CAAC-OS 膜中觀察不到晶界(grain boundary)。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或平行於表面的法線向量方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，在不同結晶部之間 a 軸及 b 軸的方向可以不同。在本說明書中，當只記載“垂直”時，還包括 85°以上且 95°以下的範圍。另外，當只記載“平行”時，還包括 -5°以上且 5°以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的 formed 過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對

CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部被非晶化。

因爲包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或平行於表面的法線向量的方向上一致，所以根據 CAAC-OS 膜的形狀(被形成面的剖面形狀或表面的剖面形狀)有時朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或平行於表面的法線向量的方向。結晶部藉由進行成膜或進行成膜後的加熱處理等的晶化處理來形成。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，這種電晶體的可靠性高。

另外，構成氧化物半導體膜的氧的一部分也可以用氮取代。

此外，如 CAAC-OS 那樣具有結晶部的氧化物半導體中可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。爲了提高表面的平坦性，較佳在平坦的表面上形成氧化物半導體。明確而言，在平均面粗糙度(Ra)爲 1nm 以下，較佳爲 0.3nm 以下，更較佳爲 0.1nm 以下的表面上形成氧化物半導體。

注意，Ra 是將 JIS B0601：2001(ISO4287：1997)中定義的算術平均粗糙度擴大爲三維以使其能夠應用於曲面的

度量，可以將它表示為“將從基準面到指定面的偏差的絕對值平均而得的值”，以如下公式(1)定義。

公式 1

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

在此，指定面是指成為檢測粗造度的對象的面，且用座標為 $(x_1, y_1, f(x_1, y_1))$ 、 $(x_1, y_2, f(x_1, y_2))$ 、 $(x_2, y_1, f(x_2, y_1))$ 、 $(x_2, y_2, f(x_2, y_2))$ 的4點表示的長方形的區域， S_0 表示將指定面投影到 xy 平面上的長方形的面積， Z_0 表示基準面的高度(指定面的平均高度)。可以利用原子力顯微鏡(AFM: Atomic Force Microscope)來對 Ra 進行測定。

但是，在本實施模式中說明的電晶體440為底閘極型，因此在氧化物半導體膜的下方存在有基板400、閘極電極層401和閘極絕緣膜402。因此，在為了得到上述平坦的表面而形成閘極電極層401及閘極絕緣膜402之後，進行CMP處理等的平坦化處理。另外，不侷限於基板的全面平坦化，藉由充分分開閘極電極層401的側面和絕緣層413的下端部之間的間隔，能夠至少將成為通道形成區的區域接近於上述平坦面。電晶體440為通道保護型，因此根據絕緣層413的尺寸決定通道形成區的尺寸(L/W)。

將氧化物半導體膜403的厚度設定為1nm以上且30nm以下(較佳為5nm以上且10nm以下)，可以適當地利用濺射法、MBE(Molecular Beam Epitaxy：分子束外

延)法、CVD法、脈衝雷射沉積法、ALD(Atomic Layer Deposition：原子層沉積)法等。此外，氧化物半導體膜403可以使用濺射裝置形成，該濺射裝置在以大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜。

圖6A至6D示出具有電晶體440的半導體裝置的製造方法的一例。

首先，在具有絕緣表面的基板400上形成絕緣膜436。

對可用作具有絕緣表面的基板400的基板沒有特別的限制，但是基板400需要至少具有能夠承受後面進行的熱處理的程度的耐熱性。例如，可以使用玻璃基板(如硼矽酸鋇玻璃和硼矽酸鋁玻璃等)、陶瓷基板、石英基板、藍寶石基板等。另外，作為基板400，也可以採用由矽或碳化矽等構成的單晶半導體基板、多晶半導體基板、由矽鎳等構成的化合物半導體基板、SOI基板等，並且也可以使用在這些基板上設置有半導體元件的基板。

此外，也可以使用撓性基板作為基板400來製造半導體裝置。為了製造具有撓性的半導體裝置，既可以直接在撓性基板上製造包括氧化物半導體膜403的電晶體440，又可以在其他製造基板上製造包括氧化物半導體膜403的電晶體440，然後將該電晶體剝離且轉置到撓性基板上。另外，為了從製造基板剝離並轉置到撓性基板上，較佳在製造基板與具有氧化物半導體膜的電晶體440之間設置剝

離層。

藉由電漿 CVD 法或濺射法等，並使用氧化矽、氧氮化矽、氧化鋁、氧氮化鋁、氧化鉛、氧化鎵等的氧化絕緣膜，氮化矽、氮氧化矽、氮化鋁、氮氧化鋁等的氮化物絕緣膜，或它們的混合材料，可以形成絕緣膜 436。

絕緣膜 436 可以是單層又可以是疊層。

在本實施模式中，作為絕緣膜 436 使用藉由電漿 CVD 法形成的厚度為 100nm 的氮化矽膜及厚度為 150nm 的氧化矽膜的疊層。

接著，在絕緣膜 436 上形成導電膜，對該導電膜進行蝕刻形成閘極電極層 401。

閘極電極層 401 的材料可以使用鉬、鈦、鉭、鎢、鋁、銅、鉻、鈹、銦等金屬材料或以它們為主要成分的合金材料形成。此外，作為閘極電極層 401，可以使用以摻雜有磷等雜質元素的多晶矽膜為代表的半導體膜、鎳矽化物等矽化物膜。閘極電極層 401 既可以是單層結構，又可以是疊層結構。

另外，閘極電極層 401 的材料也可以使用氧化銮氧化錫、包含氧化鎢的銮氧化物、包含氧化鎢的銮鋅氧化物、包含氧化鈦的銮氧化物、包含氧化鈦的銮錫氧化物、氧化銮氧化鋅以及添加有氧化矽的銮錫氧化物等導電材料。此外，也可以採用上述導電材料與上述金屬材料的疊層結構。

此外，作為與閘極絕緣膜 402 接觸的閘極電極層

401，可以使用包含氮的金屬氧化物，明確地說，包含氮的 In-Ga-Zn-O 膜、包含氮的 In-Sn-O 膜、包含氮的 In-Ga-O 膜、包含氮的 In-Zn-O 膜、包含氮的 Sn-O 膜、包含氮的 In-O 膜以及金屬氮化膜(InN、SnN 等)。當這些膜具有 5 電子伏特，較佳具有 5.5 電子伏特以上的功函數且將它們用作閘極電極層時，可以使電晶體的電特性的臨界電壓成爲正值，而可以實現所謂的常關閉型(normally off)的切換元件。

在本實施模式中，藉由濺射法形成厚度爲 100nm 的鎢膜。

接著，在閘極電極層 401 上形成閘極絕緣膜 402。

另外，爲了提高閘極絕緣膜 402 的覆蓋性，也可以對閘極電極層 401 表面進行平坦化處理。尤其是，較佳當作爲閘極絕緣膜 402 使用較薄的絕緣膜時，閘極電極層 401 的表面具有良好的平坦性。

將閘極絕緣膜 402 的厚度設定爲 1nm 以上且 20nm 以下，並可以適當地利用濺射法、MBE 法、CVD 法、脈衝雷射沉積法、ALD 法等。此外，閘極絕緣膜 402 也可以使用濺射裝置形成，該濺射裝置在以大致垂直於濺射靶材表面的方式設置有多個基板表面的狀態下進行成膜。

閘極絕緣膜 402 可以使用如下材料形成：氧化矽膜；氧化鎵膜；氧化鋁膜；氮化矽膜；氧氮化矽膜；氧氮化鋁膜；氮氧化矽膜。

此外，藉由作爲閘極絕緣膜 402 的材料使用氧化鉛、

氧化釷、矽酸鈣 (HfSi_xO_y ($x>0$, $y>0$))、添加有氮的矽酸鈣 HfSiO_xN_y ($x>0$, $y>0$)、鋁酸鈣 (HfAl_xO_y ($x>0$, $y>0$))以及氧化釷等 high-k 材料，可以降低閘極洩汲電流。另外，閘極絕緣膜 402 既可以採用單層結構，又可以採用疊層結構。

閘極絕緣膜 402 較佳在接觸於氧化物半導體膜 403 的部分含有氧。尤其是，閘極絕緣膜 402 較佳在其膜中(塊中)至少有超過化學計量成分比的量的氧。例如，當將氧化矽膜用於閘極絕緣膜 402 時，使用 $\text{SiO}_{2+\alpha}$ (注意， $\alpha > 0$)。

藉由以與氧化物半導體膜 403 接觸的方式設置用作氧的供應源的含多量(過剩)的氧的閘極絕緣膜 402，可以將氧從該閘極絕緣膜 402 供應到氧化物半導體膜 403 中。也可以藉由在氧化物半導體膜 403 與閘極絕緣膜 402 的一部分接觸的狀態下進行加熱處理，向氧化物半導體膜 403 供應氧。

藉由向氧化物半導體膜 403 供應氧，可以填補膜中的氧缺損。再者，較佳考慮到所製造的電晶體的尺寸或閘極絕緣膜 402 的臺階覆蓋性而形成閘極絕緣膜 402。

在本實施模式中，藉由高密度電漿 CVD 法形成厚度為 200nm 的氧氮化矽膜。

接著，在閘極絕緣膜 402 上形成氧化物半導體膜 403。

在形成氧化物半導體膜 403 的製程中，為了在氧化物半導體膜 403 中儘量不包含氫或水，較佳作為形成氧化物

半導體膜 403 的預處理，在濺射裝置的預熱室中對形成有閘極絕緣膜 402 的基板進行預熱，使附著在基板及閘極絕緣膜 402 中的氫或水分等雜質脫離而排出。另外，作為設置在預熱室中的排氣單元較佳使用低溫泵。

也可以對在閘極絕緣膜 402 中以與氧化物半導體膜 403 接觸的方式形成的區域進行平坦化處理。對平坦化處理沒有特別的限制，而作為平坦化處理可以使用拋光處理(例如，化學機械拋光法(CheMical Mechanical Polishing: CMP))、乾蝕刻處理及電漿處理。

作為電漿處理，例如可以進行引入氬氣來產生電漿的反濺射。反濺射是指使用 RF 電源在氬氛圍下對基板一側施加電壓，來在基板附近形成電漿以進行表面改性的方法。另外，也可以使用氮、氬、氧等代替氬氛圍。藉由進行反濺射，可以去除附著在閘極絕緣膜 402 表面上的粉狀物質(也稱為微粒、塵屑)。

作為平坦化處理，既可以多次進行拋光處理、乾蝕刻處理及電漿處理，又可以組合它們而進行。此外，當組合它們而進行時，對製程順序也沒有特別的限制，可以根據閘極絕緣膜 402 表面的凹凸狀態適當地設定。

此外，較佳以在成膜時包含較多的氧的條件(例如，在氧為 100%的氛圍下利用濺射法進行成膜等)形成膜，使氧化物半導體膜 403 為包含較多的氧(較佳包含相對於在氧化物半導體為結晶狀態的化學計量的組成而言氧的含有量過剩的區域)的膜。

注意，在本實施模式中，作為氧化物半導體膜 403，藉由使用具有 AC 電源裝置的濺射裝置的濺射法，形成厚度為 35nm 的 In-Ga-Zn 類氧化物膜(IGZO 膜)。在本實施模式中，In : Ga : Zn=1 : 1 : 1(=1/3 : 1/3 : 1/3)的原子數比的 In-Ga-Zn 類氧化物靶材。另外，形成該氧化物半導體膜 403 的條件為如下：在氧及氬氛圍下(氧流量比為 50%)、壓力為 0.6Pa、電源功率為 5kW、基板溫度為 170℃。在該條件下的沈積速度為 16nm/min。

此外，在形成氧化物半導體膜 403 時所使用的濺射裝置中，將成膜處理室的洩漏率設定為 $1 \times 10^{-10} \text{Pa} \cdot \text{m}^3/\text{秒}$ 以下。藉由將成膜處理室的洩漏率設定為較低，能夠減少雜質混入到藉由濺射法形成的膜中。為了降低成膜處理室內的洩漏率，需要不僅減少外部洩漏而且減少內部洩漏。外部洩漏是指：由於微小的孔或密封不良，氣體從真空系統的外部流入的現象。內部洩漏起因於從真空系統中的閥門等隔板的洩漏的氣體或從內部構件釋放的氣體。在形成氧化物半導體膜 403 時所使用的濺射裝置中，使用金屬墊片密封成膜處理室的開閉部分。金屬墊片較佳使用由氟化鐵、氧化鋁或氧化鉻等包覆的金屬材料。金屬墊片的密合性比 O 形環高，因此可以降低外部洩漏。另外，存在於成膜處理室的內側的吸附物由於吸附在內壁因此對沉積室的壓力不造成影響，但是它會成為當對成膜處理室進行排氣時的釋放氣體的原因。因此，雖然洩漏率和排氣速度之間沒有關聯，但是重要的是：使用排氣能力高的泵，盡量使

存在於成膜處理室內的吸附物脫離，以預先實現排氣。另外，爲了促進吸附物的脫離，也可以焙烤成膜處理室。藉由進行烘烤，可以將吸附物的脫離速度提高到十倍左右。烘烤處理以 100℃ 以上且 450℃ 以下進行，即可。此時，一邊導入惰性氣體一邊去除吸附物，這樣可以使僅靠排氣不容易脫離的水等的脫離速度得到進一步的提高。

作爲當形成氧化物半導體膜 403 時使用的濺射氣體，較佳使用氫、水、羥基或氫化物等的雜質被去除了的高純度氣體。

在保持爲減壓狀態的成膜處理室中保持基板。而且，一邊去除成膜處理室中的殘留水分，一邊引入去除了氫及水分的濺射氣體，並使用上述靶材來在基板 400 上形成氧化物半導體膜 403。另外，爲了去除殘留在成膜處理室內的水分，較佳使用吸附型的真空泵，諸如低溫泵、離子泵、鈦昇華泵。另外，作爲排氣裝置，也可以使用配備有冷阱的渦輪分子泵。另外，作爲排氣裝置，也可以使用配備有冷阱的渦輪分子泵。由於利用低溫泵進行了排氣的沉積室中，例如氫原子、水(H₂O)等的包含氫原子的化合物(更較佳還有包含碳原子的化合物)等被排出，因此可以降低在該沉積室中形成的氧化物半導體膜 403 所含有的雜質濃度。

另外，較佳以不暴露於大氣的方式連續形成閘極絕緣膜 402 和氧化物半導體膜 403。藉由以不暴露於大氣的方式連續形成閘極絕緣膜 402 和氧化物半導體膜 403，可以

防止氫或水分等雜質附著於閘極絕緣膜 402 表面。

可以藉由光微影製程將膜狀的氧化物半導體膜加工成島狀的氧化物半導體膜形成氧化物半導體膜 403。

此外，也可以藉由噴墨法形成用來形成島狀的氧化物半導體膜 403 的光阻掩罩。當利用噴墨法形成光阻掩罩時不需要光掩模，由此可以降低製造成本。

注意，在此進行的對氧化物半導體膜的蝕刻可以是乾蝕刻或濕蝕刻，並且還可以使用乾蝕刻和濕蝕刻的兩者。例如，作為用於氧化物半導體膜的濕蝕刻的蝕刻劑，可以使用磷酸、醋酸以及硝酸的混合溶液等。此外，也可以使用 ITO-07N(關東化學株式會社製造)。另外，也可以藉由 ICP(Inductively Coupled Plasma：電感耦合電漿)蝕刻法進行蝕刻加工。

此外，也可以對氧化物半導體膜 403 進行用來去除(脫水化或脫氫化)過剩的氫(包括水及羥基)的加熱處理。將加熱處理的溫度設定為 300℃ 以上且 700℃ 以下，或小於基板的應變點。加熱處理可以在減壓下或氮氛圍下等進行。

在本實施模式中，將基板放入到作為加熱處理裝置之一的電爐中，對氧化物半導體膜 403 在氮氛圍下以 450℃ 進行 1 小時的加熱處理，並且在氮及氧氛圍下以 450℃ 進行 1 小時的加熱處理。

注意，加熱處理裝置不侷限於電爐，還可以利用電阻發熱體等的發熱體所產生的熱傳導或熱輻射對被處理物進

行加熱的裝置。例如，可以使用 GRTA(Gas Rapid Thermal Anneal：氣體快速熱退火)裝置、LRTA(Lamp Rapid Thermal Anneal：燈快速熱退火)裝置等的 RTA(Rapid Thermal Anneal：快速熱退火)裝置。LRTA 裝置是利用從如鹵素燈、金屬鹵化物燈、氙弧燈、碳弧燈、高壓鈉燈或高壓汞燈等的燈發出的光(電磁波)的輻射加熱被處理物的裝置。GRTA 裝置是使用高溫的氣體進行加熱處理的裝置。作為高溫氣體，使用如氫等的稀有氣體或氮那樣的即使進行加熱處理也不與被處理物產生反應的惰性氣體。

例如，作為加熱處理，也可以進行如下 GRTA，即將基板放入加熱為 650℃至 700℃的高溫的惰性氣體中，在加熱幾分鐘之後，將基板從惰性氣體中取出。

另外，在加熱處理中，較佳氮或氫、氬、氫等的稀有氣體不包含水、氫等。另外，較佳將引入熱處理裝置中的氮或氫、氬、氫等的稀有氣體的純度設定為 6N(99.9999%)以上，較佳設定為 7N(99.99999%)以上(即，將雜質濃度設定為 1ppm 以下，較佳設定為 0.1ppm 以下)。

此外，也可以在藉由加熱處理加熱氧化物半導體膜 403 之後，對相同的爐中引入高純度的氧氣、高純度的一氧化二氮氣體或超乾燥空氣(使用 CRDS(cavity ring-down laser spectroscopy：光腔衰蕩光譜法)方式的露點儀進行測定時的水分量是 20ppm(露點換算，-55℃)以下，較佳的是 1ppm 以下，更較佳的是 10ppb 以下的空氣)。氧氣體或一氧化二氮氣體較佳不包含水、氫等。或者，較佳將引入加

熱處理裝置中的氧氣或一氧化二氮氣體的純度設定為 6N 以上，較佳設定為 7N 以上(即，將氧氣體或一氧化二氮氣體中的雜質濃度設定為 1ppm 以下，較佳設定為 0.1ppm 以下)。藉由利用氧氣或一氧化二氮氣體的作用來供應在利用脫水化或脫氫化處理進行雜質排除製程同時減少的構成氧化物半導體的主要成分材料的氧，可以使氧化物半導體膜 403 高度純化及 I 型(本質)化。

此外，進行用來脫水化或脫氫化的加熱處理的時序既可以在形成膜狀的氧化物半導體膜之後，又可以在形成島狀的氧化物半導體膜 403 之後。

另外，用來脫水化或脫氫化的加熱處理可以進行多次，也可以以另一加熱處理兼作上述加熱處理。

藉由在將氧化物半導體膜 403 加工為島狀之前，在膜狀的氧化物半導體膜覆蓋閘極絕緣膜 402 的狀態下，進行用來脫水化或脫氫化的加熱處理，可以防止因加熱處理而放出包含在閘極絕緣膜 402 中的氧，所以是較佳的。

另外，也可以對進行了脫水化或脫氫化處理的氧化物半導體膜 403 引入氧(至少包含氧自由基、氧原子、氧離子中的任何一個)，來將氧供應到膜中。

另外，由於脫水化處理或脫氫化處理有可能導致作為構成氧化物半導體的主要成分材料的氧同時脫離而減少。在氧化物半導體膜中的氧脫離的部分中存在氧缺陷，並且起因於該氧缺陷而產生會導致電晶體的電特性變動的施體能階。

對進行脫水化或脫氫化的氧化物半導體膜 403，引入氧來將氧供應到膜中可以使氧化物半導體膜 403 高度純化及 I 型(本質)化。具有高度純化且實現了 I 型(本質)化的氧化物半導體膜 403 的電晶體的電特性變動被抑制，所以該電晶體在電性上穩定。

作為氧的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子植入法、電漿處理等。

另外，作為引入氧的製程，當將氧引入到氧化物半導體膜 403 時，既可以直接引入到氧化物半導體膜 403，又可以透過閘極絕緣膜 402 等的其他膜而將氧引入到氧化物半導體膜 403。當透過其他膜而將氧引入到氧化物半導體膜 403 時，可以使用離子植入法、離子摻雜劑法、電漿浸沒離子植入法等，但是當將氧直接引入到露出的氧化物半導體膜 403 時，也可以使用電漿處理等。

對氧化物半導體膜 403 的引入氧的製程較佳在進行脫水化或脫氫化處理之後進行，沒有特別的限制。此外，可以多次進行對已進行上述脫水化或脫氫化處理的氧化物半導體膜 403 的氧的引入。

接著，在重疊於閘極電極層 401 的氧化物半導體膜 403 的通道形成區上形成絕緣層 413(參照圖 6A)。

可以對藉由電漿 CVD 法、濺射法形成的絕緣膜進行蝕刻加工而形成絕緣層 413。作為絕緣層 413，典型地可以使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、氧化鉛膜、或氧化鎵膜、氮化矽膜、氮化鋁膜、氮氧化矽

膜、氮氧化鋁膜等無機絕緣膜的單層或疊層。

與氧化物半導體膜 403 接觸的絕緣層 413(當絕緣層 413 為疊層結構時，與氧化物半導體膜 403 接觸的膜)包含大量氧時，可以適合用作向所述氧化物半導體膜 403 供應氧的供應源。

在本實施模式中，作為絕緣層 413 藉由濺射法形成厚度為 200nm 的氧化矽膜。對氧化矽膜進行選擇性地蝕刻形成絕緣層 413，該絕緣層 413 的剖面形狀為梯形或三角形狀，並且剖面形狀的下端部的錐形角 θ 為 60° 以下，較佳為 45° 以下，更較佳為 30° 以下。另外，絕緣層 413 的平面形狀為矩形。另外，在本實施模式中，藉由光微影製程在氧化矽膜上形成光阻掩罩，並且進行選擇性地蝕刻，而將絕緣層 413 的剖面形狀形成為梯形，並且絕緣層 413 的下端部的錐形角 θ 設定大約為 30° 。

在形成絕緣層 413 之後，也可以進行加熱處理。在本實施模式中在氮氛圍下以 300°C 進行 1 小時的加熱處理。

接著，在閘極電極層 401、閘極絕緣膜 402、氧化物半導體膜 403 及絕緣層 413 上形成成為源極電極層及汲極電極層(包括使用與其相同的層形成的佈線)的導電膜 445(參照圖 6B)。

作為該導電膜 445，使用能夠承受後面的加熱處理的材料。作為用作源極電極層及汲極電極層的導電膜 445，例如可以使用含有選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素的金屬膜或以上述元素為成分的金屬氮化物膜(氮

化鈦膜、氮化鉬膜、氮化鎢膜)等。此外，還可以採用在 Al、Cu 等的金屬膜的下側或上側的一者或兩者層疊 Ti、Mo、W 等的高熔點金屬膜或層疊它們的金屬氮化物膜(氮化鈦膜、氮化鉬膜、氮化鎢膜)的結構。此外，用作源極電極層及汲極電極層的導電膜 445 也可以由導電金屬氧化物而形成。作為導電金屬氧化物，可以使用氧化銦(In_2O_3)、氧化錫(SnO_2)、氧化鋅(ZnO)、氧化銦氧化錫($\text{In}_2\text{O}_3\text{-SnO}_2$ ；簡寫為 ITO)、氧化銦氧化鋅($\text{In}_2\text{O}_3\text{-ZnO}$)或使它們的金屬氧化物材料包含氧化矽的材料。

利用光微影製程在導電膜 445 上形成光阻掩罩 448a、448b，並藉由進行選擇性的蝕刻來形成源極電極層 405a 及汲極電極層 405b(參照圖 6C)。在形成源極電極層 405a、汲極電極層 405b 之後去除光阻掩罩。其結果，汲極電極層 405b 的端部位於絕緣層 413 的上表面或側面，源極電極層 405a 的端部位於絕緣層 413 的上表面或側面。

當對導電膜 445 進行蝕刻時使用包含氯的氣體 447。作為包含氯的氣體 447 可以使用如包含氯(Cl_2)、三氯化硼(BCl_3)、四氯化矽(SiCl_4)、四氯化碳(CCl_4)等的氣體。

作為乾蝕刻法，可以使用平行平板型 RIE(Reactive Ion Etching：反應性離子蝕刻)法或 ICP(Inductively Coupled Plasma：感應耦合電漿)蝕刻法。適當地調節蝕刻條件(施加上到線圈型電極的功率量、施加上到基板一側的電極的功率量、基板一側的電極溫度等)，以便可以蝕刻為所希望的

加工形狀。

在本實施模式中，作為導電膜 445，藉由濺射法形成厚度為 100nm 的鈦膜、厚度為 400nm 的鋁膜、厚度為 100nm 的鈦膜的疊層而使用。導電膜 445 的蝕刻藉由乾蝕刻法對鈦膜、鋁膜、鈦膜的疊層進行蝕刻，形成源極電極層 405a、汲極電極層 405b。

在本實施模式中，在以第一蝕刻條件對鈦膜和鋁膜的兩層進行蝕刻之後，以第二蝕刻條件去除殘留的鈦膜的單層。另外，第一蝕刻條件是如下：使用蝕刻氣體(BCL₃ : Cl₂=750sccm : 150sccm)、偏置功率為 1500w、ICP 電源功率為 0W、壓力為 2.0Pa。第二蝕刻條件是如下：使用蝕刻氣體(BCL₃ : Cl₂=700sccm : 100sccm)、偏置功率為 750w、ICP 電源功率為 0W、壓力為 2.0Pa。

如上所述那樣，在形成源極電極層 405a 及汲極電極層 405b 的蝕刻製程使用包含氯的氣體 447。但是，當氧化物半導體膜 403 暴露於包含氯的氣體 447 時，包含氯的氣體 447 和氧化物半導體膜 403 起反應，有時在絕緣層 413 表面及該近旁中的源極電極層 405a 及汲極電極層 405b 之間會產生殘渣物。在源極電極層 405a 及汲極電極層 405b 之間存在的殘渣物成為導致洩汲電流等電晶體 440 的電特性降低的原因。另外，有時包含氯的氣體所含有的氯(除了氯之外，有時還包括氣體所含有的元素)混入到氧化物半導體膜 403 中，或者附著到氧化物半導體膜 403，而會對電晶體特性造成壞影響。

作為殘渣物包括如包含銦或氫的化合物。另外，作為殘渣物有時包括氧化物半導體膜所含有的其他金屬元素(例如鎵或鋅)、用於包含氫的氣體的其他元素(例如硼)等。

另外，在形成源極電極層 405a 及汲極電極層 405b 之後，進行去除在絕緣層 413 表面及該近旁中的源極電極層 405a 及汲極電極層 405b 之間存在的殘渣物的製程。藉由使用稀有氣體的電漿處理等進行去除殘渣物的製程。例如，較佳採用使用氫的電漿處理等。另外，去除殘渣物的製程具有去除附著到氧化物半導體膜 403 的氫的效果。藉由進行去除殘渣物的製程，能夠使絕緣層 413 表面上的氫濃度為 $1 \times 10^{19}/\text{cm}^3$ 以下(較佳為 $5 \times 10^{18}/\text{cm}^3$ 以下)，並且使銦濃度為 $2 \times 10^{19}/\text{cm}^3$ 以下(較佳為 $5 \times 10^{18}/\text{cm}^3$ 以下)。另外，能夠使氧化物半導體膜 403 的氫濃度為 $1 \times 10^{19}/\text{cm}^3$ 以下。

藉由上述製程，製造本實施模式的電晶體 440(參照圖 6D)。

也可以在源極電極層 405a、汲極電極層 405b 上形成用作保護絕緣膜的絕緣膜。

保護絕緣膜可以藉由與絕緣層 413 同樣的材料及方法而形成。例如，藉由 CVD 法形成厚度為 400nm 的氧氮化矽膜。另外，也可以在形成保護絕緣膜之後進行加熱處理。例如，在氮氛圍下以 300°C 進行 1 小時的加熱處理。

此外，也可以設置緻密性高的無機絕緣膜而用作保護

絕緣膜。例如，作為保護絕緣膜藉由濺射法形成氧化鋁膜。藉由將氧化鋁膜設為高密度(膜密度為 3.2g/cm^3 以上，較佳為 3.6g/cm^3 以上)，能夠對電晶體 440 賦予穩定的電特性。藉由利用盧瑟福背散射分析(RBS: Rutherford Backscattering Spectrometry)或 X 射線反射率測量法(XRR: X-Ray Reflection)可以對膜密度進行測量。

可以用作設置在電晶體 440 上的保護絕緣膜的氧化鋁膜具有高遮斷效果(阻擋效果)，即不使氫、水分等雜質及氧的兩者透過膜的效果。

從而，氧化鋁膜在製造製程中及製造製程之後，具有作為保護膜的功能，該保護膜防止成為變動原因的氫、水分等雜質混入到氧化物半導體膜 403 中，並且防止構成氧化物半導體的主要成分材料的氧從氧化物半導體膜 403 釋放。

此外，也可以形成平坦化絕緣膜以減少因電晶體 440 產生的表面凹凸。作為平坦化絕緣膜可以使用聚醯亞胺、丙烯酸、苯並環丁烯樹脂等有機材料。此外，除了上述有機材料之外，還可以使用低介電常數材料(low-k 材料)等。另外，也可以層疊多個由上述材料形成的絕緣膜來形成平坦化絕緣膜。

例如，作為平坦化絕緣膜，可以形成厚度為 1500nm 的丙烯酸樹脂膜。丙烯酸樹脂膜藉由塗敷法塗敷之後，進行烤成(例如在氮氛圍下以 250°C 進行 1 小時)而形成。

在形成平坦化絕緣膜之後，進行加熱處理。例如，在

氮氛圍下以 250°C 進行 1 小時的加熱處理。

如此，在形成電晶體 440 之後，進行加熱處理。另外，加熱處理可以進行多次。

如上所述那樣，藉由形成剖面形狀為梯形或三角形狀，且剖面形狀的下端部的錐形角 θ 為 60° 以下，較佳為 45° 以下，更較佳為 30° 以下的絕緣層 413，並且在重疊於通道形成區的絕緣層 413 上形成汲極電極層的端部及源極電極層的端部，形成實現電場集中的緩和的電晶體 440。

因此，能夠提供包含電晶體 440 且可靠性高的半導體裝置，該電晶體 440 使用氧化物半導體膜 403 且具有穩定的電特性。另外，能夠高生產率地製造可靠性高的半導體裝置，而實現高生產化。

此外，拍攝如下樣本的剖面照片，即藉由上述製造方法製造電晶體 440，形成厚度為 400nm 的氧氮化矽膜的保護絕緣膜 460，並且作為平坦化絕緣膜 461 在保護絕緣膜上形成厚度為 1500nm 的丙烯酸樹脂膜。圖 7A 示出重疊於通道形成區的絕緣層 413 的下端部(重疊於汲極電極層 405b 的下端部)周邊的高倍照片(4 萬倍放大倍率)，這是利用掃描型透射電子顯微鏡(日立公司製造“HD-2300”；STEM)在 200kV 的加速電壓下觀察到的。另外，圖 7B 是圖 7A 的示意圖。如圖 7A 所示那樣，基板的主平面和絕緣層 413 的側面形成的角度，即錐形角 θ 大約為 30°。

實施模式 4

在本實施模式中，使用圖 8A 至圖 9D 對半導體裝置及半導體裝置的製造方法之另外一個方式進行說明。與上述實施模式相同的部分或者具有與上述實施模式類似的功能的部分可以用上述實施模式類似的方法形成。與上述實施模式相同或類似的製程可以用上述實施模式類似的方法進行。因此，省略其反復說明。

圖 8A 和 8B 所示的電晶體 420 是被稱為通道保護型(也稱為通道停止型)的底閘極結構的一種電晶體(也稱為反交錯型電晶體)的一例。圖 8A 是平面圖，在圖 8A 中的單點虛線 X2-Y2 切斷的剖面相當於圖 8B。

如通道長度方向的剖面圖的圖 8B 所示那樣，包括電晶體 420 的半導體裝置在設有絕緣膜 436 的具有絕緣表面的基板 400 上具有：閘極電極層 401、閘極絕緣膜 402、氧化物半導體膜 403、絕緣層 423、源極電極層 405a 以及汲極電極層 405b。

而且，絕緣層 423 設置在至少包括重疊於閘極電極層 401 的氧化物半導體膜 403 的通道形成區的氧化物半導體膜 403 上，並且該絕緣層 423 用作通道保護膜。絕緣層 423 具有到達氧化物半導體膜 403 並以源極電極層 405a 或汲極電極層 405b 覆蓋其內壁的方式設置的開口。因此，由絕緣層 423 覆蓋氧化物半導體膜 403 的周邊部，且作為層間絕緣膜而起作用。在閘極佈線和源極佈線的交叉部分中，除了閘極絕緣膜 402 之外，將絕緣層 423 也用作層間絕緣膜而佈置，由此可以降低寄生電容。

在電晶體 420 中，由絕緣層 423、源極電極層 405a 及汲極電極層 405b 覆蓋氧化物半導體膜 403。

藉由研究重疊於通道形成區上的絕緣層 423 的剖面形狀，明確而言剖面形狀(錐形角度 θ 或膜厚等)，緩和在汲極電極層 405b 的端部近旁會發生的電場集中，而可以抑制電晶體 420 的開關特性的劣化。

明確而言，將重疊於通道形成區上的絕緣層 423 的剖面形狀設定為梯形或三角形，即剖面形狀的下端部的錐形的角度 θ 為 60° 以下，較佳為 45° 以下，更較佳為 30° 以下。藉由採用上述角度範圍，在將較高的閘極電壓施加到閘極電極層 401 的情況下，能夠緩和在汲極電極層 405b 的端部近旁會發生的電場集中。

另外，將重疊於通道形成區上的絕緣層 423 的厚度設定為 $0.3\mu\text{m}$ 以下，較佳為 5nm 以上且 $0.1\mu\text{m}$ 以下。藉由採用上述厚度範圍，能夠使電場強度的峰值小，或者由於電場集中分散而電場集中的部分成為多個，結果能夠緩和在汲極電極層 405b 的端部近旁會發生的電場集中。

圖 9A 至 9D 示出具有電晶體 420 的半導體裝置的製造方法的一例。

在具有絕緣表面的基板 400 上形成絕緣膜 436。在本實施模式中，作為絕緣膜 436 使用藉由電漿 CVD 法形成的厚度為 100nm 的氮化矽及厚度為 150nm 的氧化矽膜的疊層。

在絕緣膜 436 上形成導電膜，對該導電膜進行蝕刻形

成閘極電極層 401。在本實施模式中，藉由濺射法形成厚度為 100nm 的鎢膜。

接著，在閘極電極層 401 上形成閘極絕緣膜 402。在本實施模式中，藉由高密度電漿 CVD 法形成厚度為 200 nm 的氧氮化矽膜。

接著，在閘極絕緣膜 402 上形成氧化物半導體膜 403。在本實施模式中，作為氧化物半導體膜 403，藉由濺射法，形成厚度為 35nm 的 In-Ga-Zn 類氧化物膜(IGZO 膜)。另外，將形成該氧化物半導體膜 403 的條件設為如下：在氧及氬氛圍下(氧流量比為 50%)、壓力為 0.6Pa、電源功率為 5kW、基板溫度為 170℃。

也可以對氧化物半導體膜 403 進行用來去除(脫水化或脫氫化)過剩的氫(包括水及羥基)的加熱處理。在本實施模式中，將基板放入到作為加熱處理裝置之一的電爐中，對氧化物半導體膜 403 在氮氛圍下以 450℃ 進行 1 小時的加熱處理，並且在氮及氧氛圍下以 450℃ 進行 1 小時的加熱處理。

接著，在氧化物半導體膜 403 上形成具有到達氧化物半導體膜 403 的開口 425a、425b 的絕緣層 423(參照圖 9A)。

對藉由電漿 CVD 法、濺射法形成的絕緣膜進行蝕刻加工而形成絕緣層 423。絕緣層 423 的開口 425a、425b 的內壁具有錐形形狀。

絕緣層 423 設置在至少包括重疊於閘極電極層 401 的

氧化物半導體膜 403 的通道形成區的氧化物半導體膜 403 上，並且它一部分用作通道保護膜。

在本實施模式中，在氧化物半導體膜 403 中，由絕緣層 423 覆蓋通道形成區。此外，氧化物半導體膜 403 的端部也被絕緣層 423 覆蓋。

在本實施模式中，作為絕緣層 423 藉由濺射法形成厚度為 200nm 的氧化矽膜。此外，在本實施模式中，將在剖面中的絕緣層 423 的下端部的錐形角 θ 設定為 30° 。

在形成絕緣層 423 之後，也可以進行加熱處理。在本實施模式中在氮氛圍下以 300°C 進行 1 小時的加熱處理。

接著，以覆蓋氧化物半導體膜 403 及絕緣層 423、開口 425a、425b 的內壁的方式形成成為源極電極層及汲極電極層(包括使用與其相同的層形成的佈線)的導電膜 445(參照圖 9B)。

利用光微影製程在導電膜 445 上形成光阻掩罩 448a、448b，並藉由進行選擇性的蝕刻來形成源極電極層 405a 及汲極電極層 405b(參照圖 9C)。在形成源極電極層 405a、汲極電極層 405b 之後去除光阻掩罩。

當對導電膜 445 進行蝕刻時使用包含氯的氣體 447。作為包含氯的氣體 447 可以使用如包含氯(Cl_2)、三氯化硼(BCl_3)、四氯化矽(SiCl_4)、四氯化碳(CCl_4)等的氣體。

作為乾蝕刻法，可以使用平行平板型 RIE(Reactive Ion Etching：反應性離子蝕刻)法或 ICP(Inductively Coupled Plasma：感應耦合電漿)蝕刻法。適當地調節蝕刻條件(施

加到線圈型電極的功率量、施加到基板一側的電極的功率量、基板一側的電極溫度等)，以便可以蝕刻為所希望的加工形狀。

在本實施模式中，作為導電膜 445，藉由濺射法形成厚度為 100nm 的鈦膜、厚度為 400nm 的鋁膜、厚度為 100nm 的鈦膜的疊層而使用。導電膜 445 的蝕刻藉由乾蝕刻對鈦膜、鋁膜、鈦膜的疊層進行蝕刻，形成源極電極層 405a、汲極電極層 405b。

在本實施模式中，在以第一蝕刻條件對鈦膜和鋁膜的兩層進行蝕刻之後，以第二蝕刻條件去除殘留的鈦膜的單層。另外，第一蝕刻條件是如下：使用蝕刻氣體(BCL_3 ： $Cl_2=750sccm$ ： $150sccm$)、偏置功率為 1500w、ICP 電源功率為 0W、壓力為 2.0Pa。第二蝕刻條件是如下：使用蝕刻氣體(BCL_3 ： $Cl_2=700sccm$ ： $100sccm$)、偏置功率為 750w、ICP 電源功率為 0W、壓力為 2.0Pa。

如上所述那樣，在形成源極電極層 405a 及汲極電極層 405b 的蝕刻製程使用包含氯的氣體 447。但是，當氧化物半導體膜 403 暴露於包含氯的氣體 447 時，包含氯的氣體 447 和氧化物半導體膜 403 起反應，有時在絕緣層 423 表面及該近旁中的源極電極層 405a 及汲極電極層 405b 之間會產生殘渣物。在源極電極層 405a 及汲極電極層 405b 之間存在的殘渣物成為導致洩汲電流等電晶體 420 的電特性降低的原因。另外，有時包含氯的氣體所含有的氯(除了氯之外，有時還包括氣體所含有的元素)混入

到氧化物半導體膜 403 中，或者附著到氧化物半導體膜 403，而對電晶體特性造成壞影響。

在本實施模式中，當進行使用包含氫的氣體 447 的蝕刻製程時，因為以覆蓋絕緣層 423、開口 425a、425b 的內壁的方式設置導電膜 445，所以氧化物半導體膜 403 不暴露於包含氫的氣體 447。

藉由上述製程，製造本實施模式的電晶體 420(參照圖 9D)。

也可以在源極電極層 405a、汲極電極層 405b 上形成用作保護絕緣膜的絕緣膜。

保護絕緣膜可以藉由與絕緣層 423 同樣的材料及方法而形成。例如，藉由 CVD 法形成厚度為 400nm 的氧氮化矽膜。另外，也可以在形成保護絕緣膜之後進行加熱處理。例如，在氮氛圍下以 300°C 進行 1 小時的加熱處理。

此外，也可以形成平坦化絕緣膜以減少因電晶體 420 產生的表面凹凸。

例如，作為平坦化絕緣膜，在保護絕緣膜上形成厚度為 1500nm 的丙烯酸樹脂膜即可。丙烯酸樹脂膜藉由塗敷法塗敷之後，進行烤成(例如在氮氛圍下以 250°C 進行 1 小時的烤成)而形成。

在形成平坦化絕緣膜之後，進行加熱處理。例如，在氮氛圍下以 250°C 進行 1 小時的加熱處理。

如上所述那樣，藉由形成絕緣層 423 的一部分(重疊於通道形成區)的剖面形狀為梯形，且剖面形狀的下端部

的錐形角 θ 為 60° 以下，較佳為 45° 以下，更較佳為 30° 以下的絕緣層 423，並且在重疊於絕緣層 423 的通道形成區的區域上形成汲極電極層的端部及源極電極層的端部，可以製造實現電場集中的緩和的電晶體 420。

因此，能夠提供包含電晶體 420 且可靠性高的半導體裝置，該電晶體 420 使用氧化物半導體膜 403 且具有穩定的電特性。另外，能夠高生產率地製造可靠性高的半導體裝置，而實現高生產化。

在此，在圖 10A 至圖 13B 示出根據上述步驟實際上所製造的電晶體 420 的電特性及可靠性的結果。電晶體的尺寸是通道長度 L 為 $9\mu\text{m}$ ，通道寬度 W 為 $50\mu\text{m}$ 。

作為檢查電晶體的可靠性的方法之一，有偏壓－熱應力試驗(以下，稱為 BT 測試)。BT 測試是加速試驗的一種，它可以在短時間內評價由於使用很長時間而發生的電晶體的特性變化。尤其是，BT 測試前後的電晶體的臨界電壓的變化量是用於檢查可靠性的重要的指標。在 BT 測試前後，臨界電壓的變化量越少，可靠性越高。

明確而言，將形成有電晶體的基板的溫度(基板溫度)維持為恆定，使電晶體的源極及汲極成為相同的電位，並且在一定期間內對閘極施加與源極及汲極不同的電位。根據試驗的目的而適當地設定基板溫度即可。另外，將施加到閘極的電位比源極及汲極的電位高的情況稱為 +BT 測試，並且將施加到閘極的電位比源極及汲極的電位低的情況稱為 -BT 測試。

BT 測試的試驗強度可以根據基板溫度、施加到閘極絕緣膜的電場強度、電場施加時間而決定。施加到閘極絕緣膜中的電場強度藉由使閘極、源極及汲極之間的電位差除以閘極絕緣膜的厚度來決定。例如，在想要將施加到厚度為 200nm 的閘極絕緣膜中的電場強度設定為 1.5MV/cm 的情況下，將電位差設定為 30V，即可。

注意，一般來說，電壓是指兩個點之間的電位差，而電位是指靜電場中的單位電荷在某一個點具有的靜電能(電位能量)。但是，由於在很多情況下，在電子電路中某一個點上的電位和成爲基準的電位(例如，接地電位)之間的電位差表示爲該某一個點上的電位，因此在本說明書中，當將某一個點上的電位和成爲基準的電位(例如，接地電位)之間的差表示爲該某一個點上的電位時，除了在特別指定的情況下之外，將該某一個點上的電位也稱爲電壓。

在 BT 測試中，將基板溫度設定為 80℃，將施加到閘極絕緣膜中的電場強度設定為 1.5MV/cm，將施加時間設定為 2000 秒，以分別進行+BT 測試及-BT 測試。

首先，說明+BT 測試。爲了測量作爲 BT 測試目標的電晶體的初始特性而測量如下情況時的源極-汲極電流(以下，稱爲汲極電流)的變化特性，即 V_g-I_d 特性：將基板溫度設定為 40℃，將源極-汲極之間的電壓(以下，稱爲汲極電壓)設定為 10V，並且將源極-閘極之間的電壓(以下，稱爲閘極電壓)在 -30V 至 +30V 的範圍內變化。雖然在此作

為樣本表面的吸濕對策而將基板溫度設定為 40°C ，但是如果沒有特別的問題，則也可以在室溫 (25°C) 下進行測量。

接著，在將基板溫度上升到 80°C 後，將電晶體的源極及汲極的電位設定為 0V 。接著，以使施加到閘極絕緣膜中的電場強度成為 $1.5\text{MV}/\text{cm}$ 的方式對閘極施加電壓。在此，因為電晶體的閘極絕緣膜的厚度為 200nm ，所以對閘極施加 $+30\text{V}$ ，並保持 2000 秒。雖然在此將施加時間設定為 2000 秒，但是也可以根據目的而適當地改變時間。

接著，在保持對源極、汲極及閘極施加電壓的情況下，將基板溫度降低到 40°C 。此時，如果在基板溫度的降低結束之前停止電壓的施加，則由於餘熱的影響而會使在 BT 測試中電晶體所受到的損傷恢復，所以需要在保持電壓施加的情況下降低基板溫度。在基板溫度成為 40°C 後，結束電壓的施加。

接著，在與初始特性的測量相同的條件下測量 $V_g\text{-}I_d$ 特性，以得到 +BT 測試後的 $V_g\text{-}I_d$ 特性。

接著，說明 -BT 測試。-BT 測試也利用與 +BT 測試相同的程式進行，但是如下點與 +BT 測試不同：將在使基板溫度上升到 80°C 後對閘極施加的電壓設定為 -30V 。

注意，當進行 BT 測試時利用一次也沒有進行 BT 測試的電晶體進行試驗是重要的。例如，當利用進行過一次 +BT 測試的電晶體進行 -BT 測試時，由於以前進行的 +BT 測試的影響，而不能正確地評價 -BT 測試結果。另外，利

用進行過一次+BT 測試的電晶體再次進行+BT 測試的情況等也是同樣的。但是，在考慮到這些影響而反復進行 BT 測試的情況不侷限於此。

製造基板不同的六個樣本，檢測出每個樣本的初期特性(臨界值及偏移值)及進行 BT 測試之後的臨界電壓的變化量及偏移值的變化量，而在圖 10A 及 10B 中示出在 80 °C 下的結果。圖 10A 表示+BT 測試的資料，且圖 10B 表示-BT 測試的資料。

偏移值(shift 2)表示當 $V_d=10V$ 時的 V_g-I_d 特性曲線的上升部分的電壓值，且為當汲極電流成為 $1 \times 10^{-12}A$ 以下時的閘極電壓。在本說明書中，由如下的閘極電壓定義臨界值(V_{th})，即：在以閘極電壓($V_g[V]$)為橫軸且以汲極電流的平方根($I_{d1/2}[A]$)為縱軸而表示的曲線上，當外推具有最大傾斜度的 $I_{d1/2}$ 的切線時，該切線和 V_g 軸(即 $I_{d1/2}$ 為 $0A$)的交點的閘極電壓。注意，在本說明書中，將汲極電壓 V_d 設定為 $10V$ ，而算出臨界電壓。

臨界值及偏移值的變化量是用於檢查電晶體的可靠性的重要的指標。在 BT 測試前後，臨界值及偏移值的變化量越少，電晶體的可靠性越高。在樣本 1 至 6 中，所有臨界值及偏移值都少。

另外，在樣本 1 及樣本 2 中，接觸於氧化物半導體膜上的絕緣層的厚度為 $100nm$ 。在樣本 3 及樣本 4 中，接觸於氧化物半導體膜上的絕緣層的厚度為 $200nm$ 。在樣本 5 及樣本 6 中，接觸於氧化物半導體膜上的絕緣層的厚度為

300nm。另外，樣本 1、樣本 3 及樣本 5 是藉由濺射法形成覆蓋電晶體的層間絕緣膜(400nm)的氧化矽膜，並且樣本 2、樣本 4 及樣本 6 是藉由電漿 CVD 法形成層間絕緣膜的氧氮化矽膜。

此外，圖 11A 及 11B 的圖表示出在 25°C 下的結果。在樣本 3 中，與初期特性相比臨界電壓向負值方向變化，然而示出變化量 ΔV_{th} 為 0.01V，並且 $\Delta shift_2$ 為 -0.01V，即沒有大的變化的特別良好的特性，因此圖 11B 中觀察不到。此外，在樣本 1 及樣本 2 中也變化量 ΔV_{th} 為 0.02V，因此圖 11B 中觀察不到。

此外，在 25°C 下的結果中，臨界值及偏移值的變化量最小的樣本是樣本 3，因此在圖 12A 中示出樣本 3 的 +BT 測試前後的電晶體的 V_g-I_d 特性，並且在圖 12B 中示出樣本 3 的 -BT 測試前後的電晶體的 V_g-I_d 特性。

在圖 12A 中，與初期特性相比，臨界電壓向正值方向變化，然而示出變化量 ΔV_{th} 為 0.19V，並且 $\Delta shift_2$ 為 0.21V，即沒有大的變化的良好的特性。此外，在圖 12B 中，與初期特性相比，臨界電壓向負值方向變化，然而示出變化量 ΔV_{th} 為 0.01V，並且 $\Delta shift_2$ 為 -0.01V，即沒有大的變化的良好的特性。

此外，照射光並進行 BT 測試。當然，使用與上述 BT 測試中所使用的樣本不同的樣本。除了將 3000 勒克斯的光從 LED 光源照射到電晶體之外，試驗方法也與上述 BT 測試相同。在照射光並進行 +BT 測試的結果中，在 +BT 測

試前後幾乎都沒有變化，在此省略實驗結果。

此外，在圖 13A 和 13B 中示出照射光並進行 -BT 測試的結果。圖 13A 是應力條件溫度為 80°C 的結果，圖 13B 是應力條件溫度為室溫(25°C)的結果。

在照射光的同時進行的 -BT 測試中，在應力條件溫度為 80°C 的結果中，與初期特性相比，樣本 3 的電晶體的臨界電壓的變化量 ΔV_{th} 可以為 -0.36V， $\Delta shift_2$ 可以為 -0.65V。此外，在應力條件溫度為 25°C 的結果中，與初期特性相比，樣本 3 的電晶體的臨界電壓的變化量 ΔV_{th} 可以為 -0.36V， $\Delta shift_2$ 可以為 -0.08V。因此能夠確認這是可靠性高的電晶體。

根據這些可靠性的結果及電特性，可知圖 8A 和 8B 所示的結構，即具有接觸於氧化物半導體膜上的絕緣層(厚度為 100nm 至 300nm)的電晶體 420 的電特性高且可靠性也高，該絕緣層的端部具有錐形形狀(錐形角大約為 30°)。

將矽用作半導體的電晶體和使用氧化物半導體的電晶體不同，在使用氧化物半導體的電晶體中，當施加 $-V_{gs}$ (-GBT) 應力時，氧化物半導體膜(通道形成區域)不將電洞用作載子地引起，因此有時電場圍進到背通道一側而引起退化。在將接觸於通道形成區上並設置的絕緣層的端部設定為錐形形狀的情況下，當施加這樣的 $-V_{gs}$ (-GBT) 應力時，對電場特別集中的汲極電極層的端部，能夠實現更有效的電場集中的緩和。

實施模式 5

可以藉由使用在實施模式 3 或實施模式 4 中示出的電晶體來製造具有顯示功能的半導體裝置(也稱為顯示裝置)。此外，藉由將包括電晶體的驅動電路的一部分或全部形成在與該像素部相同的基板上，可以製造系統化面板(system-on-panel)。

在圖 14A 中，以圍繞設置在第一基板 4001 上的像素部 4002 的方式設置密封材料 4005，並且，使用第二基板 4006 進行密封。在圖 14A 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有使用單晶半導體膜或多晶半導體膜形成在另行準備的基板上的掃描線驅動電路 4004、信號線驅動電路 4003。此外，供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位從 FPC(Flexible printed circuit：撓性印刷電路)4018a、4018b 供給。

在圖 14B 和 14C 中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002、掃描線驅動電路 4004 與顯示元件一起由第一基板 4001、密封材料 4005 以及第二基板 4006 密封。此外，在圖 14B 及 14C 中，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有信號線驅動電路 4003，該信號線驅

動電路 4003 使用單晶半導體膜或多晶半導體膜形成在另外準備的基板上。在圖 14B 及 14C 中，由 FPC4018 向另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 供應各種信號及電位。

此外，圖 14B 和 14C 示出另行形成信號線驅動電路 4003 並且將該信號線驅動電路 4003 安裝到第一基板 4001 的實例，但是不侷限於該結構。既可以另行形成掃描線驅動電路而安裝，又可以另行僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG(Chip On Glass，玻璃上晶片)方法、引線接合方法或者 TAB(Tape Automated Bonding，卷帶式自動接合)方法等。圖 14A 是藉由 COG 方法安裝信號線驅動電路 4003、掃描線驅動電路 4004 的例子，圖 14B 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 14C 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，顯示裝置包括顯示元件處於密封狀態的面板和處於在該面板中安裝有包括控制器的 IC 等的狀態的模組。

再者，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置或光源(包含照明設備)。另外，顯示裝置還包括以下的全部：安裝有諸如 FPC、TAB 膠帶或 TCP 的连接器的模組；在 TAB 膠帶或 TCP 的端部上設置有印刷線路板的模組；或藉由 COG 方式將 IC(積體電路)直接安裝到顯

示元件的模組。

此外，設置在第一基板上的像素部及掃描線驅動電路具有多個電晶體，可以應用實施模式 3 或實施模式 4 中所示的電晶體。

作為設置在顯示裝置中的顯示元件，可以使用液晶元件(也稱為液晶顯示元件)、發光元件(也稱為發光顯示元件)。發光元件的種類包括由電流或電壓控制其亮度的元件，具體地包括無機電致發光(EL)元件、有機 EL 元件等。此外，電子墨水等利用電作用而使對比度改變的顯示介質也可適用。

參照圖 14A 至圖 16B 而說明半導體裝置的一種方式。圖 16A 和 16B 相當於沿著圖 14B 的 M-N 的剖面圖。

如圖 14A 和 14B 及圖 16A 和 16B 所示，半導體裝置包括連接端子電極 4015 及端子電極 4016，並且連接端子電極 4015 及端子電極 4016 藉由各向異性導電膜 4019 與 FPC4018 所具有的端子電連接。

連接端子電極 4015 由與第一電極層 4030 相同的導電膜形成，並且，端子電極 4016 由與電晶體 4040、4011 的閘極電極層相同的導電膜形成。

此外，設置在第一基板 4001 上的像素部 4002、掃描線驅動電路 4004 包括多個電晶體，並且，圖 16A 和 16B 例示像素部 4002 所包括的電晶體 4040 和掃描線驅動電路 4004 所包括的電晶體 4011。在圖 16A 中，在電晶體 4040 和電晶體 4011 上設置有絕緣膜 4020，在圖 16B 中，再加

上設置有絕緣膜 4021。注意，絕緣膜 4023 是用作基底膜的絕緣膜。

作為電晶體 4010、4011 及 4040，可以適用實施模式 3 或實施模式 4 所示的電晶體。在本實施模式中示出應用具有與實施模式 3 所示的電晶體 440 相同的結構的電晶體的例子。電晶體 4010、4011 是在氧化物半導體膜上設置用作通道保護膜的絕緣層的底閘極結構的電晶體。

在具有與實施模式 3 所示的電晶體 440 相同的結構的電晶體 4010、4011 中，作為設置在通道形成區上的絕緣層使用實施模式 1 或實施模式 2 所示的絕緣層即可。藉由使用實施模式 1 或實施模式 2 所示的絕緣層，可以在重疊於絕緣層的通道形成區的區域上形成汲極電極層的端部及源極電極層的端部，能夠製造實現電場集中的緩和的電晶體。

此外，也可以對電晶體 4010、4011 應用與實施模式 4 所示的電晶體 420 相同的結構。在實施模式 4 所示的電晶體中，用作通道保護膜的絕緣層設置在至少包括重疊於閘極電極層的氧化物半導體膜的通道形成區的氧化物半導體膜上，並且具有到達氧化物半導體膜且以覆蓋源極電極層或汲極電極層的內壁的方式設置的開口。藉由在重疊於絕緣層的通道形成區的區域上形成汲極電極層的端部及源極電極層的端部，實施模式 4 所示的電晶體也成為實現電場集中的緩和的電晶體。

因此，能夠提供包括電晶體 4010、4011 的可靠性高

的半導體裝置，該電晶體 4010、4011 使用圖 14A 和 14B 及圖 16A 和 16B 所示的本實施模式的氧化物半導體膜且具有穩定的電特性。另外，能夠高生產率地製造上述可靠性高的半導體裝置，而實現高生產化。

此外，在本實施模式中，也可以在與驅動電路用電晶體 4011 的氧化物半導體膜的通道形成區重疊的位置設置導電層。藉由將導電層設置在與氧化物半導體膜的通道形成區重疊的位置，可以進一步降低偏壓-熱應力試驗(BT 測試)前後的電晶體 4011 的臨界電壓的變化量。另外，導電層的電位可以與電晶體 4011 的閘極電極層相同或不同，也可以用作第二閘極電極層。此外，導電層的電位也可以為 GND、0V 或者浮動狀態。

此外，該導電層還具有遮蔽外部的電場，即不使外部的電場作用到內部(包括電晶體的電路部)的功能(尤其是，對於靜電的靜電遮蔽功能)。利用導電層的遮蔽功能，可以防止由於靜電等外部的電場的影響而使電晶體的電特性變動。

設置在像素部 4002 中的電晶體 4010 電連接到顯示元件，構成顯示面板。只要可以進行顯示就對顯示元件沒有特別的限制，而可以使用各種各樣的顯示元件。

圖 16A 示出作為顯示元件使用液晶元件的液晶顯示裝置的例子。在圖 16A 中，作為顯示元件的液晶元件 4013 包括第一電極層 4030、第二電極層 4031 以及液晶層 4008。注意，以夾持液晶層 4008 的方式設置有用作對準

膜的絕緣膜 4032、4033。第二電極層 4031 設置在第二基板 4006 一側，並且，第一電極層 4030 和第二電極層 4031 夾著液晶層 4008 而層疊。

此外，間隔物 4035 是藉由對絕緣膜選擇性地進行蝕刻而獲得的柱狀間隔物，並且它是為控制液晶層 4008 的厚度(單元間隙)而設置的。另外，還可以使用球狀間隔物。

當作為顯示元件使用液晶元件時，可以使用熱致液晶、低分子液晶、高分子液晶、高分子分散型液晶、鐵電液晶、反鐵電液晶等。這些液晶材料(液晶組合物)根據條件呈現出膽固醇相、近晶相、立方相、手向列相、各向同性相等。

或者，無需對準膜的呈現藍相的液晶組合物可以用於液晶層 4008。在此情況下，液晶層 4008 和第一電極層 4030 及第二電極層 4031 接觸。藍相是液晶相的一種，是指當使膽固醇相液晶的溫度上升時即將從膽固醇相轉變到各向同性相之前出現的相。可以使用混合了液晶及手性試劑的液晶組成物使呈現藍相。另外，為了擴大呈現藍相的溫度範圍，對呈現藍相的液晶組成物添加聚合性單體及聚合引發劑等，進行高分子穩定化的處理來可以形成液晶層。包含呈現藍相的液晶和手性試劑的液晶組成物的回應速度短，並且因為其具有光學各向同性，所以不需要配向處理，且視角依賴性小。另外，由於不需要設置對準膜而不需要摩擦處理，因此可以防止由於摩擦處理而引起的靜

電破壞，並可以降低製造製程中的液晶顯示裝置的故障、破損。從而，可以提高液晶顯示裝置的生產率。使用氧化物半導體膜的電晶體有由於靜電的影響而使電晶體的電特性明顯波動而偏離設計範圍的擔憂。由此，將呈現藍相的液晶組合物用於具有使用氧化物半導體膜的電晶體的液晶顯示裝置是更為高效的。

此外，液晶材料的固有電阻為 $1 \times 10^9 \Omega \cdot \text{cm}$ 以上，較佳為 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上，更較佳為 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上。另外，本說明書中的固有電阻的值為在 20°C 測量的值。

考慮到配置在像素部中的電晶體的汲極電流等而以能夠在指定期間中保持電荷的方式設定設置在液晶顯示裝置中的儲存電容器的大小。根據電晶體的截止電流等設定儲存電容器的大小即可。藉由使用本說明書所公開的具有高純度的氧化物半導體膜的電晶體，設置具有各像素中的液晶電容的三分之一以下，較佳為五分之一以下的電容的大小的儲存電容器，就足夠了。

使用本說明書所公開的氧化物半導體膜的電晶體可以將截止狀態下的電流值(截止電流值)控制為低電流。因此，可以延長影像信號等的電信號的保持時間，並且，還可以延長電源導通狀態下的寫入間隔。因此，可以降低更新工作的頻率，所以具有抑制耗電量的效果。

此外，本說明書所公開的採用氧化物半導體膜的電晶體由於可以得到較高的電場效應遷移率，所以可以進行高速驅動。例如，藉由將這種能夠進行高速驅動的電晶體用

於液晶顯示裝置，可以在同一基板上形成像素部的開關電晶體及用於驅動電路部的驅動電晶體。也就是說，因為不需要另行使用利用矽圓片等形成的半導體裝置作為驅動電路，所以可以縮減半導體裝置的部件數。另外，在像素部中也藉由使用能夠進行高速驅動的電晶體，可以提供高品質的影像。

液晶顯示裝置可以採用 TN(Twisted Nematic，扭曲向列)模式、IPS(In-Plane-Switching，平面內轉換)模式、FFS(Fringe Field Switching，邊緣電場轉換)模式、ASM(Axially Symmetric aligned Micro-cell，軸對稱排列微單元)模式、OCB(Optical Compensated Birefringence，光學補償彎曲)模式、FLC(Ferroelectric Liquid Crystal，鐵電性液晶)模式、以及 AFLC(Anti Ferroelectric Liquid Crystal，反鐵電性液晶)模式等。

此外，也可以使用常黑型液晶顯示裝置，例如採用垂直配向(VA)模式的透過型液晶顯示裝置。作為垂直配向模式，可以舉出幾個例子。另外，也可以用於 VA 型液晶顯示裝置。VA 型液晶顯示裝置是指一種控制液晶顯示面板的液晶分子的排列的方式。VA 型液晶顯示裝置是當沒有施加電壓時液晶分子配向垂直於面板表面的方向的方式。例如可以使用 MVA(Multi-Domain Vertical Alignment：多象限垂直配向)模式、PVA(Patterned Vertical Alignment：垂直配向構型)模式、ASV(Advanced Super View)模式等。此外，也可以使用將像素(pixel)分成幾個區域(子像素)，

並且使分子分別倒向不同方向的稱為多疇化或者多域設計的方法。

此外，在顯示裝置中，適當地設置黑矩陣(遮光層)、偏振構件、相位差構件、抗反射構件等的光學構件(光學基板)等。例如，也可以使用利用偏振基板以及相位差基板的圓偏振。此外，作為光源，也可以使用背光、側光燈等。

此外，作為像素部中的顯示方式，可以採用逐行掃描方式或隔行掃描方式等。此外，當進行彩色顯示時在像素中受到控制的顏色因素不侷限於 RGB(R 顯示紅色，G 顯示綠色，B 顯示藍色)的三種顏色。例如，也可以採用 RGBW(W 顯示白色)、或者對 RGB 追加黃色(yellow)、青色(cyan)、洋紅色(magenta)等中的一種顏色以上的顏色。注意，也可以按每個顏色因素的點使其顯示區域的大小不同。但是，所公開的發明不侷限於彩色顯示的顯示裝置，而也可以應用於單色顯示的顯示裝置。

此外，作為顯示裝置所包括的顯示元件，可以應用利用電致發光的發光元件。利用電致發光的發光元件根據其發光材料是有機化合物還是無機化合物而被區別，一般來說，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，以產生電流。然後，藉由使這些載子(電子和電洞)重新結

合，發光有機化合物達到激發態，並且當該激發態恢復到基態時，獲得發光。根據這種機制，該發光元件被稱為電流激勵型發光元件。在本實施模式中示出有機 EL 元件作為發光元件的例子。

為了取出發光，使發光元件的一對電極中的至少一個具有透光性即可。並且，在基板上形成電晶體及發光元件；作為發光元件，有從與基板相反一側的表面取出發光的頂部發射結構的發光元件；從基板一側的表面取出發光的底部發射結構的發光元件；從基板一側及與基板相反一側的表面取出發光的雙面發射結構的發光元件，可以適用任一發射結構的發光元件。

圖 15A 和 15B、以及圖 16B 示出作為顯示元件使用發光元件的發光裝置的一例。

圖 15A 是發光裝置的平面圖，圖 15A 中的單點虛線 V1-W1、V2-W2 及 V3-W3 切斷的剖面相當於圖 15B。另外，在圖 15A 的平面圖中，省略電致發光層 542 及第二電極層 543 而未圖示。

圖 15A 和 15B 所示的發光裝置在設置有用作基底膜的絕緣膜 501 的基板 500 上具有電晶體 510、電容元件 520 及佈線層交叉部 530，電晶體 510 和發光元件 540 電連接。另外，圖 15A 和 15B 示出底部發射結構的發光裝置，即取出穿過基板 500 的來自發光元件 540 的光。

作為電晶體 510，可以適用實施模式 3 或實施模式 4 所示的電晶體。在本實施模式中示出應用具有與實施模式

4 所示的電晶體 420 相同的結構的電晶體的例子。電晶體 510 是在氧化物半導體膜上設置用作通道保護膜的絕緣層的底閘極結構的反交錯型電晶體。

電晶體 510 包含閘極電極層 511a、511b、閘極絕緣膜 502、氧化物半導體膜 512、絕緣層 503、用作源極電極層或汲極電極層的導電層 513a、513b。

在與實施模式 4 所示的電晶體 420 相同的結構的電晶體 510 中，絕緣層 503 的一部分(重疊於通道形成區的區域)的剖面形狀為梯形，並且剖面形狀的下端部的錐形角 θ 為 60° 以下，較佳為 45° 以下，更較佳為 30° 以下。因此用作通道保護膜的絕緣層 503 設置在至少包括重疊於閘極電極層 511a、511b 的氧化物半導體膜 512 的通道形成區的氧化物半導體膜 512 上，並且具有到達氧化物半導體膜 512 且以覆蓋用作源極電極層或汲極電極層的導電膜 513a、513b 的內壁的方式設置的開口。

此外，也可以對電晶體 510 應用與實施模式 3 所示的電晶體 440 相同的結構。絕緣層 503 的一部分(重疊於通道形成區的區域)的剖面形狀也可以與實施模式 1 或實施模式 2 所示的絕緣層的剖面形狀相同。藉由採用實施模式 1 或實施模式 2 所示的絕緣層的剖面形狀相同的形狀的絕緣層 503，能夠製造實現電場集中的緩和的電晶體 510。

因此，能夠提供包括電晶體 510 的可靠性高的半導體裝置，該電晶體 510 使用圖 15A 和 15B 所示的本實施模式的氧化物半導體膜 512 且具有穩定的電特性。另外，能

夠高生產率地製造上述可靠性高的半導體裝置，而實現高生產化。

電容元件 520 包含導電層 521a、521b、閘極絕緣膜 502、氧化物半導體膜 522 及導電層 523，並且藉由以導電層 521a、521b 及導電層 523 夾住閘極絕緣膜 502 及氧化物半導體膜 522 來形成電容。

佈線層交叉部 530 是閘極電極層 511a、511b 和導電層 533 的交叉部分，並且閘極電極層 511a、511b 和導電層 533 之間隔著閘極絕緣膜 502 及絕緣層 503 而交叉。在採用實施模式 4 所示的結構的情況下，在佈線層交叉部 530 中在閘極電極層 511a、511b 和導電層 533 之間除了閘極絕緣膜 502 之外，還可以佈置絕緣層 503，因此能夠降低閘極電極層 511a、511b 和導電層 533 之間發生的寄生電容。

在本實施模式中，作為閘極電極層 511a 及導電層 521a 使用厚度為 30nm 的鈦膜，並且作為閘極電極層 511b 及導電層 521b 使用厚度為 200nm 的銅薄膜。因此，閘極電極層採用鈦膜和銅薄膜的疊層結構。

作為氧化物半導體膜 512、522 使用厚度為 25nm 的 IGZO 膜。

在電晶體 510、電容元件 520 及佈線層交叉部 530 上形成有層間絕緣膜 504，在層間絕緣膜 504 上的重疊於發光元件 540 的區域中設有彩色濾光層 505。在層間絕緣膜 504 及彩色濾光層 505 上設有用作平坦化絕緣膜的絕緣膜

506。

在絕緣膜 506 上設置包括按順序層疊第一電極層 541、電致發光層 542 及第二電極層 543 的疊層結構的發光元件 540。在到達導電層 513a 的形成在絕緣膜 506 及層間絕緣膜 504 中的開口中藉由接觸於第一電極層 541 及導電層 513a，發光元件 540 和電晶體 510 電連接。另外，以覆蓋第一電極層 541 的一部分及該開口的方式設置有隔壁 507。

作為層間絕緣膜 504 可以使用藉由電漿 CVD 法形成的厚度為 200nm 以上且 600nm 以下的氧氮化矽膜。此外，作為絕緣膜 506 可以使用厚度為 1500nm 的感光性的丙烯酸樹脂膜，並且作為隔壁 507 可以使用 1500nm 的感光性的聚醯亞胺膜。

作為彩色濾光層 505，例如可以使用彩色的透光樹脂。作為彩色透光樹脂，可以使用感光性有機樹脂、非感光性有機樹脂。當使用感光性有機樹脂層時，能夠減少光阻掩罩數量而簡化製程，所以是較佳的。

彩色是指除黑色、灰色和白色等無彩色以外的顏色。彩色濾光層由只使被著色的彩色光透過的材料形成。至於彩色，可以使用紅色、綠色、藍色等。另外，還可以使用青色(cyan)、洋紅色(magenta)、黃色(yellow)等。只使被著色的彩色的光透過意味著：透過彩色濾光層的光在其彩色的光的波長中具有峰值。彩色濾光層考慮所包含的著色材料的濃度與光的透過率的關係以適當地控制最適合的膜

厚度即可。例如，將彩色濾光層 505 的厚度設定為 1500 nm 以上且 2000nm 以下即可。

在圖 16B 所示的發光裝置中，作為顯示元件的發光元件 4513 電連接到設置在像素部 4002 中的電晶體 4010。注意，發光元件 4513 的結構是由第一電極層 4030、電致發光層 4511、第二電極層 4031 構成的疊層結構，但是，不侷限於該結構。根據從發光元件 4513 取出的光的方向等，可以適當地改變發光元件 4513 的結構。

隔壁 4510、507 使用有機絕緣材料或者無機絕緣材料形成。尤其是，較佳使用感光樹脂材料，在第一電極層 4030、541 上形成開口部，並且將該開口部的側壁形成為具有連續曲率的傾斜面。

電致發光層 4511、542 可以使用一個層構成，也可以使用多個層的疊層構成。

為了防止氧、氫、水分、二氧化碳等侵入到發光元件 4513、540 中，也可以在第二電極層 4031、543 及隔壁 4510、507 上形成保護膜。作為保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜等。

此外，為了防止氧、氫、水分、二氧化碳等侵入到發光元件 4513、540 中，也可以藉由蒸發法形成包含覆蓋發光元件 4513、540 的有機化合物的層。

此外，在由第一基板 4001、第二基板 4006 以及密封材料 4005 密封的空間中設置有填充材料 4514 並被密封。如此，為了不暴露於外氣，而較佳使用氣密性高且脫氣少

的保護薄膜(黏合薄膜、紫外線固化樹脂薄膜等)、覆蓋材料進行封裝(封入)。

作為填充材料 4514，除了氮或氬等惰性氣體以外，也可以使用紫外線固化樹脂、熱固性樹脂，並且，可以使用 PVC(聚氯乙烯)、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB(聚乙烯醇縮丁醛)或 EVA(乙烯-醋酸乙烯酯)。例如，作為填充材料而使用氮，即可。

另外，若有需要，也可以在發光元件的射出面上適當地設置諸如偏光板、圓偏光板(包括橢圓偏光板)、相位差板($\lambda/4$ 片、 $\lambda/2$ 片)、彩色濾光片等的光學薄膜。另外，也可以在偏光板或圓偏光板上設置抗反射膜。例如，可以進行抗眩光處理，該處理是利用表面的凹凸來擴散反射光並降低眩光的。

注意，在圖 14A 至圖 16B 中，作為第一基板 4001、500 及第二基板 4006，除了玻璃基板以外，還可以使用具有撓性的基板。例如，可以使用具有透光性的塑膠基板等。作為塑膠，可以使用纖維玻璃增強塑膠(FRP)板、聚氟乙烯(PVF)膜、聚酯膜或丙烯酸樹脂膜。此外，若不需要透光性，則也可以使用鋁或不鏽鋼等的金屬基板(金屬薄膜)。例如也可以採用具有由 PVF 薄膜或聚酯薄膜夾有鋁箔的結構的片。

在本實施模式中，作為絕緣膜 4020 使用氧化鋁膜。絕緣膜 4020 可以藉由濺射法或電漿 CVD 法形成。

作為絕緣膜 4020 而設置在氧化物半導體膜上的氧化

鋁膜具有不透過氫、水分等雜質以及氧的兩者的高遮斷效果(阻擋效果)。

從而，氧化鋁膜在製造製程中及製造製程之後，具有作為保護膜的功能，該保護膜防止成為變動原因的氫、水分等雜質混入到氧化物半導體膜中，並且防止構成氧化物半導體的主要成分材料的氧從氧化物半導體膜釋放。

另外，作為用作平坦化絕緣膜的絕緣膜 4021、506 可以使用丙烯酸樹脂、聚醯亞胺、苯並環丁烯類樹脂、聚醯胺、環氧樹脂等具有耐熱性的有機材料。另外，除了上述有機樹脂材料之外，還可以使用低介電常數材料(low-k 材料)、矽氧烷類樹脂、PSG(磷矽玻璃)、BPSG(硼磷矽玻璃)等。另外，也可以層疊多個由上述材料形成的絕緣膜來形成絕緣膜。

對絕緣膜 4021、506 的形成方法沒有特別的限制，可以根據其材料而利用諸如濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法(噴墨法、絲網印刷、膠版印刷等)等的方法。

顯示裝置藉由透過來自光源或顯示元件的光來進行顯示。因此，設置在透過光的像素部中的基板、絕緣膜、導電膜等的薄膜全都對可見光的波長區域的光具有透光性。

關於對顯示元件施加電壓的第一電極層及第二電極層(也稱為像素電極層、共用電極層、反電極層等)，根據取出光的方向、設置電極層的地方以及電極層的圖案結構而選擇其透光性、反射性，即可。

作為第一電極層 4030、541 及第二電極層 4031、543，可以使用含有氧化鎢的銦氧化物、含有氧化鎢的銦鋅氧化物、含有氧化鈦的銦氧化物、含有氧化鈦的銦錫氧化物、銦錫氧化物(以下表示為 ITO)、銦鋅氧化物、添加有氧化矽的銦錫氧化物、石墨烯等具有透光性的導電材料。

此外，第一電極層 4030、541 及第二電極層 4031、543 可以使用鎢(W)、鉬(Mo)、鋯(Zr)、鈦(Hf)、釩(V)、鈮(Nb)、鉭(Ta)、鉻(Cr)、鈷(Co)、鎳(Ni)、鈦(Ti)、鉑(Pt)、鋁(Al)、銅(Cu)、銀(Ag)等的金屬、其合金或者其金屬氮化物中的一種或多種來形成。

在本實施模式中，圖 15A 和 15B 所示的發光裝置是底部發射結構，因此第一電極層 541 具有透光性，第二電極層 543 具有反射性。因此，在作為第一電極層 541 使用金屬膜的情況下，使厚度變薄到保持透光性的程度，在作為第二電極層 543 使用具有透光性的導電膜的情況下，層疊具有反射性的導電膜即可。

此外，第一電極層 4030、541 及第二電極層 4031、543 可以使用包括導電高分子(也稱為導電聚合體)的導電組成物來形成。作為導電高分子，可使用所謂的 π 電子共軛類導電高分子。例如，可以舉出：聚苯胺或其衍生物；聚吡咯或其衍生物；聚噻吩或其衍生物；或者由苯胺、吡咯和噻吩中的兩種以上構成的共聚物或其衍生物等。

此外，由於電晶體容易受到靜電等的破壞，所以較佳

設置驅動電路保護用的保護電路。保護電路較佳使用非線性元件構成。

如上所述，藉由應用在實施模式 1 或實施模式 2 所示的電晶體，可以提供具有各種各樣的功能的半導體裝置。

本實施模式所述的結構、方法等能夠與其他實施模式所示的結構、方法等適當地組合而使用。

實施模式 6

藉由使用由在實施模式 3 或實施模式 4 中示出一例的電晶體，可以製造具有讀取目標物的資訊的影像感測器功能的半導體裝置。

圖 17A 示出具有影像感測器功能的半導體裝置的一例。圖 17A 是光感測器的等效電路，圖 17B 是示出光感測器的一部分的剖面圖。

光電二極體 602 的一個電極電連接到光電二極體重設信號線 658，而光電二極體 602 的另一個電極電連接到電晶體 640 的閘極。電晶體 640 的源極和汲極中的一個電連接到光電感測器參考信號線 672，而電晶體 640 的源極和汲極中的另一個電連接到電晶體 656 的源極和汲極中的一個。電晶體 656 的閘極電連接到閘極信號線 659，電晶體 656 的源極和汲極中的另一個電連接到光電感測器輸出信號線 671。

注意，在本說明書的電路圖中，為了使使用氧化物半導體膜的電晶體一目了然，將使用氧化物半導體膜的電晶

體的標號表示為“OS”。在圖 17A 中，作為電晶體 640、電晶體 656 可以適用實施模式 1、實施模式 3、或實施模式 4 所示的電晶體、並且使用氧化物半導體膜的電晶體。在本實施模式中示出應用具有與實施模式 3 所示的電晶體 440 相同的結構的電晶體的例子。電晶體 640 是在氧化物半導體膜上設置用作通道保護膜的絕緣層的底閘極結構的電晶體。

圖 17B 是示出光電感測器中的光電二極體 602 和電晶體 640 的剖面圖，其中在具有絕緣表面的基板 601(TFT 基板)上設置有用作感測器的光電二極體 602 和電晶體 640。藉由使用黏合層 608，在光電二極體 602 和電晶體 640 上設置有基板 613。

在電晶體 640 上設置有絕緣膜 631、層間絕緣膜 633 以及層間絕緣膜 634。光電二極體 602 設置在層間絕緣膜 633 上，並且光電二極體 602 具有如下結構：在形成於層間絕緣膜 633 上的電極層 641a、641b 和設置在層間絕緣膜 634 上的電極層 642 之間從層間絕緣膜 633 一側按順序層疊有第一半導體膜 606a、第二半導體膜 606b 及第三半導體膜 606c。

電極層 641b 與形成在層間絕緣膜 634 中的導電層 643 電連接，並且電極層 642 藉由電極層 641a 與導電層 645 電連接。導電層 645 與電晶體 640 的閘極電極層電連接，光電二極體 602 與電晶體 640 電連接。

在此，例示一種 pin 型光電二極體，其中層疊用作第

一半導體膜 606a 的具有 p 型導電型的半導體膜、用作第二半導體膜 606b 的高電阻的半導體膜(I 型半導體膜)、用作第三半導體膜 606c 的具有 n 型導電型的半導體膜。

第一半導體膜 606a 是 p 型半導體膜，而可以由包含賦予 p 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 13 族的雜質元素(例如，硼(B))的半導體材料氣體藉由電漿 CVD 法來形成第一半導體膜 606a。作為半導體材料氣體，可以使用矽烷(SiH_4)。替代地，可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。進一步替代地，可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散方法或離子植入方法將雜質元素引入到該非晶矽膜。較佳在使用離子植入方法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 方法、氣相沉積方法或濺射方法等。較佳將第一半導體膜 606a 的厚度設定為 10nm 以上且 50nm 以下。

第二半導體膜 606b 是 I 型半導體膜(本質半導體膜)，而可以由非晶矽膜形成。為了形成第二半導體膜 606b，藉由電漿 CVD 法使用半導體材料氣體來形成非晶矽膜。作為半導體材料氣體，可以使用矽烷(SiH_4)。替代地，可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。也可以藉由 LPCVD 法、氣相生長法、濺射法等形成第二半導體膜 606b。較佳將第二半導體膜 606b 的厚度設定為 200nm 以上且 1000nm 以下。

第三半導體膜 606c 是 n 型半導體膜，而可以由包含賦予 n 型的雜質元素的非晶矽膜形成。使用包含屬於週期表中的第 15 族的雜質元素(例如，磷(P))的半導體材料氣體藉由電漿 CVD 法形成第三半導體膜 606c。作為半導體材料氣體，可以使用矽烷(SiH_4)。替代地，可以使用 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 或 SiF_4 等。進一步替代地，可以使用如下方法：在形成不包含雜質元素的非晶矽膜之後，使用擴散方法或離子植入方法將雜質元素引入到該非晶矽膜。較佳在使用離子植入方法等引入雜質元素之後進行加熱等來使雜質元素擴散。在此情況下，作為形成非晶矽膜的方法，可以使用 LPCVD 方法、氣相沉積方法或濺射方法等。較佳將第三半導體膜 606c 的厚度設定為 20nm 以上且 200nm 以下。

此外，第一半導體膜 606a、第二半導體膜 606b 以及第三半導體膜 606c 也可以不使用非晶半導體形成，而使用多晶半導體或微晶半導體 (Semi Amorphous Semiconductor: SAS) 形成。

此外，由於光電效應生成的電洞的遷移率低於電子的遷移率，因此當 p 型半導體膜側的表面用作光接收面時，pin 型光電二極體具有較好的特性。這裏示出將光電二極體 602 從形成有 pin 型的光電二極體的基板 601 的面接收的光轉換為電信號的例子。此外，來自其導電型與用作光接收面的半導體膜一側相反的半導體膜一側的光是干擾光，因此，電極層較佳使用具有遮光性的導電膜。另外，

也可以將 n 型半導體膜側的表面用作光接收面。

藉由使用絕緣材料且根據材料使用濺射法、電漿 CVD 法、SOG 法、旋塗法、浸漬法、噴塗法、液滴噴射法(噴墨法等)、絲網印刷、膠版印刷等，可以形成絕緣膜 631、層間絕緣膜 633 及層間絕緣膜 634。

作為絕緣膜 631，可以使用無機絕緣材料，諸如氧化矽層、氧氮化矽層、氧化鋁層、氧氮化鋁層等氧化物絕緣膜、氮化矽層、氮氧化矽層、氮化鋁層、氮氧化鋁層等氮化物絕緣膜的單層或疊層。

在本實施模式中，作為絕緣膜 631 使用氧化鋁膜。絕緣膜 631 可以藉由濺射法或電漿 CVD 法形成。

在氧化物半導體膜上作為絕緣膜 631 設置的氧化鋁膜具有高遮斷效果(阻擋效果)，即不使氫、水分等雜質及氧的兩者透過膜的效果。

因此，氧化鋁膜用作保護膜，而防止在製造製程中及之後成為變動原因的氫、水分等雜質混入到氧化物半導體膜，並防止從氧化物半導體膜放出作為構成氧化物半導體的主要成分材料的氧。

作為層間絕緣膜 633、層間絕緣膜 634，較佳採用用作減少表面凹凸的平坦化絕緣膜的絕緣膜。作為層間絕緣膜 633、層間絕緣膜 634，例如可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯樹脂、聚醯胺或環氧樹脂等具有耐熱性的有機絕緣材料。除了上述有機絕緣材料之外，還可以使用低介電常數材料(low-k 材料)、矽氧烷類樹脂、

PSG(磷矽玻璃)、BPSG(硼磷矽玻璃)等的單層或疊層。

藉由檢測入射到光電二極體 602 的光，可以讀取檢測目標的資訊。另外，在讀取檢測目標的資訊時，可以使用背光等的光源。

在具有與實施模式 3 所示的電晶體 440 相同的結構的電晶體 640 中，作為設置在通道形成區上的絕緣層使用實施模式 1 或實施模式 2 所示的絕緣層即可。藉由使用實施模式 1 或實施模式 2 所示的絕緣層，可以在重疊於絕緣層的通道形成區的區域上形成汲極電極層的端部及源極電極層的端部，能夠製造實現電場集中的緩和的電晶體。

此外，也可以對電晶體 640 應用與實施模式 4 所示的電晶體 420 相同的結構。在實施模式 4 所示的電晶體中，用作通道保護膜的絕緣層設置在至少包括重疊於閘極電極層的氧化物半導體膜的通道形成區的氧化物半導體膜上，並且具有到達氧化物半導體膜且以覆蓋源極電極層或汲極電極層的內壁的方式設置的開口。藉由在重疊於絕緣層的通道形成區的區域上形成汲極電極層的端部及源極電極層的端部，實施模式 4 所示的電晶體也成為實現電場集中的緩和的電晶體。

因此，能夠提供包括電晶體 640 的可靠性高的半導體裝置，該電晶體 640 使用本實施模式的氧化物半導體膜且具有穩定的電特性。另外，能夠高生產率地製造上述可靠性高的半導體裝置，而實現高生產化。

這個實施模式中所述的結構、方法等能夠與其他實施

模式所示的結構、方法等適當地組合而使用。

實施模式 7

本說明書所公開的半導體裝置可以應用於各種電子裝置(也包括遊戲機)。作為電子裝置，可以舉出電視機(也稱為電視或電視接收機)、用於計算機等的監視器、數位相機、數位攝像機、數位相框、行動電話機、可攜式遊戲機、可攜式資訊終端、音頻再生裝置、遊戲機(彈珠機(pachinko machine)或投幣機(slot machine)等)、外殼遊戲機。圖 18A 至 18C 示出上述電子裝置的具體例子。

圖 18A 示出具有顯示部的桌子 9000。在桌子 9000 中，外殼 9001 組裝有顯示部 9003，並且利用顯示部 9003 可以顯示影像。另外，示出利用四個腿部 9002 支撐外殼 9001 的結構。另外，外殼 9001 具有用於供應電力的電源供應線 9005。

可以將實施模式 1 至實施模式 6 的任一所示的半導體裝置用於顯示部 9003，對電子裝置可以提供高可靠性。

顯示部 9003 具有觸屏輸入功能，而藉由用手等接觸顯示於桌子 9000 的顯示部 9003 中的顯示按鈕 9004 來可以進行畫面操作或資訊輸入，並且顯示部 9003 也可以用作如下控制裝置，即藉由使其具有能夠與其他家電產品進行通訊的功能或能夠控制其他家電產品的功能，而藉由畫面操作控制其他家電產品。例如，藉由使用實施模式 3 所示的具有影像感測器功能的半導體裝置，可以使顯示部

9003 具有觸屏輸入功能。

另外，利用設置於外殼 9001 的鉸鏈也可以將顯示部 9003 的畫面以垂直於地板的方式立起來，從而也可以將桌子 9000 用作電視機。雖然當在小房間裏設置大畫面的電視機時自由使用的空間變小，但是若桌子安裝有顯示部則可以有效地利用房間的空間。

圖 18B 示出電視機 9100 的一個例子。在電視機 9100 中，外殼 9101 組裝有顯示部 9103，並且利用顯示部 9103 可以顯示影像。此外，在此示出利用支架 9105 支撐外殼 9101 的結構。

可以藉由利用外殼 9101 所具備的操作開關、另外提供的遙控器 9110 進行電視機 9100 的操作。藉由利用遙控器 9110 所具備的操作鍵 9109，可以進行頻道及音量的操作，並可以對在顯示部 9103 上顯示的影像進行操作。此外，也可以採用在遙控器 9110 中設置顯示從該遙控器 9110 輸出的資訊的顯示部 9107 的結構。

圖 18B 所示的電視機 9100 具備接收機及數據機等。電視機 9100 可以利用接收機接收一般的電視廣播。再者，電視機 9100 藉由數據機連接到有線或無線方式的通信網路，也可以進行單向(從發送者到接收者)或雙向(在發送者和接收者之間或在接收者彼此之間等)的資訊通信。

將實施模式 1 至實施模式 6 的任一所示的半導體裝置可以用於顯示部 9103、9107，對電視機及遙控操作可以提供高可靠性。

圖 18C 示出計算機，該計算機包括主體 9201、外殼 9202、顯示部 9203、鍵盤 9204、外部連接埠 9205、指向裝置 9206 等。該計算機藉由將利用本發明的一個方式製造的半導體裝置用於顯示部 9203 來製造。另外，當使用上述實施模式所示的半導體裝置，可以製造高可靠性的計算機。

圖 19A 和 19B 是能夠進行翻蓋的平板型終端。圖 19A 示出打開狀態下的平板終端，它具有外殼 9630、顯示部 9631a、顯示部 9631b、切換顯示模式的開關 9034、電源開關 9035、切換省電模式的開關 9036、卡子 9033 及操作開關 9038。

可以將實施模式 1 至實施模式 6 的任一中所示的半導體裝置用於顯示部 9631a、顯示部 9631b，可以提供高可靠性的平板型終端。

在顯示部 9631a 中，可以將其一部分用作觸摸屏的區域 9632a，並且可以藉由接觸所顯示的操作鍵 9638 來輸入資料。此外，作為一個例子，示出顯示部 9631a 的一半區域只具有顯示的功能，並且另一半區域具有觸摸屏的功能的結構，但是不侷限於該結構。也可以採用顯示部 9631a 的整個區域具有觸摸屏的功能的結構。例如，可以使顯示部 9631a 的全面顯示鍵盤按鈕來將其用作觸摸屏，並且將顯示部 9631b 用作顯示畫面。

此外，在顯示部 9631b 中與顯示部 9631a 同樣，也可以將其一部分用作觸摸屏的區域 9632b。此外，藉由使用

手指或觸控筆等接觸觸摸屏上顯示鍵盤顯示切換按鈕 9639 的位置，可以在顯示部 9631b 上顯示鍵盤按鈕。

此外，也可以對觸摸屏的區域 9632a 和觸摸屏的區域 9632b 同時進行觸摸輸入。

另外，顯示模式切換開關 9034 能夠切換豎屏顯示和橫屏顯示等顯示的方向並選擇黑白顯示或彩色顯示等的切換。根據藉由平板終端所內置的光感測器所檢測的使用時的外光的光量，省電模式切換開關 9036 可以使顯示的亮度設定為最適合的亮度。平板終端除了光感測器以外還可以內置陀螺儀和加速度感測器等檢測傾斜度的感測器等的其他檢測裝置。

此外，圖 19A 示出顯示部 9631b 的顯示面積與顯示部 9631a 的顯示面積相同的例子，但是不侷限於此，既可以一方的尺寸和另一方的尺寸不同又可以它們的顯示品質有差異。例如可以是顯示部 9631a 和 9631b 中的一方可以進行比另一方更精細的顯示的顯示面板。

圖 19B 是合上的狀態，並且平板終端包括外殼 9630、太陽能電池 9633、充放電控制電路 9634、電池 9635 以及 DCDC 轉換器 9636。此外，在圖 19B 中，作為充放電控制電路 9634 的一個例子示出具有電池 9635 和 DCDC 轉換器 9636 的結構。

此外，平板終端能夠進行翻蓋，因此不使用時可以合上外殼 9630。因此，可以保護顯示部 9631a 和顯示部 9631b，而可以提供一種具有良好的耐久性且從長期使用

的觀點來看具有良好的可靠性的平板終端。

此外，圖 19A 和 19B 所示的平板終端還可以具有如下功能：顯示各種各樣的資訊(靜態影像、動態影像、文本影像等)；將日曆、日期或時刻等顯示在顯示部上；對顯示在顯示部上的資訊進行操作或編輯的觸摸輸入；藉由各種各樣的軟體(程式)控制處理等。

藉由利用安裝在平板終端的表面上的太陽能電池 9633，可以將功率供應到觸摸屏、顯示部或影像信號處理部等。注意，太陽能電池 9633 可以設置在外殼 9630 的一個面或雙面，而可以採用高效地對電池 9635 進行充電的結構。另外，當作爲電池 9635 使用鋰離子電池時，有可以實現小型化等的優點。

另外，參照圖 19C 所示的方塊圖而對圖 19B 所示的充放電控制電路 9634 的結構和工作進行說明。圖 19C 示出太陽能電池 9633、電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 以及顯示部 9631，電池 9635、DCDC 轉換器 9636、轉換器 9637、開關 SW1 至 SW3 對應圖 19B 所示的充放電控制電路 9634。

首先，說明在利用外光使太陽能電池發電時的工作的例子。使用 DCDC 轉換器 9636 對太陽能電池 9633 所產生的電力進行升壓或降壓以使它成爲用來對電池 9635 進行充電的電壓。並且，當利用來自太陽能電池 9633 的電力使顯示部 9631 工作時使開關 SW1 導通，並且，利用轉換器 9637 將其升壓或降壓到顯示部 9631 所需要的電壓。另

外，可以採用當不進行顯示部 9631 中的顯示時，使 SW1 截止且使 SW2 導通來對電池 9635 進行充電的結構。

注意，作為發電單元的一個例子示出太陽能電池 9633，但是不侷限於此，也可以使用壓電元件 (piezoelectric element) 或熱電轉換元件 (珀耳帖元件 (Peltier element)) 等其他發電單元進行電池 9635 的充電。例如，也可以使用以無線 (不接觸) 的方式能夠收發功率來進行充電的無線功率傳輸模組或組合其他充電方法進行充電。

本實施模式所述的結構、方法等能夠與其他實施模式所示的結構、方法等適當地組合而使用。

【符號說明】

101：閘極電極層

102：閘極絕緣膜

103：氧化物半導體膜

104：絕緣層

105：源極電極層

106：汲極電極層

107：保護絕緣膜

申請專利範圍

1. 一種半導體裝置，包括：

絕緣表面上的閘極電極；

該閘極電極上的閘極絕緣膜；

在該閘極絕緣膜上包含通道形成區的氧化物半導體膜；

在該氧化物半導體膜上並與其接觸的絕緣層；

在該絕緣層上具有端部的源極電極；以及

在該絕緣層上具有端部的汲極電極，

其中該源極電極的該端部及該汲極電極的該端部重疊於該通道形成區，

其中該源極電極經由第一開口直接接觸於該氧化物半導體膜的表面，

其中該汲極電極經由第二開口直接接觸於該氧化物半導體膜的該表面，

其中該第一開口包括第一部分和第二部分，

其中該第一開口的該第一部分重疊於該閘極電極，以及該第一開口的該第二部分不重疊於該閘極電極，以及

其中該絕緣層的端部的側面和該絕緣表面形成的角度為 60° 以下。

2. 一種半導體裝置，包括：

絕緣表面上的閘極電極；

該閘極電極上的閘極絕緣膜；

在該閘極絕緣膜上包含通道形成區的氧化物半導體

膜；

在該氧化物半導體膜上並與其接觸的絕緣層；

在該絕緣層上具有端部的源極電極；以及

在該絕緣層上具有端部的汲極電極，

其中該源極電極的該端部及該汲極電極的該端部重疊於該通道形成區，

其中該源極電極經由第一開口直接接觸於該氧化物半導體膜的表面，

其中該汲極電極經由第二開口直接接觸於該氧化物半導體膜的該表面，

其中該第一開口包括第一部分和第二部分，

其中該第一開口的該第一部分重疊於該閘極電極，以及該第一開口的該第二部分不重疊於該閘極電極，

其中該絕緣層的端部的側面和該絕緣表面形成的角度為 60° 以下，以及

其中該絕緣層的厚度為 $0.3\mu\text{m}$ 以下。

3.根據申請專利範圍第 2 項之半導體裝置，其中該絕緣層的該厚度為 5nm 以上且 $0.1\mu\text{m}$ 以下。

4.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該汲極電極的該端部重疊於該絕緣層的該端部的該側面。

5.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該汲極電極的該端部重疊於該絕緣層的上表面。

6.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該絕緣層的剖面形狀為梯形。

7.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該絕緣層的剖面形狀為三角形。

8.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該絕緣層的剖面形狀的至少一部分具有曲面的形狀。

9.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該氧化物半導體膜包括選自銮、鎵及鋅中的至少一種。

10.一種包括根據申請專利範圍第 1 或 2 項之半導體裝置的顯示模組，包括 FPC 及外殼中的至少一個。

11.一種包括根據申請專利範圍第 1 或 2 項之半導體裝置的電子裝置，包括顯示部、電池及操作鍵中的至少一個。

圖式

圖 1A

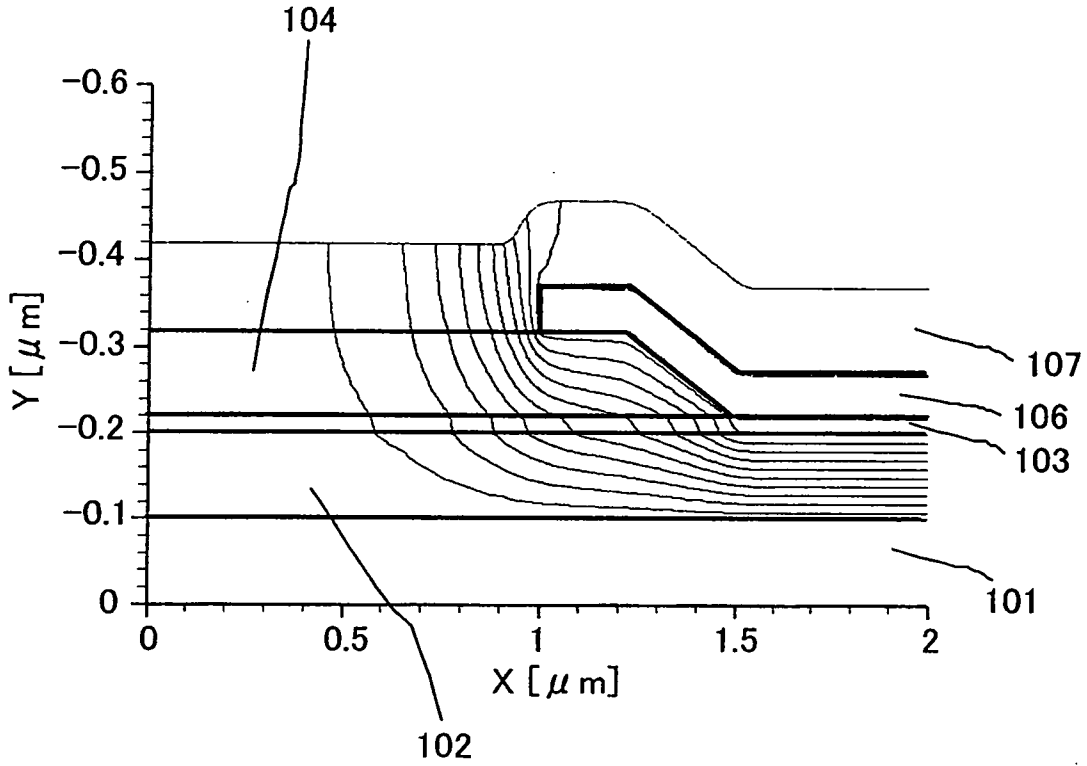


圖 1B

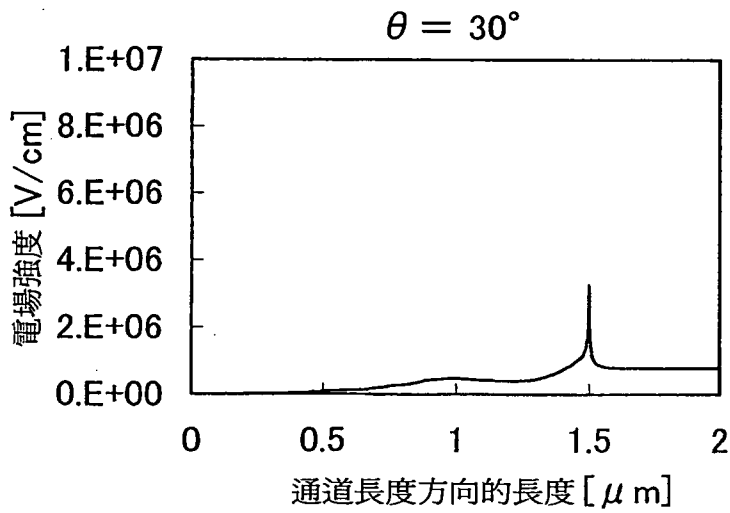


圖 2A

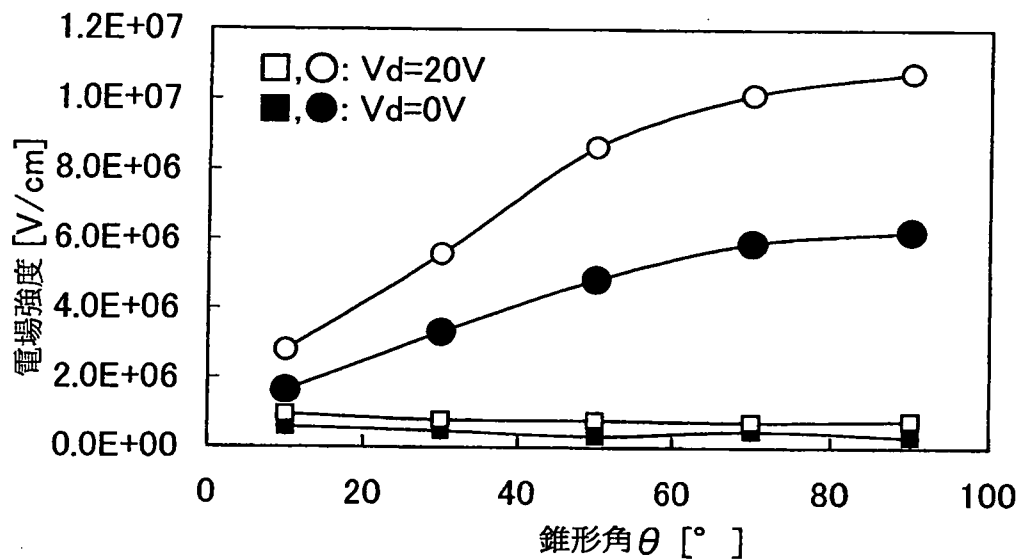


圖 2B

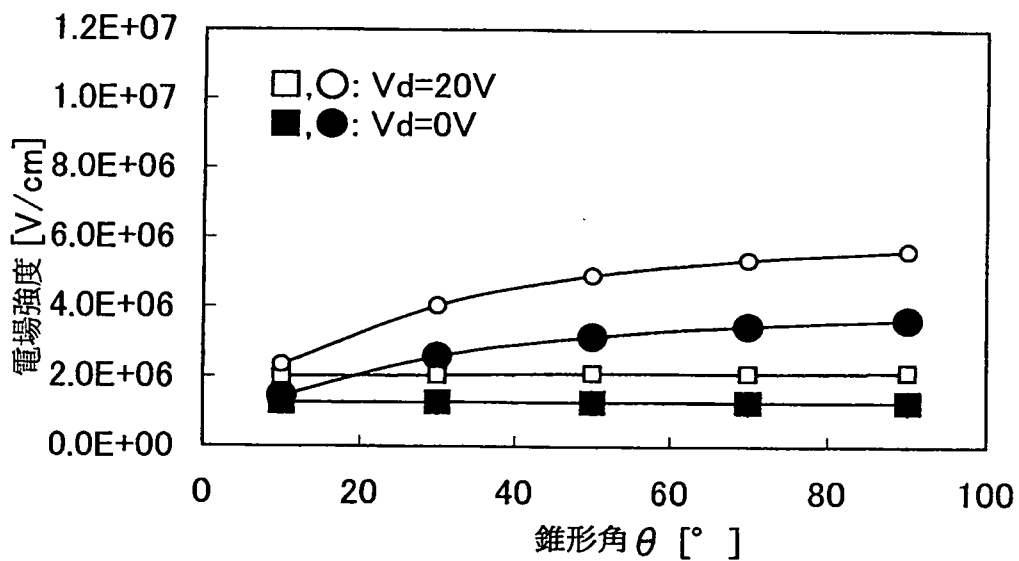


圖 3A

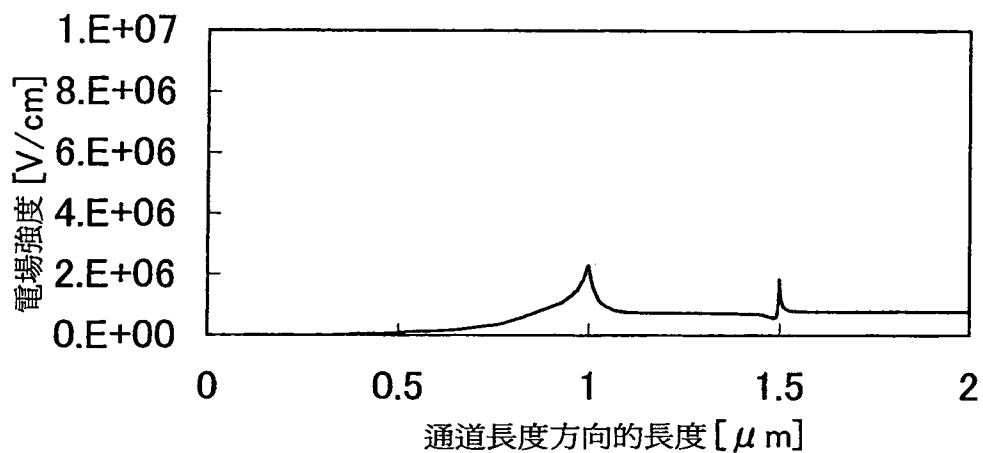


圖 3B

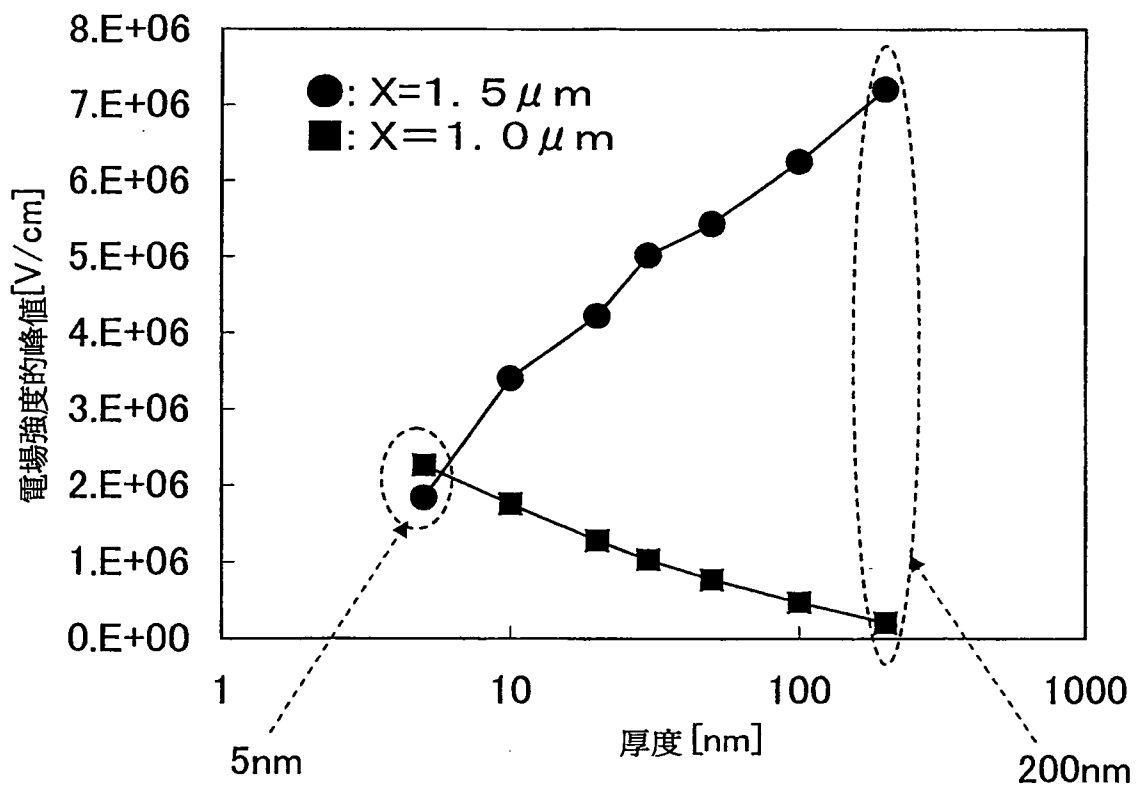


圖 4A

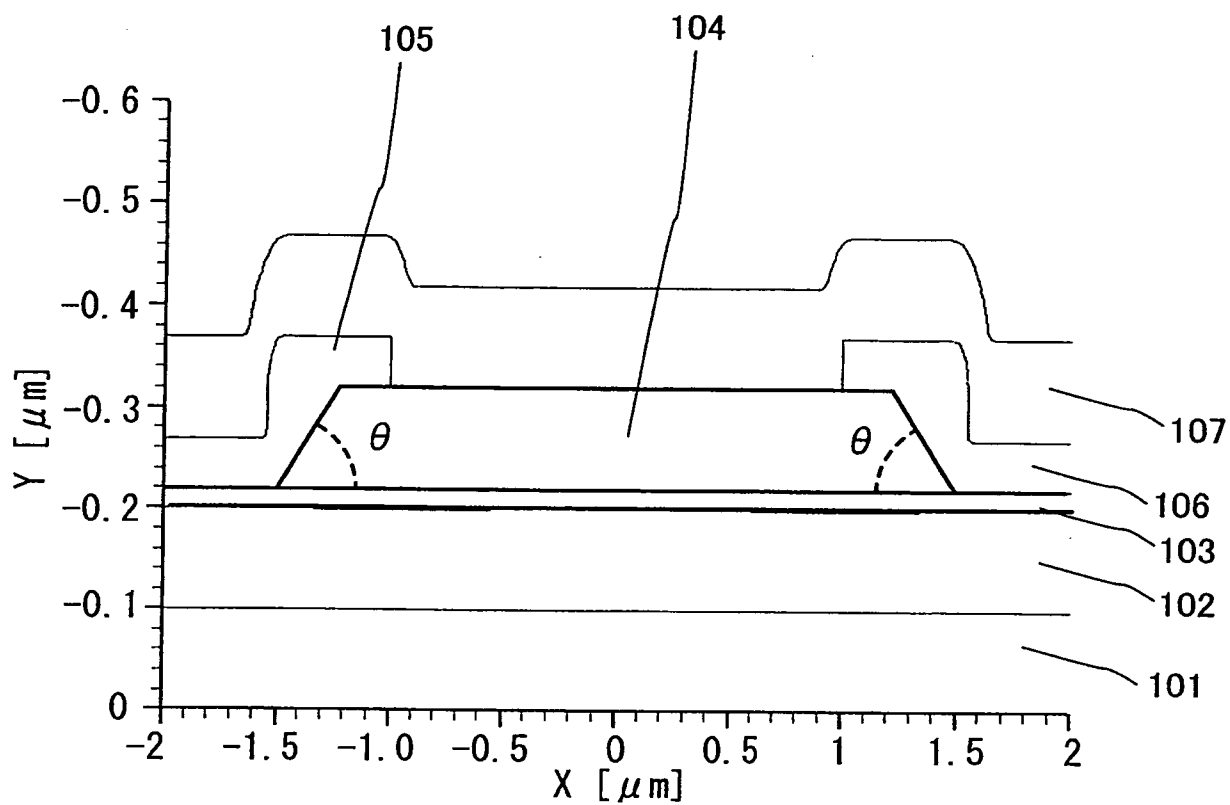


圖 4B

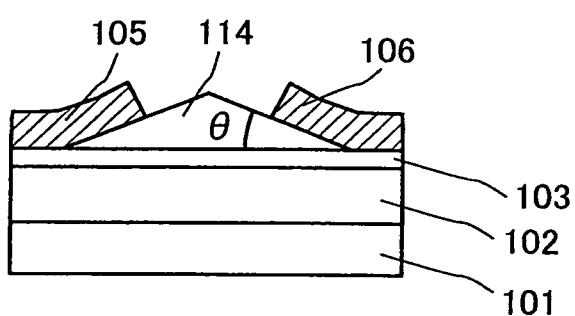


圖 4C

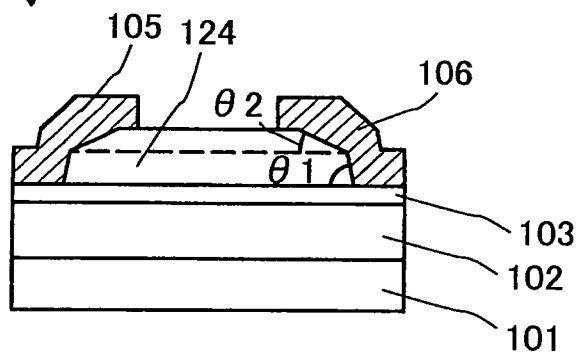


圖 4D

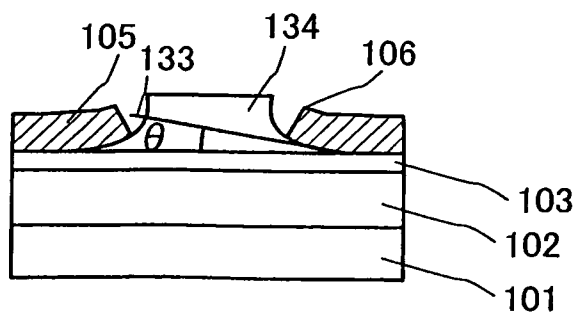


圖 4E

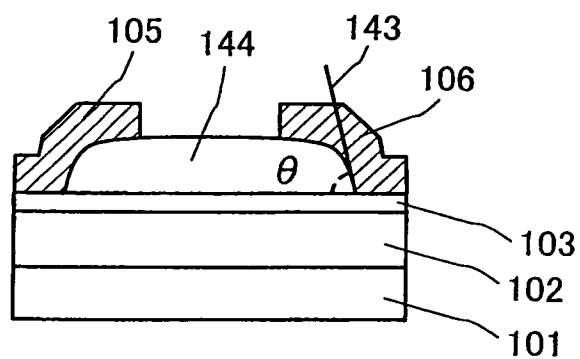


圖 5A

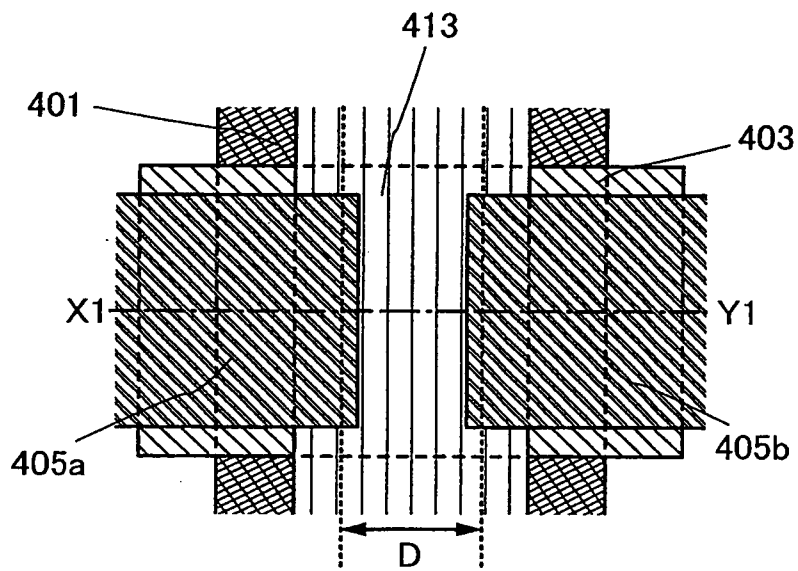


圖 5B

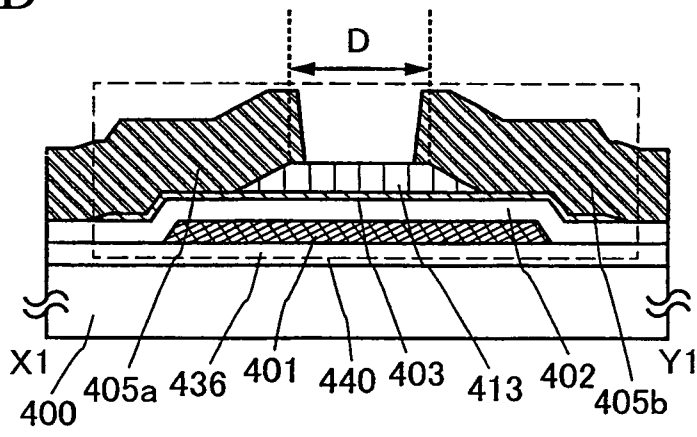


圖 6A

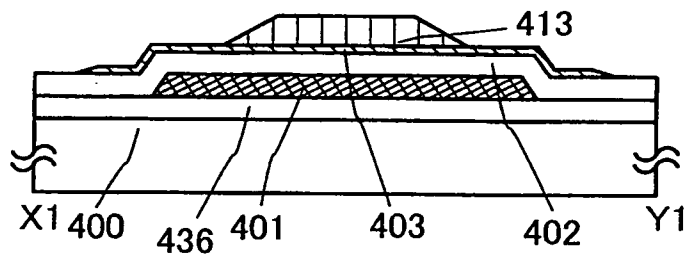


圖 6B

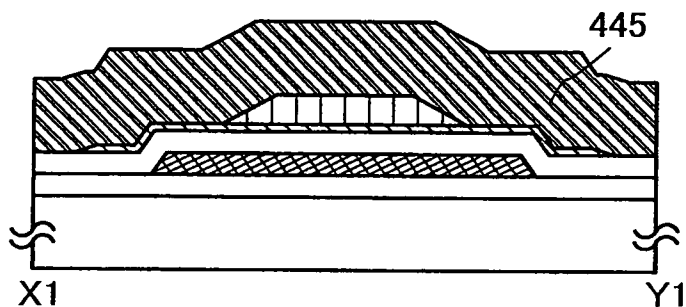


圖 6C

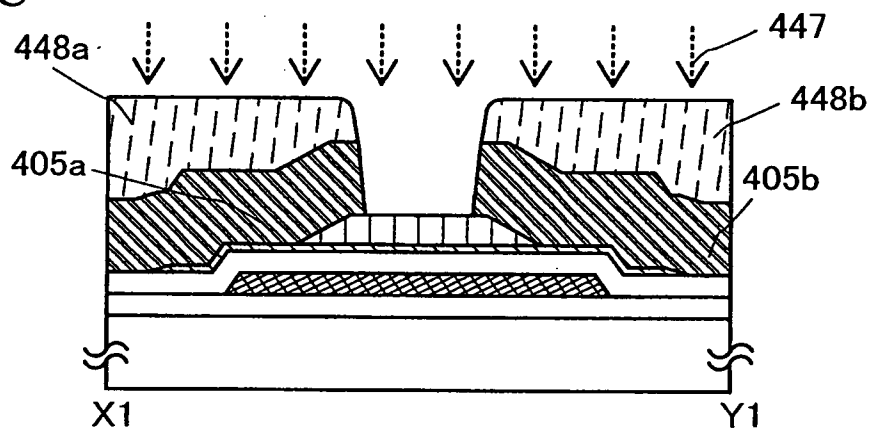


圖 6D

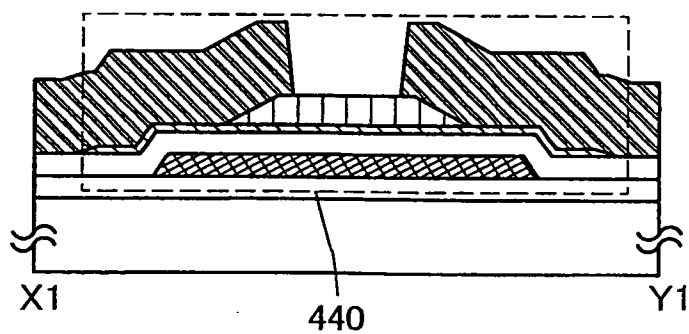


圖 7A

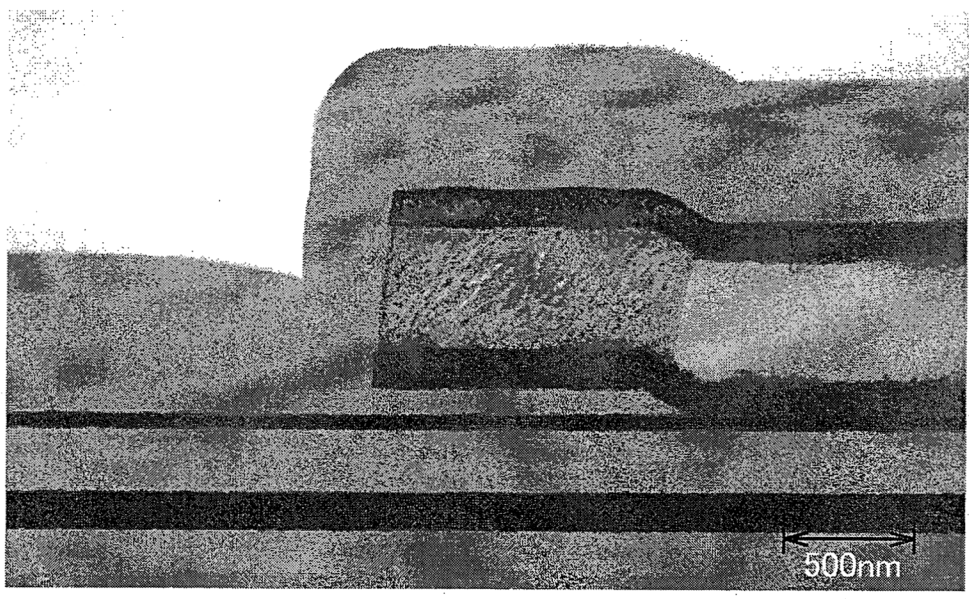


圖 7B

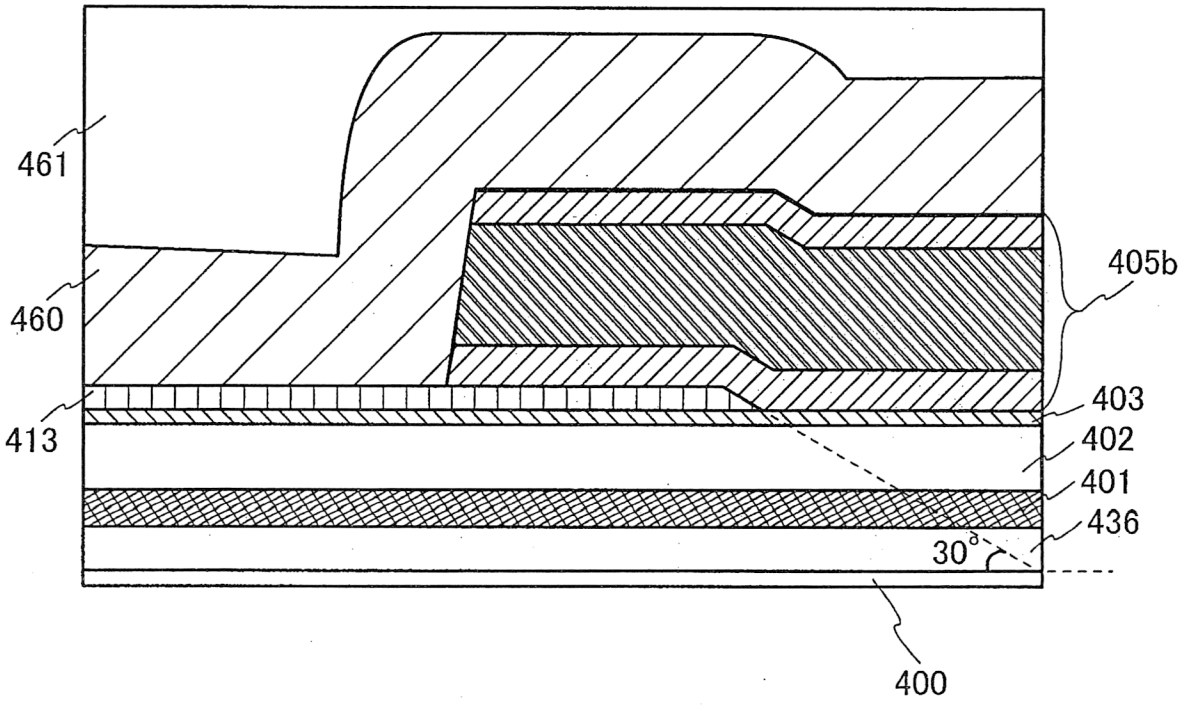


圖 8A

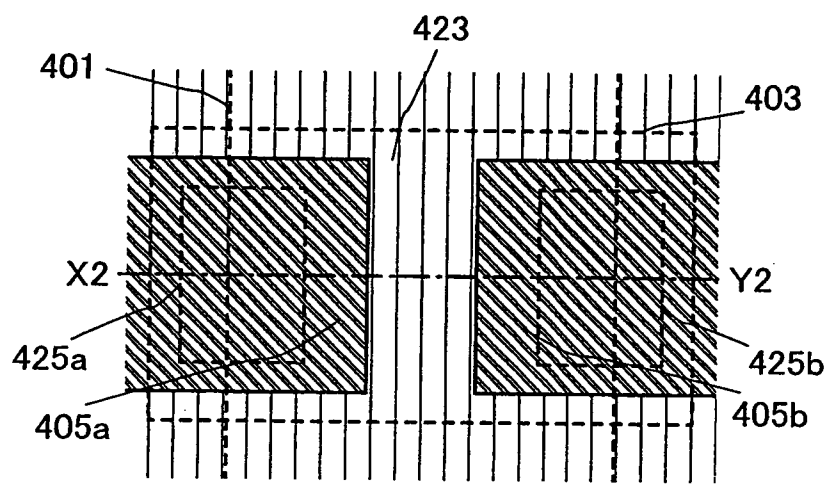


圖 8B

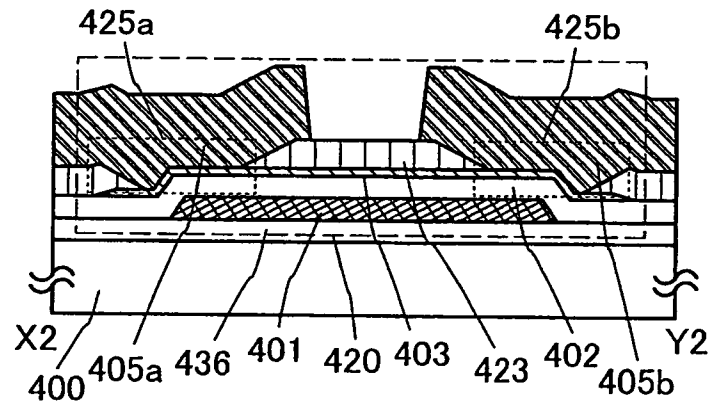


圖 9A

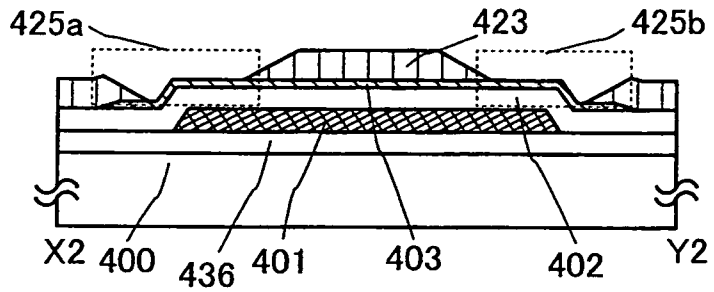


圖 9B

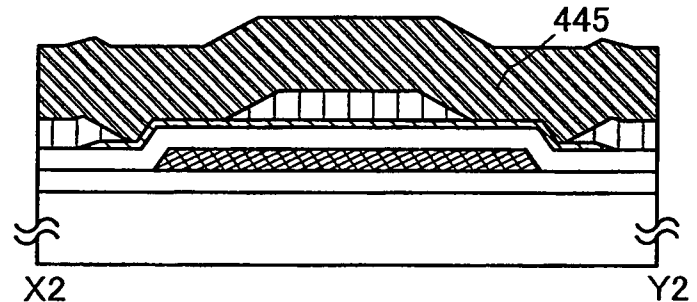


圖 9C

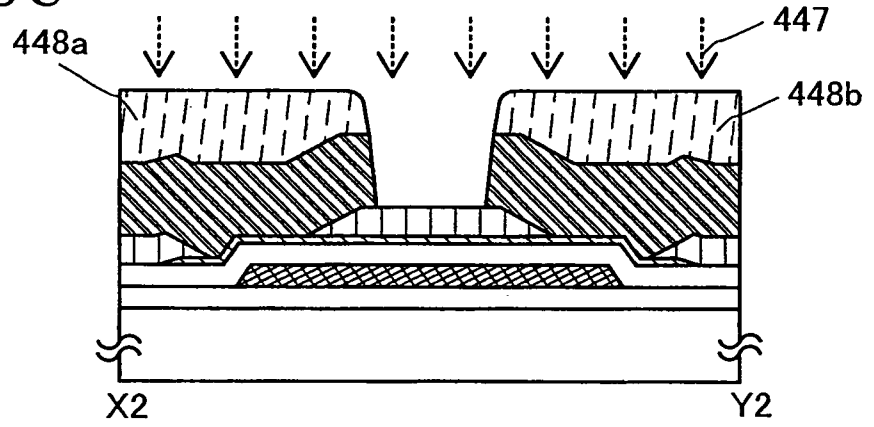


圖 9D

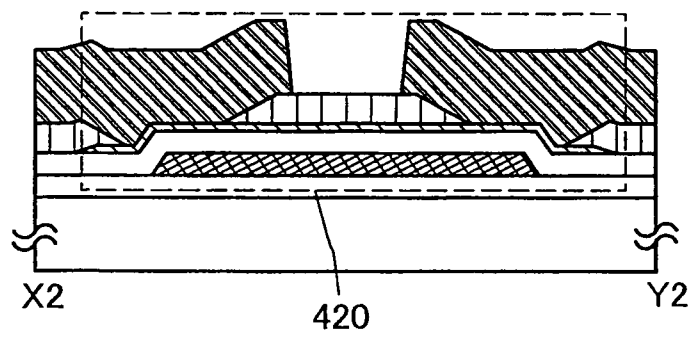


圖 10A

+GBT_Dark 80°C

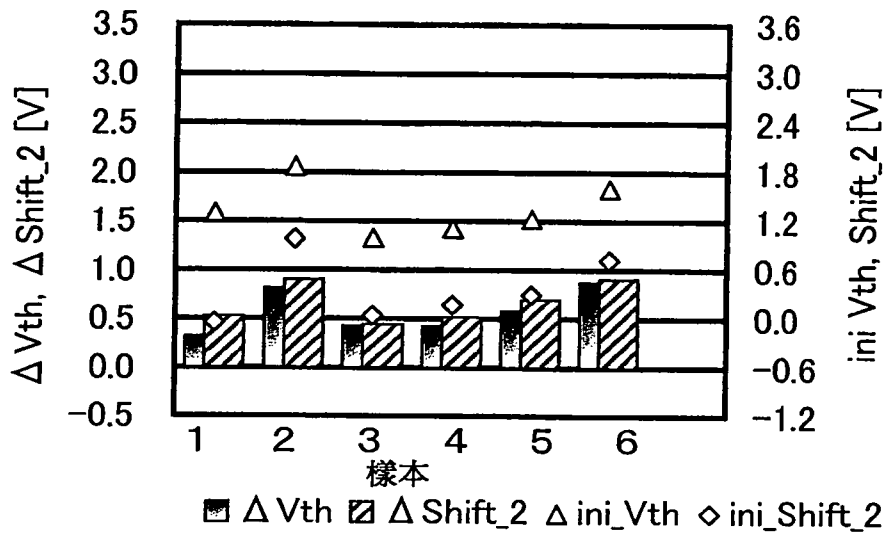


圖 10B

-GBT_Dark 80°C

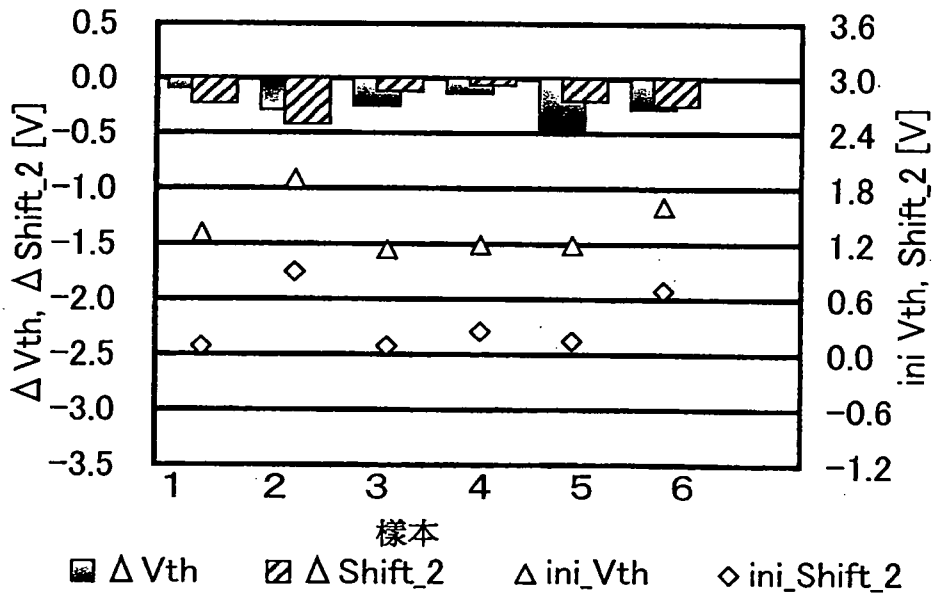


圖 11A

+GBT_Dark 25°C

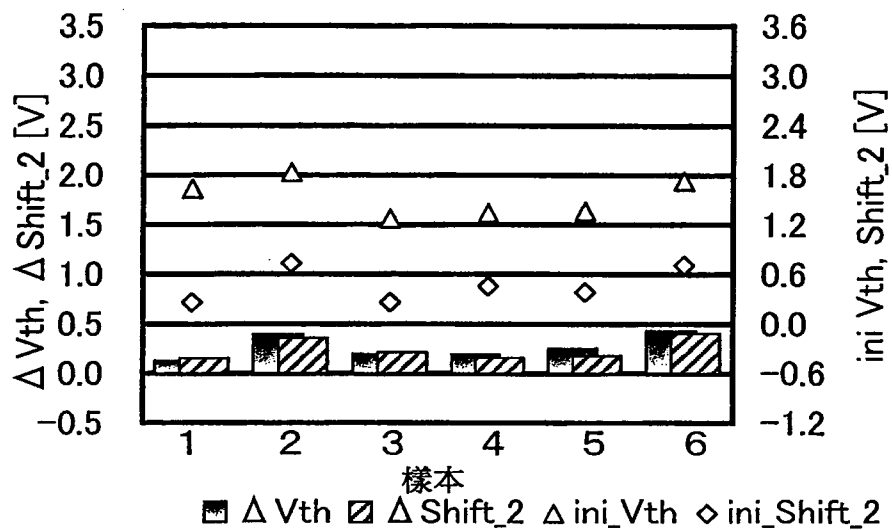


圖 11B

-GBT_Dark 25°C

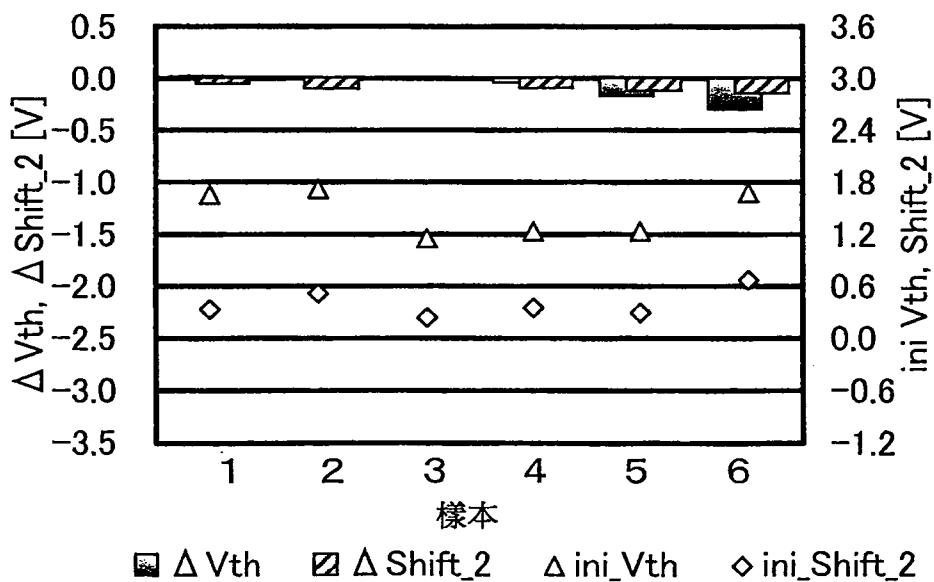


圖 12A

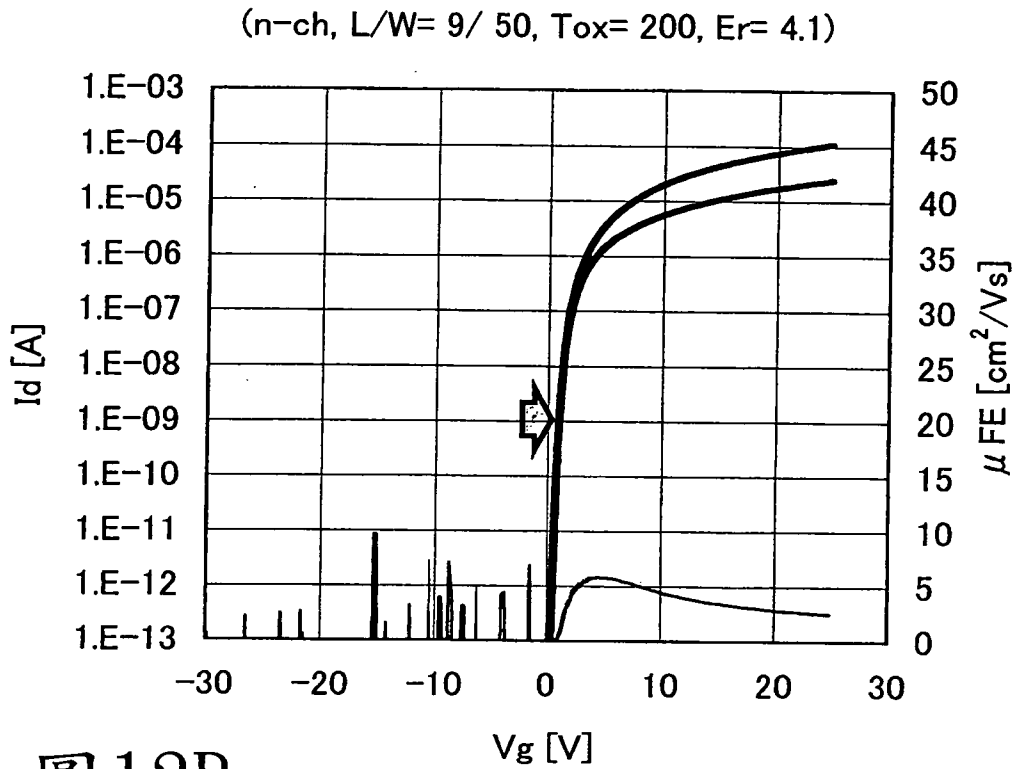


圖 12B

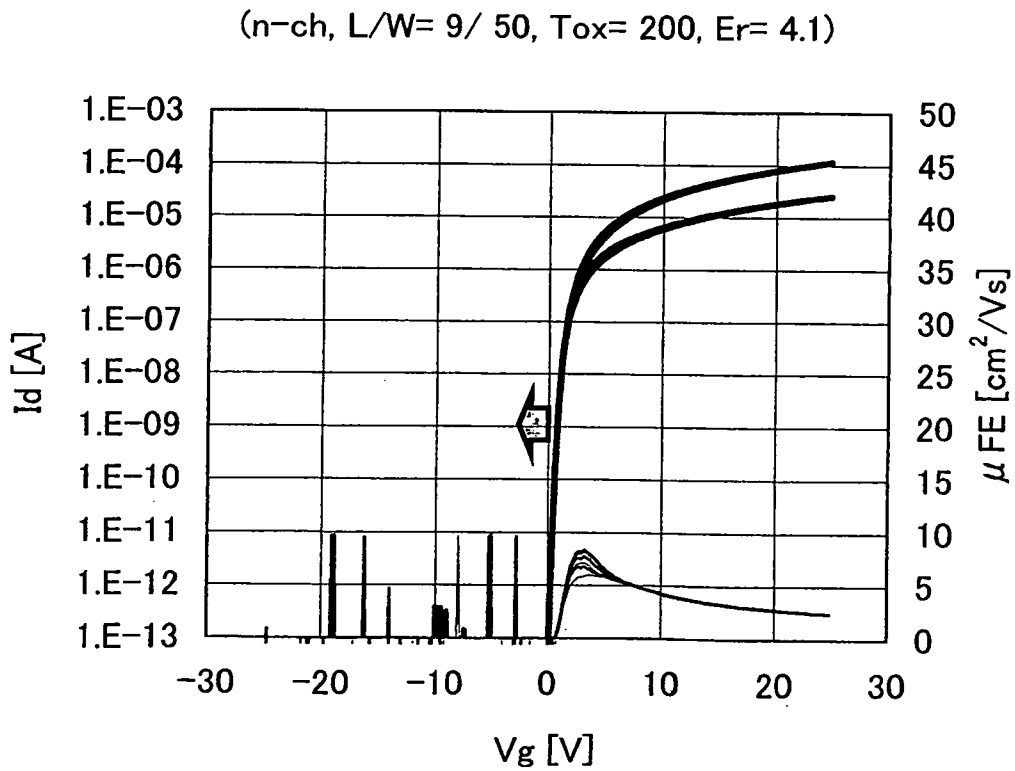


圖 13A

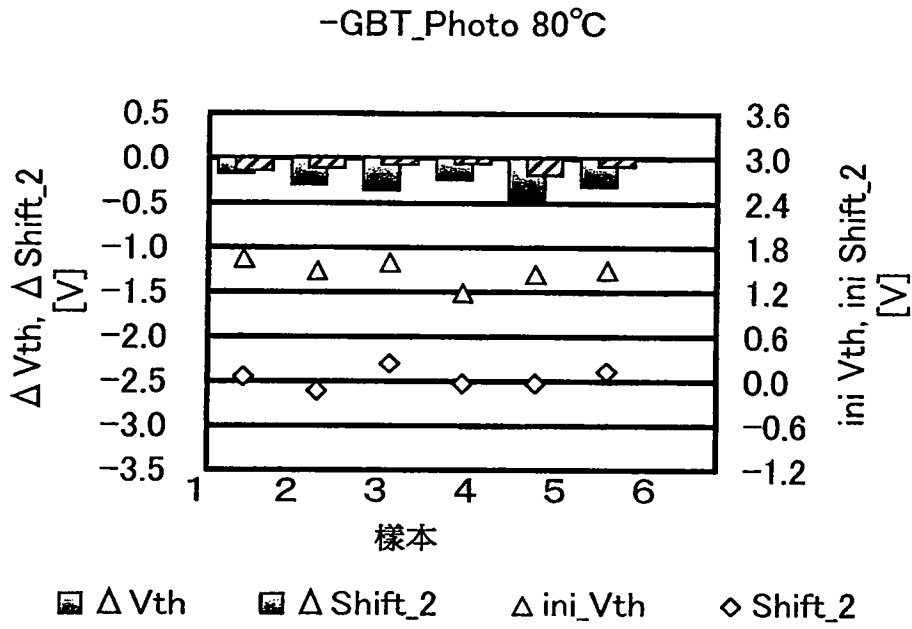


圖 13B

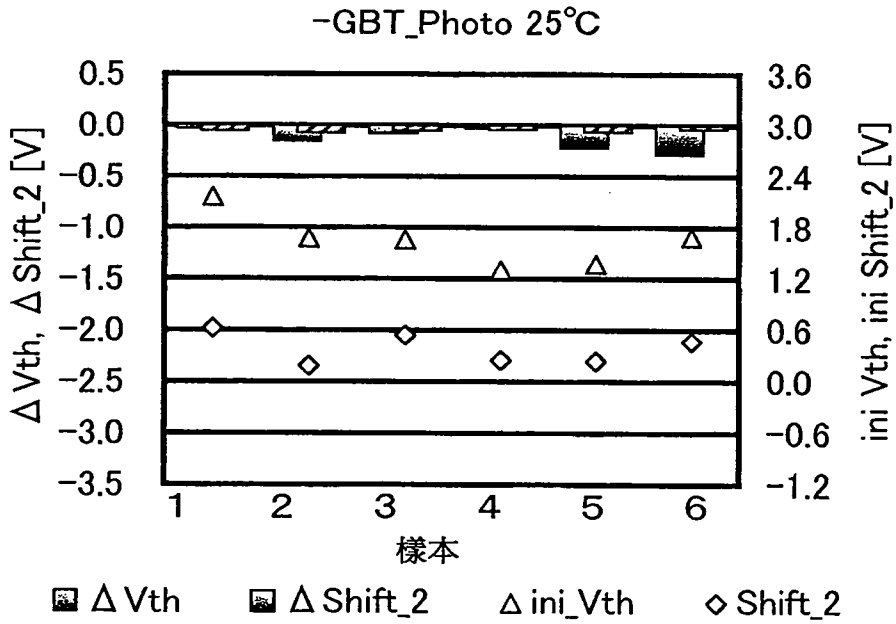


圖 14A

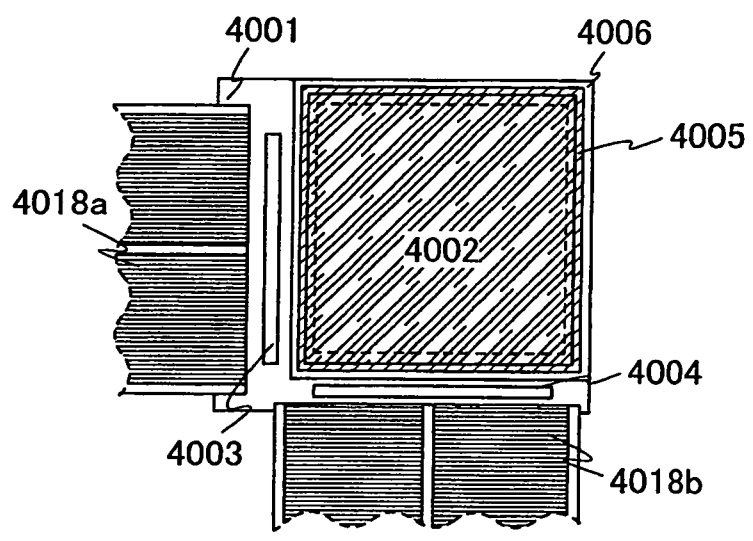


圖 14B

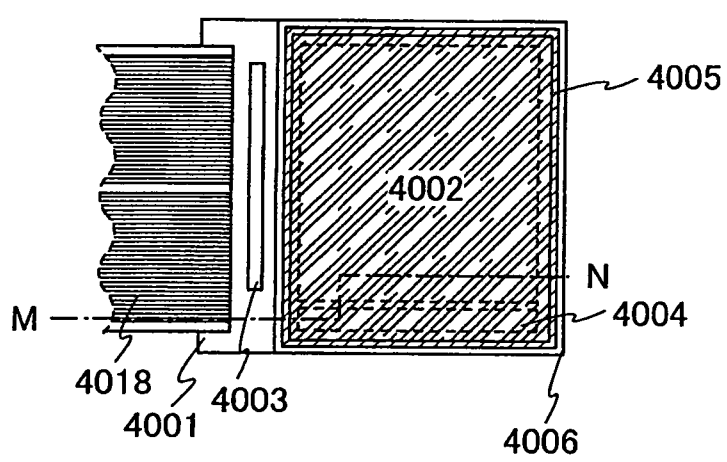


圖 14C

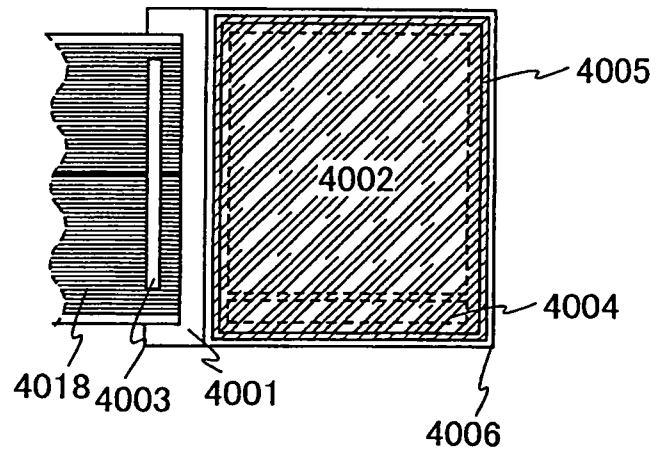


圖 15A

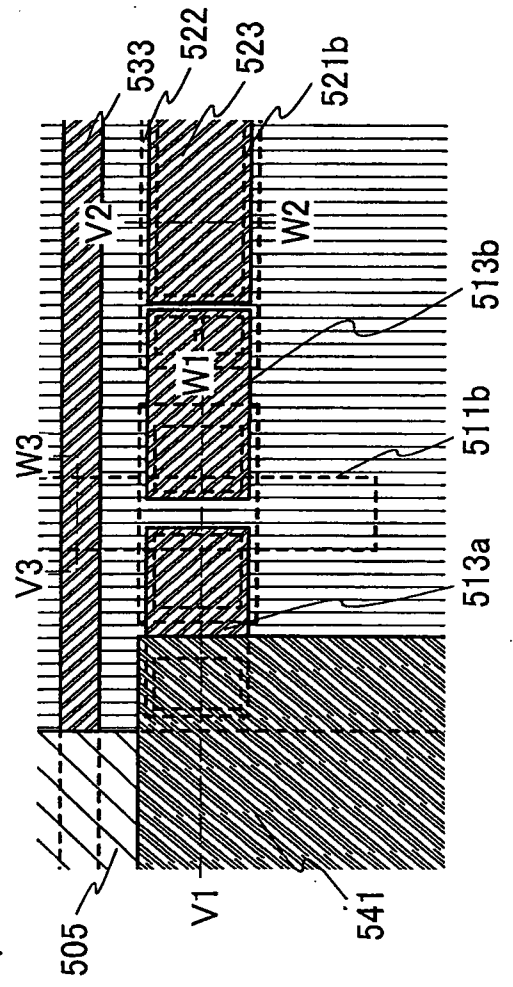


圖 15B

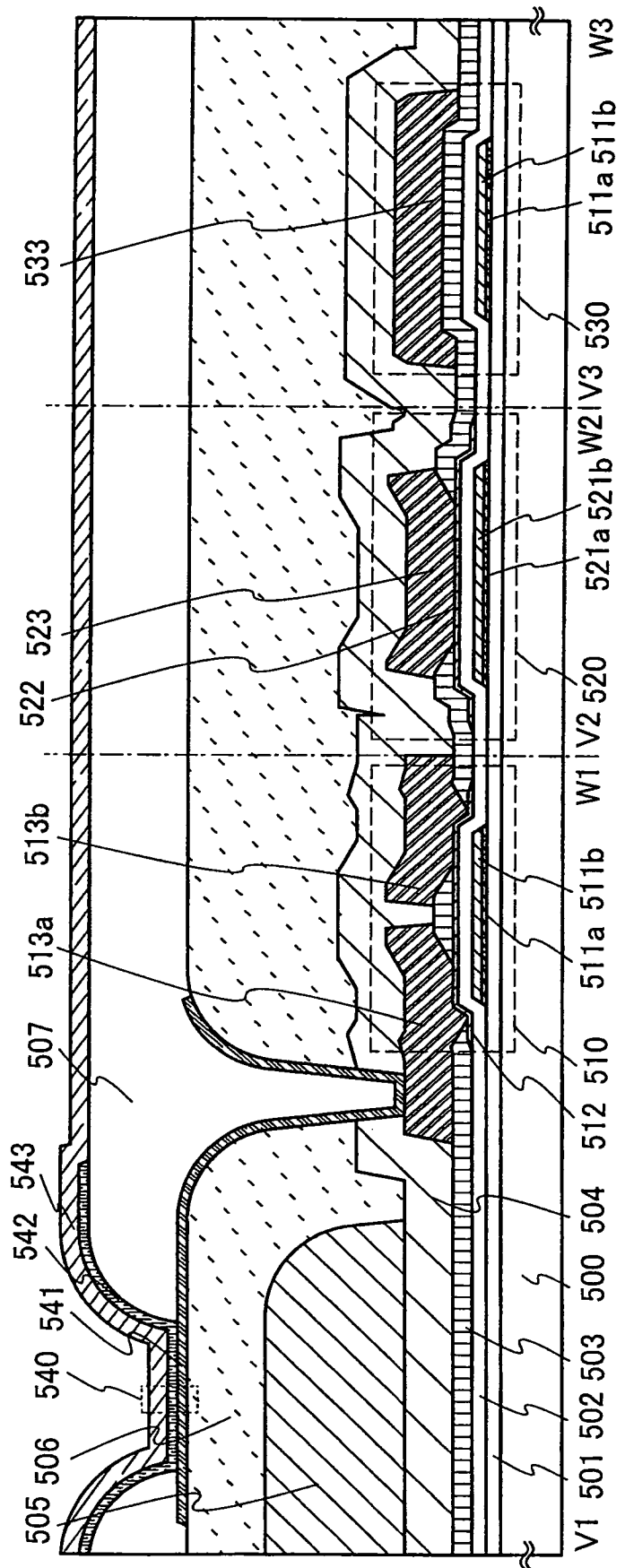


圖 16A

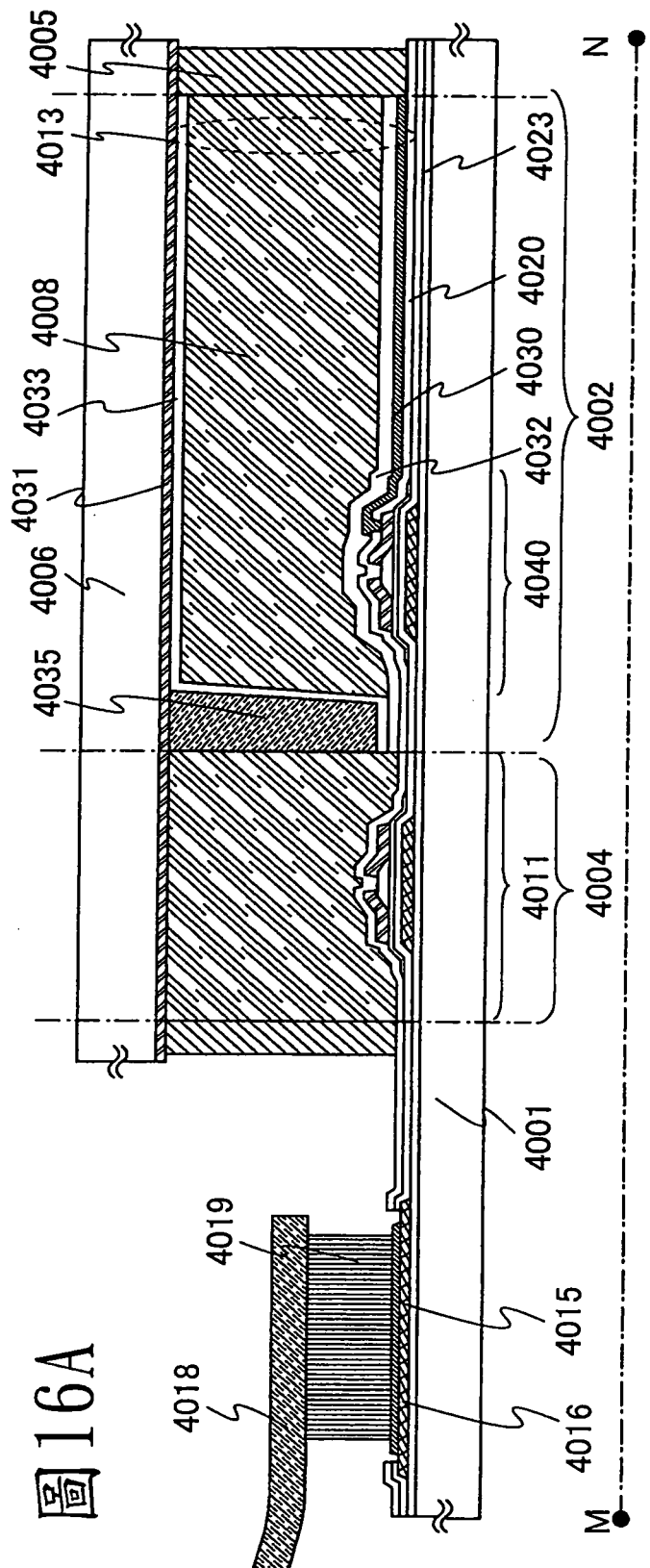


圖 16B

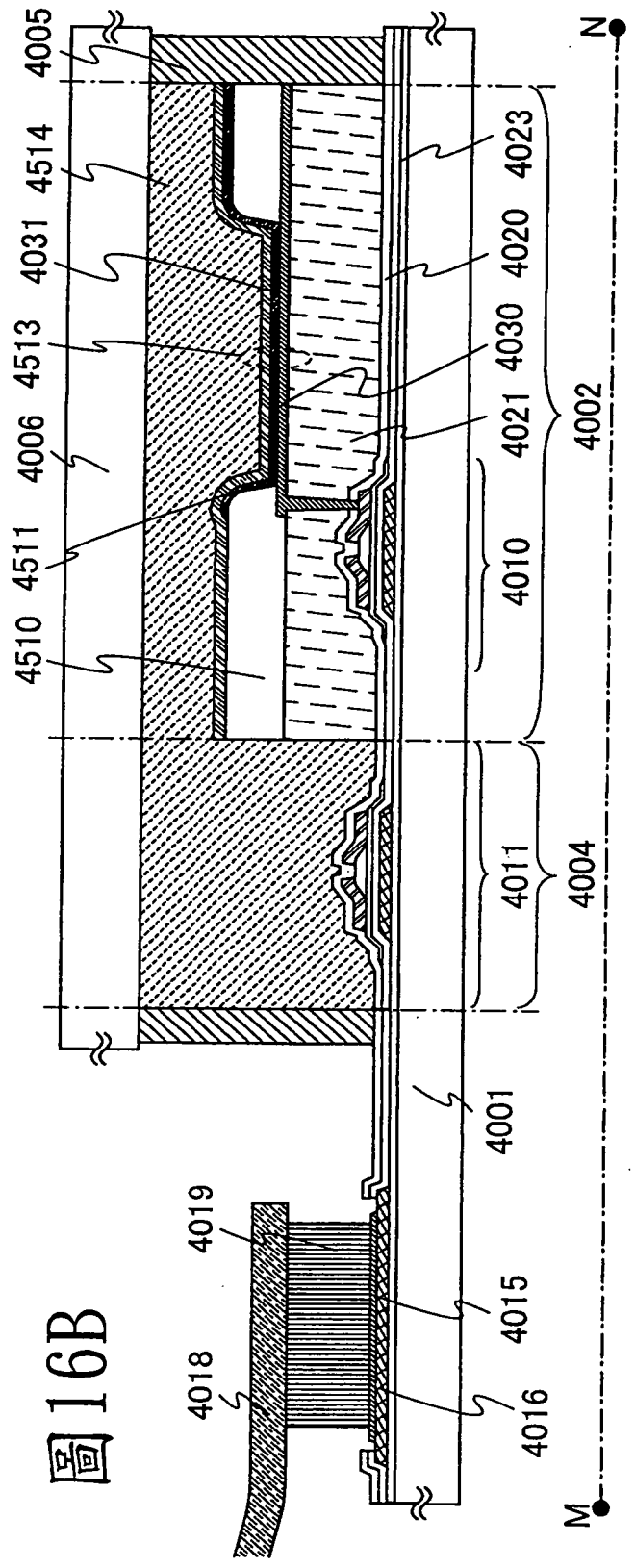


圖17A

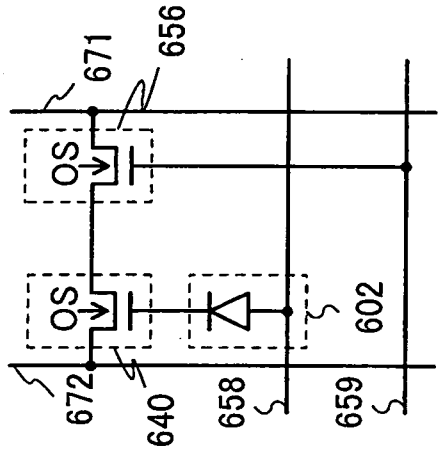


圖17B

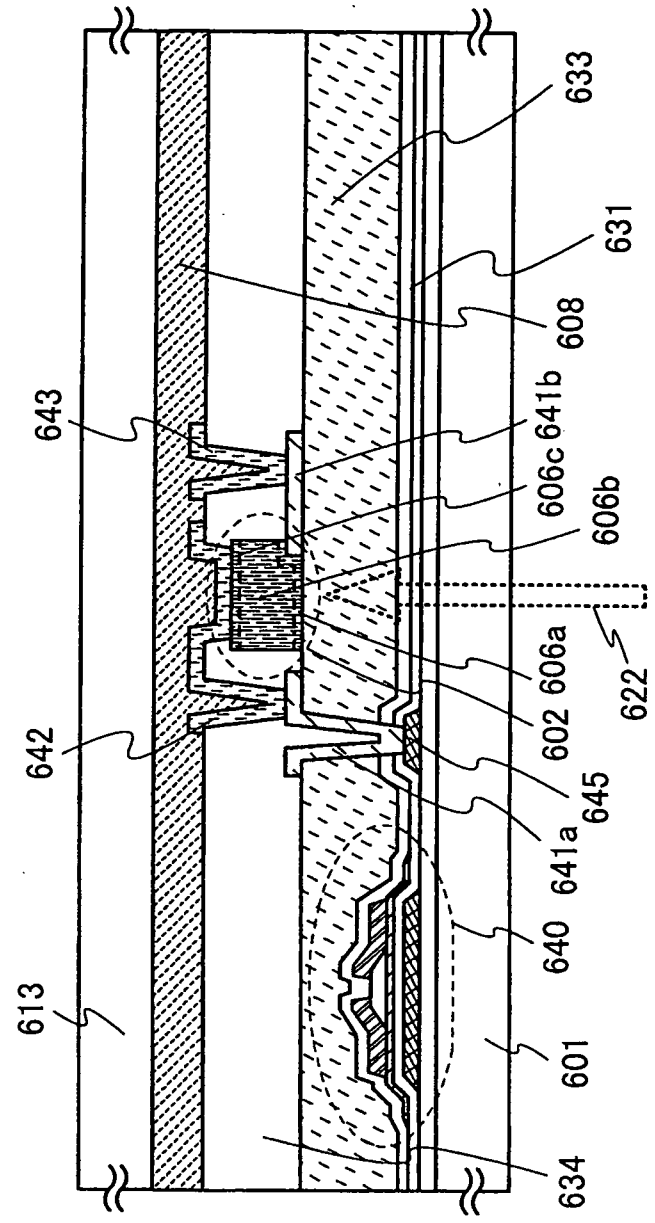


圖 18A

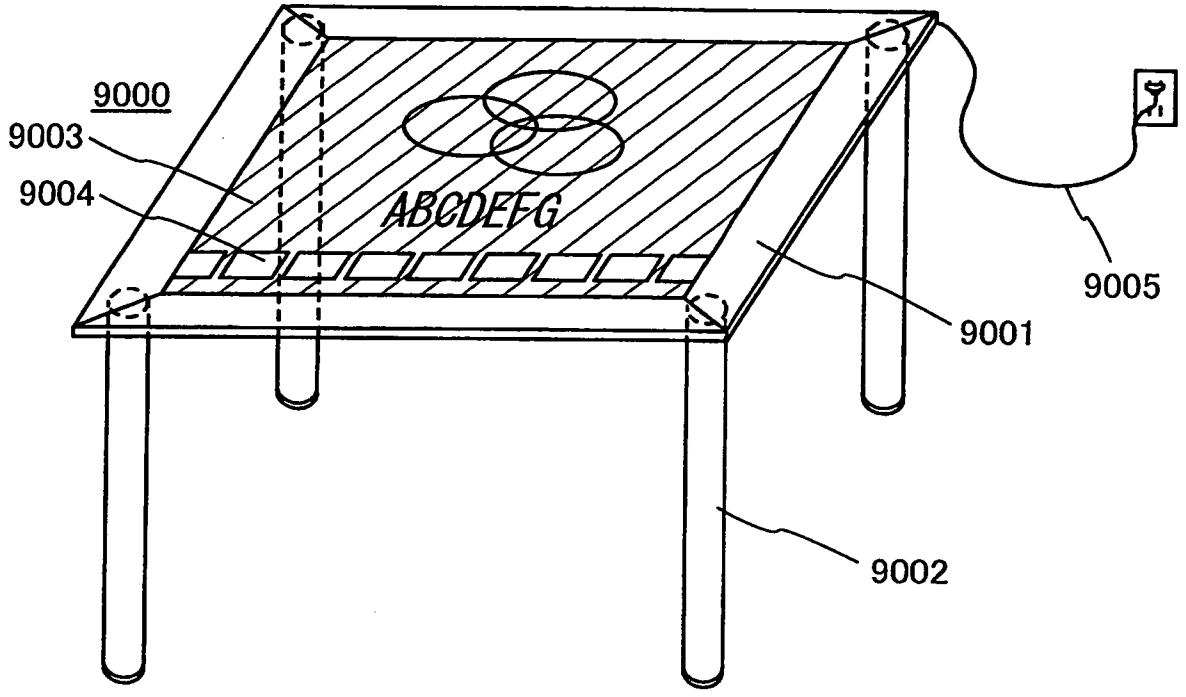


圖 18B

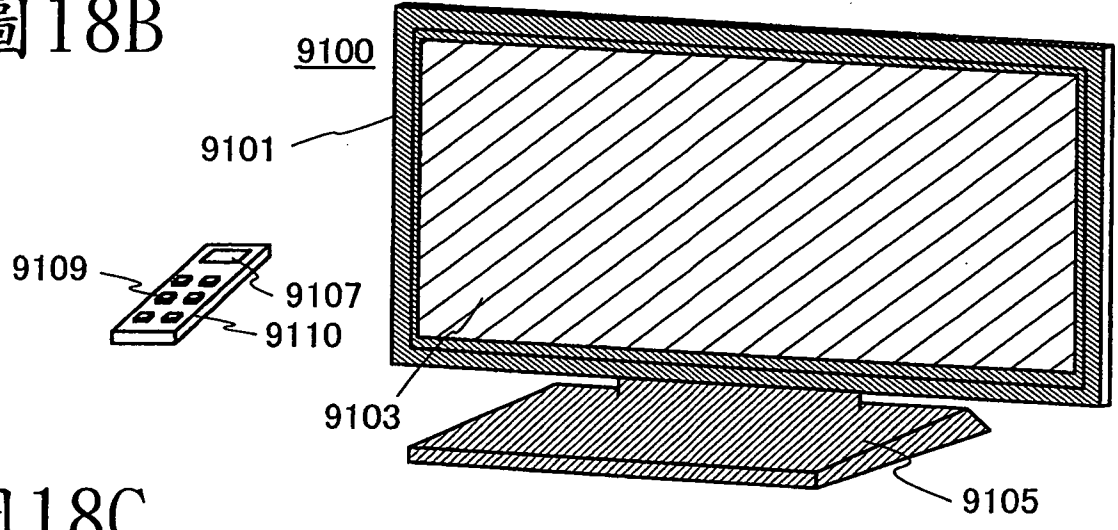


圖 18C

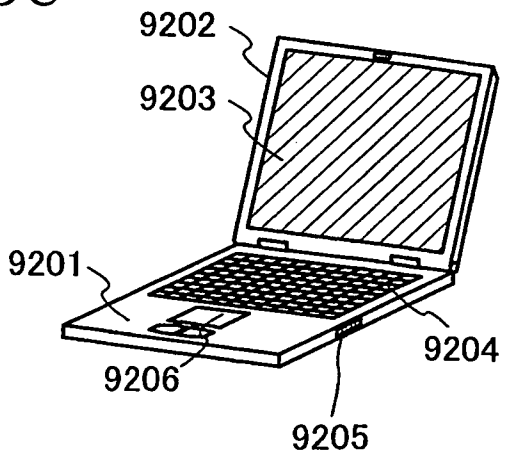


圖 19A

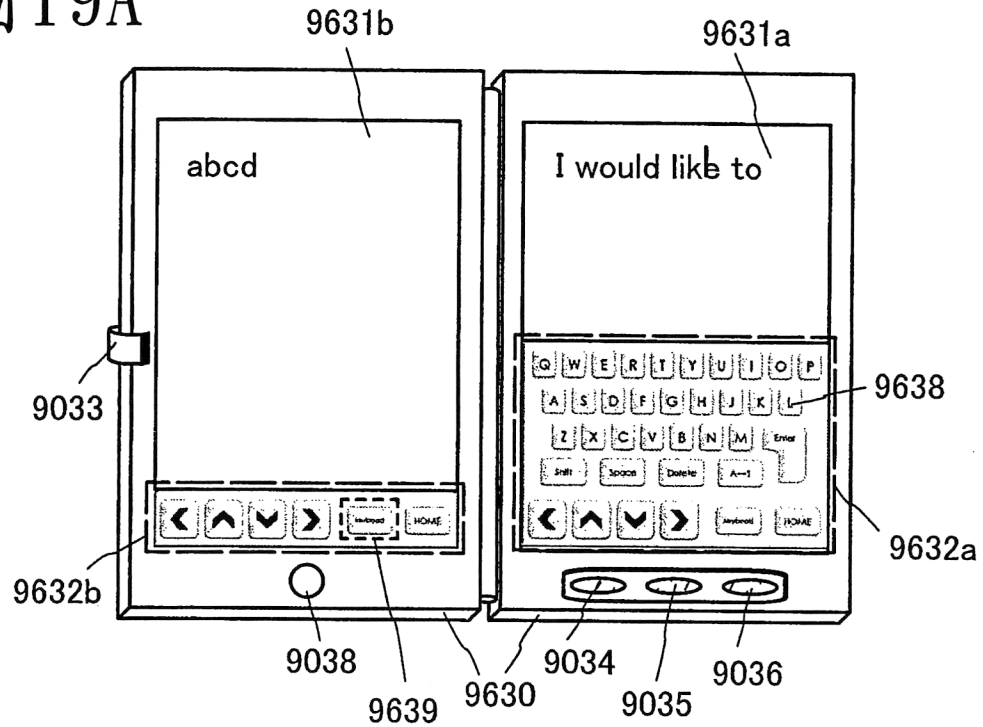


圖 19B

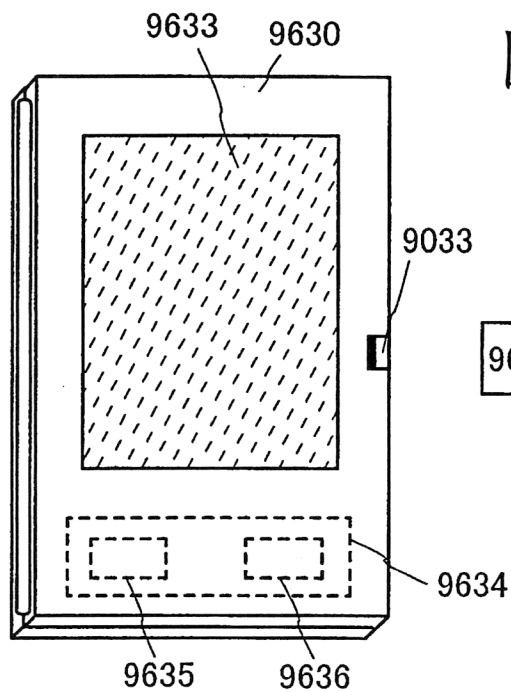


圖 19C

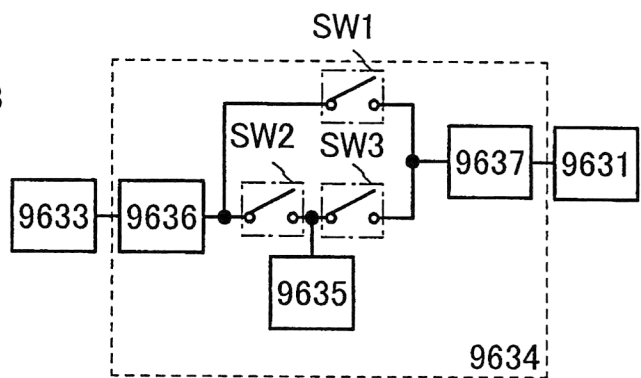


圖 20A

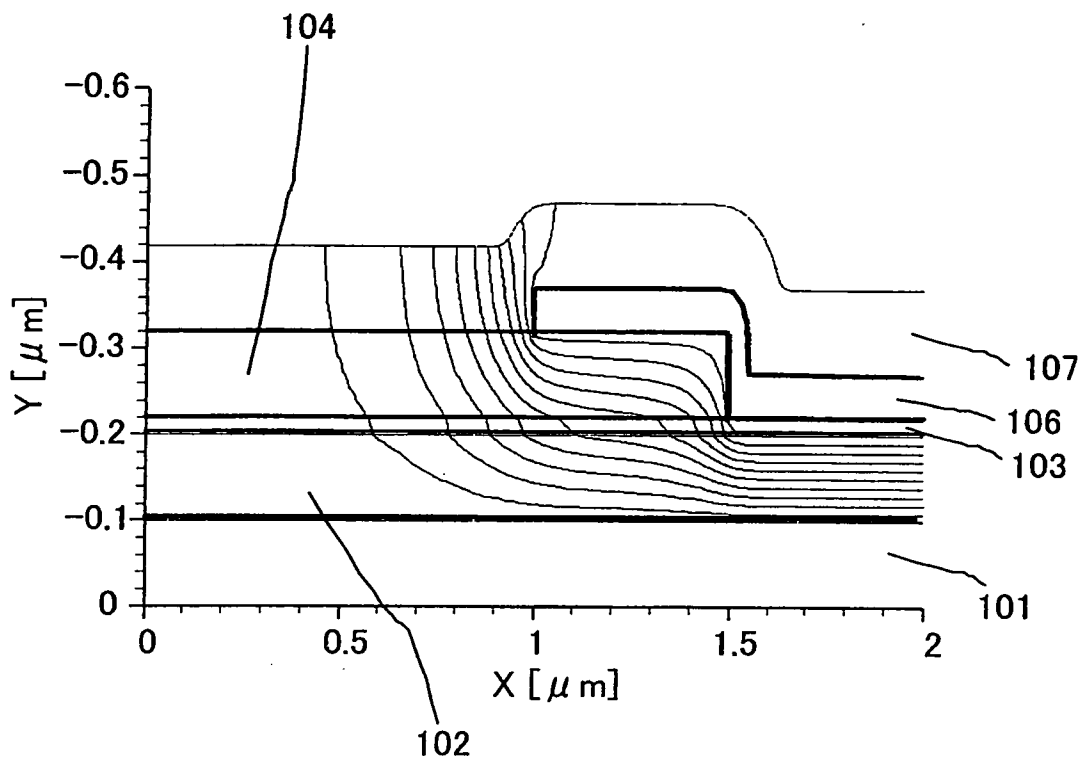


圖 20B

