

(21)申請案號：100145394

(22)申請日：中華民國 100 (2011) 年 12 月 08 日

(51)Int. Cl. : **H01L27/118 (2006.01)**

(30)優先權：2010/12/14 日本

2010-277993

(71)申請人：瑞薩電子股份有限公司(日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：岩松俊明 IWAMATSU, TOSHIAKI (JP)

(74)代理人：陳長文

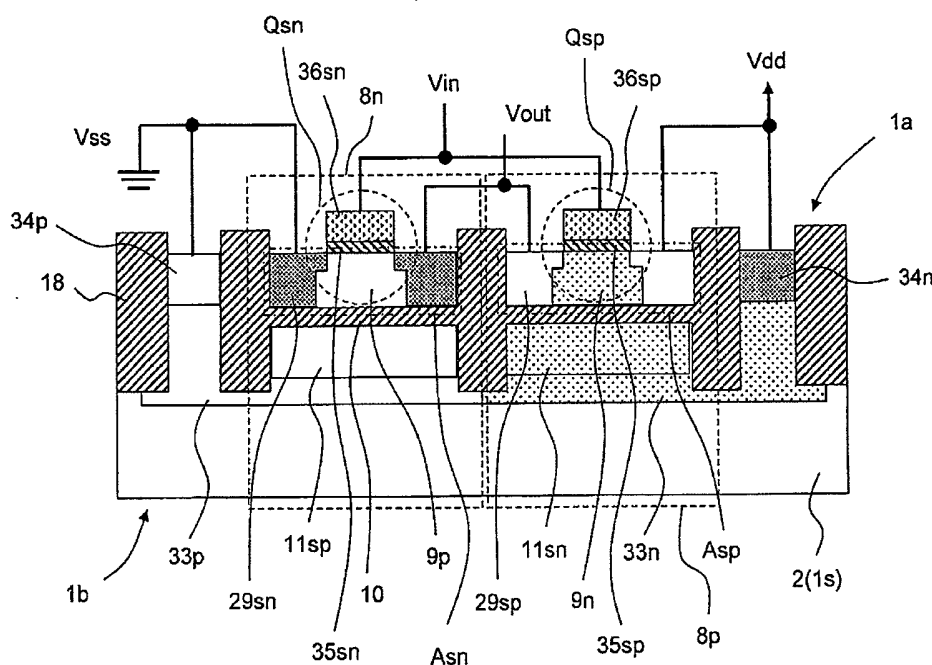
申請實體審查：無 申請專利範圍項數：20 項 圖式數：43 共 113 頁

(54)名稱

半導體積體電路

(57)摘要

本發明公開了一種半導體積體電路裝置。在混載有 I/O 用體部和核心邏輯用 SOI 部之體與 SOI 混合型 CMIS 元件中，為了實現臨限值電壓控制之最佳化，必須使用多個閘極堆疊，因而存在工藝及結構變複雜之問題。本發明係在具有 High-k 閘極絕緣膜及金屬閘極電極之 SOI 型半導體 CMISFET 積體電路裝置中，藉由向任一背閘極半導體區域導入雜質，從而調整對應部分之 MISFET 之臨限值電壓。



1a: 晶片之元件面(第1主面)

1b: 晶片之背面(第 2 主面)

1s: P 型單晶矽基板

2: 半導體晶片或晶片
區域

8n : SOI 區域之 N 通道 MISFET 區域

8p : SOI 區域之 P 通道 MISFET 區域

9n : N 型 SOI 層

9p : P 型 SOI 層

10: BOX 氧化膜
(BOX 絕緣膜)

11sn : P 型 MISFET
背閘極雜質摻雜半導體區域

11sp : N 型 MISFET
背閘極雜質摻雜半導體區域

18 : 元件隔離區域

29sn : N 型 SOI 部源
極汲極區域(包括高濃
度區域及延伸區域)

29sp : P 型 SOI 部源
極汲極區域(包括高濃
度區域及延伸區域)

33n : P 通道元件區域
之 N 型或 P 型深阱區
域

33p : P 型深阱區域

34n : N 型接觸區域

34p : P 型接觸區域

35sn : SOI 部之 N 型
MISFET 之閘極絕緣
膜

35sp : SOI 部之 P 型
MISFET 之閘極絕緣
膜

36sn : SOI 部之 N 型
MISFET 之閘極電極

36sp : SOI 部之 P 型
MISFET 之閘極電極

Asn : SOI-N 型
MISFET 之活性區域

Asp : SOI-P 型
MISFET 之活性區域

Qsn : SOI-N 型
MISFET

Qsp : SOI-P 型
MISFET

Vdd : SOI 區域之電源
電位

Vin : 輸入部或輸入端
子

Vout : 輸出部或輸出
端子

V_{ss}：基準電位

(21)申請案號：100145394

(22)申請日：中華民國 100 (2011) 年 12 月 08 日

(51)Int. Cl. : **H01L27/118 (2006.01)**

(30)優先權：2010/12/14 日本

2010-277993

(71)申請人：瑞薩電子股份有限公司(日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：岩松俊明 IWAMATSU, TOSHIAKI (JP)

(74)代理人：陳長文

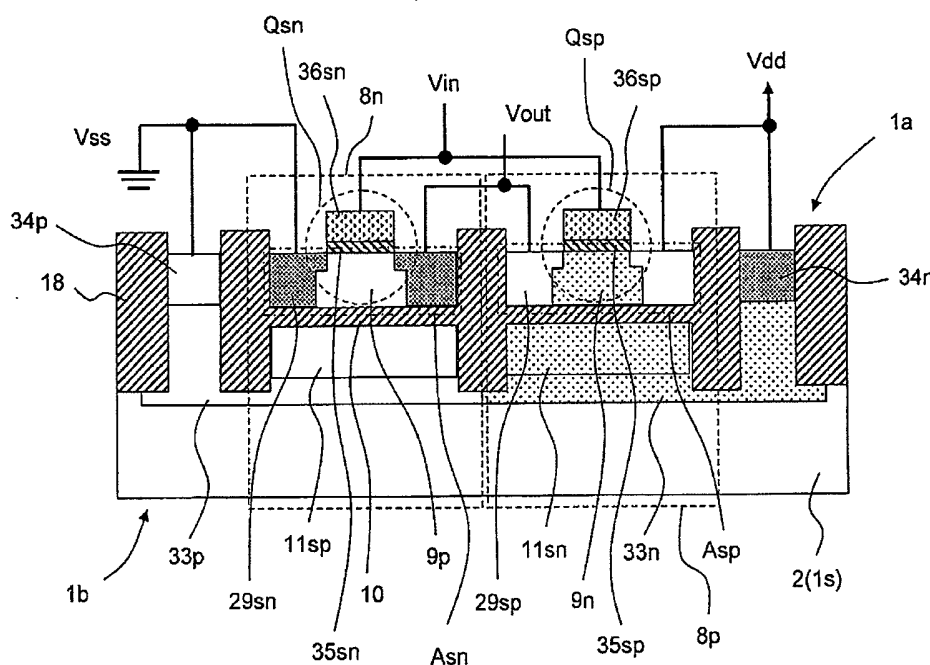
申請實體審查：無 申請專利範圍項數：20 項 圖式數：43 共 113 頁

(54)名稱

半導體積體電路

(57)摘要

本發明公開了一種半導體積體電路裝置。在混載有 I/O 用體部和核心邏輯用 SOI 部之體與 SOI 混合型 CMIS 元件中，為了實現臨限值電壓控制之最佳化，必須使用多個閘極堆疊，因而存在工藝及結構變複雜之問題。本發明係在具有 High-k 閘極絕緣膜及金屬閘極電極之 SOI 型半導體 CMISFET 積體電路裝置中，藉由向任一背閘極半導體區域導入雜質，從而調整對應部分之 MISFET 之臨限值電壓。



1a: 晶片之元件面(第1主面)

1b: 晶片之背面(第2主面)

1s: P 型單晶矽基板

2: 半導體晶片或晶片
區域

8n : SOI 區域之 N 通道 MISFET 區域

8p : SOI 區域之 P 通道 MISFET 區域

9n : N 型 SOI 層

9p : P 型 SOI 層

10: BOX 氧化膜
(BOX 絕緣膜)

11sn : P 型 MISFET
背閘極雜質摻雜半導體區域

六、發明說明：

【發明所屬之技術領域】

本發明涉及一種適用於半導體積體電路裝置(或半導體裝置)之臨限值電壓調整技術之有效技術。

【先前技術】

在日本特開2009-135140號公報(專利文獻1)或與其對應之美國專利公開2009-134468號公報(專利文獻2)中公開了一種技術，其在具有SOI(Silicon On Insulator：絕緣體上矽)區域及體區域(bulk area)之混合結構之CMOS(Complementary Metal Oxide Semiconductor：互補型金屬氧化物半導體)或CMIS(Complementary Metal Insulator Semiconductor：互補型金屬絕緣體半導體)半導體積體電路中，將閘極電極材料作為具有與中間能階(Midgap)相對應之功函數之一種，在SOI部之MISFET(Metal Insulator Semiconductor Field Effect Transistor：金屬絕緣體半導體場效應電晶體)之背閘極(back gate)區域設置用於調整臨限值電壓之雜質區域。

[先前技術文獻]

[專利文獻]

專利文獻1 日本特開2009-135140號公報

專利文獻2 美國專利公開2009-134468號公報

【發明內容】

[發明欲解決之問題]

在混載有I/O用體部和核心邏輯用SOI部之體(bulk)與SOI

混合型CMIS元件中，為了實現臨限值電壓控制之最佳化，必須使用多種閘極堆疊(gate stack)，因而存在工藝及結構變得複雜之問題。

而且，在只具有SOI部之單一型CMIS元件中，也存在N通道MISFET和P通道MISFET之閘極堆疊結構變複雜之問題。

本發明即是為了解決這些問題而進行的。

本發明之目的在於提供一種可靠性高之半導體積體電路裝置之製造工藝。

本發明之前述內容及前述內容以外之目的和新特徵在本說明書之描述及附圖說明中寫明。

[解決問題之技術手段]

下面簡要說明關於本發明所公開之發明中具有代表性之實施方式之概要。

即，本專利申請書之一個發明係在具有High-k閘極絕緣膜及金屬閘極電極之SOI型半導體CMISFET積體電路裝置中，藉由向任一背閘極半導體區域導入雜質，從而調整對應部分之MISFET之臨限值電壓。

[發明之效果]

下面簡要說明關於本專利申請書所公開之發明中根據具有代表性之實施方式所獲得之效果。

即，在具有High-k閘極絕緣膜及金屬閘極電極之SOI型半導體CMISFET積體電路裝置中，藉由向任一背閘極半導體區域導入雜質，能夠調整對應部分之MISFET之臨限值

電壓，因此能夠實現閘極堆疊結構之簡化。

【實施方式】

[實施方式之概要]

下面簡要說明關於本專利申請書所公開之發明中具有代表性之實施方式之概要。

1.一種半導體積體電路裝置，包括：(a)具有第1主面及第2主面之半導體晶片；(b)設置在前述半導體晶片之前述第1主面上之SOI區域；(c)設置在前述SOI區域內之第一N通道MISFET區域及第一P通道MISFET區域；(d)為前述半導體晶片之前述第1主面側、設置在前述第一N通道MISFET區域內且具有High-k絕緣膜之第1閘極絕緣膜及具有金屬層之第1閘極電極膜；(e)為前述半導體晶片之前述第1主面側、設置在前述第一P通道MISFET區域內且具有High-k絕緣膜之第2閘極絕緣膜及具有金屬層之第2閘極電極膜；(f)在前述半導體晶片之內部、設置在前述第一N通道MISFET區域內之N型MISFET背閘極雜質摻雜半導體區域；以及(g)，即在前述半導體晶片之內部、設置在前述第一P通道MISFET區域內之P型MISFET背閘極雜質摻雜半導體區域，其中，前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET背閘極雜質摻雜半導體區域處於基準電位及電源電位以外之電位。

2.如上述第1項中之半導體積體電路裝置，前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET背閘極雜質摻雜半導體區域處於基準電位與電源電位之間之

電位。

3.如上述第1項或第2項中之半導體積體電路裝置，還包括：(h)設置在前述半導體晶片之前述第1主面上之體區域；(i)設置在前述體區域內之第二N通道MISFET區域及第二P通道MISFET區域；(j)為前述半導體晶片之前述第1主面側、設置在前述第二N通道MISFET區域內之第3閘極絕緣膜及具有金屬層之第3閘極電極膜；以及(k)，即為前述半導體晶片之前述第1主面側、設置在前述第二P通道MISFET區域內之第4閘極絕緣膜及具有金屬層之第4閘極電極膜。

4.如上述第3項中之半導體積體電路裝置，前述第1閘極絕緣膜、前述第2閘極絕緣膜及前述第3閘極絕緣膜具有摻雜釧之High-k絕緣膜，前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。

5.如上述第3項中之半導體積體電路裝置，前述第1閘極絕緣膜及前述第3閘極絕緣膜具有摻雜釧之High-k絕緣膜，前述第2閘極絕緣膜及前述第4閘極絕緣膜具有非摻雜之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。

6.如上述第3項中之半導體積體電路裝置，前述第1閘極絕緣膜及前述第2閘極絕緣膜具有摻雜釧之High-k絕緣

膜，前述第3閘極絕緣膜及前述第4閘極絕緣膜不具有High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。

7.如上述第3項中之半導體積體電路裝置，前述第1閘極絕緣膜及前述第3閘極絕緣膜具有摻雜釧之High-k絕緣膜，前述第2閘極絕緣膜及前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。

8.如上述第7項中之半導體積體電路裝置，前述第1閘極絕緣膜及前述第2閘極絕緣膜具有非摻雜之High-k絕緣膜，前述第3閘極絕緣膜具有摻雜釧之High-k絕緣膜，前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。

9.一種半導體積體電路裝置，包括：(a)具有第1主面及第2主面之半導體晶片；(b)設置在前述半導體晶片之前述第1主面上之SOI區域；(c)設置在前述SOI區域內且具有第一N通道MISFET之第一N通道MISFET區域及具有第一P通道MISFET之第一P通道MISFET區域；(d)為前述半導體晶片之前述第1主面側、設置在前述第一N通道MISFET區域內且具有High-k絕緣膜之第1閘極絕緣膜及具有金屬層之第1閘極電極膜；(e)為前述半導體晶片之前述第1主面側、

設置在前述第一P通道MISFET區域內且具有High-k絕緣膜之第2閘極絕緣膜及具有金屬層之第2閘極電極膜；(f)在前述半導體晶片之內部、設置在前述第一N通道MISFET區域內之N型MISFET背閘極雜質摻雜半導體區域；以及(g)，即在前述半導體晶片之內部、設置在前述第一P通道MISFET區域內之P型MISFET背閘極雜質摻雜半導體區域，其中，前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET背閘極雜質摻雜半導體區域係針對前述第一N通道MISFET或前述第一P通道MISFET之臨限值電壓調整區域。

10.如上述第9項中之半導體積體電路裝置，其特徵在於，還包括：(h)設置在前述半導體晶片之前述第1主面上之體區域；(i)設置在前述體區域內之第二N通道MISFET區域及第二P通道MISFET區域；(j)為前述半導體晶片之前述第1主面側、設置在前述第二N通道MISFET區域內之第3閘極絕緣膜及具有金屬層之第3閘極電極膜；以及(k)，即為前述半導體晶片之前述第1主面側、設置在前述第二P通道MISFET區域內之第4閘極絕緣膜及具有金屬層之第4閘極電極膜。

11.如上述第10項中之半導體積體電路裝置，前述第1閘極絕緣膜、前述第2閘極絕緣膜及前述第3閘極絕緣膜具有摻雜鎢之High-k絕緣膜，前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層

疊結構。

12.如上述第10項中之半導體積體電路裝置，前述第1閘極絕緣膜及前述第3閘極絕緣膜具有摻雜鎢之High-k絕緣膜，前述第2閘極絕緣膜及前述第4閘極絕緣膜具有非摻雜之High-k絕緣膜，前述第1閘極電極膜，前述第2閘極電極膜，前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。

13.如上述第10項中之半導體積體電路裝置，前述第1閘極絕緣膜及前述第2閘極絕緣膜具有摻雜鎢之High-k絕緣膜，前述第3閘極絕緣膜及前述第4閘極絕緣膜不具有High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。

14.如上述第10項中之半導體積體電路裝置，前述第1閘極絕緣膜及前述第3閘極絕緣膜具有摻雜鎢之High-k絕緣膜，前述第2閘極絕緣膜及前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。

15.如上述第10項中之半導體積體電路裝置，前述第1閘極絕緣膜及前述第2閘極絕緣膜具有非摻雜之High-k絕緣膜，前述第3閘極絕緣膜具有摻雜鎢之High-k絕緣膜，前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前

述第4閘極電極膜具有同一層疊結構。

16.如上述第9項至第15項中任一項半導體積體電路裝置，前述臨限值電壓之調整係藉由改變前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET背閘極雜質摻雜半導體區域之雜質濃度或雜質之導電型來執行。

17.如上述第9項至第16項中任一項半導體積體電路裝置，前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET背閘極雜質摻雜半導體區域處於基準電位及電源電位以外之電位。

18.如上述第9項至第17項中任一項半導體積體電路裝置，前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET背閘極雜質摻雜半導體區域處於基準電位與電源電位之間之電位。

19.如上述第1項至第18項中任一項半導體積體電路裝置，前述半導體積體電路裝置係基於先閘極(Gate first)方式之裝置。

20.如上述第1項至第18項中任一項半導體積體電路裝置，前述半導體積體電路裝置係基於後閘極(Gate last)方式之裝置。

[本專利申請書中記載形式、基本術語、用法之說明]

1.在以下實施方式中，為了方便，在必要時將幾個部分或將實施方式分割來說明，除了需要特別說明之外，這些並非彼此獨立且無關係的，而係與其他一部分或者全部之變形例、詳細內容及補充說明等相互關聯的。另外，以下

實施方式中，原則上省略掉重複部分之說明。而且，對於提及之各構成要素數，除了特別說明及原理上已經明確限定了特定數量等除外，前述構成要素也並非必須之要素。

而且，在本專利申請書中，提到「半導體裝置」或「半導體積體電路裝置」時，主要指各種電晶體(活性元件)單體以及以它們為中心並在半導體晶片等(例如單晶矽基板)上層疊有電阻、電容器等之裝置。其中，作為具有代表性之各種電晶體，例如有以MOSFET(Metal Oxide Semiconductor Field Effect Transistor：金屬氧化物半導體場效應電晶體)為代表之MISFET(Metal Insulator Semiconductor Field Effect Transistor：金屬絕緣體半導體場效應電晶體)。此時，作為具有代表性之積體電路結構，例如有：以將N通道型MISFET和P通道型MISFET組合而成之CMOS(Complementary Metal Oxide Semiconductor：互補型金屬氧化物半導體)型積體電路為代表之CMIS(Complementary Metal Insulator Semiconductor：互補型金屬絕緣體半導體)型積體電路。

當今，半導體積體電路裝置即LSI(Large Scale Integration：大型積體電路)之晶片製程通常大致可分為：從搬入作為原材料之矽晶片到預金屬(Premetal)製程為止(由M1佈線層下端與閘極電極結構之間之層間絕緣膜等形成、接觸孔之形成、鎢插塞製程、埋入製程等構成之製程)之FEOL(Front End Of Line：前段工藝)製程；以及從形成M1佈線層開始到在鋁類焊盤電極上之最終鈍化膜上形成焊盤開口

為止(在晶片級封裝工藝中，也包括該工藝)之BEOL(Back End Of Line：後段工藝)製程。

2.在實施形態等敘述上，對於材料及構成等方面，除了寫明瞭僅限於前述材料外，「由A構成之X」等表述還指主要構成要素除了A以外還有其他要素。如關於成分之敘述時為「以A為主要成分之X」之意。例如，提到「矽材料」時，並非僅限定於純矽材料，而係還可包括如SiGe(鍺矽合金)以及其他以矽為主要成分之多元合金及其它添加物等材料。同樣地，「氧化矽膜」、「氧化矽類絕緣膜」等也並非僅限於相對較純之非摻雜氧化矽(Undoped Silicon Dioxide)，還包括FSG(Fluorosilicate Glass：氟矽玻璃)、TEOS底層氧化矽(TEOS-based silicon oxide)、SiOC(Silicon Oxycarbide：碳氧化矽)或碳摻雜氧化矽(Carbon-doped Silicon oxide)或OSG(Organosilicate glass：有機矽酸鹽玻璃)、PSG(Phosphorus Silicate Glass：磷矽酸鹽玻璃)、BPSG(Borophosphosilicate Glass：硼磷矽酸鹽玻璃)等熱氧化膜、CVD氧化膜、SOG(Spin ON Glass：旋塗玻璃)、納米團簇二氧化矽(Nano-Clustering Silica：MCS)等塗敷類氧化矽、使用了上述材料並向其中導入了空穴之二氧化矽類Low-k絕緣膜(多孔類絕緣膜)、以及與以上述材料作為主要構成要素之其他矽類絕緣膜之複合膜等。

而且，作為與氧化矽類絕緣膜並列地在半導體領域中常用之矽類絕緣膜，有氮化矽類絕緣膜。作為屬於此類系統

之材料，有 SiN、SiCN、SiNH、SiCNH 等。本發明中提到「氮化矽」時，除了特別寫明僅限於前述材料外，包括 SiN 及 SiNH 等。同樣地，發明中所提到之「SiCN」還包括 SiCN 及 SiCNH 等。

另外，雖然 SiC 具有與 SiN 類似性質，但是 SiON 多歸類於氧化矽類絕緣膜。

氮化矽膜除了多被用作 SAC(Self-Aligned Contact：自對準接觸)技術中蝕刻阻止膜以外，也被用作 SMT(Stress Memorization Technique：應變記憶技術)中之應力賦予膜。

同樣地，提到「鎳矽化物」時，通常指鎳單矽化物，但不僅包括相對較純之鎳單矽化物，也包括以鎳單矽化物為主要構成要素之合金、混晶等。而且，矽化物並不限於鎳矽化物，也可為一直以來在實際中使用之鈷矽化物、鈦矽化物、鎢矽化物等。而且，作為用於矽化物化之金屬膜，除了 Ni(鎳)膜以外，例如也可以使用 Ni-Pt 合金膜(Ni 和 Pt 之合金膜)、Ni-V 合金膜(Ni 和 V 之合金膜)、Ni-Pd 合金膜(Ni 和 Pd 之合金膜)、Ni-Yb 合金膜(Ni 和 Yb 之合金膜)或 Ni-Er 合金膜(Ni 和 Er 之合金膜)之類之鎳合金膜等。另外，將這些以鎳為主要金屬元素之矽化物總稱為「鎳類矽化物」。

3. 同樣地，關於圖形、位置、屬性等，僅示出了較佳示例，但並不僅限於此，除了特別說明及根據文脈明確確定了並非如此之情況外，還包括與前述圖形、位置及屬性等相近之示例。

4.另外，在以下實施方式中提及要素數等(包括個數、數值、量、範圍等)時，除了特別說明及原理上經明確限定了特定之數量等除外，前述特定數並非指固定之數量，而係可大於等於前述特定數或可小於等於前述特定數。

5.在提到「晶片」時，通常指其上形成有半導體積體電路裝置(半導體裝置、電子裝置也同樣)之單晶矽晶片，但當然也包括外延片(epitaxial wafer)、SOI基板、LCD玻璃基板等絕緣基板和半導體層等之複合晶片等。

6.在本專利申請書中，在關於電位之敘述中，提及「A與B之間之電位V」時，V不包括兩端之電位。相反地，提及「A至B之電位V」時，V包括兩端之電位。另外，在以下示例中，主要以電位V為固定電位為例進行具體說明，但也可以根據需要為變動電位。在變動電位之情況下，只需暫時將之稱為「A與B之間之電位V」即可。

7.在發明之CMIS型積體電路之製造方式之分類中，「後開極方式」係指在源極汲極之高溫熱處理後除去多晶矽虛擬開極電極之方式，除此以外之方式稱為「先開極方式」。

[實施方式之具體內容]

下面對實施方式進行具體說明。為了說明實施方式之所有圖中，原則上對具有同一功能之構件採用同一符號，省略掉重複說明。以下根據附圖詳細說明本發明之實施方式。

在實施方式所用之圖中，為了使圖面簡單易懂，有時會

省略掉剖面圖之剖面線或者給平面圖加上剖面線

1.關於本發明各實施方式中半導體積體電路裝置共用之元件晶片等佈局之一例之說明(主要為圖1)

另外，下面，作為本發明之對象元件之一例，以SOC晶片為例進行具體說明，但當然也可為記憶體專用晶片。另外，在以下示例中，主要以45 nm技術節點之下一代產品為例進行具體說明，當然也能夠適用於其他代產品。

而且，下面對具有體區域7和SOI區域8這兩者之晶片進行具體說明，但當然也為只具有SOI區域8之晶片。

圖1係本發明各實施方式中半導體積體電路裝置共用之元件晶片等佈局之一例之晶片及其晶片區域之俯視圖。藉由此圖對本發明各實施方式中半導體積體電路裝置共用之元件晶片等佈局之一例進行說明。

如圖1所示，在晶片製程過程中之晶片1(本實施方式中以300 ϕ 單晶矽晶片為例進行說明，但實際上直徑既可為450 ϕ 也可為200 ϕ)之元件主面1a(第1主面)上，形成有多個晶片區域2。而且，在晶片1上，設有用於判別其設置方向之凹槽3。

接下來，對各晶片2(晶片區域)之佈局進行詳細說明。在晶片區域2之週邊部設有多個焊盤4，在內部區域設有體區域7(體週邊電路區域)及SOI區域8。SOI區域8包括SOI存儲區域5及SOI邏輯區域6。本實施方式中將SOI存儲區域5假定為SRAM(Static Random Access Memory：靜態隨機存取記憶體)，但並不限於此，也可為DRAM(Dynamic

Random Access Memory：動態隨機存取記憶體)，另外，還可為快閃記憶體。

2.本發明各實施方式中半導體積體電路裝置共用之CMIS晶片結構1(基板與背閘極阱共用電位結構)之說明(主要為圖2及3)

在此部分，對在1.中說明之半導體晶片之體區域7及SOI區域8中之電源結構等電位結構(包括所謂擴散結構)之一例進行說明。另外，以下，由於圖面大小之限制，將體區域7及SOI區域8(圖1)繪製在不同圖中，但實際上是形成在同一半導體晶片上。另外，將此類複合結構之晶片稱為混合型SOI晶片或混合型SOI元件，而本發明主要對混合型SOI晶片進行說明，當然，也可以係只具有SOI區域8之元件。

而且，在以下圖2至圖5及圖29中，作為CMIS電路之示例，以逆變器為例進行具體說明，但當然並不限定於此。

圖2係本發明各實施方式中半導體積體電路裝置共用之SOI區域之CMIS晶片結構1(基板與背閘極阱共用電位結構)中SOI區域之剖面結構一例之剖面結構示意圖。圖3係本發明各實施方式中半導體積體電路裝置共用之CMIS晶片結構1(基板與背閘極阱共用電位結構)中體區域之剖面結構一例之剖面結構示意圖。藉由上述圖對本發明各實施方式中半導體積體電路裝置共用之CMIS晶片結構1(基板與背閘極阱共用電位結構)進行說明。

首先，對SOI區域8進行說明。如圖2所示，各實施方式之元件晶片2例如形成在P型單晶矽基板1s上，晶片2之背

面1b側成為基板部1s。SOI區域8之元件主面1a(第1主面)藉由STI(Shallow Trench Isolation: 淺槽隔離結構)等元件隔離區域18劃分成N通道MISFET區域8n(即第一N通道MISFET區域)、P通道MISFET區域8p(即第一P通道MISFET區域)等,在N通道MISFET區域8n之元件主面1a表面區域設有SOI-N型MISFET(Qsn)活性區域Asn,在P通道MISFET區域8p之元件主面1a表面區域設有SOI-P型MISFET(Qsp)之活性區域Asp。在活性區域Asn內之P型SOI層9p上設有N型SOI部源極汲極區域29sn(包括高濃度區域及延伸區域),在活性區域Asp之N型SOI層9n上設有P型SOI部源極汲極區域29sp(包括高濃度區域及延伸區域)。在活性區域Asn之元件主面1a上,經由閘極絕緣膜35sn(即第1閘極絕緣膜)設有閘極電極36sn(即第1閘極電極膜),在活性區域Asp之元件主面1a上,經由閘極絕緣膜35sp(即第2閘極絕緣膜)設有閘極電極36sp(即第2閘極電極膜)。在活性區域Asn(P型SOI層9p)之下方,經由BOX氧化膜10(BOX絕緣膜)即背閘極絕緣膜設有N型MISFET背閘極雜質摻雜半導體區域11sp(背閘極或背閘極阱即臨限值電壓調整區域),在活性區域Asp(N型SOI層9n)之下方,經由BOX氧化膜10(BOX絕緣膜)即背閘極絕緣膜設有P型MISFET背閘極雜質摻雜半導體區域11sn(背閘極或背閘極阱即臨限值電壓調整區域)。N型MISFET背閘極雜質摻雜半導體區域11sp經由P型深阱區域33p及P型接觸區域34p連接於基準電位Vss,P型MISFET背閘極雜質摻雜半導體區域11sn經由N型或P型深阱區域33n

及N型接觸區域34n連接於SOI區域8之電源電位Vdd(例如，3伏特級別電源)。SOI-N型MISFET(Qsn)及SOI-P型MISFET(Qsp)之各汲極連接於輸出部或輸出端子Vout，SOI-N型MISFET(Qsn)及SOI-P型MISFET(Qsp)之各閘極電極36sn、36sp連接於輸入部或輸入端子Vin。另一方面，SOI-N型MISFET(Qsn)之源極連接於基準電位Vss，SOI-P型MISFET(Qsp)之源極連接於SOI區域8之電源電位Vdd。

接下來，對體區域7進行說明。如圖3所示，體區域7之元件面1a與SOI區域8同樣地，藉由元件隔離區域18劃分為N通道MISFET區域7n(即第二N通道MISFET區域)、P通道MISFET區域7p(即第二P通道MISFET區域)等，在N通道MISFET區域7n之元件主面1a內設有P型阱11bp，在P通道MISFET區域7p之元件主面1a內設有N型阱11bn。在P型阱11bp之元件面1a之表面區域(即，活性區域Abn)上設有體N型MISFET(Qbn)之N型源極汲極區域29bn(包括高濃度區域及延伸區域)，在N型阱11bn之元件面1a之表面區域(即，活性區域Abp)上設有體P型MISFET(Qbp)之P型源極汲極區域29bp(包括高濃度區域及延伸區域)。其中體N型MISFET(Qbn)之源極與P型接觸區域34p一同連接於基準電位Vss，汲極連接於輸出部或輸出端子Vout。而且，體P型MISFET(Qbp)之源極與N型接觸區域34n一同連接於體區域7之電源電位Vcc(例如，1伏特級別電源)，汲極連接於輸出部或輸出端子Vout。在活性區域Abn之表面上，經由閘極絕緣膜37bn(即第3閘極絕緣膜)設有閘極電極38bn(即第3閘極電極

膜)，在活性區域Abp之表面上，經由閘極絕緣膜37bp(即第4閘極絕緣膜)設有閘極電極38bp(即第4閘極電極膜)。這些閘極電極38bn、38bp連接於輸入部或輸入端子Vin。

在前述電源供應結構中，通常，在體區域7及SOI區域8中，N通道側之阱電位等(體週邊電路區域之P型阱11bp或基板1s、N型MISFET背閘極雜質摻雜半導體區域11sp)為基準電位Vss。另一方面，P通道側之阱電位(體週邊電路區域之P型阱11bp、P型MISFET背閘極雜質摻雜半導體區域11sn)在體區域7中為電源電位Vcc，在SOI區域8中為電源電位Vdd。因而，此時各MISFET之臨限值電壓之控制藉由各閘極堆疊(體區域7和SOI區域8)、向通道區域之雜質導入(體區域7和SOI區域8)與向背閘極(P型MISFET背閘極雜質摻雜半導體區域11sn、N型MISFET背閘極雜質摻雜半導體區域11sp)之雜質導入量和導電型(SOI區域8)等來進行。

3.關於本發明各實施方式中半導體積體電路裝置共用之CMIS晶片結構2(基板與N通道側背閘極阱獨立電位結構)之說明(主要為圖4、圖5及圖29)

此部分所說明之示例係2.之變形例，圖4係圖2之變形例，圖5係圖3之變形例(也可為圖4與圖3之組合)。圖29係圖4之又一變形例(體部分既可為圖5也可為圖3)。另外，在以下示例中，基本結構與圖2及圖3所示之結構相同，因此只對不同部分進行說明。

圖4係本發明各實施方式中半導體積體電路裝置共用之

SOI區域之CMIS晶片結構2(P型MISFET背閘極雜質摻雜半導體區域為N型阱時之基板與兩通道側背閘極阱獨立電位結構)中之SOI區域之剖面結構一例之剖面結構示意圖。圖5係本發明各實施方式中半導體積體電路裝置共用之CMIS晶片結構2(基板與N通道側背閘極阱獨立電位結構)中之體區域之剖面結構一例之剖面結構示意圖。圖29係圖4之變形例，表示將SOI區域之P通道MISFET區域之背閘極阱設為P型時之SOI區域之剖面結構一例之剖面結構示意圖(P型MISFET背閘極雜質摻雜半導體區域為P型阱時之基板與兩通道側背閘極阱獨立電位結構)。藉由上述圖對本發明各實施方式中半導體積體電路裝置共用之CMIS晶片結構2(基板與N通道側背閘極阱獨立電位結構)等進行說明。

(1)圖4及圖5所示之示例(P通道背阱N型獨立電位)：

與圖2相比，在圖4中，SOI區域8之N通道MISFET區域8n之N型背阱11sp(背閘極)由被電源電位 V_{dd} 限制之三重N型阱區域39所包圍(而且，N型深阱區域33n與三重N型阱區域39分離)，能夠對背閘極11sp施加基準電位 V_{ss} 至電源電位 V_{dd} 之電位以作為N通道背閘極偏壓 V_{nb} 。另一方面，能夠獨立地對背閘極11sn施加從基準電位 V_{ss} 至電源電位 V_{dd} 之電位以作為P通道背閘極偏壓 V_{pb} 。

在前述電源供應結構中，與圖2及圖3之情況不同，在SOI區域8中，能夠將N通道側之阱電位等(N型MISFET背閘極雜質摻雜半導體區域11sp)設為從基準電位 V_{ss} 與電源電位 V_{dd} 之間之N通道背閘極偏壓 V_{nb} ，而且，能夠將P通

道側之阱電位等(P型 MISFET 背閘極雜質摻雜半導體區域 11sn)設為與 N 通道背閘極偏壓 V_{nb} 獨立之基準電位 V_{ss} 與電源電位 V_{dd} 之間之 P 通道背閘極偏壓 V_{pb} 。即，能夠對背閘極施加順向偏壓，從而可降低臨限值電壓之絕對值。此時，可藉由各閘極堆疊(體區域 7 和 SOI 區域 8)、向通道區域之雜質導入(體區域 7 和 SOI 區域 8)、背閘極(P 型 MISFET 背閘極雜質摻雜半導體區域 11sn、N 型 MISFET 背閘極雜質摻雜半導體區域 11sp)之雜質導入量和導電型(SOI 區域 8)、對背閘極之順向偏壓之施加(SOI 區域 8)等來對各 MISFET 之臨限值電壓進行控制。

(2)圖 29 之示例(P 通道背阱 P 型獨立電位)：

圖 29 與圖 4 類似，但 P 型 MISFET 背閘極雜質摻雜半導體區域 11sn 及 P 通道元件區域 8p 之深阱區域 33n 均為 P 型阱，均被三重 N 型阱區域 39 包圍，且相互分離。在此結構中，與(1)同樣，能夠對背閘極 11sp 施加基準電位 V_{ss} 至電源電位 V_{dd} 之電位以作為 N 通道背閘極偏壓 V_{nb} 。另一方面，能夠與此獨立地對背閘極 11sn 施加從基準電位 V_{ss} 至電源電位 V_{dd} 之電位以作為 P 通道背閘極偏壓 V_{pb} 。

在前述電源供應結構中，與圖 4 及圖 5 相同，在 SOI 區域 8 中，能夠將 N 通道側之阱電位等(N 型 MISFET 背閘極雜質摻雜半導體區域 11sp)設為基準電位 V_{ss} 與電源電位 V_{dd} 之間之 N 通道背閘極偏壓 V_{nb} ，而且，能夠將 P 通道側之阱電位等(P 型 MISFET 背閘極雜質摻雜半導體區域 11sn)設為與 N 通道背閘極偏壓 V_{nb} 獨立的、基準電位 V_{ss} 與電源電位 V_{dd}

之間之P通道背閘極偏壓 V_{pb} 。即，能夠對背閘極施加順向偏壓，從而降低臨限值電壓之絕對值。因而，此時各MISFET之臨限值電壓之控制藉由各閘極堆疊(體區域7和SOI區域8)、向通道區域之雜質導入(體區域7和SOI區域8)、背閘極(P型MISFET背閘極雜質摻雜半導體區域11sn、N型MISFET背閘極雜質摻雜半導體區域11sp)之雜質導入量和導電型(SOI區域8)、對背閘極之順向偏壓之施加(SOI區域8)等來進行。

4.關於本發明之實施方式1中半導體積體電路裝置之閘極堆疊結構1(SOI共用閘極)之說明(主要為圖6)

在圖6至圖28中，將半導體基板內之結構與圖2至圖5及圖29進行比較並簡化示出。這是因為，對於半導體基板內之結構，可能存在圖2至圖5及圖29所示之多種變化。

圖6係本發明之實施方式1中半導體積體電路裝置之閘極堆疊結構1(SOI共用閘極)之閘極堆疊及基板之剖面示意圖。藉由此圖對本發明之實施方式1中半導體積體電路裝置之閘極堆疊結構1(SOI共用閘極)進行說明。

如圖6所示，SOI區域8之N通道MISFET閘極堆疊17sn與P通道MISFET閘極堆疊17sp相同，從下方開始由SOI區域襯底閘極絕緣膜12ss、鍍摻雜氧化鉛類High-k閘極絕緣膜14hl(High-k閘極絕緣膜14)、閘極氮化鈦膜15、閘極多晶矽膜16等構成，體N通道MISFET閘極堆疊17bn與體區域襯底閘極絕緣膜12bs只有厚度等不同，而其他方面相同(層疊結構相同，即為同一層疊結構)。另一方面，體P通道

MISFET閘極堆疊17bp與體N通道MISFET閘極堆疊17bn大致相同，但High-k閘極絕緣膜14變為鋁摻雜氧化鈣類High-k閘極絕緣膜14ha。

本實施方式中，SOI區域8之P通道MISFET之臨限值電壓之絕對值因為摻雜鋁之影響而上升，但可以藉由調整(藉由增加P型雜質之摻雜量或減少N型雜質之摻雜量來降低臨限值電壓之絕對值)對背閘極(P型MISFET背閘極雜質摻雜半導體區域11sn)之雜質導入量、施加順向偏壓、調整對通道區域之雜質導入量、或者藉由這幾個方面之組合調整等而降低為適當值。

另外，作為目標之各閘極堆疊(閘極電極)之有效功函數(Effective Work Function)之範圍例如下：即，體N通道MISFET閘極堆疊17bn為4.2至4.6 eV左右，體P通道MISFET閘極堆疊17bp為4.7至5.0 eV左右，SOI區域之N通道MISFET閘極堆疊17sn為4.2至4.6 eV左右，SOI區域之P通道MISFET閘極堆疊17sp為4.7至5.0 eV左右。

前述閘極堆疊結構之組合具有以下優點：(1)由於SOI區域8中之閘極堆疊結構相同，因此除了能夠避免重複複雜之加工以外，同理，還能夠降低對閘極堆疊結構下層部之損傷(此優點對於只有SOI區域之晶片也有效)。(2)在體區域7及SOI區域8中，除了氧化矽類襯底閘極絕緣膜12bs、12ss之厚度以外，能夠在所有區域中以兩種閘極堆疊結構構成MISFET，因此能夠大幅簡化工藝。

另外，也可以將鋁類臨限值電壓調整膜(含鋁之功函數

調製膜)應用於SOI區域之N通道MISFET閘極堆疊17sn及SOI區域之P通道MISFET閘極堆疊17sp之High-k閘極絕緣膜，以取代此時之臨限值電壓調整膜之配置(使體區域7之P通道MISFET閘極堆疊17sp以外之所有閘極堆疊摻雜矽)。此時，將更易於控制P通道MISFET(Qsp)之臨限值電壓。

5.關於本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分之說明(主要為圖7至圖24)

在以下示例中，為了避免繁瑣之圖示，省略了圖2、圖4及圖29中之深阱或三重阱等之圖示及與此相關之說明。此處說明之SOI元件即所謂FD-SOI(Fully Depleted SOI：完全空乏型絕緣體上矽)元件。

圖7係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(SOI區域背閘極阱導入製程)。圖8係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(體區域N阱導入製程)。圖9係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(體區域P阱導入製程)。圖10係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(體區域SOI層及BOX氧化膜除去製程)。圖11係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(閘極襯底氧化製程)。圖12係用於說明本發明之實施方式1中半導

體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(矽膜形成製程)。圖13係用於說明本發明之實施方式1半導體體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(鋁膜形成製程)。圖14係用於說明本發明之實施方式1中半導體體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(上層氮化鈦膜等除去製程)。圖15係用於說明本發明之實施方式1中半導體體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(下層氮化鈦膜等除去製程)。圖16係用於說明本發明之實施方式1中半導體體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(殘存矽膜及鋁膜除去製程)。圖17係用於說明本發明之實施方式1中半導體體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(電極氮化鈦膜成膜製程)。圖18係用於說明本發明之實施方式1中半導體體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(電極多晶矽膜成膜製程)。圖19係用於說明本發明之實施方式1中半導體體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(閘極電極加工製程)。圖20係用於說明本發明之實施方式1中半導體體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(偏移隔離層形成製程)。圖21係用於說明本發明之實施方式1中半導體體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(側壁隔離層形成製程)。圖22係用於說明本發明之實施方式1中半導體體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(抬高SD形成製程)。圖23係用於說明本發明之實施方式1中半

導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(高濃度SD導入製程)。圖24係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(預金屬絕緣膜等形成製程)。藉由上述圖對本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分進行說明。

首先，(請參照圖7)準備在SOI層9及BOX氧化膜10之各厚度為10 nm左右(較佳範圍為幾nm至20 nm左右)之P型SOI晶片1，即，P型單晶矽晶片(P型基板部1s)之元件面1a側(背面1b之相反側之主面)之大致整個面上形成有SOI層9及BOX氧化膜10之部件。此時，晶片1之直徑例如為300 ϕ (根據需要也可為450 ϕ 或200 ϕ ，或者其他尺寸)。P型基板部1s及SOI層9之電阻率為1至10 Ωcm 左右較佳。而且，晶片1之面方位例如可設為(100)，但也可設為(100)以外之方位。

接下來，如圖7所示，在晶片1之元件面1a側形成STI(Shallow Trench Isolation：淺槽隔離結構)等元件隔離區域18。由此，劃分成體週邊電路區域7(體區域)之N通道MISFET區域7n及P通道MISFET區域7p與SOI區域8之N通道MISFET區域8n及P通道MISFET區域8p。

接著，從晶片1之元件面1a側開始，藉由離子注入依次導入SOI區域8之N型阱(或P型阱)11sn(背閘極N型阱)及P型阱11sp(背閘極P型阱)。離子注入之條件將視各種週邊條件而變動，例如，在P型阱之情況下，離子種類為硼，注入

能量為 10 keV 至 100 keV 左右之範圍，摻雜量為 $1 \times 10^{13}/\text{cm}^2$ 至 $4 \times 10^{13}/\text{cm}^2$ 左右之範圍，在 N 型阱之情況下，離子種類為磷，注入能量為 10 keV 至 100 keV 左右之範圍，摻雜量為 $1 \times 10^{13}/\text{cm}^2$ 至 $4 \times 10^{13}/\text{cm}^2$ 左右之範圍。

接下來，如圖 8 所示，從晶片 1 之元件面 1a 側開始，藉由離子注入導入體週邊電路區域 7 之 N 型阱 11bn。較佳之離子注入條件例如為：離子種類為磷，注入能量為 10 keV 至 100 keV 左右之範圍，摻雜量為 $1 \times 10^{13}/\text{cm}^2$ 至 $4 \times 10^{13}/\text{cm}^2$ 左右之範圍。

接下來，如圖 9 所示，從晶片 1 之元件面 1a 側開始，藉由離子注入導入體週邊電路區域 7 之 P 型阱 11bp。較佳之離子注入條件例如為：離子種類為硼，注入能量為 10 keV 至 100 keV 左右之範圍，摻雜量為 $1 \times 10^{13}/\text{cm}^2$ 至 $4 \times 10^{13}/\text{cm}^2$ 左右之範圍。另外，當需要對用於調整臨限值電壓之各通道區域之離子注入時，按此步驟進行為佳。當然，也可以按其他步驟進行。

接下來，如圖 10 所示，例如，藉由乾蝕刻(例如使用鹵素類蝕刻氣體)，除去體區域 7 之 SOI 層 9。

然後，例如，藉由濕蝕刻(例如使用氫氟酸類蝕刻液)，除去體區域 7 之 BOX 氧化膜 10。

接下來，如圖 11 所示，例如藉由熱氧化(例如，攝氏 900 度至 1000 度左右)，在體區域 7 之元件面 1a 上形成體區域襯底閘極絕緣膜 12bs(例如，以氧化矽膜算，如厚度為 10 至 20 nm 左右)，在 SOI 區域 8 之元件面 1a 上形成 SOI 區域襯底

閘極絕緣膜12ss(例如，以氧化矽膜算，如厚度為1至3 nm左右)。

接下來，如圖12所示，在晶片1之元件面1a之大致整個面上，例如形成氧化鈺膜等氧化鈺類絕緣膜14(如厚度為1至2 nm左右)，以作為High-k閘極絕緣膜。較佳之氧化鈺類絕緣膜14例如有氮氧化鈺矽膜(HfSiON膜)等。對於，例如可使用ALD(Atomic Layer Deposition：原子層沉積)法等形成High-k閘極絕緣膜。此外，還可將HfON膜、HfO膜等作為氧化鈺類絕緣膜14。此時，HfSiON膜、HfON膜、HfO膜等為非摻雜氧化鈺類High-k閘極絕緣膜。

接著，在氧化鈺類絕緣膜14之大致整個面上，例如形成厚度1 nm左右之鐳膜19(含鐳之功函數調製膜)(也可使用氧化鐳膜取代鐳膜19)，以作為臨限值電壓調整用蓋膜。然後，在鐳膜19之大致整個面上，例如形成氮化鈦膜21(如厚度為10至50 nm左右)，以作為金屬蓋膜。而且，在氮化鈦膜21之大致整個面上，例如形成氮化矽膜22(如厚度為100至300 nm左右)，以作為抗氧化膜。

接下來，如圖13所示，除去體週邊電路區域7之P通道MISFET區域7p之晶片1之元件面1a上之氮化矽膜22、氮化鈦膜21及鐳膜19。藉由濕蝕刻除去前述氮化矽膜22、氮化鈦膜21及鐳膜19，用於進行前述濕蝕刻除去處理之較佳藥液，例如有熱磷酸(氮化矽膜)、APM(Ammonia Hydroxide/Hydrogen Peroxide Mixture：氨水-過氧化氫溶液)類蝕刻液(氮化矽膜以外)、SPM(Sulfuric Acid Hydrogen Peroxide

Mixture：硫酸-過氧化氫溶液)類蝕刻液(氮化矽膜除外)或者HPM(Hydrochloric Acid Hydrogen Peroxide Mixture：鹽酸-過氧化氫溶液)類蝕刻液(氮化矽膜除外)。

接著，在晶片1之元件面1a之大致整個面上，例如形成厚度1 nm左右之鋁膜20(含鋁之功函數調製膜)以作為臨限值電壓調整用蓋膜(為使圖面簡單易懂而未示出P通道MISFET區域7p以外之鋁膜20)。另外，如也可使用氧化鋁膜來取代鋁膜20。接下來，在鋁膜20之大致整個面上，例如形成氮化鈦膜23(如厚度為10至50 nm左右)以作為金屬蓋膜，在氮化鈦膜23之大致整個面上，例如形成氮化矽膜24(如厚度為100至300 nm左右)以作為抗氧化膜。

接下來，如圖14所示，在SOI區域8之整個面及體區域7之N通道MISFET區域7n內，除去氮化鈦膜23及氮化矽膜24。藉由濕蝕刻除去前述氮化鈦膜23及氮化矽膜24，用於進行這些處理之較佳藥液，例如有熱磷酸(氮化矽膜)、APM(Ammonia Hydroxide/Hydrogen Peroxide Mixture：氨水-過氧化氫溶液)類蝕刻液(氮化矽膜以外)、SPM(Sulfuric Acid Hydrogen Peroxide Mixture：硫酸-過氧化氫溶液)類蝕刻液(氮化矽膜以外)或HPM(Hydrochloric Acid Hydrogen Peroxide Mixture：鹽酸-過氧化氫溶液)類蝕刻液(氮化矽膜以外)。

在此狀態下，在保護性氣體(如氮氣)環境中實施熱處理(實施溫度如為攝氏780度至850度)，以促進High-k絕緣膜與功函數調製膜之間之相互擴散。

接下來，如圖15所示，除去晶片1之元件面1a上之氮化鈦膜21、23及氮化矽膜22、24。可藉由濕蝕刻除去前述氮化鈦膜21、23及氮化矽膜22、24，用於進行前述濕蝕刻除去處理之較佳藥液，例如有熱磷酸(氮化矽膜)、APM(Ammonia Hydroxide/Hydrogen Peroxide Mixture：氨水-過氧化氫溶液)類蝕刻液(氮化矽膜以外)、SPM(Sulfuric Acid Hydrogen Peroxide Mixture：硫酸-過氧化氫溶液)類蝕刻液(氮化矽膜除外)或HPM(Hydrochloric Acid Hydrogen Peroxide Mixture：鹽酸-過氧化氫溶液)類蝕刻液(氮化矽膜除外)。

接下來，(請參照圖15)如圖16所示，除去殘存之鋁膜19及鋁膜20。此時，氧化鉛類絕緣膜14已成為鋁摻雜氧化鉛類High-k閘極絕緣膜14hl及鋁摻雜氧化鉛類High-k閘極絕緣膜14ha。

接下來，如圖17所示，在晶片1之元件面1a之大致整個面上形成氮化鈦膜15(例如，膜厚為5至20 nm左右)，以作為金屬閘極電極膜。

接下來，如圖18所示，在氮化鈦膜15之大致整個面上形成多晶矽膜16(也可為非晶矽膜)，以作為多晶矽閘極電極膜(如厚度為100至200 nm左右)。此時，可根據需要，例如藉由離子注入等，執行向多晶矽膜16之摻雜(例如，N通道側摻雜成高濃度N型，P通道側摻雜成高濃度P型)。

接下來，如圖19所示，例如藉由通常之光刻及各向異性乾蝕刻等，使閘極堆疊結構圖案化。用於進行前述各向異

性乾蝕刻之較佳氣體類，例如可為 SF_6/CF_4 (多晶矽)、 HBr/Cl_2 (氮化鈦)、 BCl_3/Cl_2 (High-k絕緣膜)類等。

接下來，如圖20所示，在晶片1之元件面1a之大致整個面上，藉由CVD等形成如氮化矽膜(厚度如為3至6 nm左右)等，接著再藉由各向異性乾蝕刻等進行回蝕(etch back)，以形成偏移隔離層25。

接下來，依次藉由離子注入導入N型SOI部源極汲極延伸區域27sn、P型SOI部源極汲極延伸區域27sp、N型體部源極汲極延伸區域27bn、P型體部源極汲極延伸區域27bp等。N型SOI部源極汲極延伸區域27sn及N型體部源極汲極延伸區域27bn之較佳之離子注入條件例如為：離子種類為砷，注入能量為2 keV左右，摻雜量為 $2 \times 10^{14}/\text{cm}^2$ 至 $8 \times 10^{14}/\text{cm}^2$ 左右之範圍。P型SOI部源極汲極延伸區域27sp及P型體部源極汲極延伸區域27bp之較佳之離子注入條件例如為：離子種類為硼，注入能量為0.5 keV左右，摻雜量為 $2 \times 10^{14}/\text{cm}^2$ 至 $8 \times 10^{14}/\text{cm}^2$ 左右之範圍。

接下來，如圖21所示，例如藉由CVD等，依次形成氧化矽側壁隔離層膜(厚度如為5至10 nm左右)及氮化矽側壁隔離層膜(厚度如為10至30 nm左右)，並藉由各向異性乾蝕刻(如使用氟碳類蝕刻氣體)進行回蝕，以形成氧化矽側壁隔離層26a及氮化矽側壁隔離層26b。

接下來，如圖22所示，在各源極汲極區域之表面上，形成選擇性之外延矽層28(抬高SD層)(厚度如為20至60 nm左右)。

接下來，如圖23所示，藉由離子注入，導入各高濃度區域源極汲極區域，從而形成N型SOI部源極汲極區域29sn、P型SOI部源極汲極區域29sp、N型體部源極汲極區域29bn、P型體部源極汲極區域29bp等。N型SOI部源極汲極區域29sn及N型體部源極汲極區域29bn之高濃度區域源極汲極區域之較佳之離子注入條件例如為：離子種類為砷，注入能量為20 keV左右，摻雜量為 $4 \times 10^{15}/\text{cm}^2$ 左右。P型SOI部源極汲極區域29sp及P型體部源極汲極區域29bp之高濃度區域源極汲極區域之較佳之離子注入條件例如為：離子種類為硼，注入能量為2 keV左右，摻雜量為 $4 \times 10^{15}/\text{cm}^2$ 左右。

而且，在各抬高SD層及閘極多晶矽膜16之表面，根據需要如形成鎳類矽化物膜等。

接下來，如圖24所示，在晶片1之元件面1a之大致整個面上，依次藉由等離子體CVD等，形成由相對較薄之氮化矽膜、相對較厚之氧化矽類絕緣膜等構成之預金屬(Premetal)絕緣膜30。接著，例如藉由各向異性乾蝕刻形成接觸孔，並在其中埋入鎢插塞31等。而且，在預金屬絕緣膜30上形成第1層佈線32。佈線既可係埋入佈線，也可係非埋入佈線。根據需要例如可形成三層至十數層左右之佈線。

當佈線製程完成時，藉由切割等將晶片1分割成晶片2。

6.關於本發明之實施方式2中半導體積體電路裝置之閘極堆疊結構2(P通道非摻雜閘極)之說明(主要為圖25)

此部分所說明之閘極堆疊結構係圖6之變形例。因製法與5中說明之製法大致相同，因此不再贅述(對於以下其他示例也不再贅述)。

圖25係本發明之實施方式2中半導體積體電路裝置之閘極堆疊結構2(P通道非摻雜閘極)之閘極堆疊及基板之剖面示意圖。藉由此圖對本發明之實施方式2中半導體積體電路裝置之閘極堆疊結構2(P通道非摻雜閘極)進行說明。

如圖25所示，與圖6相比，不同之處在於：體P通道MISFET閘極堆疊17bp及SOI區域之P通道MISFET閘極堆疊17sp，即P通道MISFET閘極堆疊之High-k閘極絕緣膜成為非摻雜氧化鈣類High-k閘極絕緣膜14hn。

此時，SOI區域8之P通道MISFET之臨限值電壓之絕對值由於為非摻雜因而會因熱處理而上升，但能夠藉由調整(藉由增加P型雜質之摻雜量或減少N型雜質之摻雜量來降低臨限值電壓之絕對值)對背閘極(P型MISFET背閘極雜質摻雜半導體區域11sn)之雜質導入量、施加順向偏壓、向通道區域之雜質導入量之調整、或它們之組合等而降低為適當之值。

另外，作為目標之各閘極堆疊(閘極電極)之有效功函數(Effective Work Function)之範圍例如下：即，體N通道MISFET閘極堆疊17bn為4.2至4.6 eV左右，體P通道MISFET閘極堆疊17bp為4.5至4.8 eV左右，SOI區域之N通道MISFET閘極堆疊17sn為4.2至4.6 eV左右，SOI區域之P通道MISFET閘極堆疊17sp為4.5至4.8 eV左右。

前述閘極堆疊結構之組合具有以下優點：(1)在體區域7及SOI區域8(此優點對於只有SOI區域之晶片也有效)中，對閘極堆疊結構之臨限值調整膜只需要一種，因此除了能夠避免重複複雜加工以外，同理，還能夠降低對閘極堆疊結構下層部之損傷。

另外，也可使N通道MISFET閘極堆疊之所有High-k閘極絕緣膜為非摻雜，並使P通道MISFET閘極堆疊之所有High-k閘極絕緣膜摻雜鋁，以取代前述之臨限值電壓調整膜之配置(使N通道MISFET閘極堆疊全部摻雜鋁，其他為非摻雜)。此時，將更易於控制兩P通道MISFET之臨限值電壓。

7.關於本發明之實施方式3中半導體積體電路裝置之閘極堆疊結構3(體Non-High-k閘極)之說明(主要為圖26)

此部分所說明之閘極堆疊結構係圖6之變形例。

圖26係本發明之實施方式3中半導體積體電路裝置之閘極堆疊結構3(體Non-High-k閘極)之閘極堆疊及基板之剖面示意圖。藉由此圖對本發明之實施方式3中半導體積體電路裝置之閘極堆疊結構3(體Non-High-k閘極)進行說明。

如圖26所示，與圖6相比，不同之處在於：不存在體N通道MISFET閘極堆疊17bn及體P通道MISFET閘極堆疊17bp，即體MISFET閘極堆疊之High-k閘極絕緣膜。

此時，SOI區域8之P通道MISFET之臨限值電壓之絕對值因為摻雜鋁之影響而上升，但可以藉由調整(藉由增加P型雜質之摻雜量或減少N型雜質之摻雜量來降低臨限值電壓

之絕對值)對背閘極(P型 MISFET背閘極雜質摻雜半導體區域11sn)之雜質導入量、施加順向偏壓、調整對通道區域之雜質導入量、或者藉由這幾種方法之組合等而降低為適當之值。

而且，由於不存在High-k閘極絕緣膜，所以體區域7之各通道MISFET之臨限值電壓之絕對值不會因熱處理而進一步上升，因此能夠藉由調整對通道區域之雜質導入量等通常方法來控制。

另外，作為目標之各閘極堆疊(閘極電極)之有效功函數(Effective Work Function)之範圍例如如下：即，體N通道MISFET閘極堆疊17bn為4.35至4.85 eV左右，體P通道MISFET閘極堆疊17bp為4.35至4.85 eV左右，SOI區域之N通道MISFET閘極堆疊17sn為4.2至4.6 eV左右，SOI區域之P通道MISFET閘極堆疊17sp為4.5至4.8 eV左右。

前述閘極堆疊結構之組合具有以下優點：(1)在體區域7及SOI區域8(此優點對於只有SOI區域之晶片也有效)中，對閘極堆疊結構之臨限值調整膜只需要一種，因此除了能夠避免重複複雜之加工以外，同理，還能夠降低對閘極堆疊結構下層部之損傷(提高可靠性)。(2)在體區域7中，由於不存在High-k閘極絕緣膜，因此能夠提高體區域7之MISFET之通道移動度。

另外，也可使SOI區域之MISFET閘極堆疊之所有High-k閘極絕緣膜摻雜鋁，使體區域之MISFET閘極堆疊全部為非High-k閘極絕緣膜，以取代此時之臨限值電壓調整膜之

配置(使SOI區域之MISFET閘極堆疊全部摻雜鋁，使其他為非High-k閘極絕緣膜)。此時，將更易於控制SOI區域之P通道MISFET之臨限值電壓。

8.關於本發明之實施方式4中半導體積體電路裝置之閘極堆疊結構4(異種摻雜閘極)之說明(主要為圖27)

此部分所說明之閘極堆疊結構係圖25(或圖6)之變形例。

圖27係本發明之實施方式4中半導體積體電路裝置之閘極堆疊結構4(異種摻雜閘極)之閘極堆疊及基板之剖面示意圖。藉由此圖對本發明之實施方式4中半導體積體電路裝置之閘極堆疊結構4(異種摻雜閘極)進行說明。

如圖27所示，與圖25相比，不同之處在於：在體P通道MISFET閘極堆疊17bp及SOI區域之P通道MISFET閘極堆疊17sp，即P通道MISFET閘極堆疊之High-k閘極絕緣膜中，摻雜鋁等。

另外，作為目標之各閘極堆疊(閘極電極)之有效功函數(Effective Work Function)之範圍例如下：即，體N通道MISFET閘極堆疊17bn為4.2至4.6 eV左右，體P通道MISFET閘極堆疊17bp為4.5至4.8 eV左右，SOI區域之N通道MISFET閘極堆疊17sn為4.2至4.6 eV左右，SOI區域之P通道MISFET閘極堆疊17sp為4.5至4.8 eV左右。

前述閘極堆疊結構之組合具有以下優點：(1)在體區域7及SOI區域8中，在N通道MISFET與P通道MISFET中改變了臨限值調整用摻雜雜質，因此將更易於控制臨限值電壓。

(2)而且，能夠藉由背阱之摻雜量和選擇導電型來控制臨限值電壓，因此臨限值電壓之控制將變得更容易(此優點對於只有SOI區域之晶片也有效)。

9.關於本發明之實施方式5中半導體積體電路裝置之閘極堆疊結構5(SOI非摻雜閘極)之說明(主要為圖28)

此部分所說明之閘極堆疊結構係圖6之變形例。

圖28係本發明之實施方式5中半導體積體電路裝置之閘極堆疊結構5(SOI非摻雜閘極)之閘極堆疊及基板之剖面示意圖。藉由此圖對本發明之實施方式5中半導體積體電路裝置之閘極堆疊結構5(SOI非摻雜閘極)進行說明。

如圖28所示，與圖6相比，不同之處在於：SOI區域之N通道MISFET閘極堆疊17sn及SOI區域之P通道MISFET閘極堆疊17sp，即SOI型MISFET閘極堆疊之High-k閘極絕緣膜成為非摻雜氧化鉛類High-k閘極絕緣膜14hn。

此時，SOI區域8之各MISFET之臨限值電壓之絕對值由於為非摻雜因而會因熱處理而上升，但能夠藉由調整(藉由增加P型雜質之摻雜量或減少N型雜質之摻雜量來降低臨限值電壓之絕對值)對背閘極(N型MISFET背閘極雜質摻雜半導體區域、P型MISFET背閘極雜質摻雜半導體區域11sn)之雜質導入量、施加順向偏壓、調整對通道區域之雜質導入量、或者藉由這幾種方法之組合等而降低為適當之值。

另外，作為目標之各閘極堆疊(閘極電極)之有效功函數(Effective Work Function)之範圍例如下：即，體N通道MISFET閘極堆疊17bn為4.2至4.6 eV左右，體P通道

MISFET閘極堆疊17bp為4.6至4.9 eV左右，SOI區域之N通道MISFET閘極堆疊17sn為4.35至4.8 eV左右，SOI區域之P通道MISFET閘極堆疊17sp為4.35至4.85 eV左右。

前述閘極堆疊結構之組合具有以下優點：(1)在SOI區域8(此優點對於只有SOI區域之晶片也有效)中，由於不存在對閘極堆疊結構之臨限值調整膜，因此除了能夠避免重複複雜加工以外，同理，還能夠降低對閘極堆疊結構下層部之損傷(提高可靠性)。(2)而且，能夠藉由背阱之摻雜量和選擇導電型來控制臨限值電壓，因此將更易於控制臨限值電壓(此優點對於只有SOI區域之晶片也有效)。

10.針對本發明之實施方式中半導體積體電路裝置製造工藝之變形例(後閘極方式)之主要部分及元件結構等之說明(主要為圖30至圖43)

在5中說明之製造工藝係基於先閘極(Gate First)方式之工藝，但同樣之元件(1至9中說明之元件)也能夠藉由後閘極(Gate Last)方式來製造。在本部分中，對基於適用了本發明之後閘極方式工藝之示例及適用了後閘極方式之元件之示例進行說明。

(1)針對本發明之實施方式中半導體積體電路裝置製造工藝之變形例即適用了後閘極方式之閘極堆疊結構之變形例1(全共用鏽添加閘極絕緣膜)之說明(主要為圖42)

圖42係對於本發明之實施方式中半導體積體電路裝置製造工藝之變形例即適用了後閘極方式之閘極堆疊結構之變形例1(全共用鏽添加閘極絕緣膜)之閘極堆疊及基板之剖面

示意圖。藉由此圖對針對本發明之實施方式中半導體積體電路裝置製造工藝之變形例即適用了後閘極方式之閘極堆疊結構之變形例1(全共用矽添加閘極絕緣膜)進行說明。

圖42與圖6大致相同，不同之處在於：體P通道MISFET閘極堆疊17bp也添加了矽。

此時，SOI區域8及體區域7之P通道MISFET之臨限值電壓之絕對值由於摻雜矽之影響而上升，但能夠藉由調整(藉由增加P型雜質之摻雜量或減少N型雜質之摻雜量來降低臨限值電壓之絕對值)對背閘極(P型MISFET背閘極雜質摻雜半導體區域11sn)之雜質導入量、施加順向偏壓、調整對通道區域之雜質導入量、或者藉由這幾種方法之組合等而降低為適當之值。

另外，作為目標之各閘極堆疊(閘極電極)之有效功函數(Effective Work Function)之範圍例如下：即，體N通道MISFET閘極堆疊17bn為4.2至4.6 eV左右，體P通道MISFET閘極堆疊17bp為4.7至5.0 eV左右，SOI區域之N通道MISFET閘極堆疊17sn為4.2至4.6 eV左右，SOI區域之P通道MISFET閘極堆疊17sp為4.7至5.0 eV左右。

前述閘極堆疊結構之組合具有以下優點：(1)由於SOI區域8及體區域7中之閘極堆疊結構相同，因此除了能夠避免重複複雜加工以外，同理，還能夠降低對閘極堆疊結構下層部之損傷(此優點對於只有SOI區域之晶片也有效)。(2)在體區域7及SOI區域8中，除了氧化矽類襯底閘極絕緣膜12bs、12ss之厚度以外，能夠在所有區域中以一種閘極堆

疊結構來構成 MISFET，因此能夠大幅簡化工藝。(3)與先開極方式相比，由於高溫熱處理負擔較小，因此提高了開極絕緣膜之可靠性。

另外，也可對所有開極堆疊適用鋁類臨限值電壓調整膜(含鋁之功函數調製膜)，以取代此時之臨限值電壓調整膜之配置(使所有開極堆疊摻雜鋁)。此時，將更易於控制 P 通道 MISFET(Q_{sp})及體 P 型 MISFET(Q_{bp})之臨限值電壓。

(2)適用了開極堆疊結構之變形例 1(全共用鋁添加開極絕緣膜)製造工藝之主要部分之說明(主要為圖 30 至圖 40)

在此子部分中，以在除去虛擬開極多晶矽後形成臨限值電壓調整膜之工藝為例(虛擬開極除去後 V_{th} 調整方式)進行具體說明，但當然也能夠適用於在虛擬開極形成時已完成開極絕緣膜之所謂先 High-k-後金屬開極(High-k First Metal Gate Last)方式、或者在除去虛擬開極多晶矽後形成 High-k 開極絕緣膜之典型之置換開極(Replacement Gate)方式等。

圖 30 係用於說明適用了開極堆疊結構之變形例 1(全共用鋁添加開極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(虛擬開極材料堆積製程)。圖 31 係用於說明適用了開極堆疊結構之變形例 1(全共用鋁添加開極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(虛擬開極圖案化及延伸區域導入製程)。圖 32 係用於說明適用了開極堆疊結構之變形例 1(全共用鋁添加開極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(側壁、抬高源極汲極形成及源極汲極

雜質導入製程)。圖33係用於說明適用了閘極堆疊結構之變形例1(全共用鋤添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(預金屬絕緣膜堆積製程)。圖34係用於說明適用了閘極堆疊結構之變形例1(全共用鋤添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(CMP製程)。圖35係用於說明適用了閘極堆疊結構之變形例1(全共用鋤添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(虛擬多晶矽除去製程)。圖36係用於說明適用了閘極堆疊結構之變形例1(全共用鋤添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(鋤膜堆積製程)。圖37係用於說明適用了閘極堆疊結構之變形例1(全共用鋤添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(金屬閘極膜埋入製程)。圖38係用於說明適用了閘極堆疊結構之變形例1(全共用鋤添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(金屬閘極膜回蝕製程)。圖39係用於說明適用了閘極堆疊結構之變形例1(全共用鋤添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(鋤膜回蝕製程)。圖40係用於說明適用了閘極堆疊結構之變形例1(全共用鋤添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(佈線形成製程)。藉由上述圖對適用了閘極堆疊結構之變形例1(全共用鋤添加閘極絕緣膜)製造工藝之主要部分等進行說明。另外，圖7至圖11之工藝與5中說明之內容相同，因此，此處僅對此後之工藝進行說明。

在圖11之狀態下，如圖30所示，在晶片1之元件面1a之

大致整個面上，例如形成氧化鈺膜等氧化鈺類絕緣膜14 (如厚度為1至2 nm左右)，以作為High-k閘極絕緣膜。較佳之氧化鈺類絕緣膜14例如有氮氧化鈺矽膜(HfSiON膜)等。另外，可藉由ALD(Atomic Layer Deposition：原子層沉積)法等形成High-k閘極絕緣膜。此外還可用HfON膜、HfO膜等作為氧化鈺類絕緣膜14。此時，HfSiON膜、HfON膜、HfO膜等係非摻雜氧化鈺類High-k閘極絕緣膜14hn。

接下來，在非摻雜氧化鈺類High-k閘極絕緣膜14hn之大致整個面上，例如藉由CVD法形成厚度為150至200 nm左右之虛擬閘極多晶矽膜16d。而且，在虛擬閘極多晶矽膜16d之大致整個面上，例如藉由CVD法形成厚度為10至50 nm左右之閘極加工用氮化矽膜41。

接下來，如圖31所示，例如藉由通常之光刻及各向異性乾蝕刻等使虛擬閘極堆疊結構圖案化。較佳之各向異性乾蝕刻之氣體類例如為SF₆/CF₄(多晶矽)、HBr/Cl₂(氮化鈦)、BCl₃/Cl₂(High-k絕緣膜)類等。接著，依次藉由離子注入導入N型SOI部源極汲極延伸區域27sn、P型SOI部源極汲極延伸區域27sp、N型體部源極汲極延伸區域27bn、P型體部源極汲極延伸區域27bp等。N型SOI部源極汲極延伸區域27sn及N型體部源極汲極延伸區域27bn之較佳之離子注入條件例如為：離子種類為砷，注入能量為2 keV左右，摻雜量為 $2 \times 10^{14}/\text{cm}^2$ 至 $8 \times 10^{14}/\text{cm}^2$ 左右之範圍。P型SOI部源極汲極延伸區域27sp及P型體部源極汲極延伸區域27bp之較佳之離子注入條件例如為：離子種類為硼，注入能量為

0.5 keV左右，摻雜量為 $2 \times 10^{14}/\text{cm}^2$ 至 $8 \times 10^{14}/\text{cm}^2$ 左右之範圍。

接下來，如圖32所示，例如以攝氏900度左右進行熱氧化，從而在虛擬閘極多晶矽膜16d之側面形成氧化矽類隔離層膜25(厚度如為30 nm左右)。然後，例如藉由CVD等，依次形成氧化矽側壁隔離層膜(厚度如為5至10 nm左右)及氮化矽側壁隔離層膜(厚度如為10至30 nm左右)，並藉由各向異性乾蝕刻(例如，使用氟碳類蝕刻氣體)進行回蝕，以形成氧化矽側壁隔離層26a及氮化矽側壁隔離層26b。進而，在各源極汲極區域之表面上，形成選擇性之外延矽層28(抬高SD層)(如厚度為20至60 nm左右)。接著，藉由離子注入導入各高濃度區域源極汲極區域，以形成N型SOI部源極汲極區域29sn、P型SOI部源極汲極區域29sp、N型體部源極汲極區域29bn、P型體部源極汲極區域29bp等。N型SOI部源極汲極區域29sn及N型體部源極汲極區域29bn之高濃度區域源極汲極區域之較佳之離子注入條件例如為：離子種類為砷，注入能量為20 keV左右，摻雜量為 $4 \times 10^{15}/\text{cm}^2$ 左右之範圍。P型SOI部源極汲極區域29sp及P型體部源極汲極區域29bp之高濃度區域源極汲極區域之較佳之離子注入條件例如為：離子種類為硼，注入能量為2 keV左右，摻雜量為 $4 \times 10^{15}/\text{cm}^2$ 左右之範圍。

而且，在各抬高SD層28之表面，根據需要形成如鎳類矽化物膜等(為避免圖示變得繁瑣，圖中省略了矽化物層)。

接下來，如圖33所示，在晶片1之元件面1a之大致整個面上，藉由等離子體CVD等，依次形成由CESL(Contact Etch Stop Layer：接觸蝕刻停止層)膜即相對較薄之氮化矽膜30a(厚度如為10至60 nm左右)、相對較厚之氧化矽類絕緣膜30b等構成之預金屬(Premetal)絕緣膜30。

接下來，如圖34所示，例如藉由CMP(Chemical Mechanical Polishing：化學機械拋光)法，進行表面平坦化，直到除去閘極加工用氮化矽膜41為止。

接下來，如圖35所示，例如藉由使用APM(Ammonia/Hydrogen Peroxide Mixture：氨水-過氧化氫溶液)等藥液之濕蝕刻或等向性乾蝕刻等(蝕刻環境例如為SF₆類環境)，除去虛擬閘極多晶矽膜16d。

接下來，如圖36所示，在晶片1之元件面1a之大致整個面上，例如藉由濺鍍成膜等，形成膜厚為1 nm左右之臨限值電壓調整膜19(如鋤膜)。

接下來，如圖37所示，在晶片1之元件面1a之大致整個面上，例如藉由CVD法，以埋入除去了虛擬閘極之槽之方式形成閘極氮化鈦膜15。

接下來，如圖38所示，例如藉由使用APM(Ammonia/Hydrogen Peroxide Mixture：氨水-過氧化氫溶液)等藥液之濕蝕刻或者使用包含SF₆等蝕刻氣體之等向性乾蝕刻等，對閘極氮化鈦膜15之剩餘部分(槽外部之部分)進行回蝕。

接下來，如圖39所示，例如藉由使用鹽酸類藥液(也可

為其他硝酸類、磷酸類、硫酸類、HBr類、醋酸類、蟻酸類、丙酸類等經過稀釋之酸等)之濕蝕刻等，對矽膜19之剩餘部分(槽外部之部分)進行回蝕。

接下來，圖40所示，例如藉由各向異性乾蝕刻形成接觸孔，並在其中埋入鎢插塞31等。而且，在預金屬絕緣膜30上形成第1層佈線32。佈線既可以係埋入佈線，也可以係非埋入佈線。根據需要，可成例如三層至十數層左右之佈線。

當佈線製程完成時，藉由切割等將晶片1分割成晶片2。

(3)針對本發明之實施方式中半導體積體電路裝置製造工藝之變形例即適用了後閘極方式之閘極堆疊結構之變形例2(全共用無添加閘極絕緣膜)之說明(主要為圖43)

圖43係對於本發明之實施方式中半導體積體電路裝置製造工藝之變形例即適用了後閘極方式之閘極堆疊結構之變形例2(全共用無添加閘極絕緣膜)之閘極堆疊及基板之剖面示意圖。藉由此圖對針對本發明之實施方式中半導體積體電路裝置製造工藝之變形例即適用了後閘極方式之閘極堆疊結構之變形例2(全共用無添加閘極絕緣膜)進行說明。

如圖43所示，基本上與圖28所示大致相同，但不同之處在於，體N通道MISFET閘極堆疊17bn及體P通道MISFET閘極堆疊17bp為非摻雜。

此處，各MISFET之臨限值電壓之絕對值由於為非摻雜因而會因熱處理而上升，但能夠藉由調整(藉由增加P型雜質之摻雜量或減少N型雜質之摻雜量來調整臨限值電壓之

絕對值)對背閘極(N型 MISFET背閘極雜質摻雜半導體區域、P型 MISFET背閘極雜質摻雜半導體區域)之雜質導入量、施加順向偏壓、調整對通道區域之雜質導入量、或者藉由這幾種方法之組合等而降低為適當之值。

另外，作為目標之各閘極堆疊(閘極電極)之有效功函數(Effective Work Function)之範圍例如下：即，體N通道 MISFET閘極堆疊 17bn為 4.2至 4.6 eV左右，體P通道 MISFET閘極堆疊 17bp為 4.6至 4.9 eV左右，SOI區域之N通道 MISFET閘極堆疊 17sn為 4.35至 4.85 eV左右，SOI區域之P通道 MISFET閘極堆疊 17sp為 4.35至 4.85 eV左右。

前述閘極堆疊結構之組合具有以下優點：(1)在SOI區域8(此優點對於只有SOI區域之晶片也有效)中，由於不存在對閘極堆疊結構之臨限值調整膜，因此除了能夠避免重複複雜加工以外，同理，還能夠降低對閘極堆疊結構下層部之損傷(提高可靠性)。(2)而且，能夠藉由背阱之摻雜量和選擇導電型來控制臨限值電壓，因此臨限值電壓之控制變得相對較容易(此優點對於只有SOI區域之晶片也有效)。(3)與先閘極方式相比，熱處理負擔減輕，因此除了可提高閘極絕緣膜之可靠性以外，也可較容易地進行臨限值電壓之調整。

(4)適用了閘極堆疊結構之變形例2(全共用矽添加閘極絕緣膜)製造工藝之主要部分之說明(主要為圖41)

此例屬於先High-k-後金屬閘極方式(基本上為後閘極方式)。

圖41係用於說明適用了閘極堆疊結構之變形例2(全共用無添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(佈線形成製程)。藉由此圖對適用了閘極堆疊結構之變形例1(全共用閘極添加閘極絕緣膜)製造工藝之主要部分進行說明。

此例中，在子部分(2)之工藝中，只要省略圖36及圖39之工藝即可(即，不形成含閘極之功函數調製膜19)。

11.針對各實施方式之補充說明及研究(參照圖1至圖6以及圖25至圖29)

由於High-k閘極絕緣膜自身之特性及其製程之複雜性，因此與不使用High-k閘極絕緣膜之MISFET相比，具有High-k閘極絕緣膜之MISFET存在通道移動度或元件可靠性變低之趨勢。但是，考慮High-k閘極絕緣膜與氮化鈦等中間能階(Mid-Gap)金屬閘極電極之組合能夠以相對較單純之工藝實現CMIS結構。

而且，具有High-k閘極絕緣膜之MISFET之臨限值電壓之絕對值會因高溫熱處理而上升，因此難以進行臨限值電壓之控制。前述臨限值電壓被稱為FLP(Fermi-Level Pinning：費米能級釘紮)。而且，該效應尤其使得P通道MISFET之臨限值電壓之絕對值控制變得困難。但是，在SOI區域(SOI元件)中(更準確地講是FD-SOI元件)，能夠對背閘極施加順向偏壓(當使順向偏壓增大時，臨限值電壓之絕對值會下降)，從而能夠降低臨限值電壓之絕對值。而且，藉由改變導入背閘極之雜質之導電型或摻雜量，能

夠降低臨限值電壓之絕對值。即，在N通道MISFET之情況下，當降低P阱之濃度或提高N阱之濃度時，臨限值電壓將下降。另一方面，在P通道MISFET之情況下，當降低N阱之濃度或提高P阱之濃度時，臨限值電壓之絕對值將下降。

因此，在具有SOI區域8之半導體晶片中，臨限值電壓之控制自由度較大，所以既能確保臨限值電壓之控制性，又能簡化工藝。

在想要適用背閘極偏壓時，至少SOI區域8能適用圖4或圖29所示之電源供應結構較為理想。另一方面，在不適用背閘極偏壓時，從確保集成度之觀點考慮，至少SOI區域8適用圖2所示之電源供應結構較為理想。

12.總結

以上，基於實施方式具體說明了由本發明者完成之發明，但本發明並不限定於此，當然能夠在不脫離其主旨之範圍內進行種種變更。

例如，在本發明中，對使用HfSiON膜等氧化鈣類High-k閘極絕緣膜(HfON、HfO)作為High-k閘極絕緣膜之示例進行了具體說明，但本發明並不限定於此，當然也可為其他High-k閘極絕緣膜。而且，對使用TiN作為金屬閘極電極之示例進行了具體說明，但本發明並不限定於此，當然也可以使用Ta₂N₅、TaC或其他材料。

而且，在本發明中，對在熱處理後除去作為臨限值調整膜之鋁膜等含鋁膜之示例進行了具體說明，但本發明並不

限定於此，當然也可以仍殘留鋁膜等。

而且，在本發明中，作為N通道用臨限值調整膜，對含鋁膜之示例進行了具體說明，但本發明並不限定於此，當然也可以使用其他部件。從這方面來說，對於P通道用臨限值調整膜也完全相同。

【圖式簡單說明】

圖1係本發明各實施方式中半導體積體電路裝置共用之元件晶片等佈局之一例之晶片及其晶片區域之俯視圖。

圖2係本發明各實施方式中半導體積體電路裝置共用之SOI區域之CMIS晶片結構1(基板與背閘極阱共用電位結構)中之SOI區域之剖面結構一例之剖面結構示意圖。

圖3係本發明各實施方式中半導體積體電路裝置共用之CMIS晶片結構1(基板與背閘極阱共用電位結構)中之體區域之剖面結構一例之剖面結構示意圖。

圖4係本發明各實施方式中半導體積體電路裝置共用之SOI區域之CMIS晶片結構2(P型MISFET背閘極雜質摻雜半導體區域為N型阱時之基板與兩通道側背閘極阱獨立電位結構)中SOI區域之剖面結構一例之剖面結構示意圖。

圖5係本發明各實施方式中半導體積體電路裝置共用之CMIS晶片結構2(基板與N通道側背閘極阱獨立電位結構)中體區域之剖面結構一例之剖面結構示意圖。

圖6係本發明之實施方式1中半導體積體電路裝置之閘極堆疊結構1(SOI共用閘極)中閘極堆疊及基板之剖面示意圖。

圖7係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(SOI區域背閘極阱導入製程)。

圖8係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(體區域N阱導入製程)。

圖9係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(體區域P阱導入製程)。

圖10係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(體區域SOI層及BOX氧化膜除去製程)。

圖11係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(閘極襯底氧化製程)。

圖12係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(矽膜形成製程)。

圖13係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(鋁膜形成製程)。

圖14係用於說明本發明之實施方式1中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(上層氮化鈦膜等除去製程)。

圖 15 係用於說明本發明之實施方式 1 中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(下層氮化鈦膜等除去製程)。

圖 16 係用於說明本發明之實施方式 1 中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(殘存矽膜及鋁膜除去製程)。

圖 17 係用於說明本發明之實施方式 1 中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(電極氮化鈦膜成膜製程)。

圖 18 係用於說明本發明之實施方式 1 中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(電極多晶矽膜成膜製程)。

圖 19 係用於說明本發明之實施方式 1 中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(閘極電極加工製程)。

圖 20 係用於說明本發明之實施方式 1 中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(偏移隔離層形成製程)。

圖 21 係用於說明本發明之實施方式 1 中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(側壁隔離層形成製程)。

圖 22 係用於說明本發明之實施方式 1 中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(抬高 SD 形成製程)。

圖 23 係用於說明本發明之實施方式 1 中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(高濃度 SD 導入製程)。

圖 24 係用於說明本發明之實施方式 1 中半導體積體電路裝置製造工藝之主要部分等之晶片部分剖面圖(預金屬絕緣膜等形成製程)。

圖 25 係本發明之實施方式 2 中半導體積體電路裝置之閘極堆疊結構 2(P 通道非摻雜閘極)之閘極堆疊及基板之剖面示意圖。

圖 26 係本發明之實施方式 3 中半導體積體電路裝置之閘極堆疊結構 3(體 Non-High-k 閘極)之閘極堆疊及基板之剖面示意圖。

圖 27 係本發明之實施方式 4 中半導體積體電路裝置之閘極堆疊結構 4(異種摻雜閘極)之閘極堆疊及基板之剖面示意圖。

圖 28 係本發明之實施方式 5 中半導體積體電路裝置之閘極堆疊結構 5(SOI 非摻雜閘極)之閘極堆疊及基板之剖面示意圖。

圖 29 係圖 4 之變形例，即表示將 SOI 區域之 P 通道 MISFET 區域之背閘極阱設為 P 型時之 SOI 區域之剖面結構一例之剖面結構示意圖(P 型 MISFET 背閘極雜質摻雜半導體區域為 P 型阱時之基板與兩通道側背閘極阱獨立電位結構)。

圖 30 係用於說明適用了閘極堆疊結構之變形例 1(全共用矽添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖

面圖(虛擬閘極材料堆積製程)。

圖31係用於說明適用了閘極堆疊結構之變形例1(全共用矽添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(虛擬閘極圖案化及延伸區域導入製程)。

圖32係用於說明適用了閘極堆疊結構之變形例1(全共用矽添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(側壁、抬高源汲極結構之形成及源極汲極雜質導入製程)。

圖33係用於說明適用了閘極堆疊結構之變形例1(全共用矽添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(預金屬絕緣膜堆積製程)。

圖34係用於說明適用了閘極堆疊結構之變形例1(全共用矽添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(CMP製程)。

圖35係用於說明適用了閘極堆疊結構之變形例1(全共用矽添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(虛擬多晶矽除去製程)。

圖36係用於說明適用了閘極堆疊結構之變形例1(全共用矽添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(矽膜堆積製程)。

圖37係用於說明適用了閘極堆疊結構之變形例1(全共用矽添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(金屬閘極膜埋入製程)。

圖38係用於說明適用了閘極堆疊結構之變形例1(全共用

鍍添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(金屬閘極膜回蝕製程)。

圖39係用於說明適用了閘極堆疊結構之變形例1(全共用鍍添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(鍍膜回蝕製程)。

圖40係用於說明適用了閘極堆疊結構之變形例1(全共用鍍添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(佈線形成製程)。

圖41係用於說明適用了閘極堆疊結構之變形例2(全共用無添加閘極絕緣膜)製造工藝之主要部分等之晶片部分剖面圖(佈線形成製程)。

圖42係對於本發明之實施方式中半導體積體電路裝置製造工藝之變形例即適用了後閘極方式之閘極堆疊結構之變形例1(全共用鍍添加閘極絕緣膜)之閘極堆疊及基板之剖面示意圖。

圖43係對於本發明之實施方式中半導體積體電路裝置製造工藝之變形例即適用了後閘極方式之閘極堆疊結構之變形例2(全共用無添加閘極絕緣膜)之閘極堆疊及基板之剖面示意圖。

【主要元件符號說明】

1	半導體晶片
1a	半導體晶片或晶片之元件面(第1主面)
1b	半導體晶片或晶片之背面(第2主面)
1s	P型單晶矽基板(晶片或晶片之P型基板部)

2	半導體晶片或晶片區域
3	凹槽
4	焊盤
5	SOI存儲區域
6	SOI邏輯區域
7	體週邊電路區域(體區域)
7n	體週邊電路區域之N通道MISFET區域
7p	體週邊電路區域之P通道MISFET區域
8	SOI區域
8n	SOI區域之N通道MISFET區域
8p	SOI區域之P通道MISFET區域
9	SOI層
9n	N型SOI層
9p	P型SOI層
10	BOX氧化膜(BOX絕緣膜)
11bn	體週邊電路區域之N型阱
11bp	體週邊電路區域之P型阱
11sn	SOI區域之N型阱或P型阱(P型MISFET背閘極 雜質摻雜半導體區域)
11sp	SOI區域之P型阱(N型MISFET背閘極雜質摻 雜半導體區域)
12bs	體區域襯底閘極絕緣膜
12ss	SOI區域襯底閘極絕緣膜
14	High-k閘極絕緣膜

14ha	鋁摻雜氧化鈐類High-k閘極絕緣膜
14hl	銻摻雜氧化鈐類High-k閘極絕緣膜
14hn	非摻雜氧化鈐類High-k閘極絕緣膜
15	閘極氮化鈦膜
16	閘極多晶矽膜
16d	虛擬閘極多晶矽膜
17bn	體N通道MISFET閘極堆疊
17bp	體P通道MISFET閘極堆疊
17sn	SOI區域之N通道MISFET閘極堆疊
17sp	SOI區域之P通道MISFET閘極堆疊
18	元件隔離區域
19	鍍膜(含鍍之功函數調製膜)
20	鋁膜(含鋁之功函數調製膜)
21	氮化鈦金屬蓋膜
22	氮化矽硬掩膜
23	氮化鈦金屬蓋膜
24	氮化矽硬掩膜
25	偏移隔離層(氮化矽膜或氧化矽膜)
26a	氧化矽側壁隔離層
26b	氮化矽側壁隔離層
27bn	N型體部源極汲極延伸區域
27bp	P型體部源極汲極延伸區域
27sn	N型SOI部源極汲極延伸區域
27sp	P型SOI部源極汲極延伸區域

28	外延層(抬高SD層)
29bn	N型體部源極汲極區域(包括高濃度區域及延伸區域)
29bp	P型體部源極汲極區域(包括高濃度區域及延伸區域)
29sn	N型SOI部源極汲極區域(包括高濃度區域及延伸區域)
29sp	P型SOI部源極汲極區域(包括高濃度區域及延伸區域)
30	預金屬絕緣膜
30a	預金屬絕緣膜之下層氮化矽類絕緣膜
30b	預金屬絕緣膜之上層氧化矽類絕緣膜
31	鎢插塞
32	第1層佈線
33n	P通道元件區域之N型或P型深阱區域
33p	P型深阱區域
34n	N型接觸區域
34p	P型接觸區域
35sn	SOI部之N型MISFET之閘極絕緣膜
35sp	SOI部之P型MISFET之閘極絕緣膜
36sn	SOI部之N型MISFET之閘極電極
36sp	SOI部之P型MISFET之閘極電極
37bn	體部之N型MISFET之閘極絕緣膜
37bp	體部之P型MISFET之閘極絕緣膜

38bn	體部之N型MISFET之閘極電極
38bp	體部之P型MISFET之閘極電極
39	三重N型阱區域
41	閘極加工用氮化矽膜
Abn	體N型MISFET之活性區域
Abp	體P型MISFET之活性區域
Asn	SOI-N型MISFET之活性區域
Asp	SOI-P型MISFET之活性區域
Qbn	體N型MISFET
Qbp	體P型MISFET
Qsn	SOI-N型MISFET
Qsp	SOI-P型MISFET
Vcc	體區域之電源電位
Vdd	SOI區域之電源電位
Vin	輸入部或輸入端子
Vnb	N通道背閘極偏壓
Vout	輸出部或輸出端子
Vpb	P通道背閘極偏壓
Vss	基準電位

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

100145394

※ 申請日：

100.12.08

※IPC 分類：H01L 27/118 (2006.01)

一、發明名稱：(中文/英文)

半導體積體電路

二、中文發明摘要：

本發明公開了一種半導體積體電路裝置。在混載有I/O用體部和核心邏輯用SOI部之體與SOI混合型CMIS元件中，為了實現臨限值電壓控制之最佳化，必須使用多個閘極堆疊，因而存在工藝及結構變複雜之問題。本發明係在具有High-k閘極絕緣膜及金屬閘極電極之SOI型半導體CMISFET積體電路裝置中，藉由向任一背閘極半導體區域導入雜質，從而調整對應部分之MISFET之臨限值電壓。

三、英文發明摘要：

七、申請專利範圍：

1. 一種半導體積體電路裝置，其特徵在於包括：

(a)具有第1主面及第2主面之半導體晶片；

(b)設置在前述半導體晶片之前述第1主面上之SOI區域；

(c)設置在前述SOI區域內之第一N通道MISFET區域及第一P通道MISFET區域；

(d)為前述半導體晶片之前述第1主面側、設置在前述第一N通道MISFET區域內且具有High-k絕緣膜之第1閘極絕緣膜及具有金屬層之第1閘極電極膜；

(e)為前述半導體晶片之前述第1主面側、設置在前述第一P通道MISFET區域內且具有High-k絕緣膜之第2閘極絕緣膜及具有金屬層之第2閘極電極膜；

(f)在前述半導體晶片之內部、且在前述第一N通道MISFET區域內設置之N型MISFET背閘極雜質摻雜半導體區域；以及

(g)在前述半導體晶片之內部、設置在前述第一P通道MISFET區域內之P型MISFET背閘極雜質摻雜半導體區域；

其中，前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET背閘極雜質摻雜半導體區域處於基準電位及電源電位以外之電位。

2. 如請求項1之半導體積體電路裝置，其中前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET

背閘極雜質摻雜半導體區域處於基準電位與電源電位之間之電位。

3. 如請求項2之半導體積體電路裝置，其還包括：

(h)設置在前述半導體晶片之前述第1主面上之體區域；

(i)設置在前述體區域內之第二N通道MISFET區域及第二P通道MISFET區域；

(j)為前述半導體晶片之前述第1主面側、設置在前述第二N通道MISFET區域內之第3閘極絕緣膜及具有金屬層之第3閘極電極膜；以及

(k)為前述半導體晶片之前述第1主面側、設置在前述第二P通道MISFET區域內之第4閘極絕緣膜及具有金屬層之第4閘極電極膜。

4. 如請求項3之半導體積體電路裝置，其中前述第1閘極絕緣膜、前述第2閘極絕緣膜及前述第3閘極絕緣膜具有摻雜釧之High-k絕緣膜，前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。

5. 如請求項3之半導體積體電路裝置，其中前述第1閘極絕緣膜及前述第3閘極絕緣膜具有摻雜釧之High-k絕緣膜，前述第2閘極絕緣膜及前述第4閘極絕緣膜具有非摻雜之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一

層疊結構。

6. 如請求項3之半導體積體電路裝置，其中前述第1閘極絕緣膜及前述第2閘極絕緣膜具有摻雜鎢之High-k絕緣膜，前述第3閘極絕緣膜及前述第4閘極絕緣膜不具有High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。
7. 如請求項3之半導體積體電路裝置，其中前述第1閘極絕緣膜及前述第3閘極絕緣膜具有摻雜鎢之High-k絕緣膜，前述第2閘極絕緣膜及前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。
8. 如請求項7之半導體積體電路裝置，其中前述第1閘極絕緣膜及前述第2閘極絕緣膜具有非摻雜之High-k絕緣膜，前述第3閘極絕緣膜具有摻雜鎢之High-k絕緣膜，前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。
9. 一種半導體積體電路裝置，其特徵在於包括：
 - (a)具有第1主面及第2主面之半導體晶片；
 - (b)設置在前述半導體晶片之前述第1主面上之SOI區域；
 - (c)具有設置在前述SOI區域內之第一N通道MISFET之

第一N通道MISFET區域及具有第一P通道MISFET之第一P通道MISFET區域；

(d)為前述半導體晶片之前述第1主面側、設置在前述第一N通道MISFET區域內且具有High-k絕緣膜之第1閘極絕緣膜及具有金屬層之第1閘極電極膜；

(e)為前述半導體晶片之前述第1主面側、設置在前述第一P通道MISFET區域內且具有High-k絕緣膜之第2閘極絕緣膜及具有金屬層之第2閘極電極膜；

(f)在前述半導體晶片之內部、設置在前述第一N通道MISFET區域內之N型MISFET背閘極雜質摻雜半導體區域；以及

(g)在前述半導體晶片之內部、設置在前述第一P通道MISFET區域內之P型MISFET背閘極雜質摻雜半導體區域；

其中，前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET背閘極雜質摻雜半導體區域係針對前述第一N通道MISFET或前述第一P通道MISFET之臨限值電壓調整區域。

10. 如請求項9之半導體積體電路裝置，其還包括：

(h)設置在前述半導體晶片之前述第1主面上之體區域；

(i)設置在前述體區域內之第二N通道MISFET區域及第二P通道MISFET區域；

(j)為前述半導體晶片之前述第1主面側、設置在前述

第二N通道MISFET區域內之第3閘極絕緣膜及具有金屬層之第3閘極電極膜；以及

(k)為前述半導體晶片之前述第1主面側、設置在前述第二P通道MISFET區域內之第4閘極絕緣膜及具有金屬層之第4閘極電極膜。

11. 如請求項10之半導體積體電路裝置，其中前述第1閘極絕緣膜、前述第2閘極絕緣膜及前述第3閘極絕緣膜具有摻雜釧之High-k絕緣膜，前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。
12. 如請求項10之半導體積體電路裝置，其中前述第1閘極絕緣膜及前述第3閘極絕緣膜具有摻雜釧之High-k絕緣膜，前述第2閘極絕緣膜及前述第4閘極絕緣膜具有非摻雜之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。
13. 如請求項10之半導體積體電路裝置，其中前述第1閘極絕緣膜及前述第2閘極絕緣膜具有摻雜釧之High-k絕緣膜，前述第3閘極絕緣膜及前述第4閘極絕緣膜不具有High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。
14. 如請求項10之半導體積體電路裝置，其中前述第1閘極

絕緣膜及前述第3閘極絕緣膜具有摻雜矽之High-k絕緣膜，前述第2閘極絕緣膜及前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。

15. 如請求項10之半導體積體電路裝置，其中前述第1閘極絕緣膜及前述第2閘極絕緣膜具有非摻雜之High-k絕緣膜，前述第3閘極絕緣膜具有摻雜矽之High-k絕緣膜，前述第4閘極絕緣膜具有摻雜鋁之High-k絕緣膜，前述第1閘極電極膜、前述第2閘極電極膜、前述第3閘極電極膜及前述第4閘極電極膜具有同一層疊結構。

16. 如請求項9之半導體積體電路裝置，其中前述臨限值電壓之調整係藉由改變前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET背閘極雜質摻雜半導體區域之雜質濃度或雜質之導電型來執行。

17. 如請求項9之半導體積體電路裝置，其中前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET背閘極雜質摻雜半導體區域處於基準電位及電源電位以外之電位。

18. 如請求項17之半導體積體電路裝置，其中前述N型MISFET背閘極雜質摻雜半導體區域或前述P型MISFET背閘極雜質摻雜半導體區域處於基準電位與電源電位之間之電位。

19. 如請求項1之半導體積體電路裝置，其中前述半導體積

體電路裝置係基於先開極方式之裝置。

20. 如請求項1之半導體積體電路裝置，其中前述半導體積體電路裝置係基於後開極方式之裝置。

八、圖式：

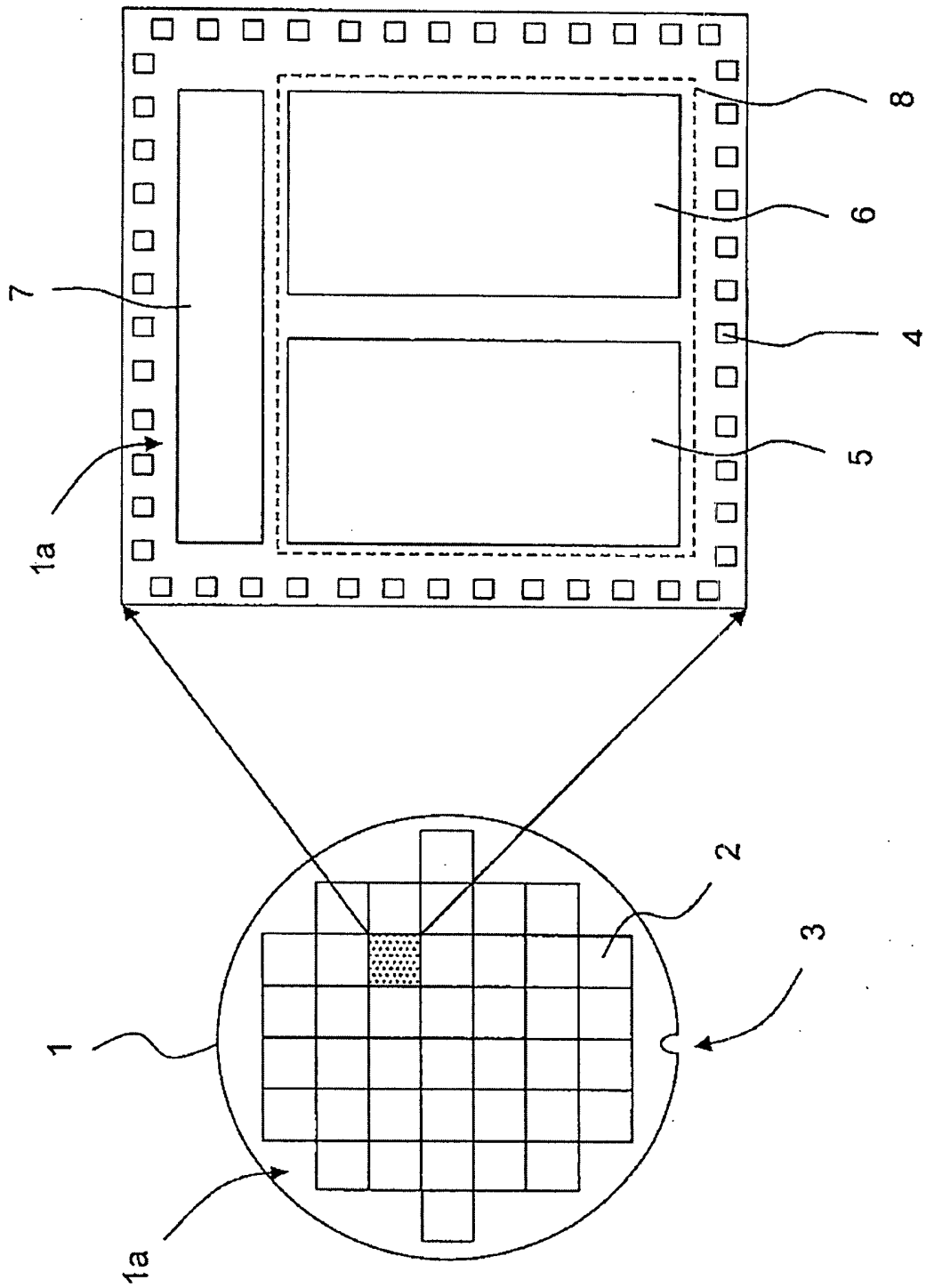


圖 1

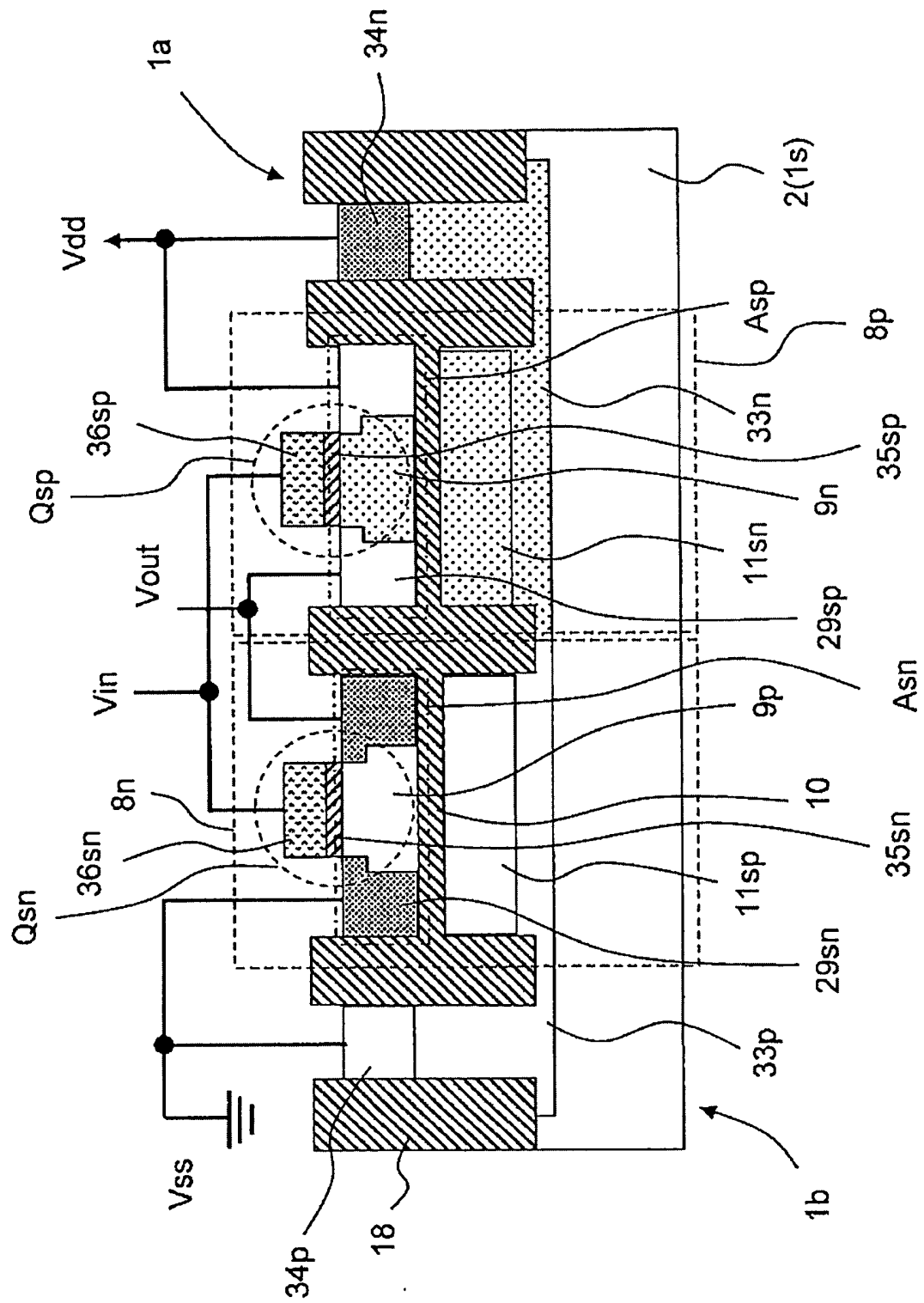
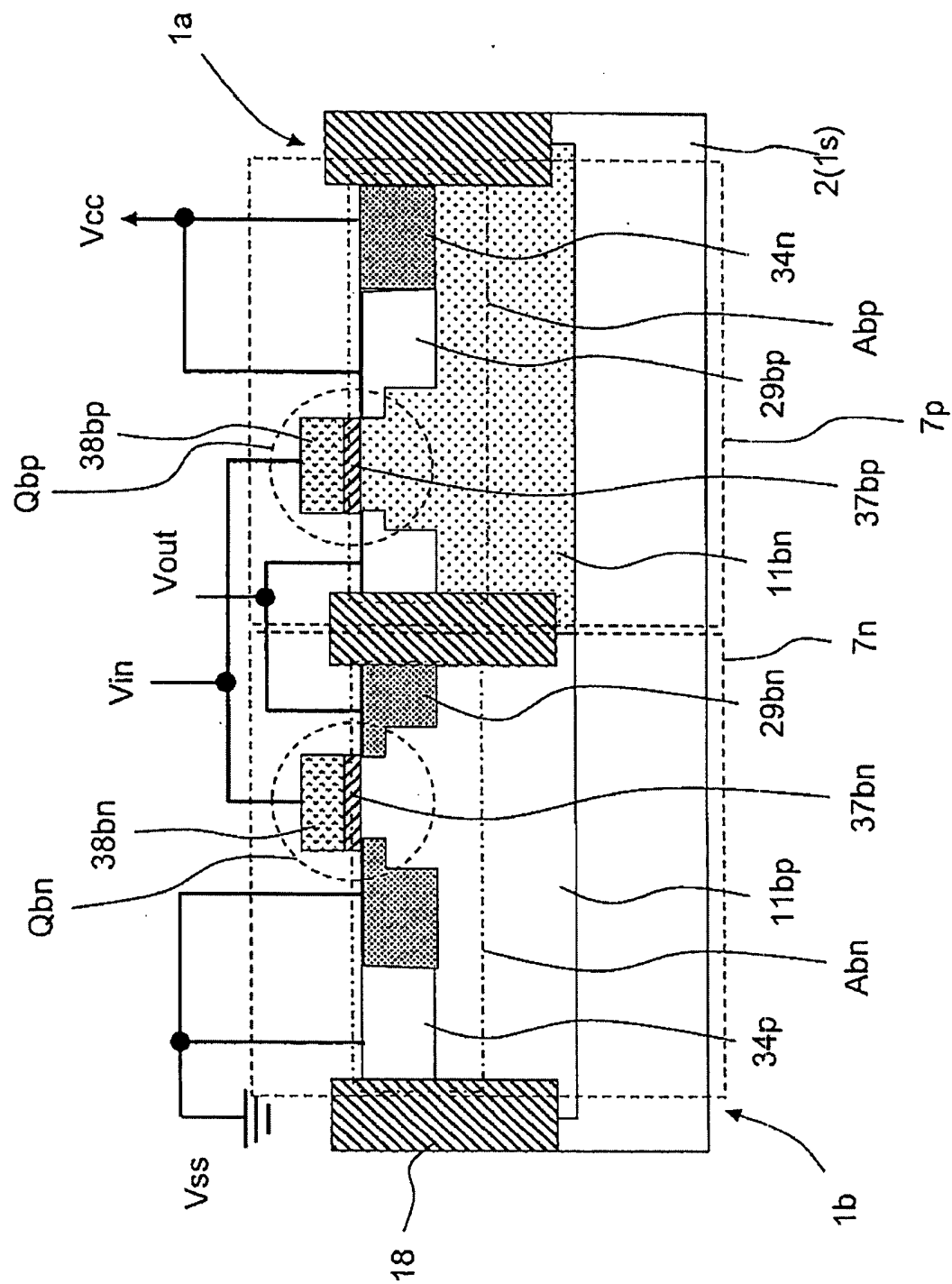


圖 2



三

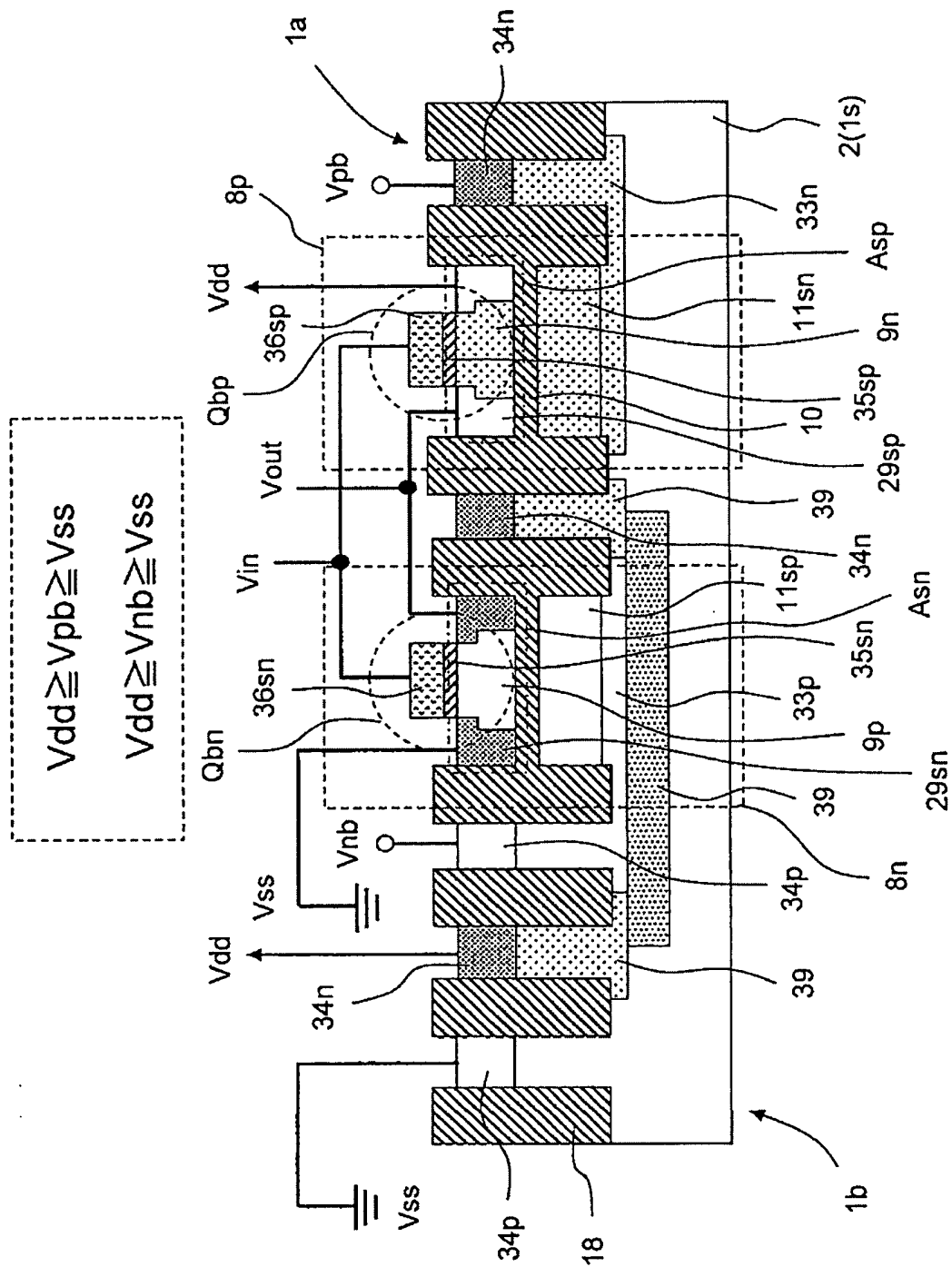


圖 4

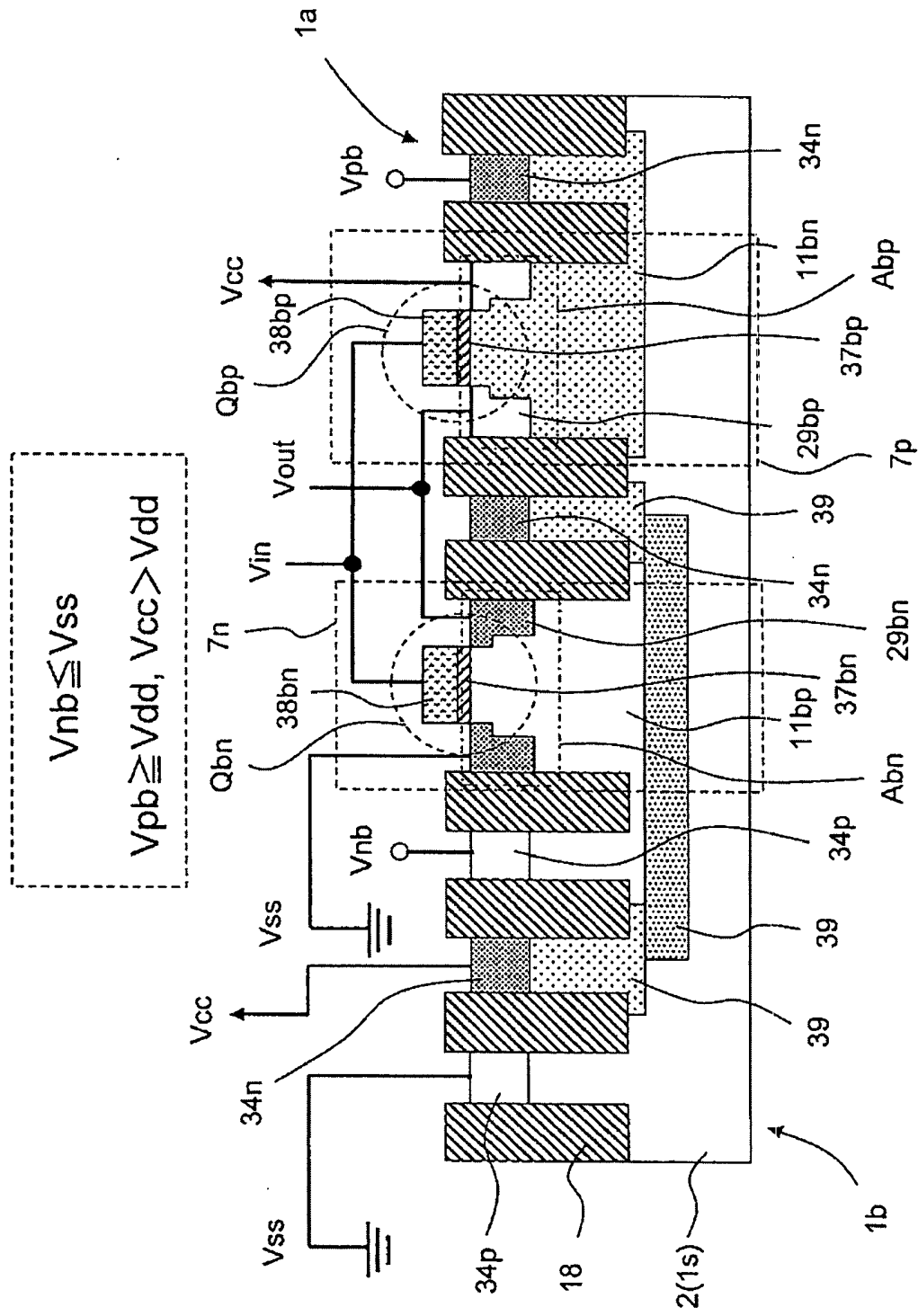


圖 5

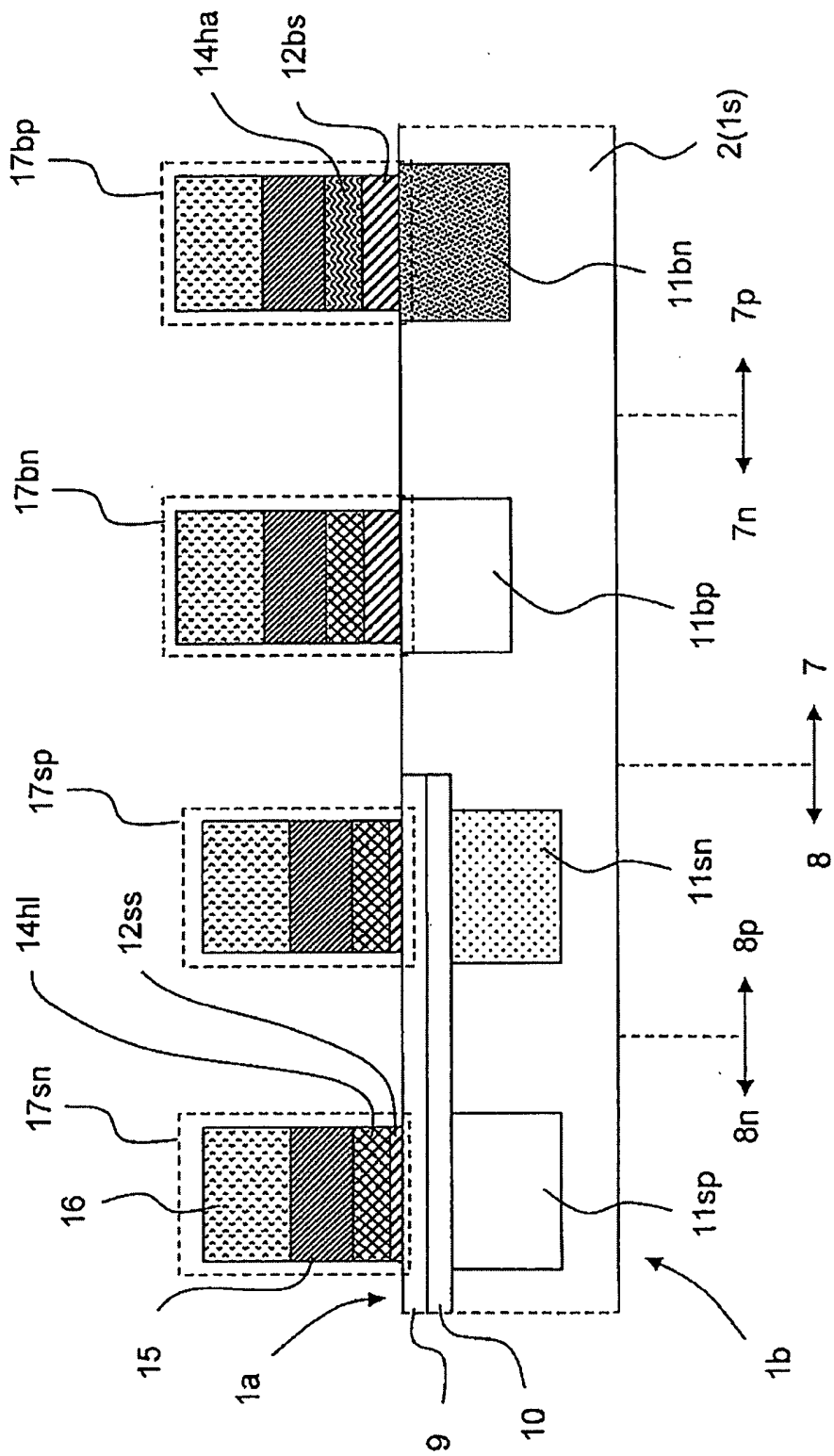


圖 6

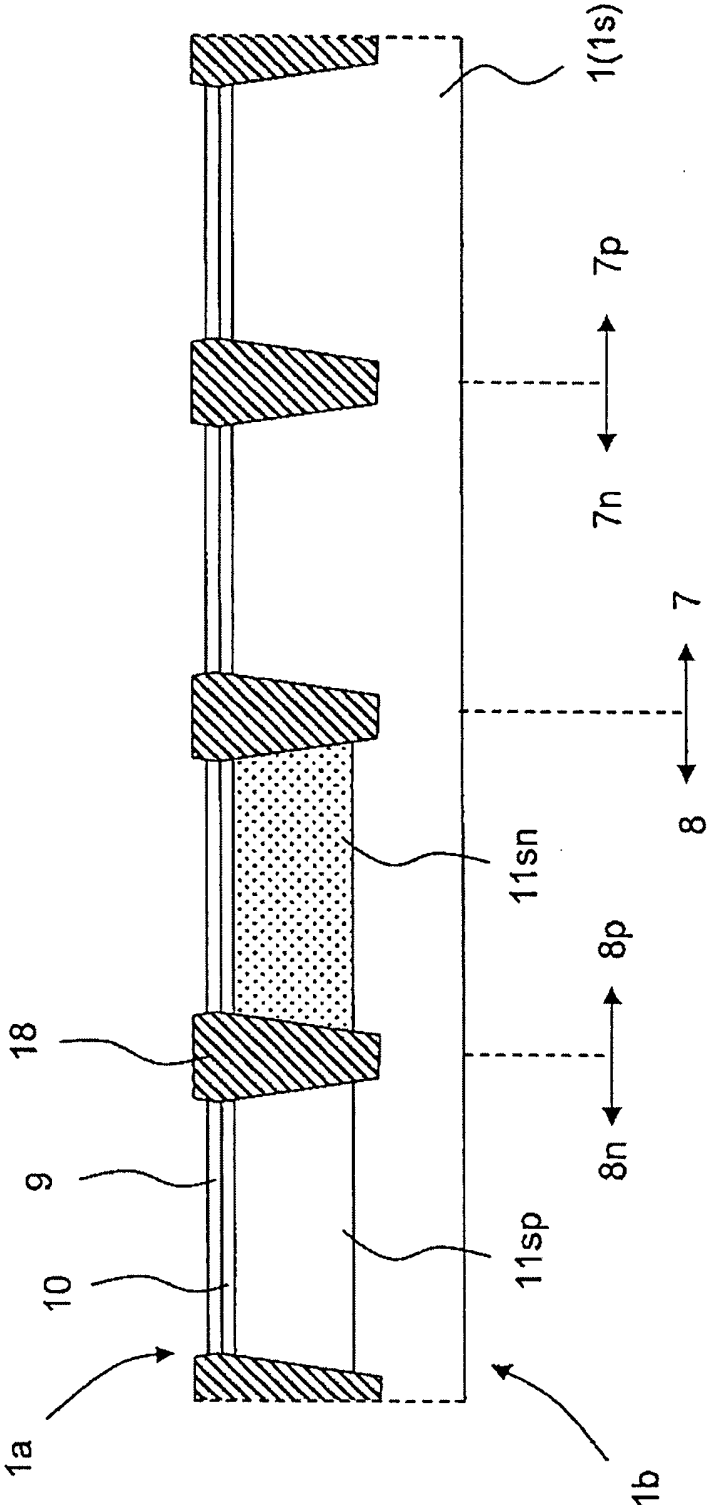


圖 7

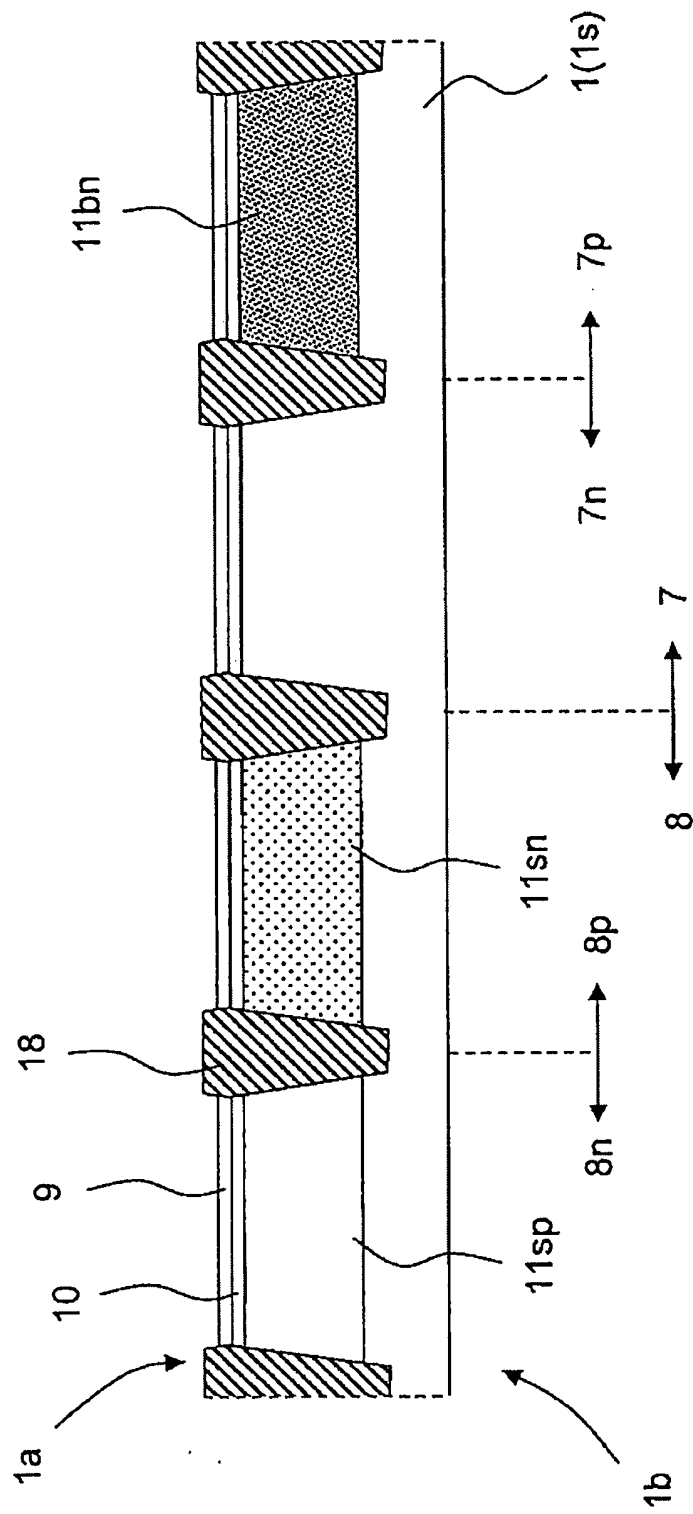


圖 8

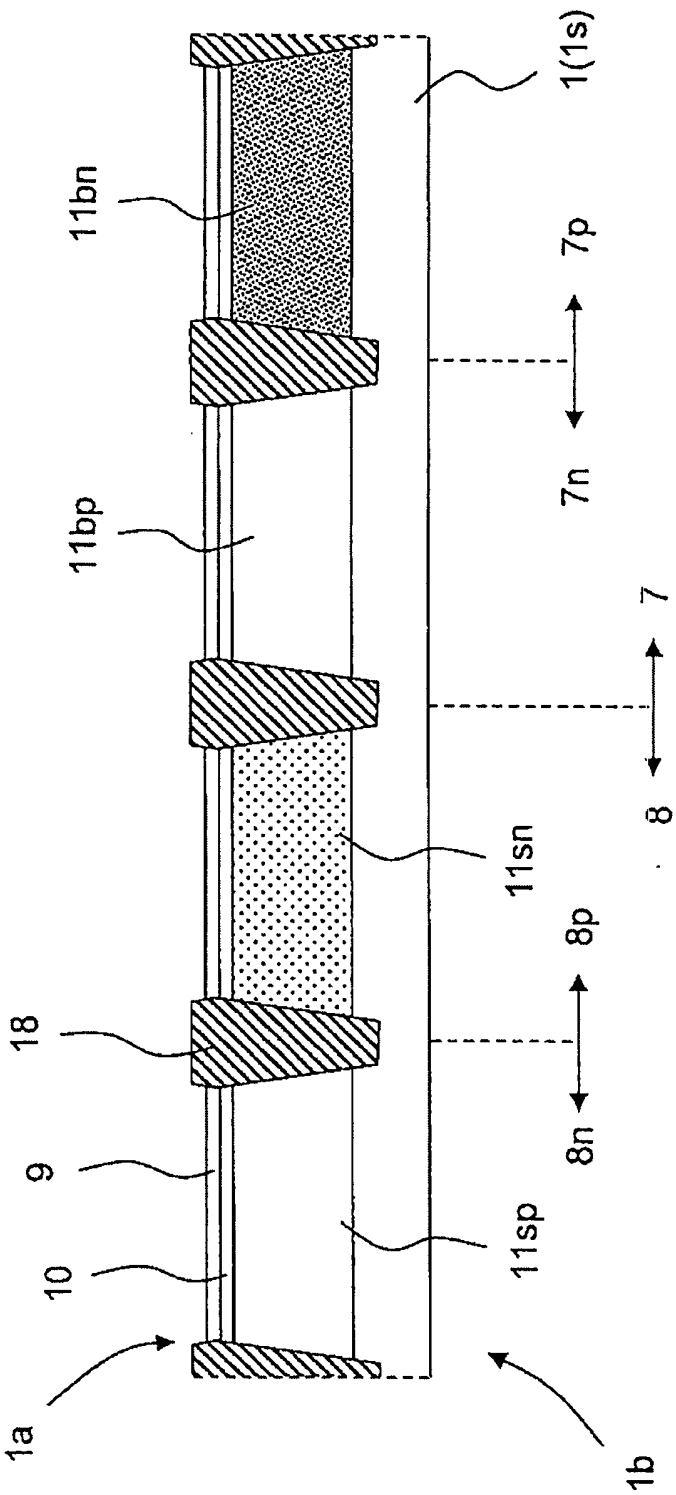


圖 9

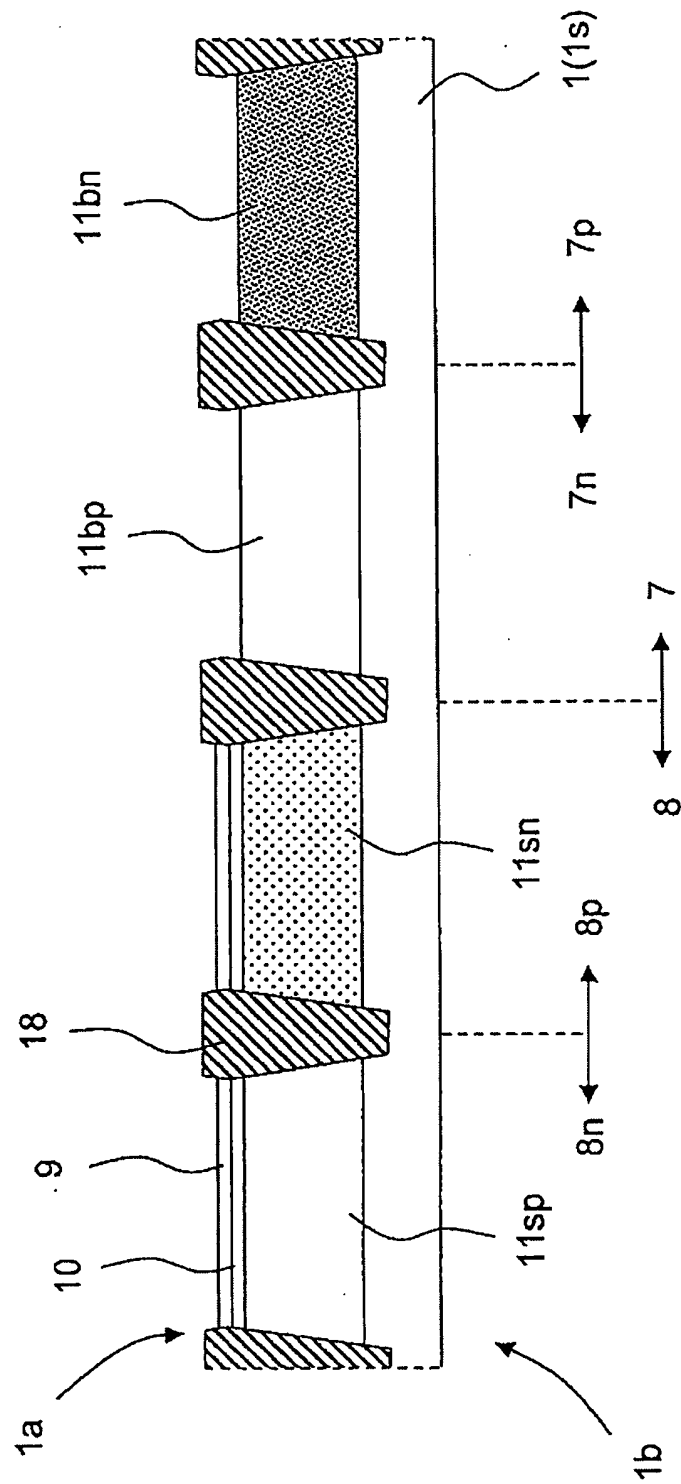


圖 10

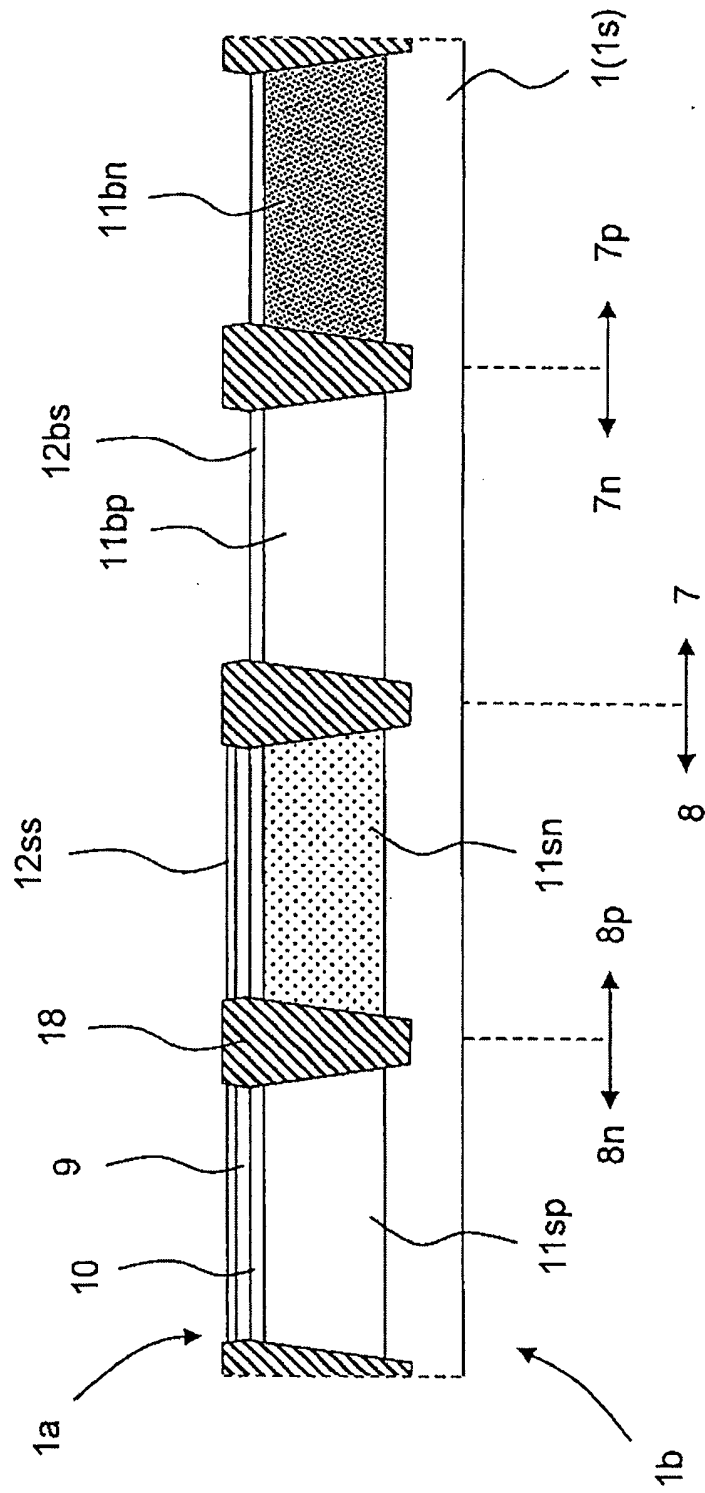


圖 11

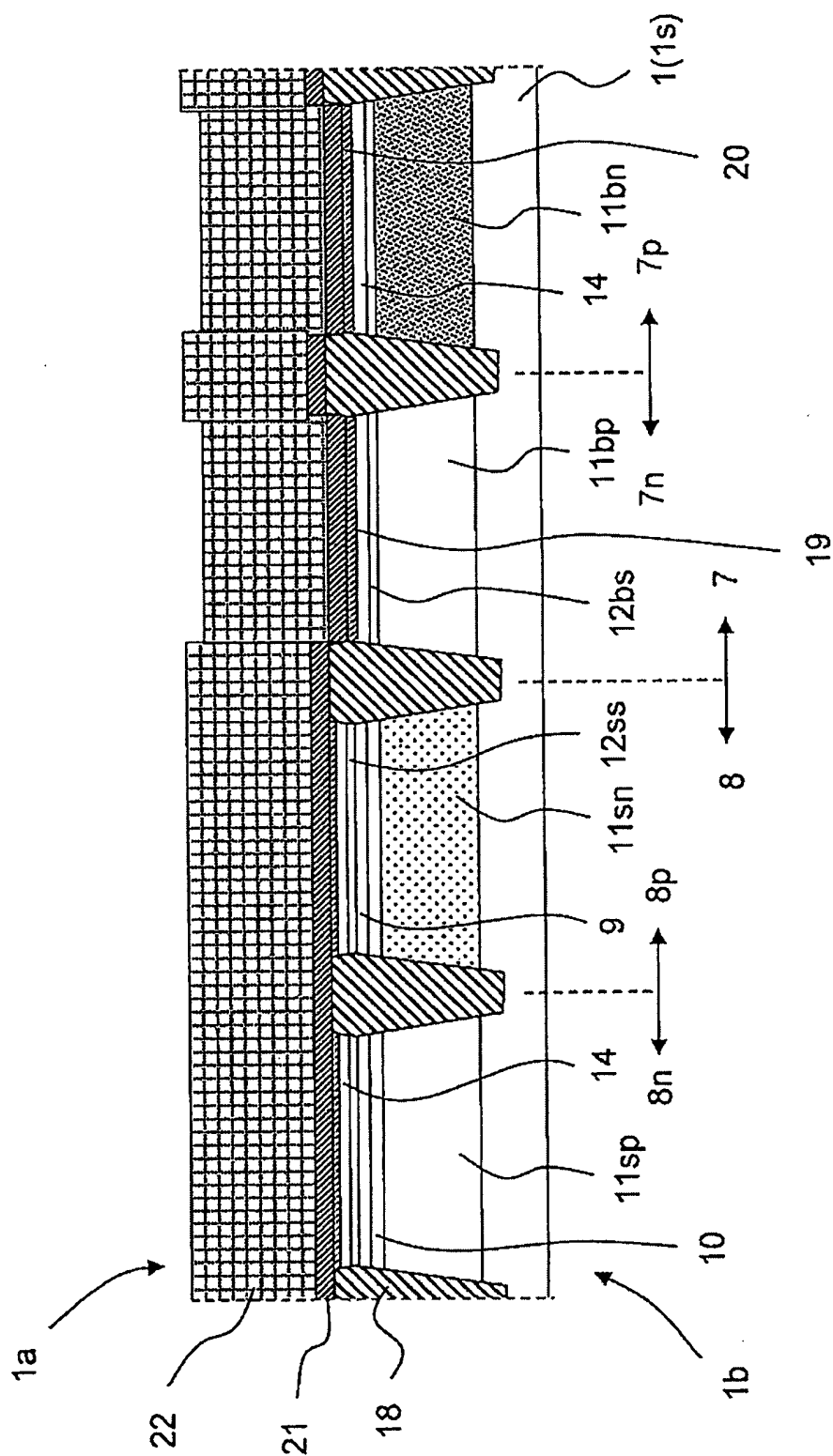


圖 12

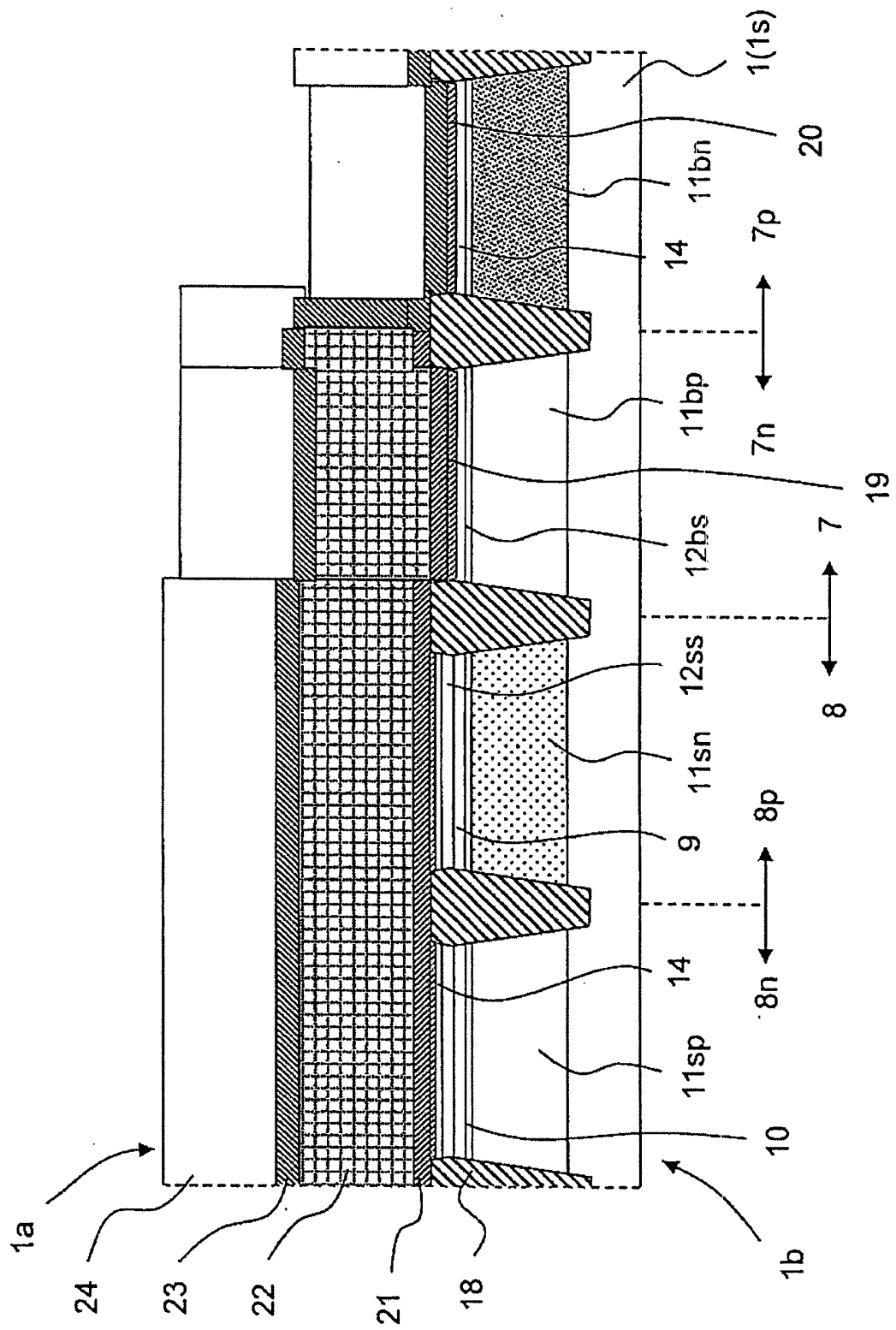


圖 13

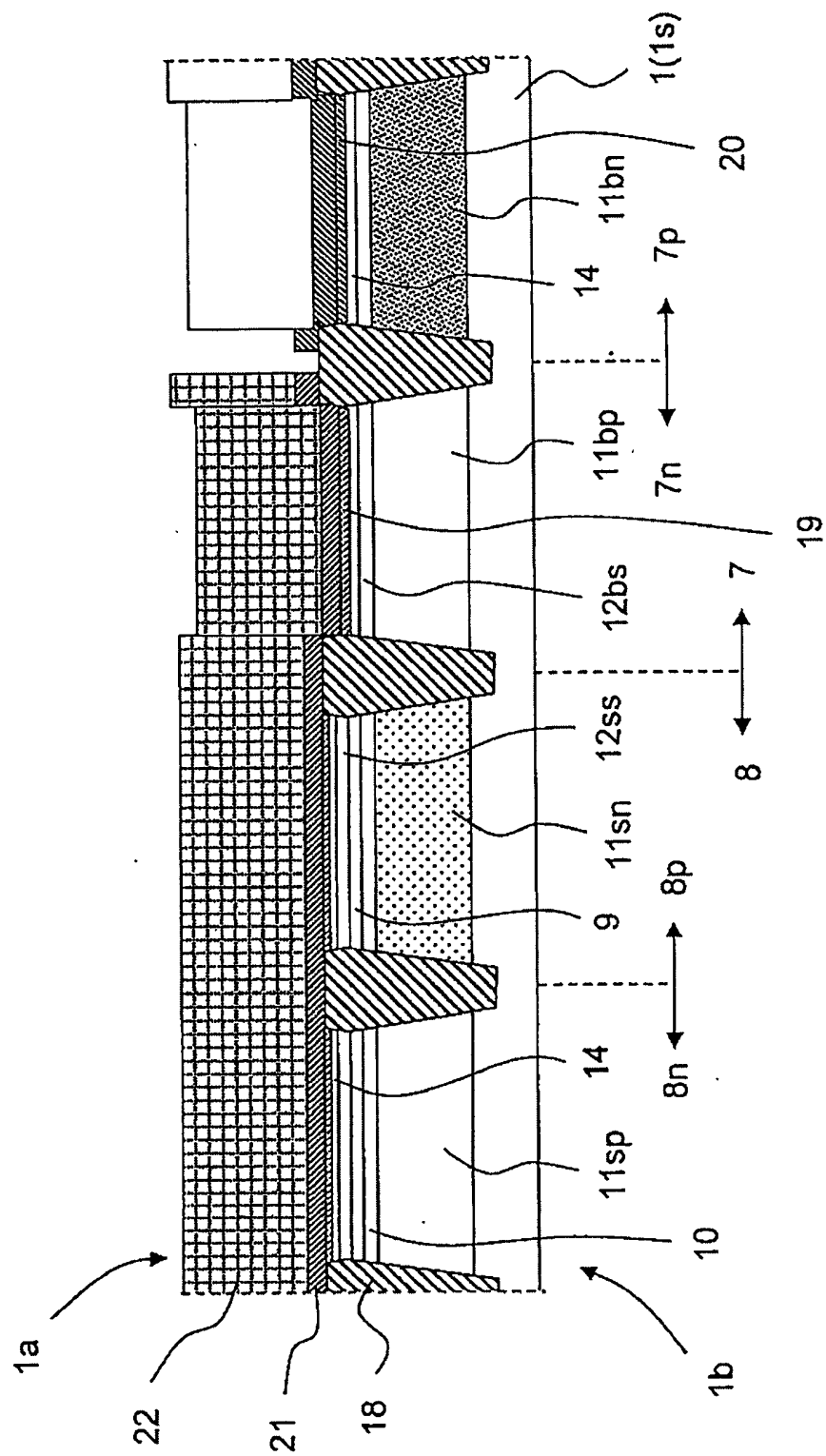


圖 14

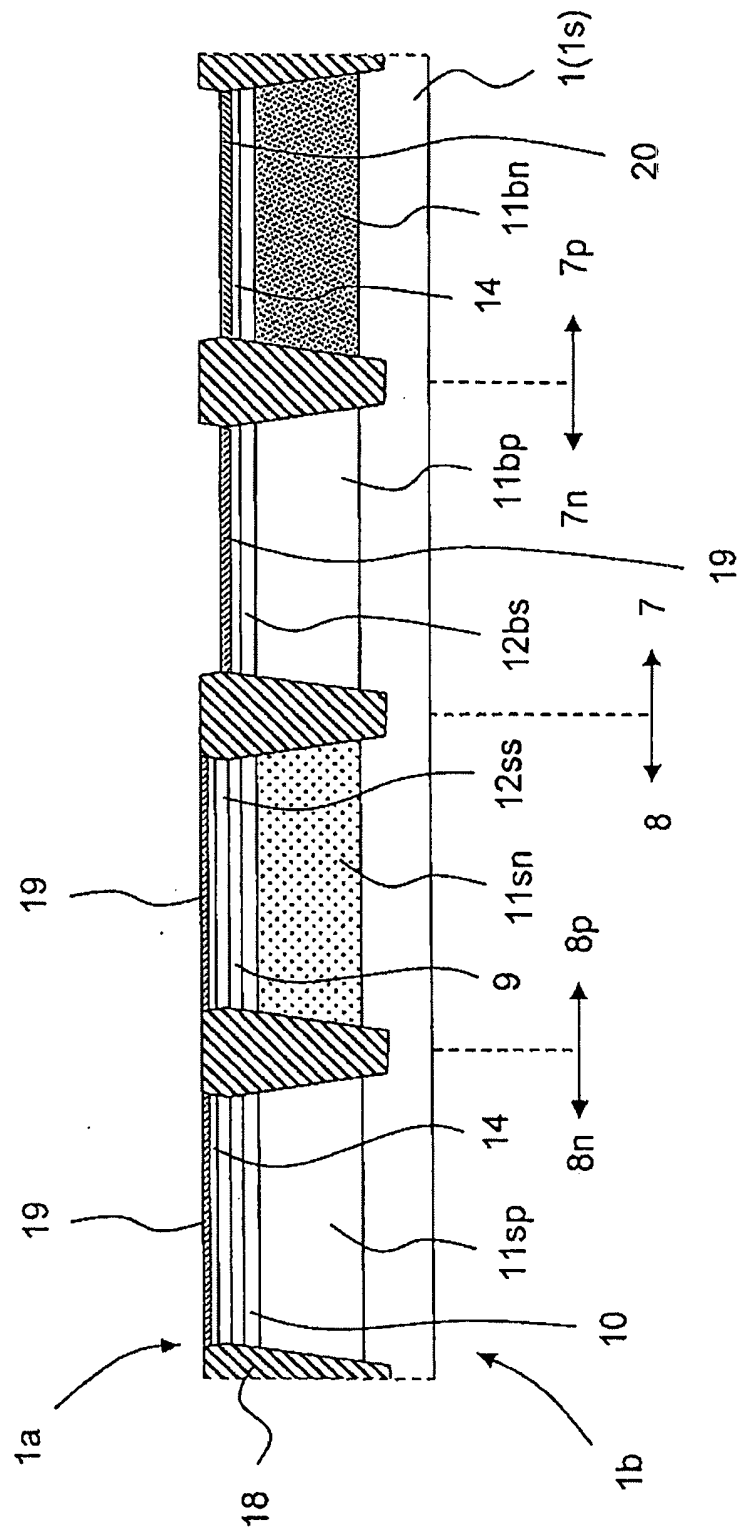


圖 15

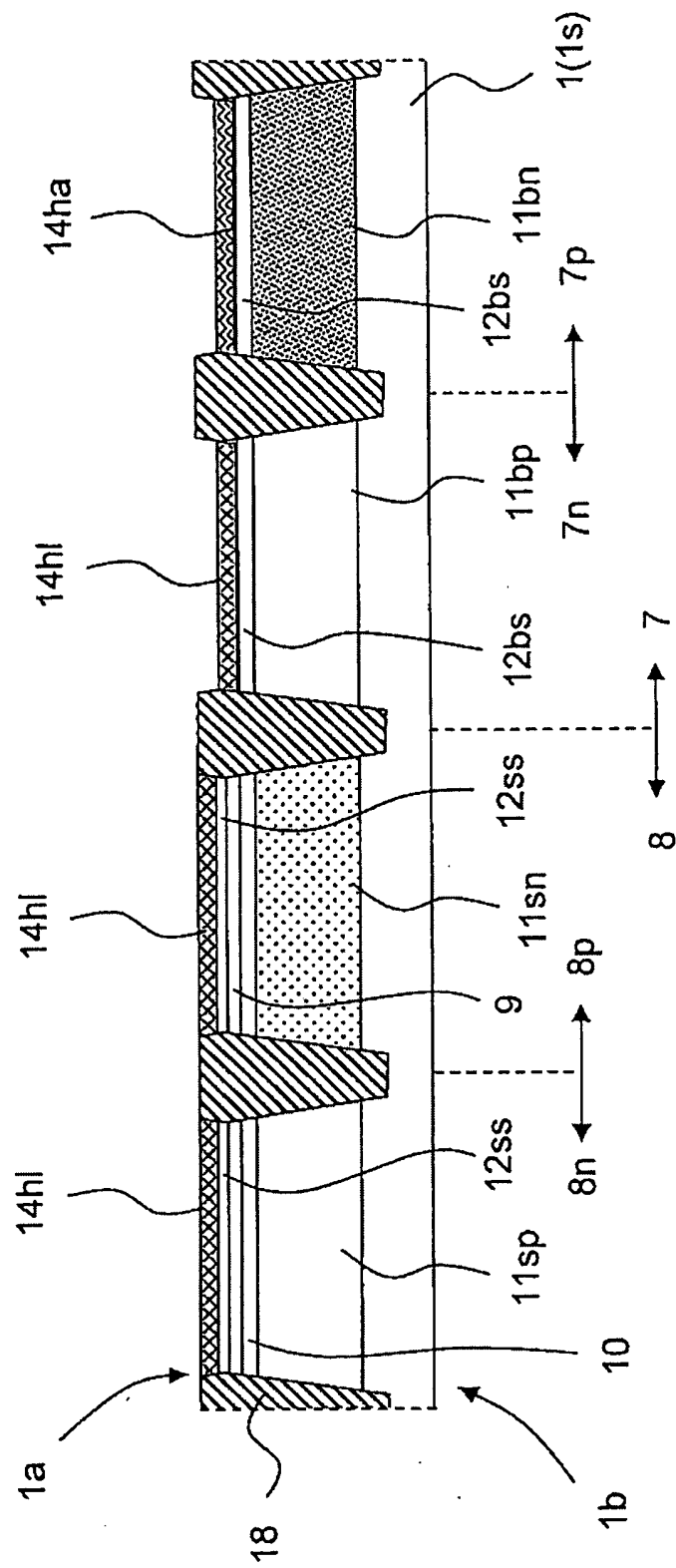
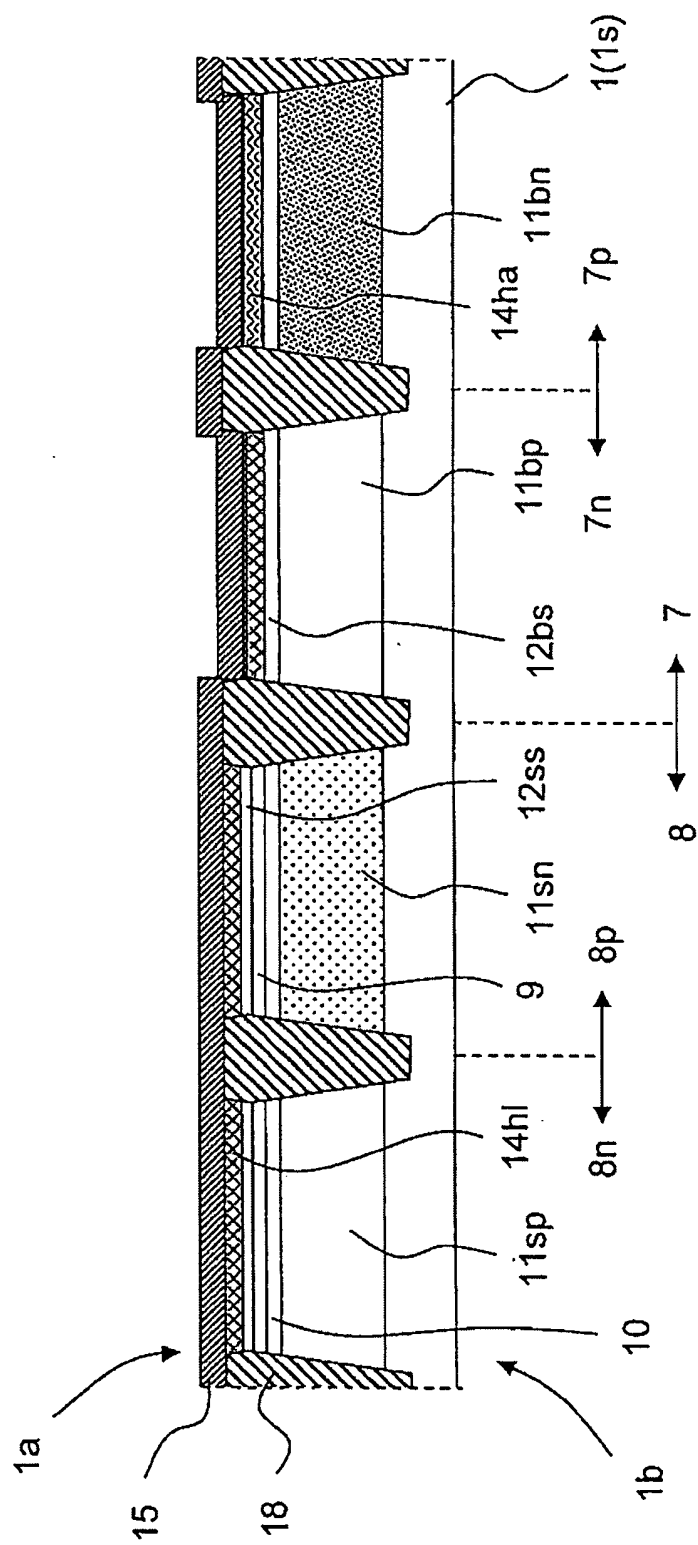


圖 16



17

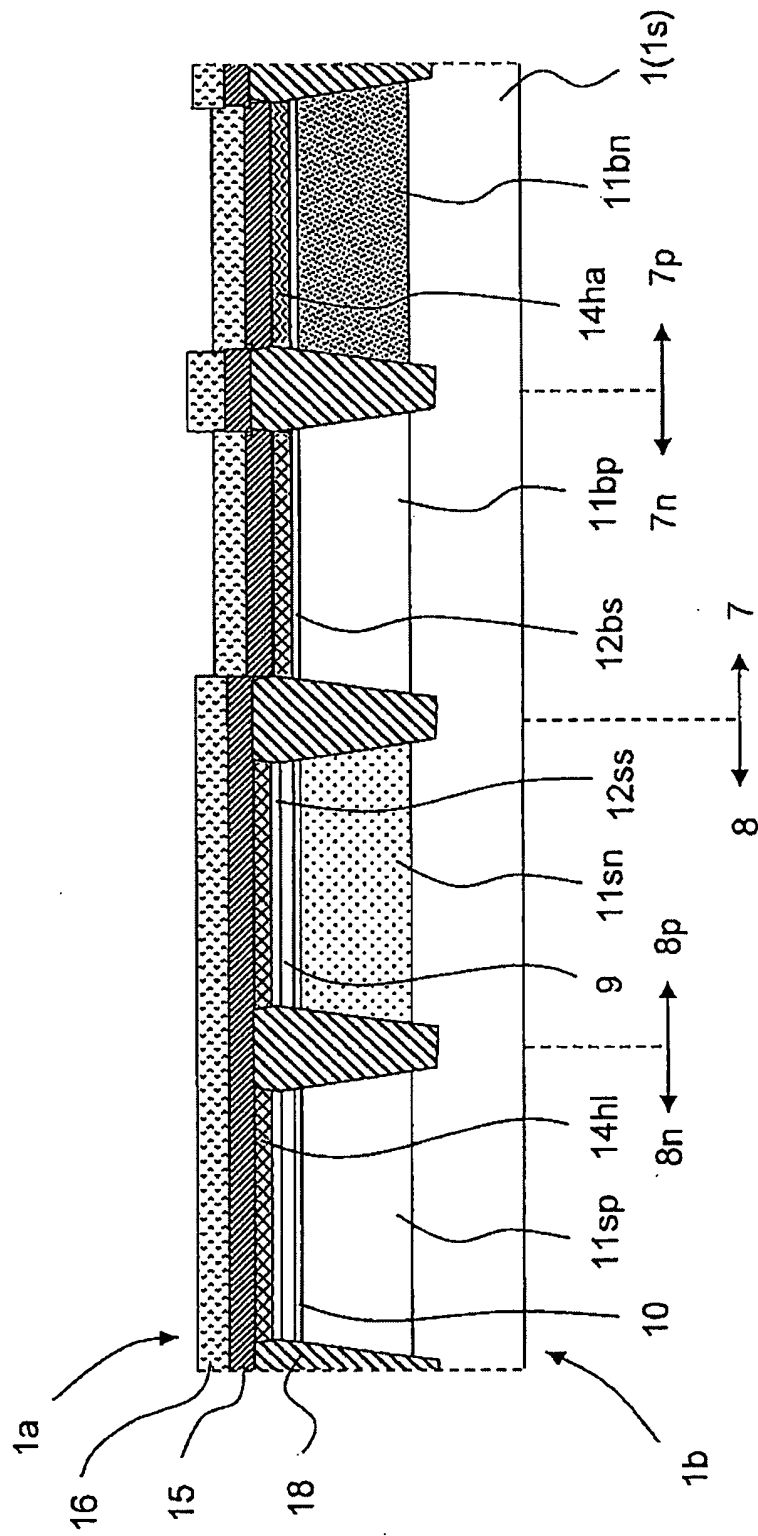
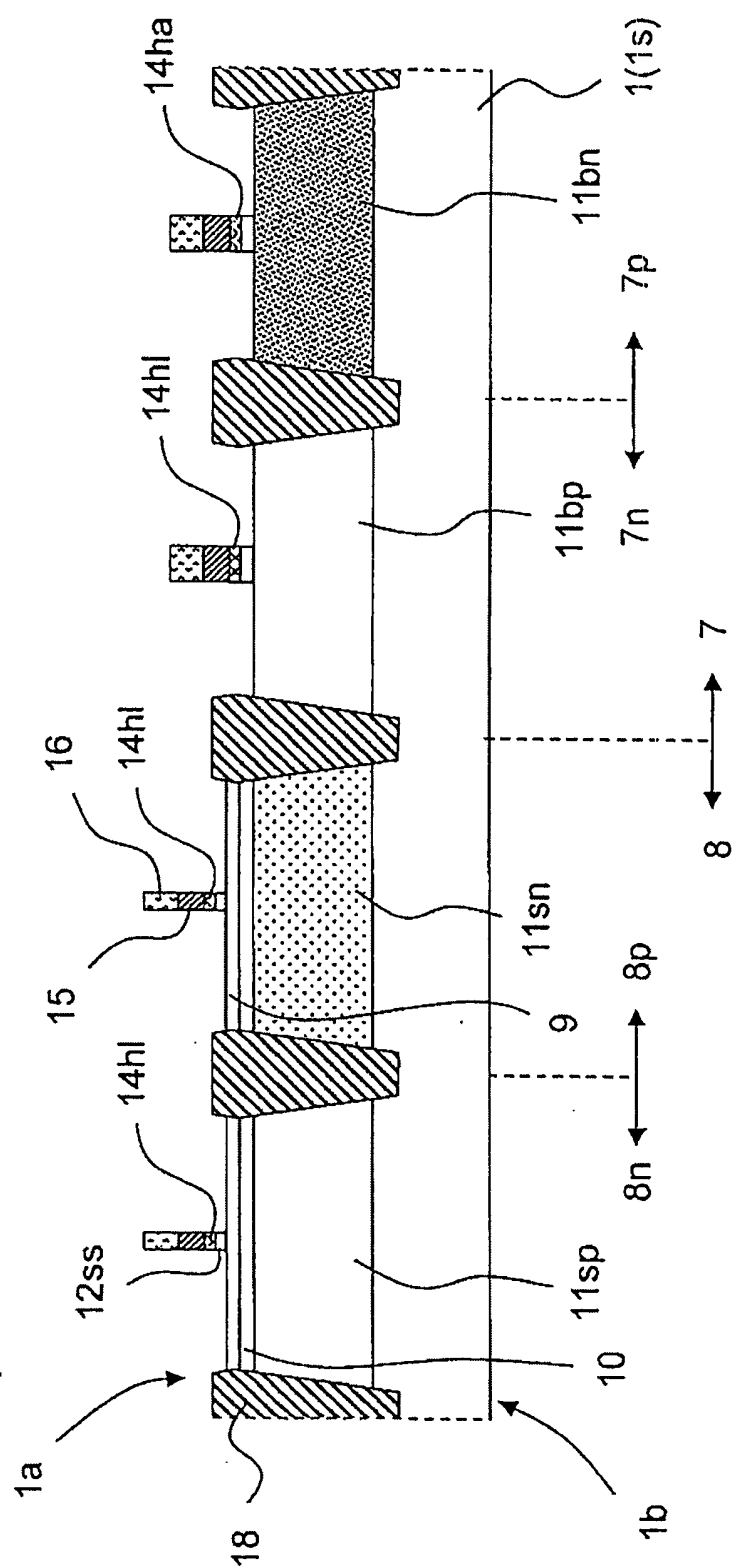


圖 18



19

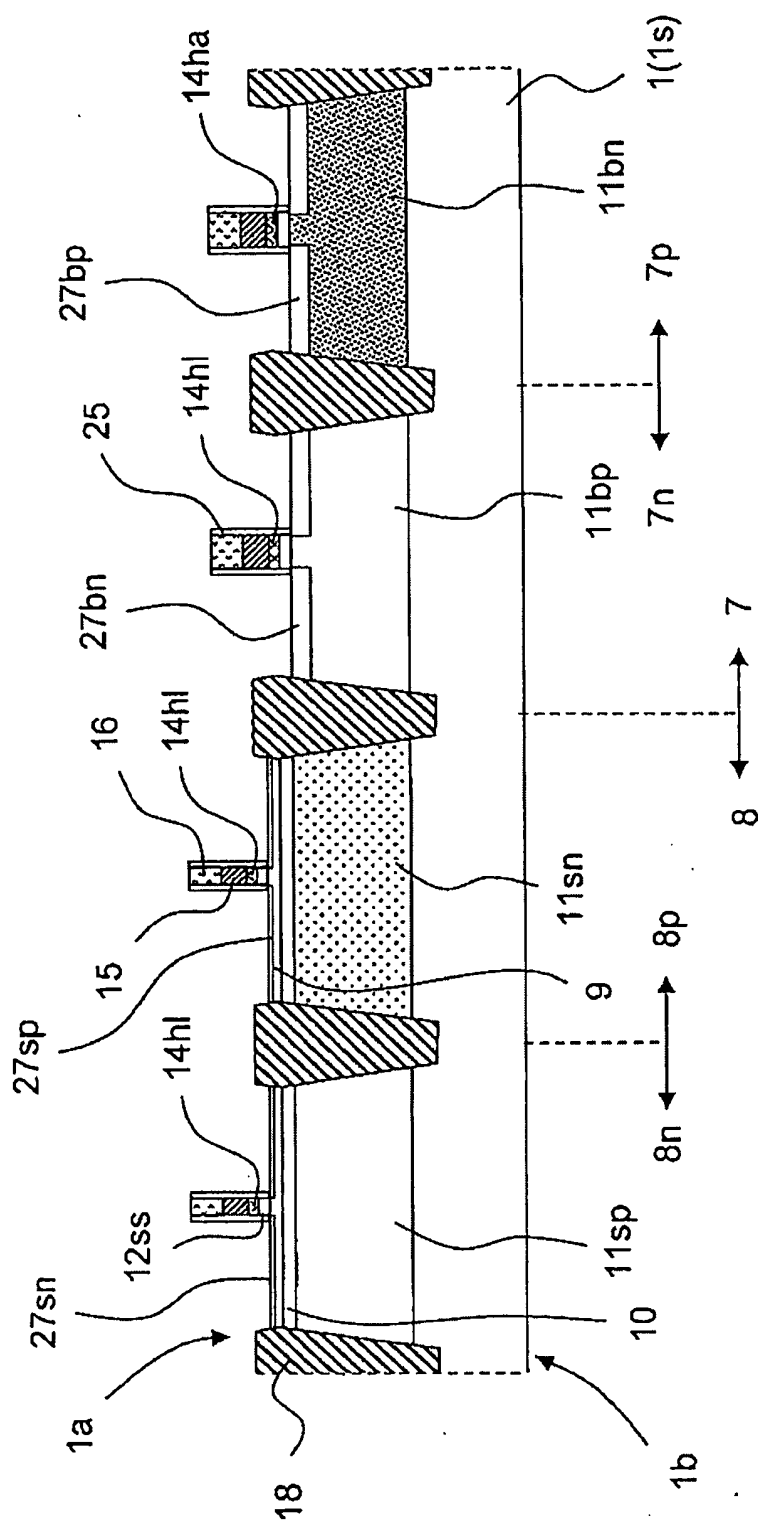
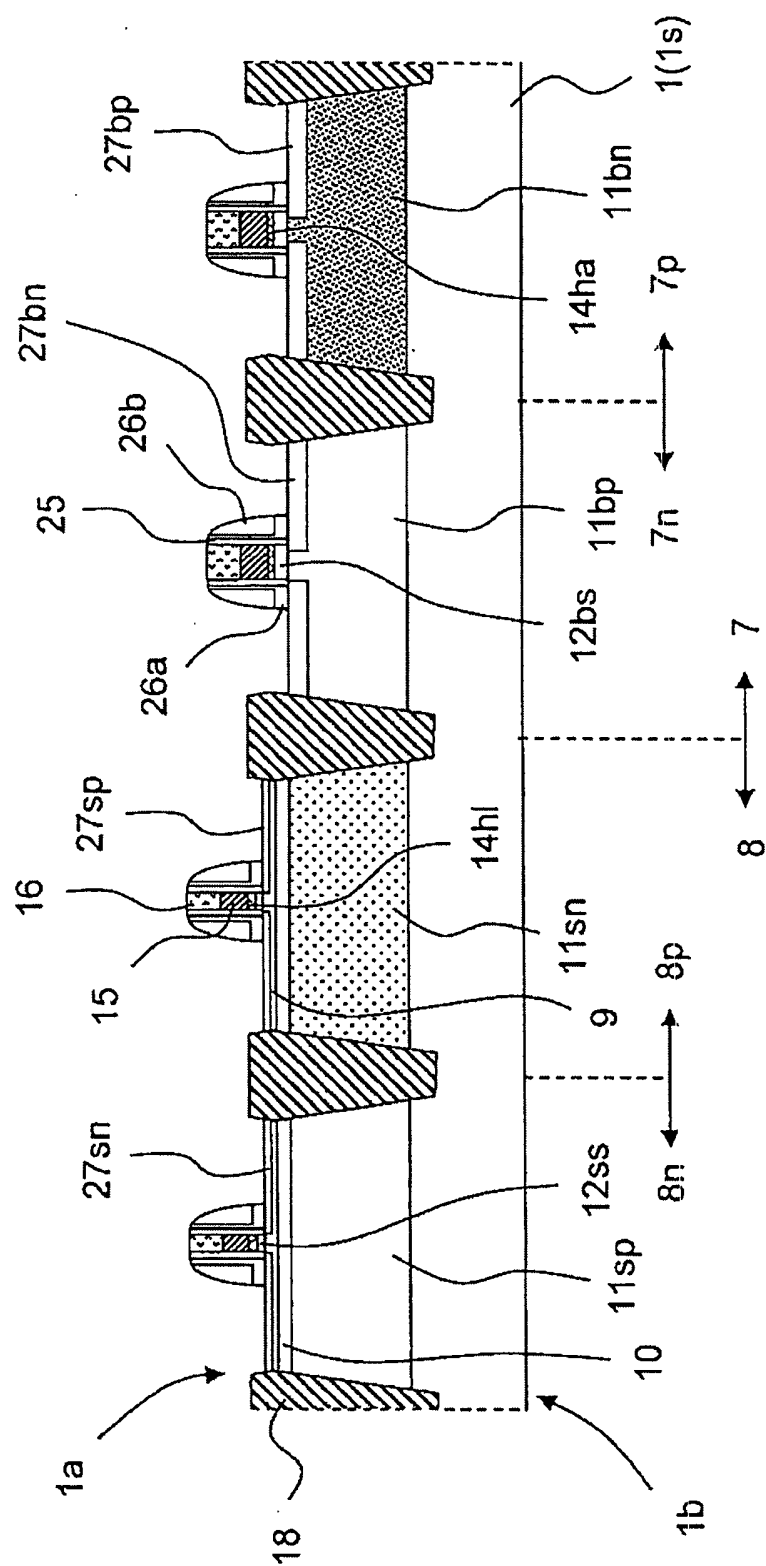


圖 20



21

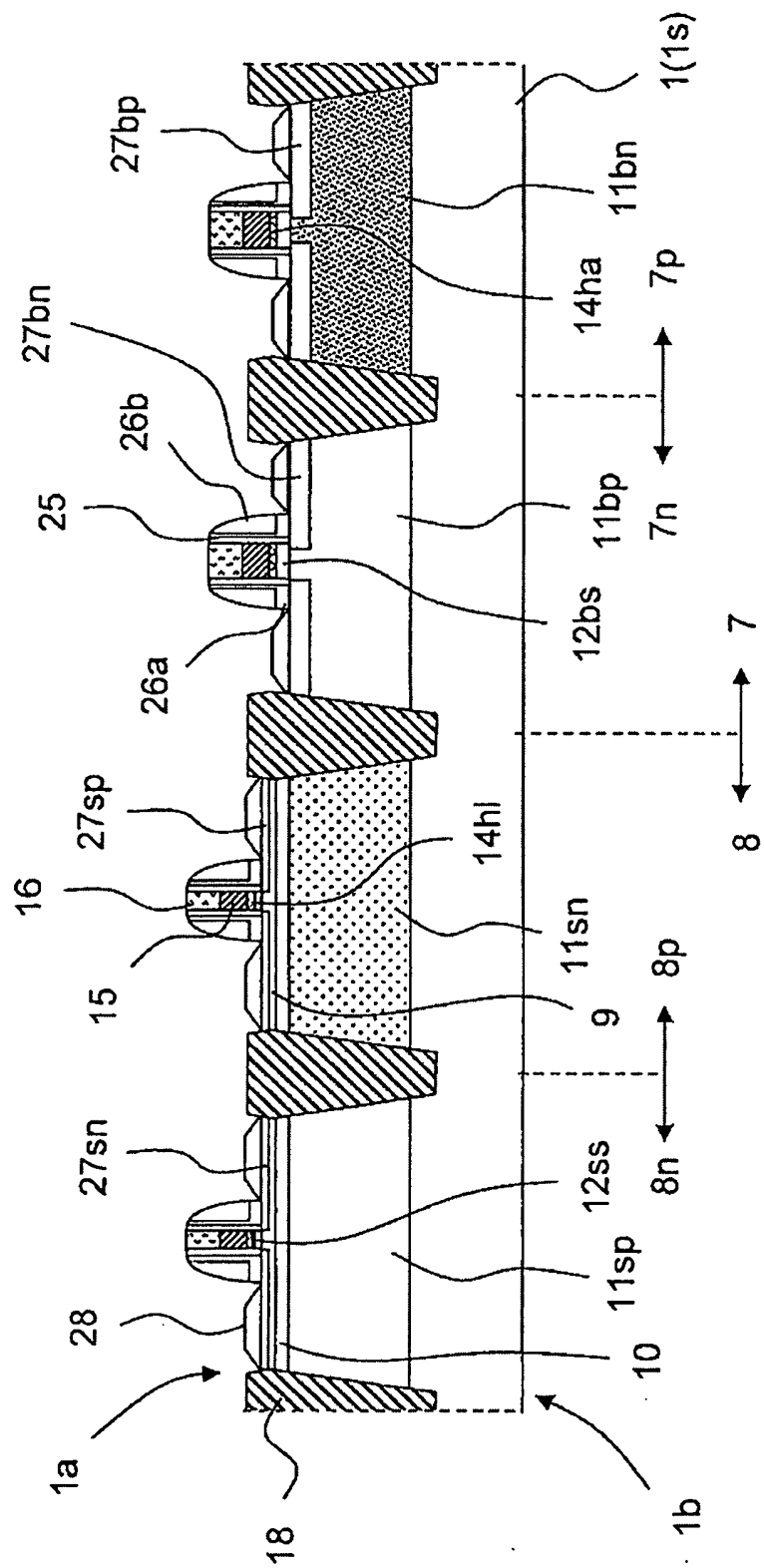


圖 22

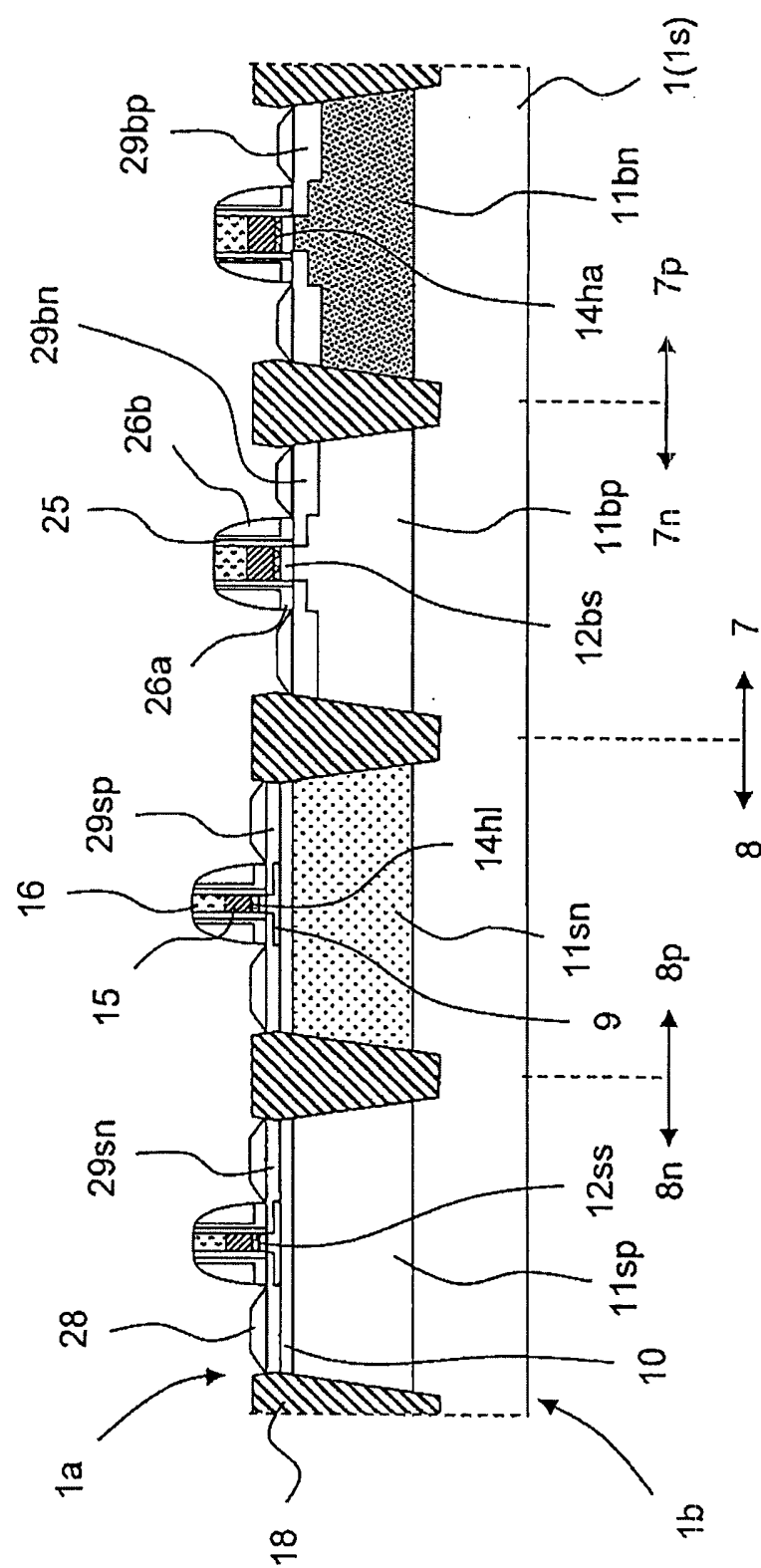


圖 23

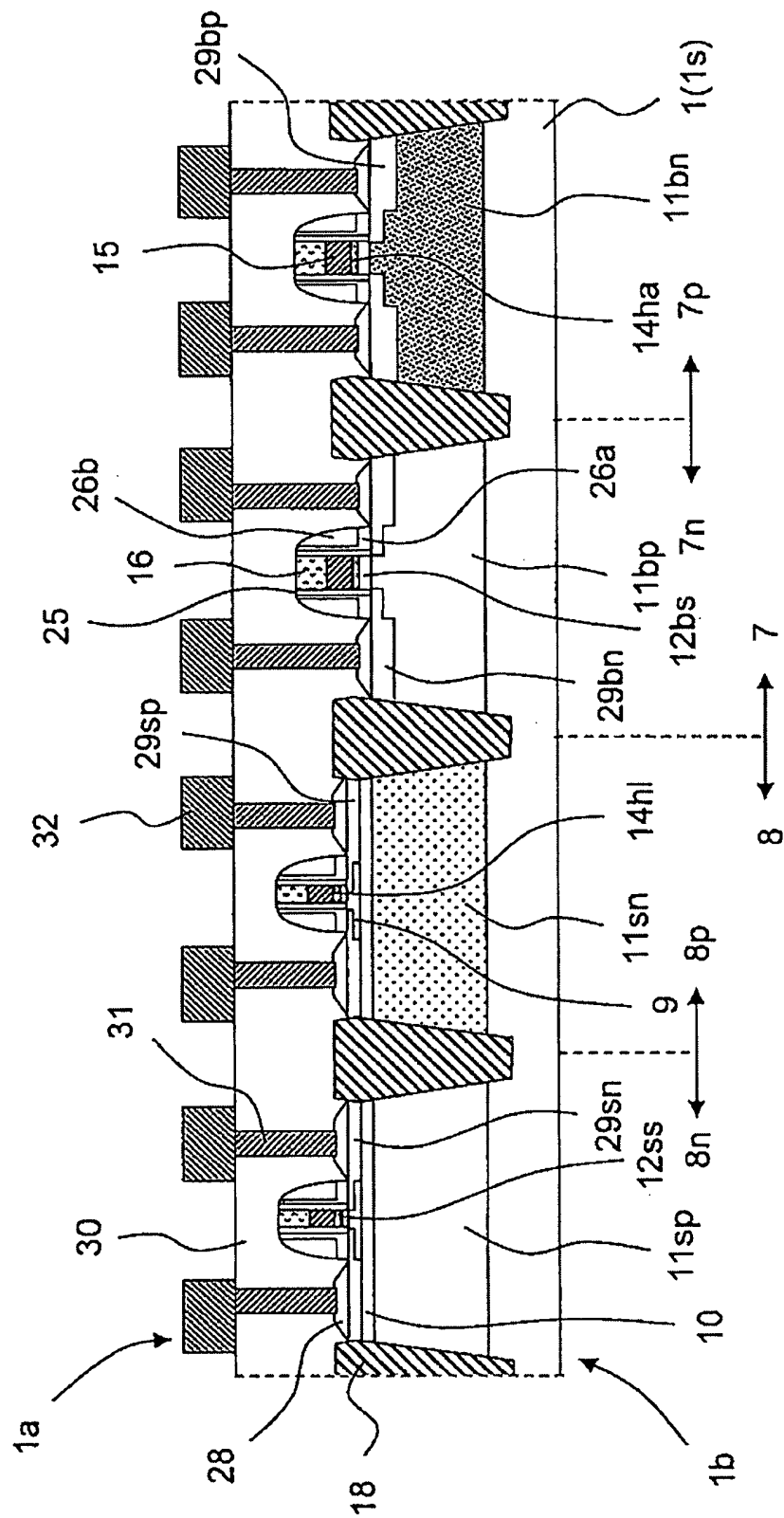


圖 24

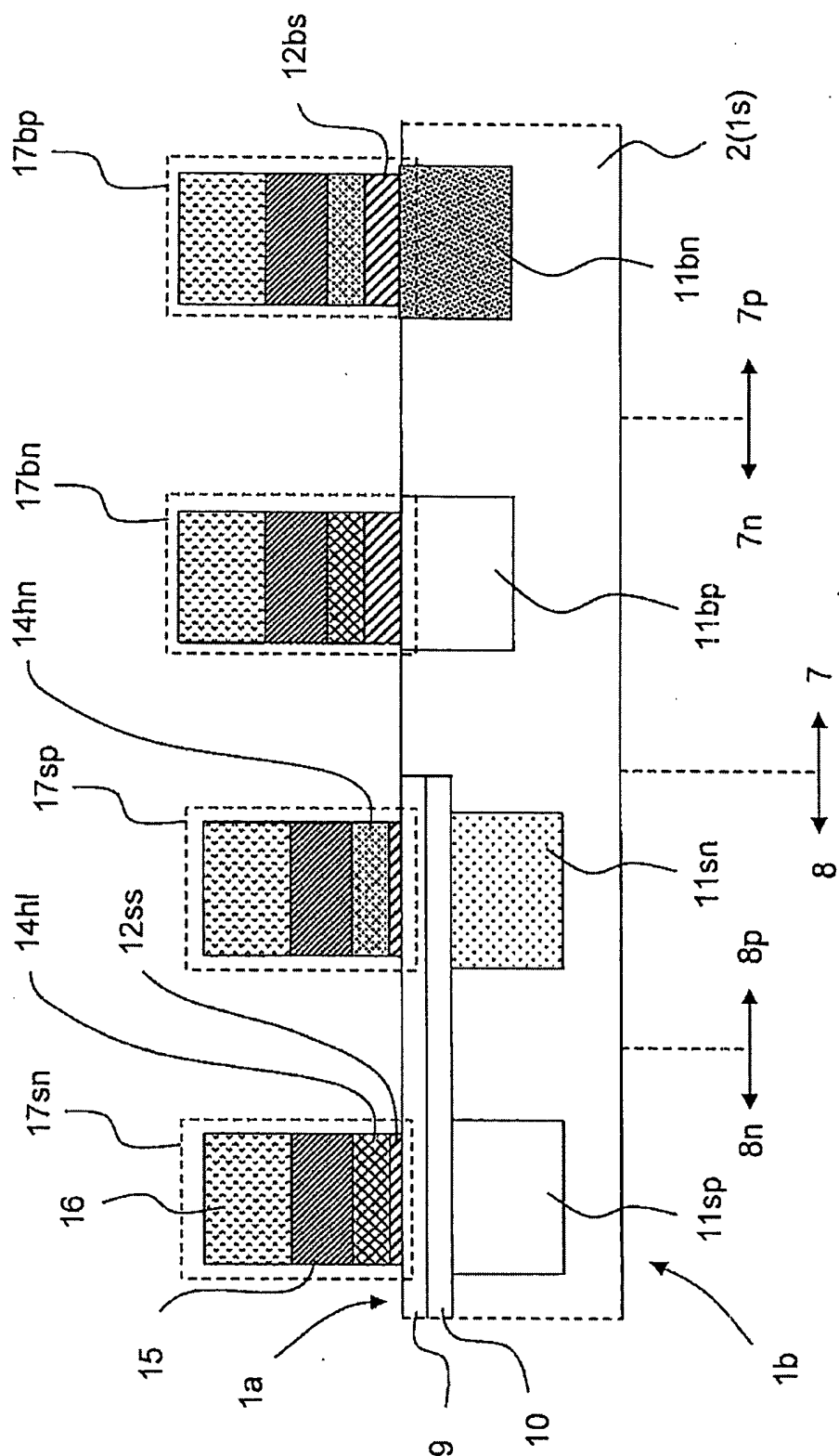
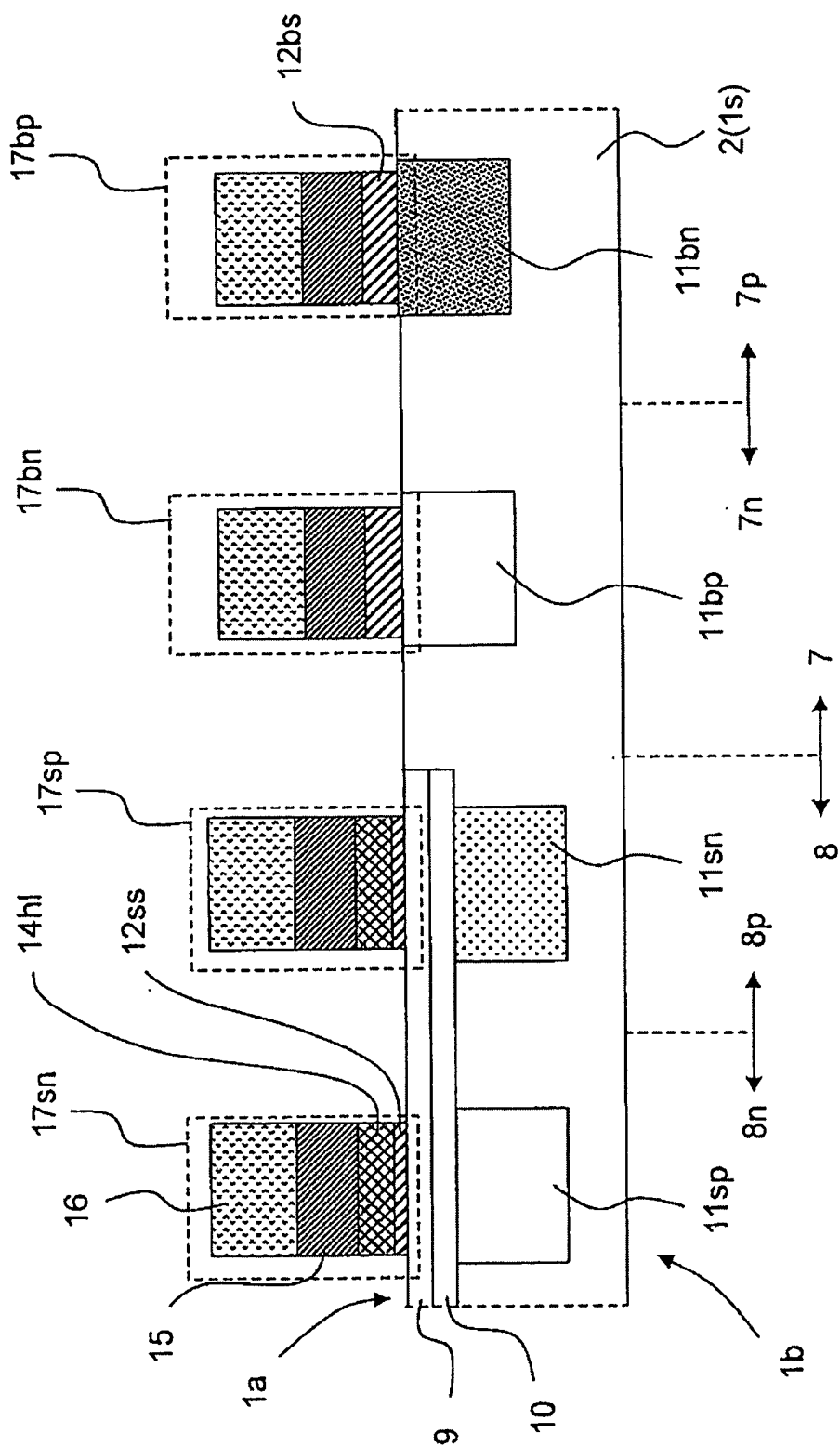


圖 25



26

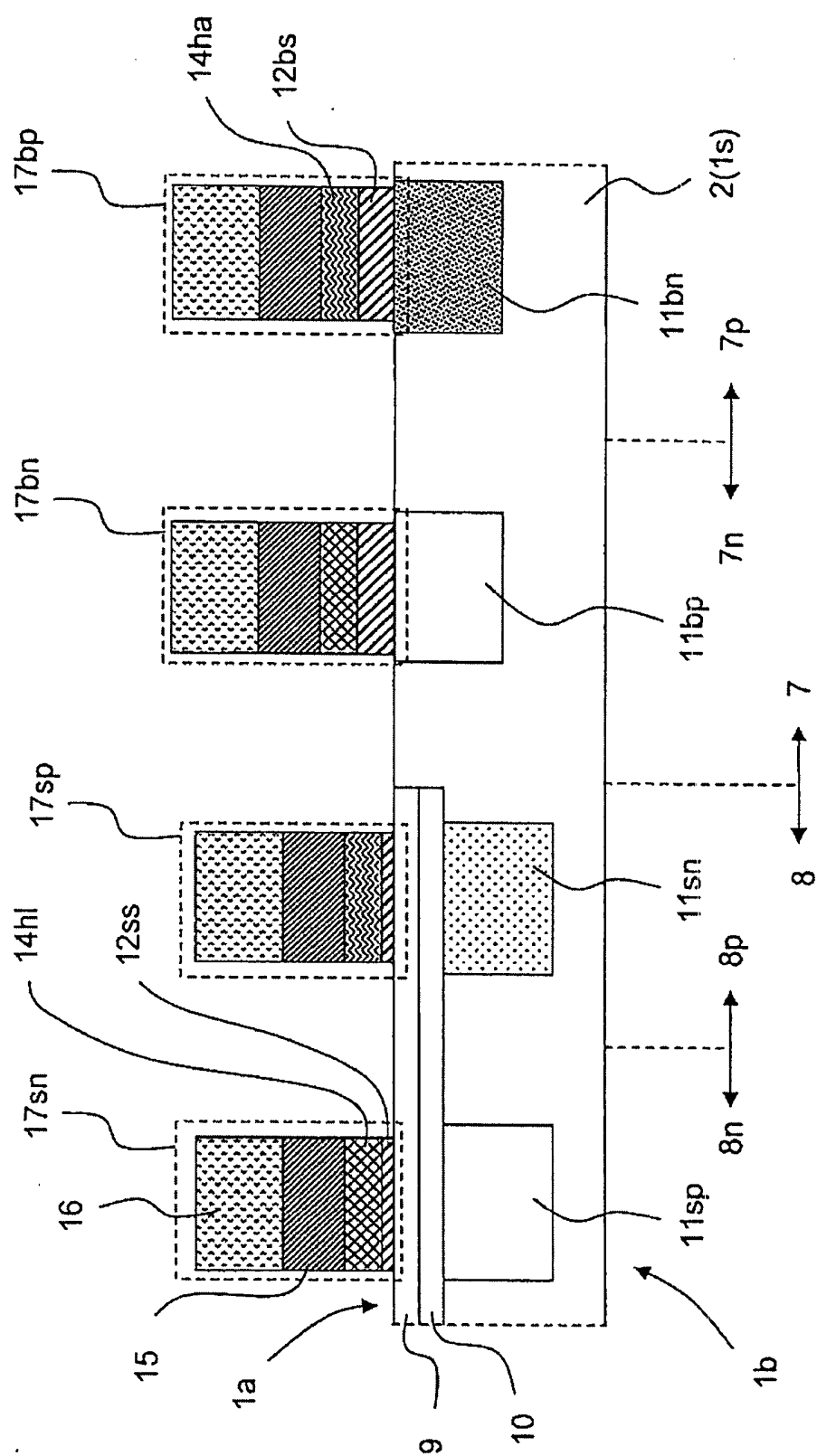


圖 27

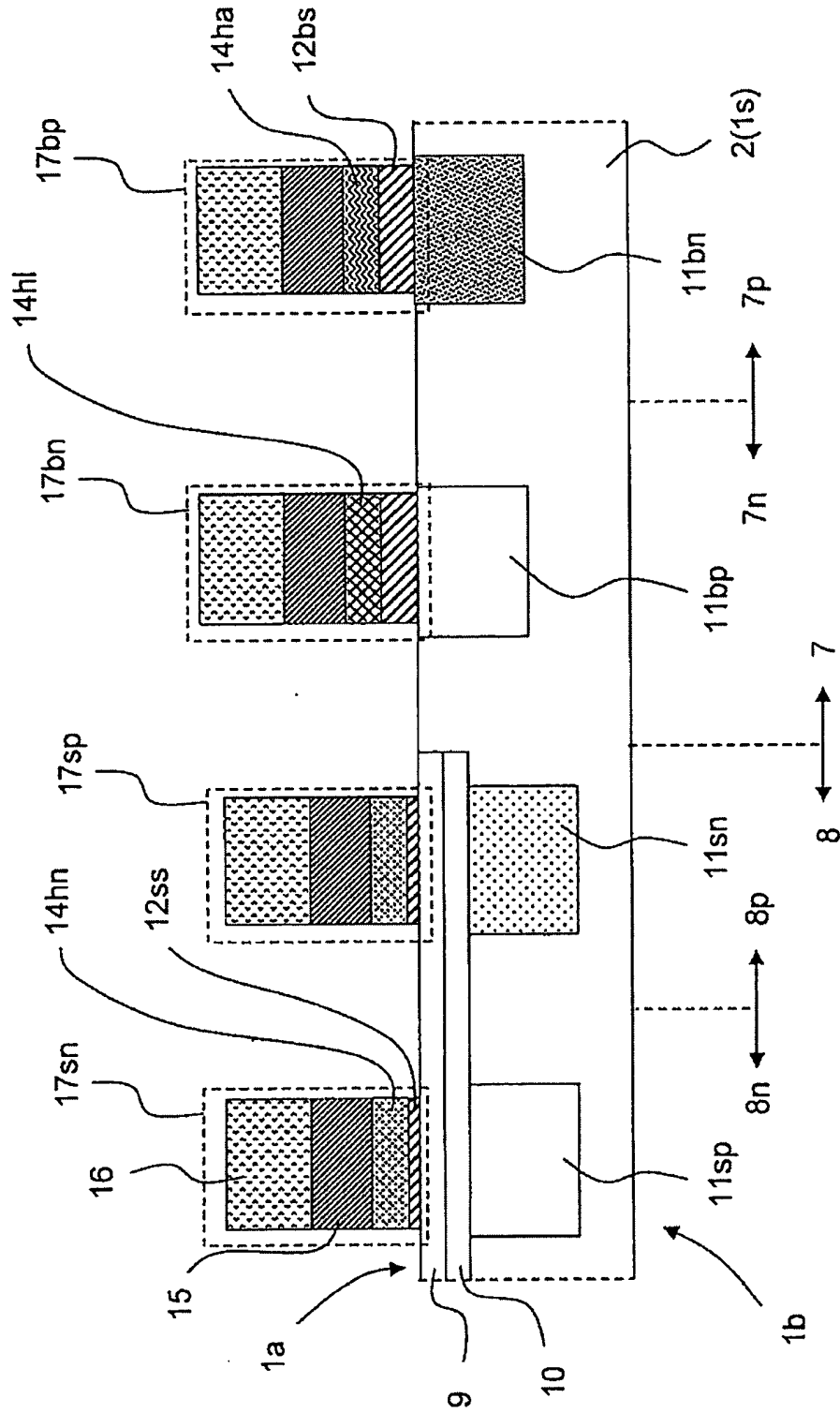


圖 28

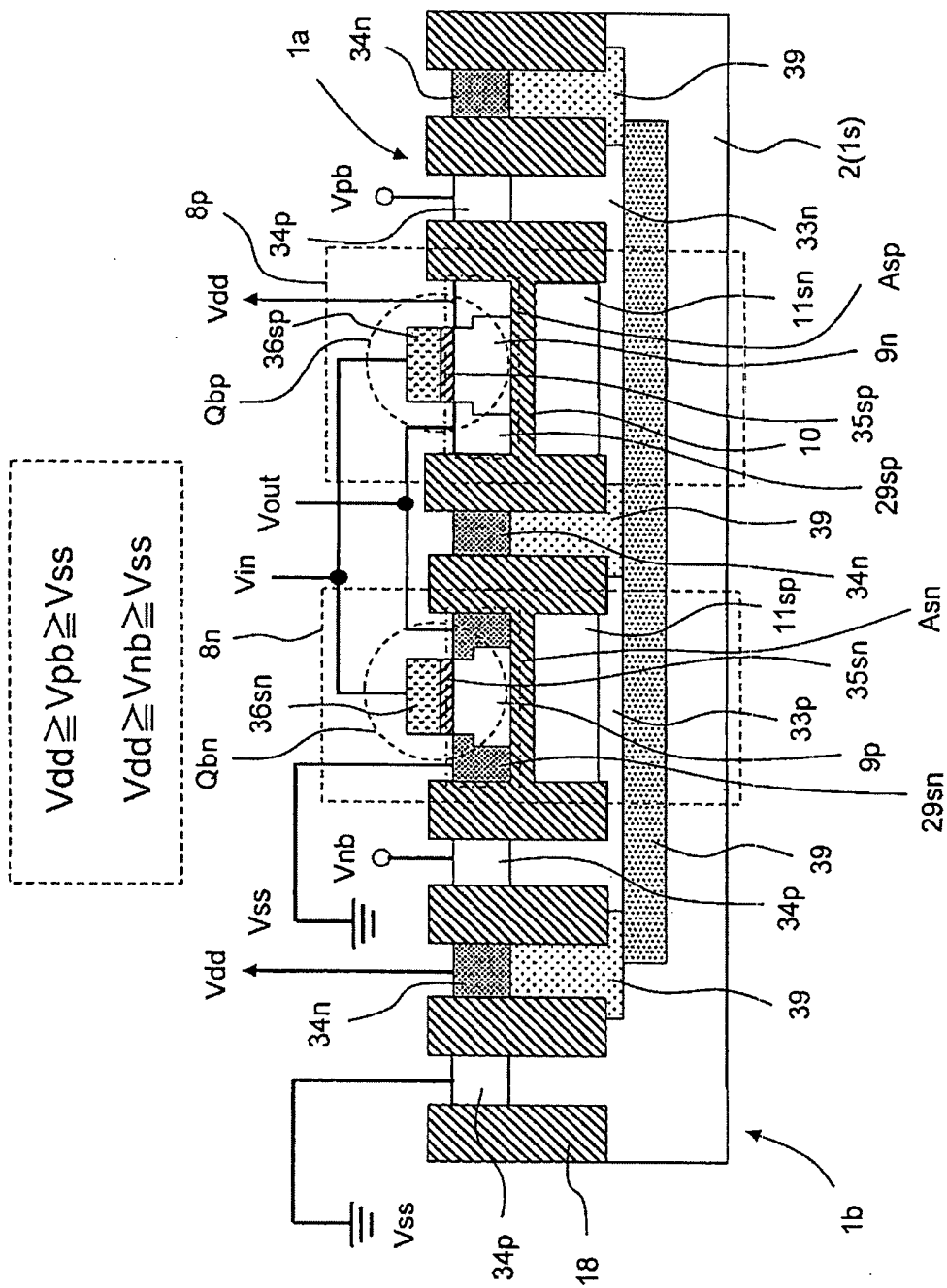


圖 29

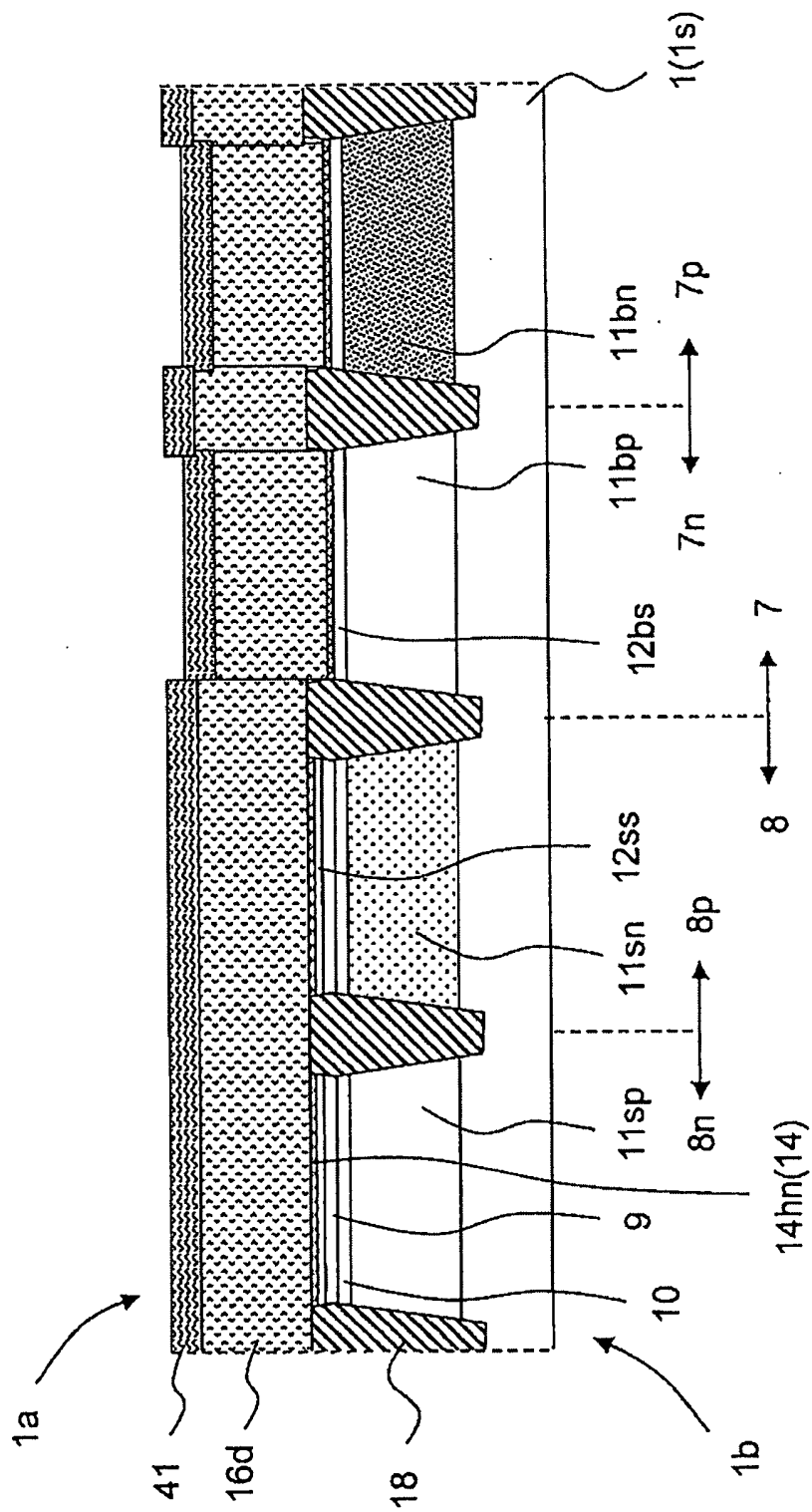


圖 30

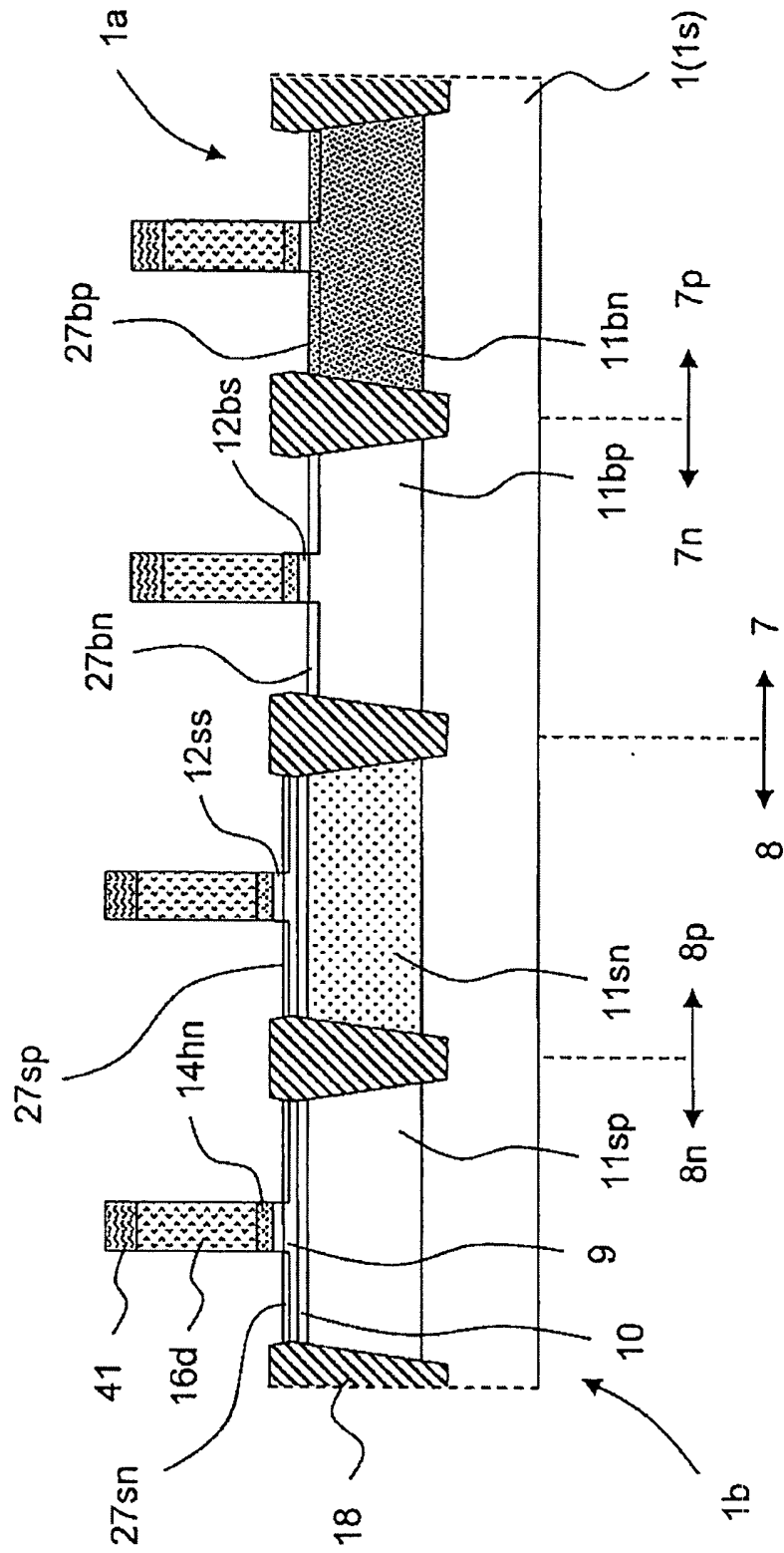


圖 31

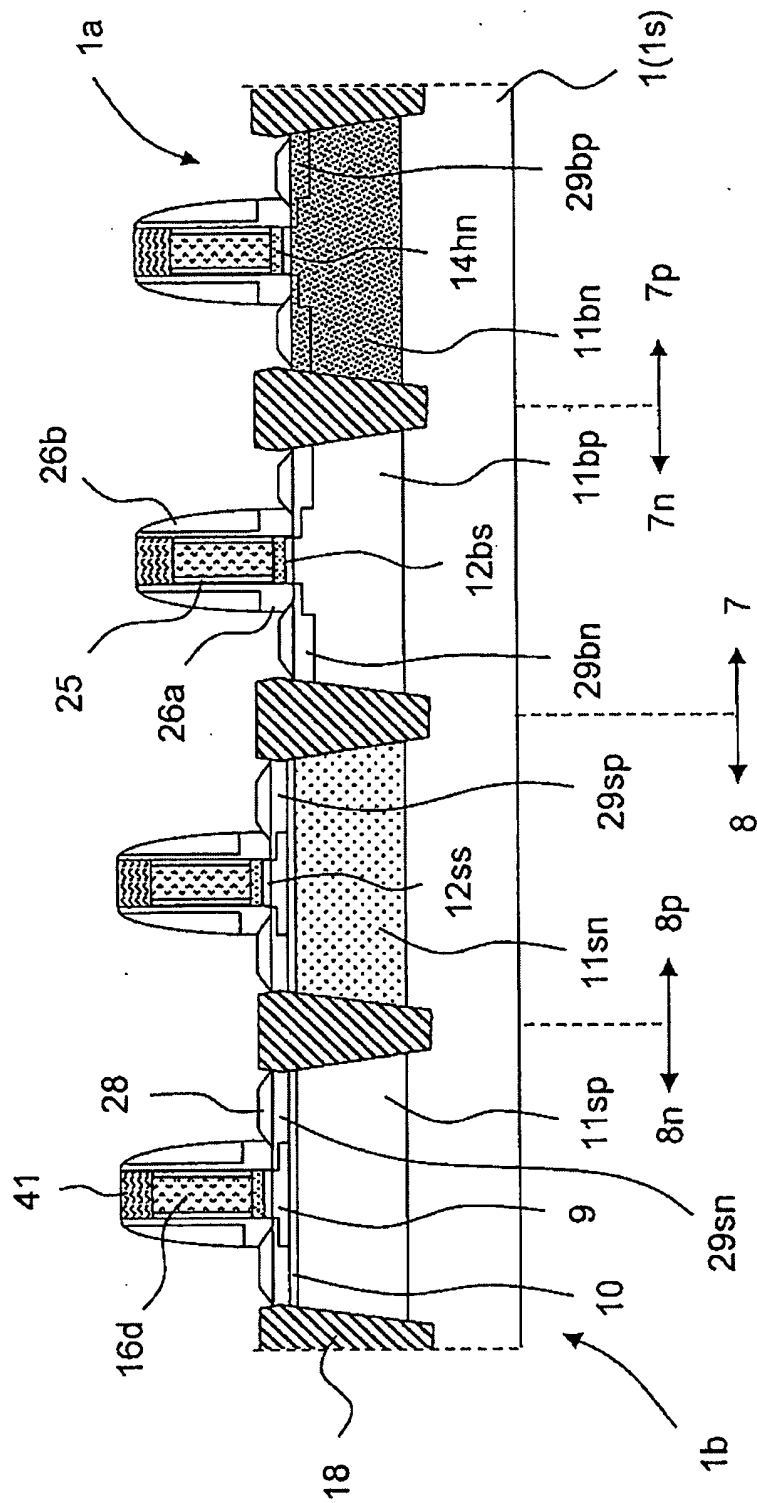
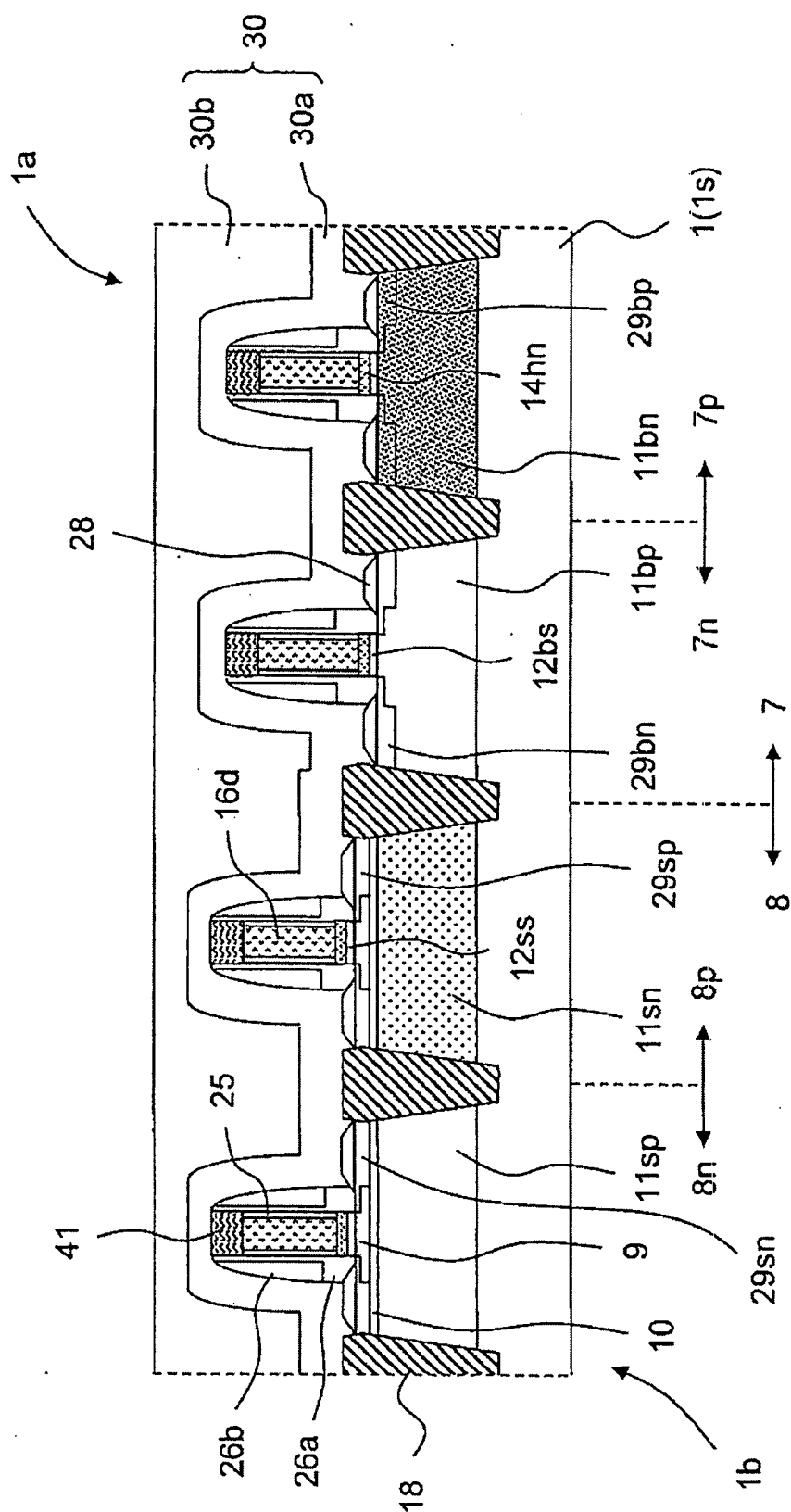


圖 32



33

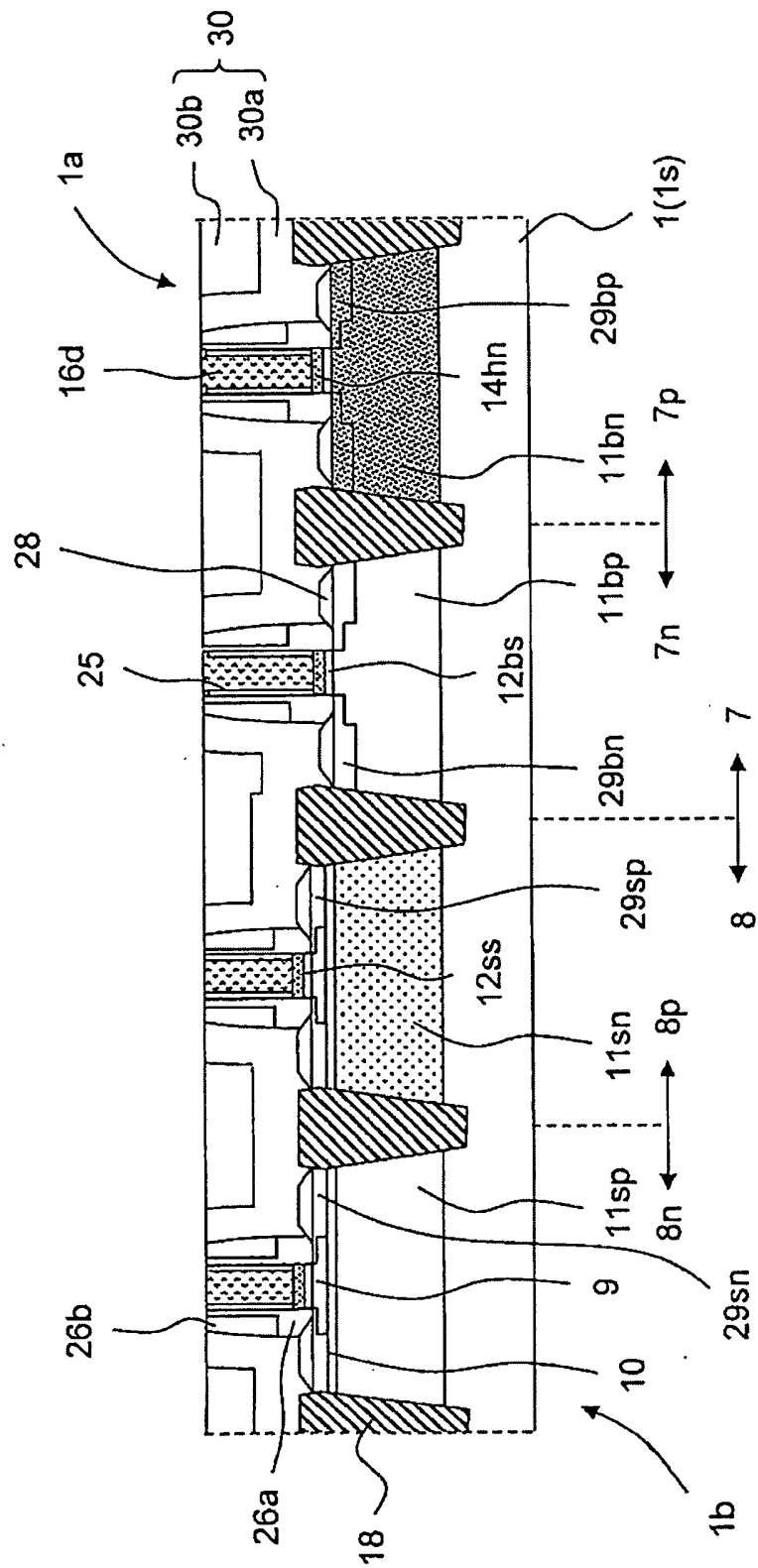


圖 34

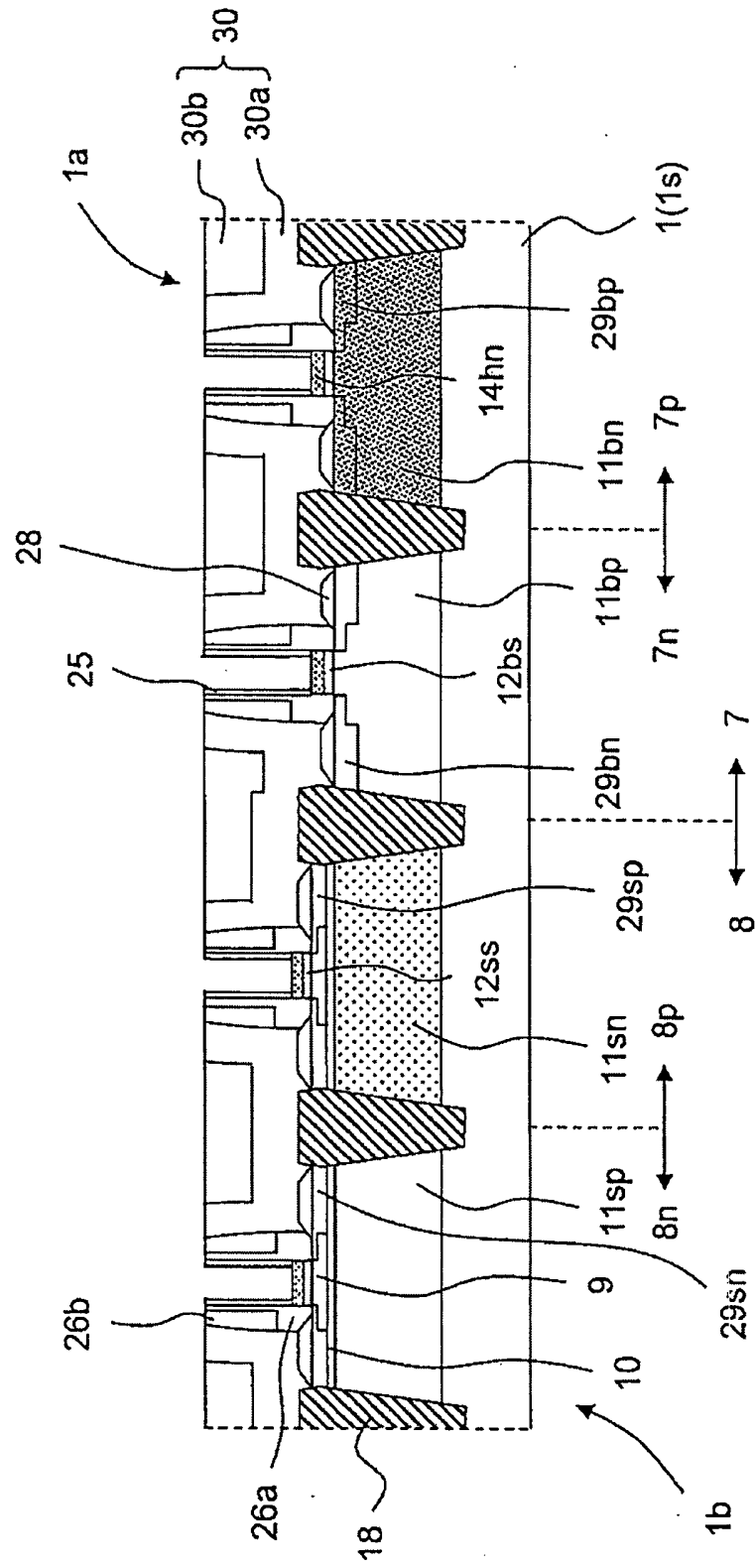
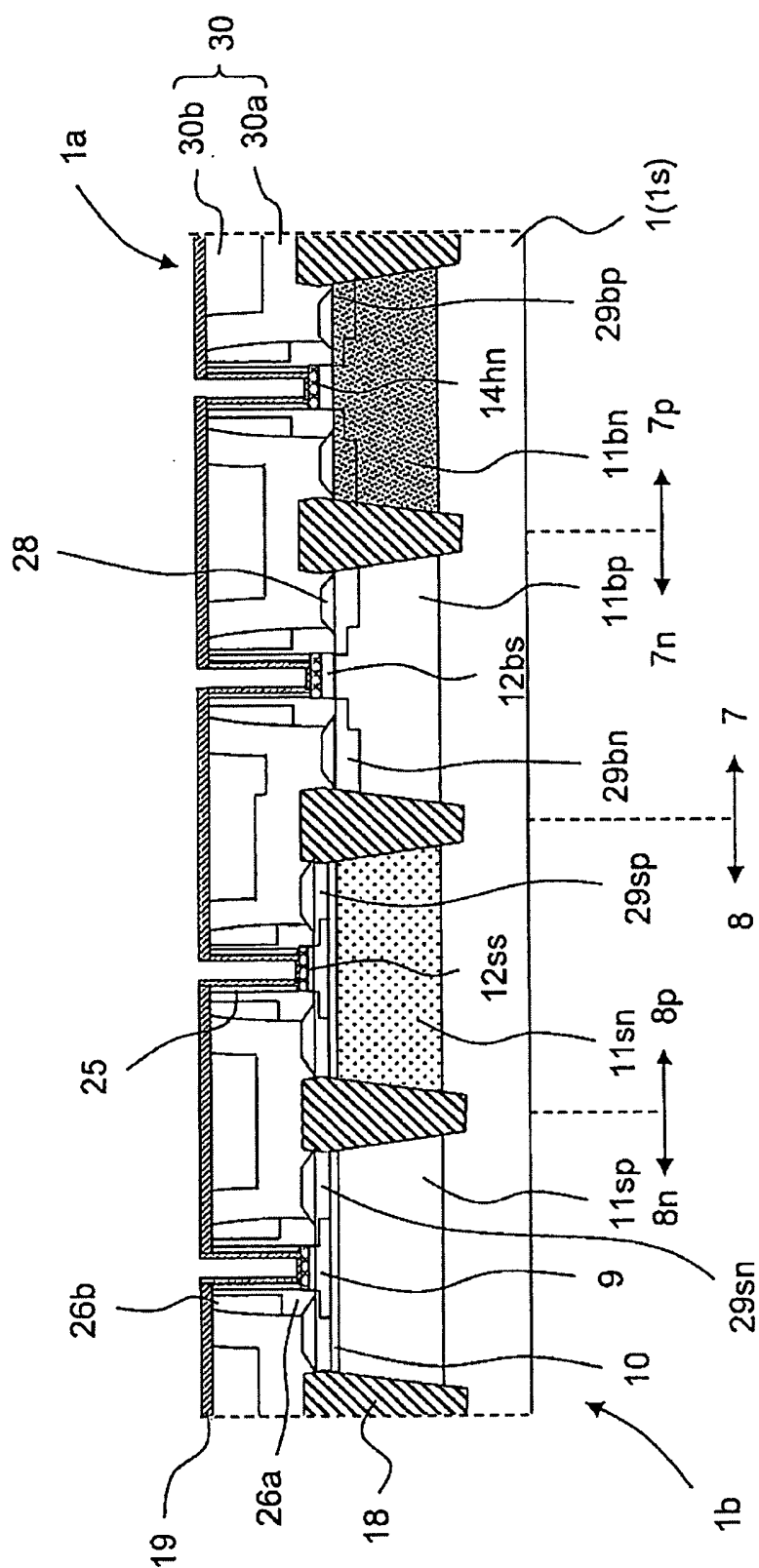


圖 35



36

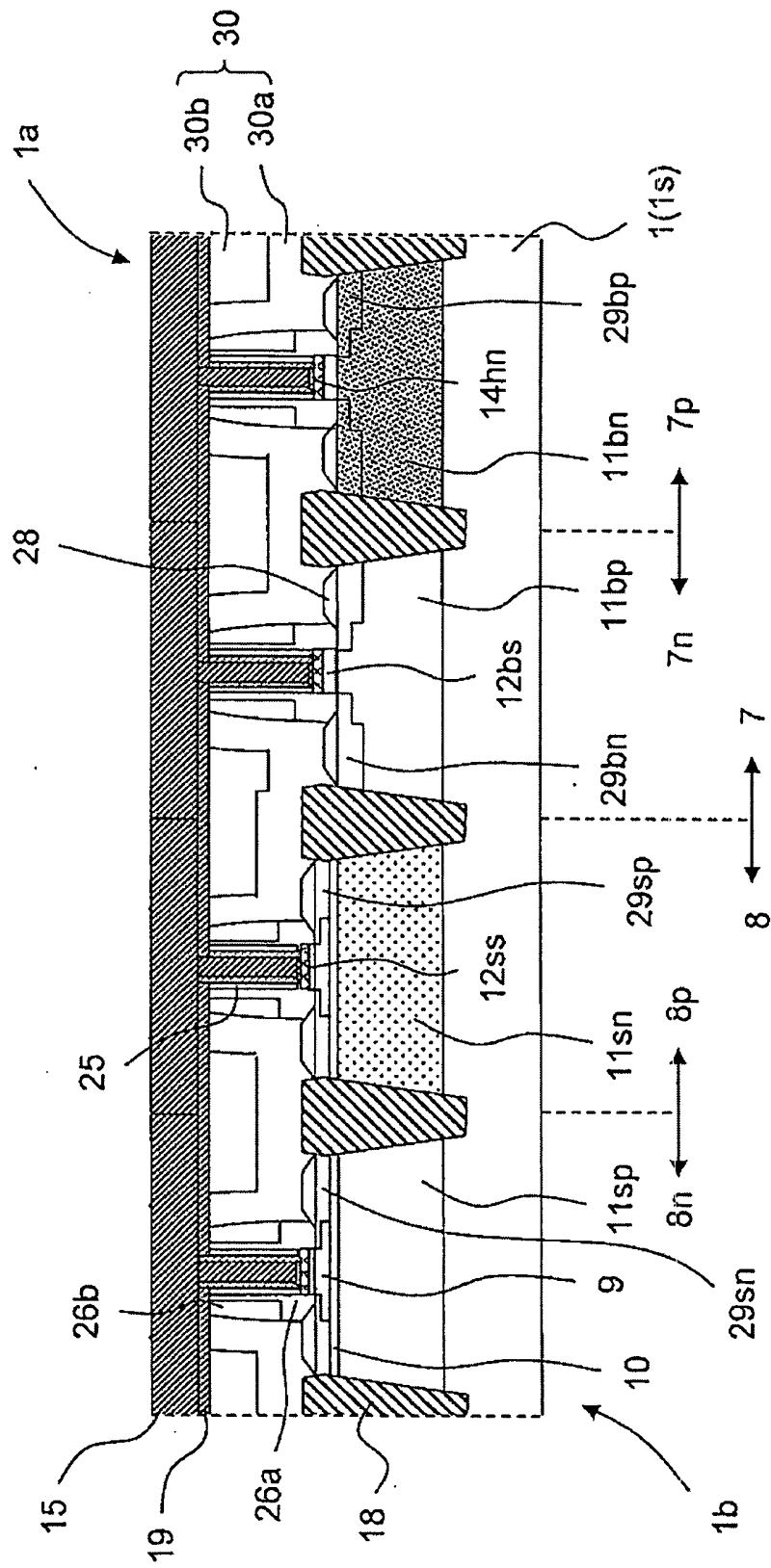
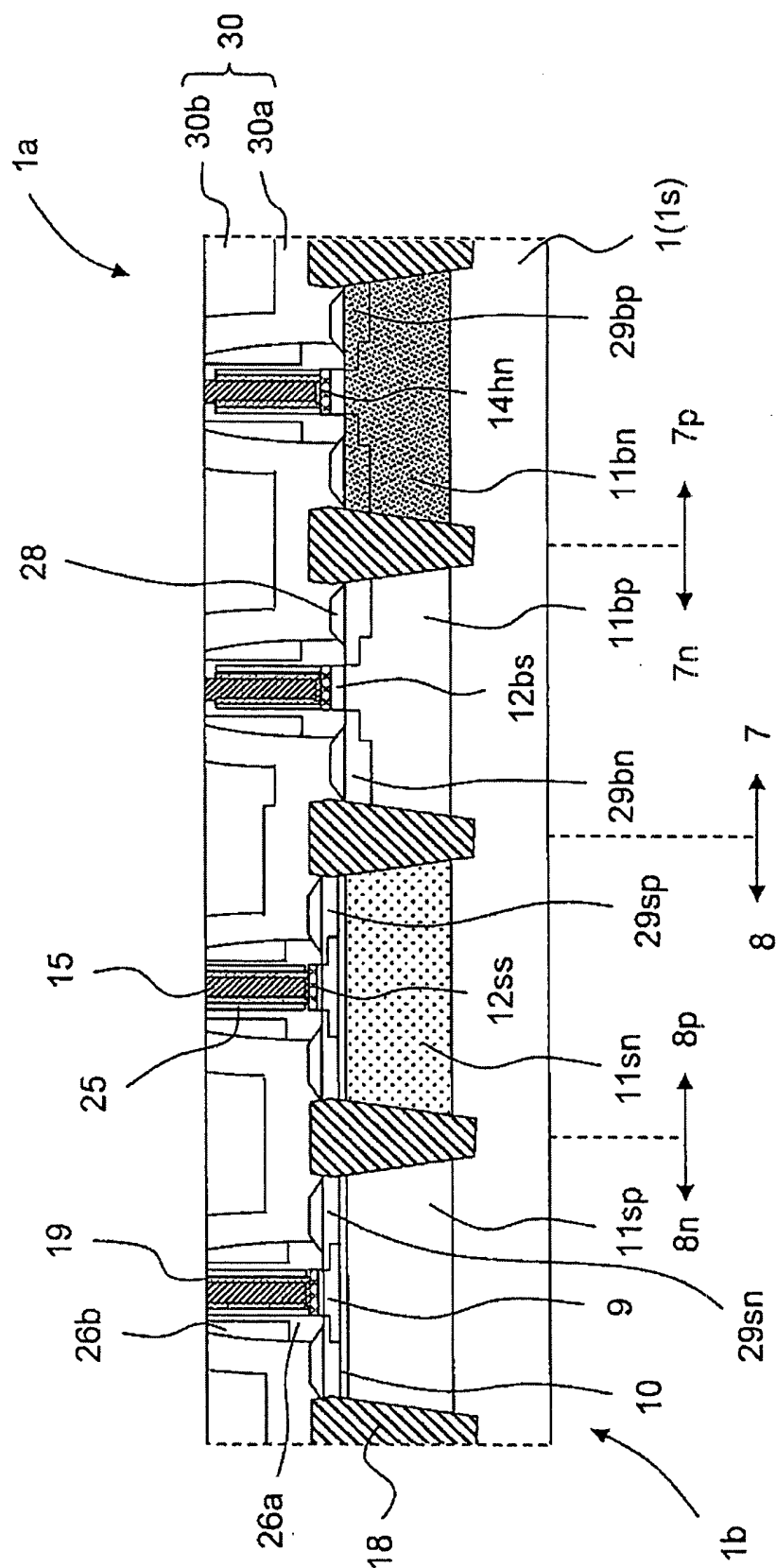
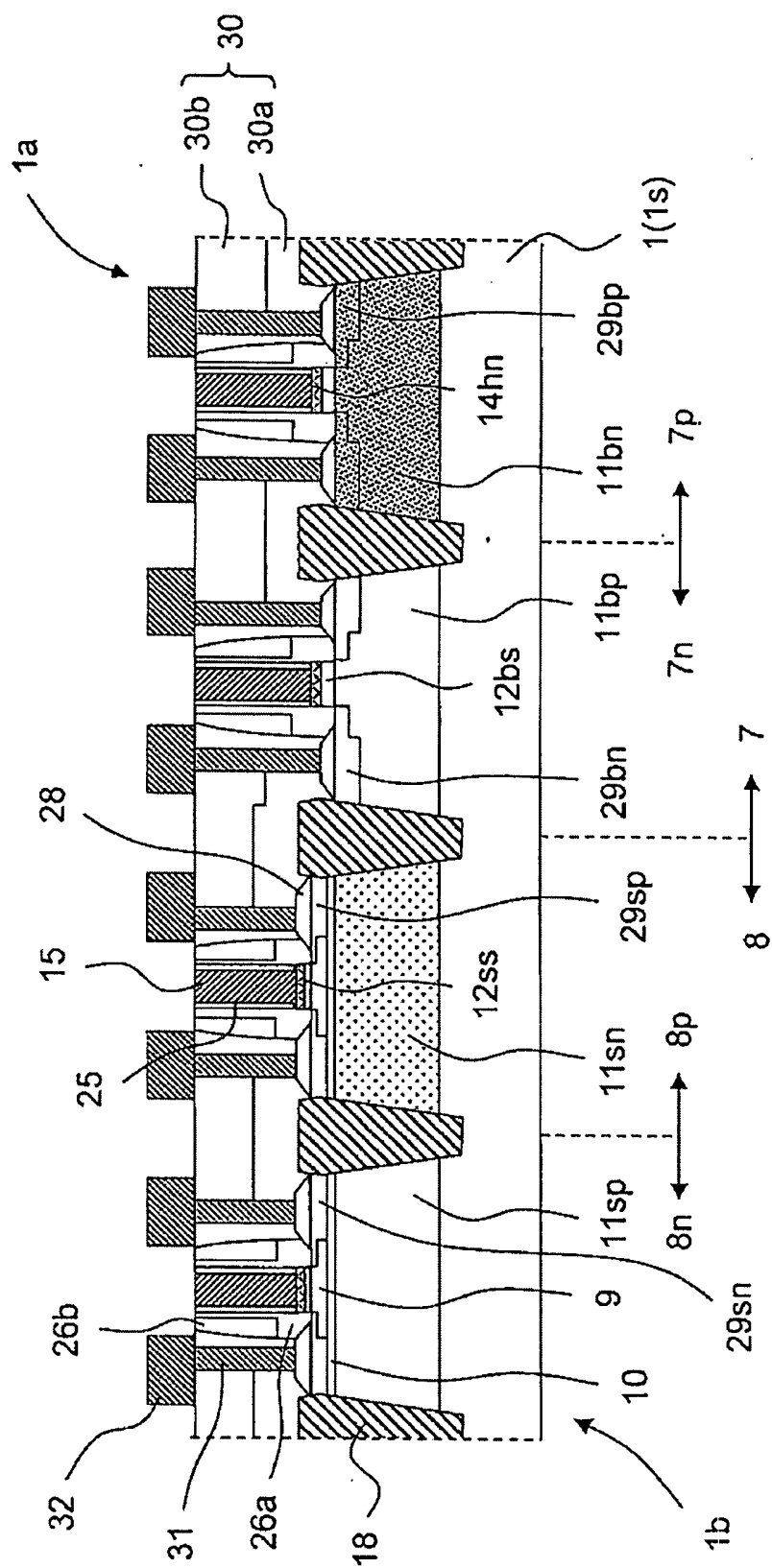


圖 37



39



41

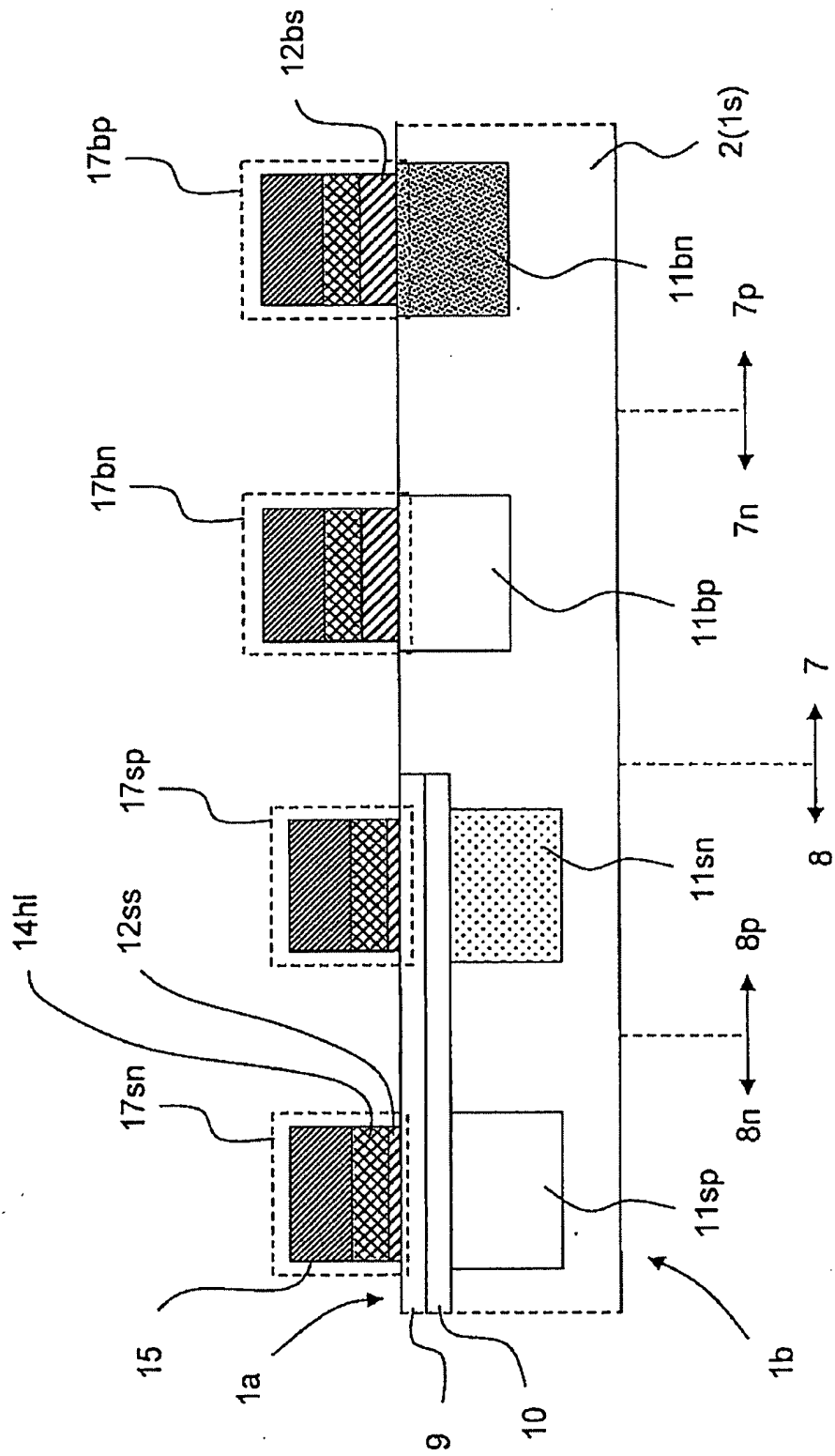


圖 42

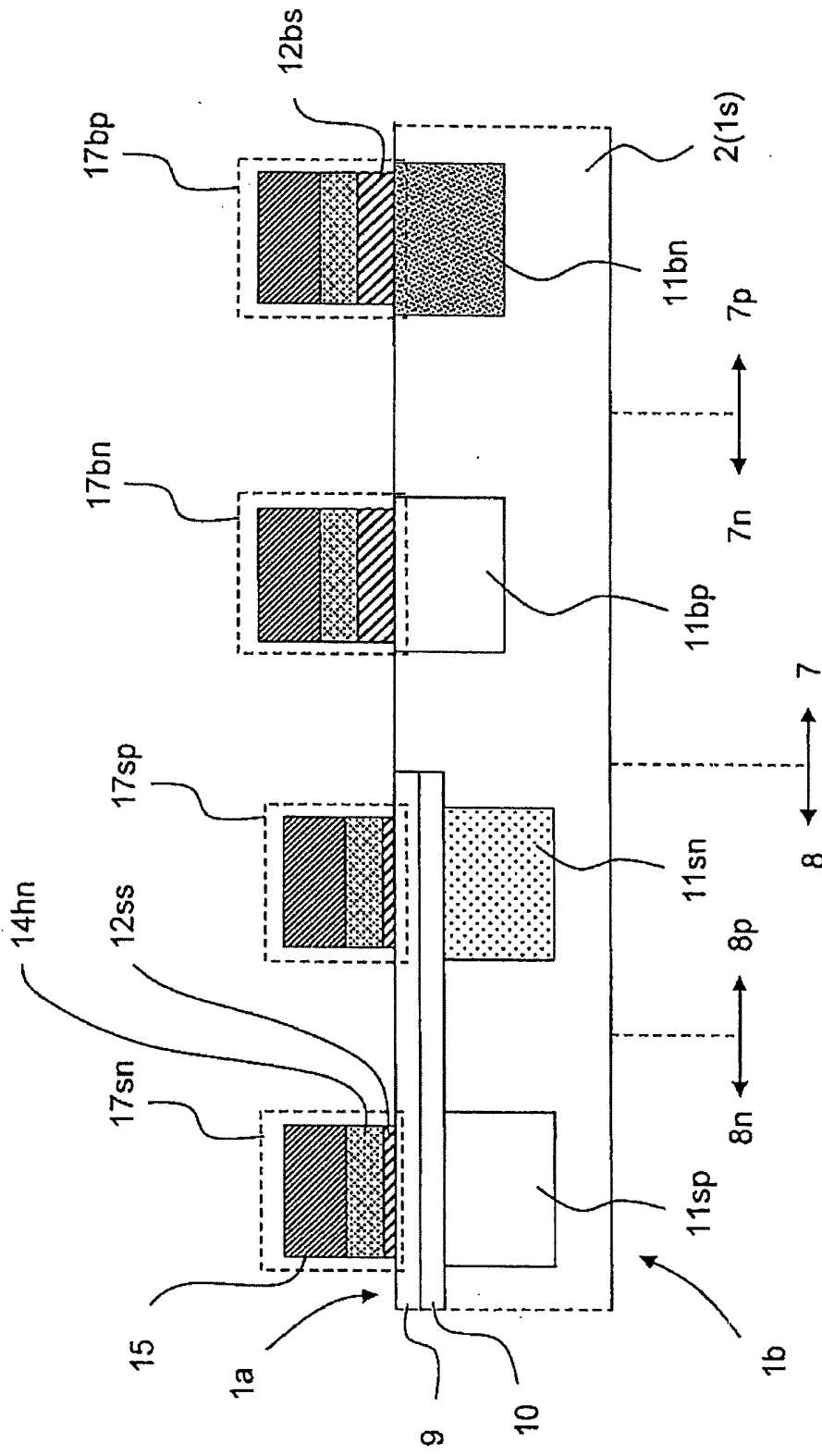


圖 43

四、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

1a	晶片之元件面(第1主面)
1b	晶片之背面(第2主面)
1s	P型單晶矽基板
2	半導體晶片或晶片區域
8n	SOI區域之N通道MISFET區域
8p	SOI區域之P通道MISFET區域
9n	N型SOI層
9p	P型SOI層
10	BOX氧化膜(BOX絕緣膜)
11sn	P型MISFET背閘極雜質摻雜半導體區域
11sp	N型MISFET背閘極雜質摻雜半導體區域
18	元件隔離區域
29sn	N型SOI部源極汲極區域(包括高濃度區域及延伸區域)
29sp	P型SOI部源極汲極區域(包括高濃度區域及延伸區域)
33n	P通道元件區域之N型或P型深阱區域
33p	P型深阱區域
34n	N型接觸區域
34p	P型接觸區域
35sn	SOI部之N型MISFET之閘極絕緣膜

35sp	SOI部之P型MISFET之閘極絕緣膜
36sn	SOI部之N型MISFET之閘極電極
36sp	SOI部之P型MISFET之閘極電極
Asn	SOI-N型MISFET之活性區域
Asp	SOI-P型MISFET之活性區域
Qsn	SOI-N型MISFET
Qsp	SOI-P型MISFET
Vdd	SOI區域之電源電位
Vin	輸入部或輸入端子
Vout	輸出部或輸出端子
Vss	基準電位

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)