



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년11월24일
(11) 등록번호 10-0928107
(24) 등록일자 2009년11월16일

(51) Int. Cl.

H01L 21/28 (2006.01)

(21) 출원번호 10-2007-0118339

(22) 출원일자 2007년11월20일

심사청구일자 2007년11월20일

(65) 공개번호 10-2009-0051892

(43) 공개일자 2009년05월25일

(56) 선행기술조사문헌

KR100386628 B1

KR1020070046376 A

KR1020070030454 A

KR1020060007172 A

전체 청구항 수 : 총 10 항

(73) 특허권자

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

주성중

경기 용인시 기흥읍 신갈리 갈현현대홈타운
502-1104

(74) 대리인

서교준

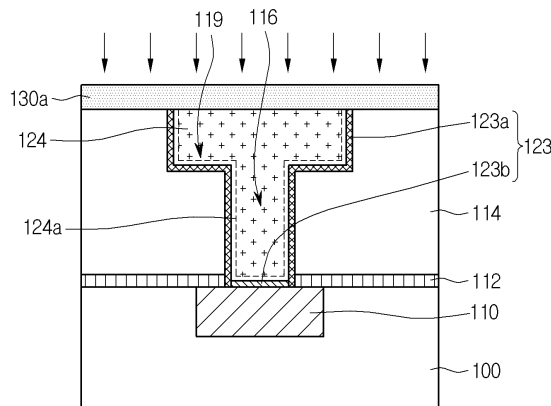
심사관 : 김상걸

(54) 반도체 소자 및 그 제조 방법

(57) 요약

실시예는 구리 금속 배선을 갖는 반도체 소자 및 그 제조 방법에 관한 것이다. 실시예에 따른 반도체 소자의 제조 방법은, 기판 상에 절연막을 형성하는 단계, 상기 절연막에 비아홀을 형성하는 단계, 상기 비아홀이 형성된 상기 절연막에 예비 배리어막을 형성하는 단계, 상기 비아홀 바닥면에 형성된 상기 예비 배리어막을 제거하는 단계, 상기 예비 배리어막 및 상기 비아홀 내에 금속 입자를 주입하여 배리어막을 형성하는 단계, 상기 비아홀 내에 구리 금속 배선을 형성하는 단계, 상기 구리 금속 배선 상에 식각정지막을 형성하는 단계 및 상기 식각정지막 상에 금속 입자를 주입하는 단계를 포함한다. 실시예는 구리 금속 배선 상에 형성되는 식각정지막에 금속 이온을 주입하여 구리 금속 배선의 전자 이탈(EM : electromigration)을 방지한다.

대표도 - 도11



특허청구의 범위

청구항 1

기판 상에 절연막을 형성하는 단계;
 상기 절연막에 비아홀을 형성하는 단계;
 상기 비아홀이 형성된 상기 절연막에 예비 배리어막을 형성하는 단계;
 상기 비아홀 바닥면에 형성된 상기 예비 배리어막을 제거하는 단계;
 상기 예비 배리어막 및 상기 비아홀 내에 금속 입자를 주입하여 배리어막을 형성하는 단계;
 상기 비아홀 내에 구리 금속 배선을 형성하는 단계;
 상기 구리 금속 배선 상에 식각정지막을 형성하는 단계; 및
 상기 식각정지막 상에 금속 입자를 주입하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 2

제 1항에 있어서,
 상기 예비 배리어막 및 상기 비아홀 내에 주입하는 금속 입자는 Ta 및 Ti 중 하나를 포함하며, 상기 식각정지막에 주입하는 금속 입자는 Ta 및 Ti 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 3

제 1항에 있어서,
 상기 예비 배리어막은 TiSiN 및 TaSiN 중 하나를 포함하며, 상기 배리어막은 TiSiNTa 및 TaSiNTi 중 하나를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

제 1항에 있어서,
 상기 예비 배리어막의 두께는 50 내지 300Å인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5

제 1항에 있어서,
 상기 절연막에 비아홀을 형성하는 단계에 있어서,
 상기 절연막에 상기 비아홀보다 얇은 깊이를 갖는 트렌치를 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 6

제 1항에 있어서,
 상기 배리어막을 형성하는 단계에 있어서,
 상기 금속 입자의 주입 에너지는 20KeV 내지 60KeV이며, 주입량은 단위면적(cm^2)당 1×10^{10} 내지 2×10^{16} 인 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 7

기판 상에 비아홀 및 상기 비아홀과 연결된 트렌치를 갖는 절연막;
 상기 트렌치 및 상기 비아홀 측벽에 형성된 제 1 배리어막 패턴 및 상기 비아홀 바닥에 형성된 제 2 배리어막 패턴;

상기 제 1 배리어막 패턴 및 상기 제 2 배리어막 패턴 상에 형성된 구리 금속 배선; 및

상기 절연막 및 상기 구리 금속 배선 상에 형성되며 금속 입자를 포함하는 식각 정지막을 포함하는 반도체 소자.

청구항 8

제 7항에 있어서,

상기 제 1 배리어막 패턴은 TiSiNTa 및 TaSiNTi 중 하나를 포함하고, 상기 제 2 배리어막 패턴은 Ti 및 Ta 중 하나를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 9

제 7항에 있어서,

상기 식각 정지막에 포함된 금속 입자는 Ti 및 Ta 중 적어도 하나인 것을 특징으로 하는 반도체 소자.

청구항 10

제 7항에 있어서,

상기 식각 정지막은 실리콘 질화막인 것을 특징으로 하는 반도체 소자.

명세서

발명의 상세한 설명

기술 분야

<1> 실시예는 구리 금속 배선을 갖는 반도체 소자 및 그 제조 방법에 관한 것이다.

배경 기술

- <2> 최근에는 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 장치도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 상기 반도체 장치는 고속으로 동작하는 동시에 대용량의 저장 능력과 정보 처리 능력을 가질 것이 요구된다. 이러한 요구에 부응하여, 상기 반도체 장치는 집적도, 신뢰도 및 응답 속도 등을 향상시키는 방향으로 제조 기술이 급발전되고 있다.
- <3> 이와 같이, 고집적화되는 반도체 소자의 제조 공정에서 다층 금속 배선의 알루미늄(Al)과 같은 금속막은 표면 반사율이 매우 높기 때문에 금속막을 패터닝하기 위한 포토 공정시 빛의 산란이 발생하여 금속막에 노칭(Notching) 및 씌닝(Thinning) 문제가 발생된다.
- <4> 또한, 반도체 소자의 집적도가 증가함에 따라 금속배선의 폭 및 굵기가 감소하고 반도체와 연결되는 접촉점의 크기 역시 감소하게 된다. 이로 인하여, 증가된 저항값은 소자의 신호전달 속도를 감소시키는 결과를 초래하게 된다. 뿐만 아니라 작아진 배선의 단면적은 큰 전류 밀도를 야기시켜 사용된 배선의 전자이탈(EM : electromigration) 현상을 더욱 심화시키게 된다.
- <5> 이와 같은 현상은 소자의 크기가 서브마이크론 이하로 되면 더욱 두드러지게 나타나서 알루미늄을 사용한 금속 배선은 성능과 신뢰도에 많은 문제점들을 나타내게 된다. 즉, 큰 배선 저항으로 인한 신호지연에 따른 동작속도의 한계, 전자이탈에 의한 단선등이 심각한 배선상의 문제로 발생하는 것들이다.
- <6> 그러므로, 최근에는 소자의 동작 속도나 저항, 금속 간의 기생 용량 등의 특성이 우수한 구리가 차세대 금속 배선 재료로서 연구되고 있다.
- <7> 그런데, 비록 구리 금속 배선이 알루미늄 금속 배선보다 전기저항이 낮고 EM(electromigration)에 대한 저항성이 더 높아 신뢰성에서도 큰 장점을 가지고 있지만 기존의 알루미늄 금속 배선에서 발생하지 않는 여러 가지 문제점들이 있다.
- <8> 상기 구리 금속 배선은 알루미늄 금속 배선과는 달리 건식식각이 불가능하여 절연막을 먼저 증착하여 라인이 형성될 곳을 에칭한 후에 금속을 채워넣는 다마신(damascene)방법으로 사용되고 있다. 그런데, 최근 배선의 선폭

이 계속 감소하기 때문에 전류밀도는 계속 증가하게 되며 이러한 높은 전류밀도에 의한 EM 문제가 더욱 심각하게 발생되므로 반도체 소자의 신뢰성에 심각한 문제가 발생할 수 있다.

발명의 내용

해결 하고자하는 과제

<9> 실시예는 구리 금속 배선의 전자이탈을 방지하면서 구리 금속의 매립 특성이 우수한 반도체 소자 및 그 제조 방법을 제공하는 데 목적이 있다.

과제 해결수단

<10> 실시예에 따른 반도체 소자의 제조 방법은, 기판 상에 절연막을 형성하는 단계, 상기 절연막에 비아홀을 형성하는 단계, 상기 비아홀이 형성된 상기 절연막에 예비 배리어막을 형성하는 단계, 상기 비아홀 바닥면에 형성된 상기 예비 배리어막을 제거하는 단계, 상기 예비 배리어막 및 상기 비아홀 내에 금속 입자를 주입하여 배리어막을 형성하는 단계, 상기 비아홀 내에 구리 금속 배선을 형성하는 단계, 상기 구리 금속 배선 상에 식각정지막을 형성하는 단계 및 상기 식각정지막 상에 금속 입자를 주입하는 단계를 포함한다.

<11> 실시예에 따른 반도체 소자는, 기판 상에 비아홀 및 상기 비아홀과 연결된 트렌치를 갖는 절연막, 상기 트렌치 및 상기 비아홀 측벽에 형성된 제 1 배리어막 패턴 및 상기 비아홀 바닥에 형성된 제 2 배리어막 패턴, 상기 제 1 배리어막 패턴 및 상기 제 2 배리어막 패턴 상에 형성된 구리 금속 배선 및 상기 절연막 및 상기 구리 금속 배선 상에 형성되며 금속 입자를 포함하는 식각 정지막을 포함한다.

효과

<12> 실시예는 반도체 소자에서 구리 금속 배선의 구리 확산 방지막의 특성을 개선하는 효과가 있다.

<13> 실시예는 구리 금속 배선 상에 형성되는 식각정지막에 금속 이온을 주입하여 구리 금속 배선의 전자 이탈(EM : electromigration) 을 방지하는 효과가 있다.

발명의 실시를 위한 구체적인 내용

<14> 이하, 첨부된 도면을 참조하여 실시예에 따른 반도체 소자에 대해 상세히 설명하도록 한다. 다만, 본 발명의 사상을 이해하는 당업자는 동일한 사상의 범위 내에서 구성요소의 추가, 부가, 삭제, 변경등에 의해서 다른 실시예를 용이하게 제안할 수 있을 것이나, 이 또한 본 발명의 권리범위에 속한다고 할 것이다.

<15> 첨부한 도면을 참조로 하여 실시예들에 따른 반도체 소자 및 그 제조 방법을 구체적으로 설명한다. 이하, "제 1", "제 2" 등으로 언급되는 경우 이는 부재들을 한정하기 위한 것이 아니라 부재들을 구분하고 적어도 두개를 구비하고 있음을 보여주는 것이다. 따라서, 상기 "제 1", "제 2" 등으로 언급되는 경우 부재들이 복수 개 구비되어 있음이 명백하며, 각 부재들이 선택적으로 또는 교환적으로 사용될 수도 있다. 또한, 첨부한 도면의 각 구성요소들의 크기(치수)는 발명의 이해를 돕기 위하여 확대하여 도시한 것이며, 도시된 각 구성요소들의 치수의 비율은 실제 치수의 비율과 다를 수도 있다. 또한, 도면에 도시된 모든 구성요소들이 본 발명에 반드시 포함되어야 하거나 한정되는 것은 아니며 본 발명의 핵심적인 특징을 제외한 구성 요소들은 부가 또는 삭제될 수도 있다. 본 발명에 따른 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on/above/over/upper)"에 또는 "아래(down/below/under/lower)"에 형성되는 것으로 기재되는 경우에 있어, 그 의미는 각 층(막), 영역, 패드, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 패드 또는 패턴들에 접촉되어 형성되는 경우로 해석될 수도 있으며, 다른 층(막), 다른 영역, 다른 패드, 다른 패턴 또는 다른 구조물들이 그 사이에 추가적으로 형성되는 경우로 해석될 수도 있다. 따라서, 그 의미는 발명의 기술적 사상에 의하여 판단되어야 한다.

<16> 도 1 내지 도 11은 실시예에 따른 반도체 소자의 금속 배선 형성 방법을 보여주는 단면도들이다.

<17> 여기서, 기판(100)은 웰 및 접합부가 형성된 반도체 기판일 수 있고, 다층 금속 배선 구조에서 하부 금속 배선(110)을 포함한 절연막일 수도 있고, 기타 반도체 소자의 전극으로 사용되는 도전성 패턴을 포함하는 반도체 기판일 수도 있다. 상기 반도체 기판은 각종 트랜지스터들을 포함할 수 있으며, 금속 배선들, 비아 패턴들, 절연막 및 각종 전자 소자들을 포함할 수 있다.

<18> 도 1에 도시된 바와 같이, 기판(100) 상에 층간 절연막(interlevel dielectric)(114)을 6500Å ~ 8500Å의 두

께로 증착한다.

- <19> 상기 기판(100)에는 다층 금속 배선 구조에서 하부 금속 배선(110)이 형성되어 있을 수도 있으며, 상기 층간 절연막(114)을 관통하여 상기 하부 금속 배선(110)과 이후 형성될 구리 금속 배선이 접속되는 구조로 형성될 수 있다.
- <20> 상기 층간 절연막(114)은 PECVD(plasma enhanced chemical vapor deposition)방법으로 플루오린 실리케이트 글래스막(fluorinated- silicate-glass; FSG) 등의 저 유전율을 갖는 물질을 증착하여 형성한다.
- <21> 한편, 상기 층간 절연막(114)을 형성하기 이전에 식각 방지를 위하여 상기 기판(100) 상에 제 1 식각 정지막(112)을 형성할 수 있다.
- <22> 상기 제 1 식각 정지막(112)은 실리콘 질화막(SiN) 또는 실리콘 산질화막(SiON)을 포함할 수 있다.
- <23> 도 2에 도시한 바와 같이, 상기 층간 절연막(114) 상에 포토레지스트 패턴을 형성하고 상기 포토레지스트 패턴을 마스크로 상기 층간 절연막(114)을 식각하여 비아홀(116)을 형성한다.
- <24> 상기 비아홀(116)은 전기적으로 접속하고자 하는 대상 예를 들어, 하부 금속 배선(110)의 일부를 노출시킬 수 있다.
- <25> 상기 비아홀(116) 내부에 노볼락(novolac) 또는 BARC(bottom anti-reflective coating)로 이루어지는 보호층(118)을 형성한다.
- <26> 도 3에 도시한 바와 같이, 상기 층간 절연막(114)을 식각하여 상기 비아홀(116) 상부에 트렌치(119)를 형성하고 상기 보호층을 제거한다.
- <27> 상기 비아홀(116) 및 상기 트렌치(119)가 형성된 상기 층간 절연막(114)은 상기 제 1 식각 정지막(112)의 일부를 노출시킨다.
- <28> 상기 비아홀(116) 및 상기 트렌치(119)는 상기 층간 절연막(114)을 플라즈마 식각 공정으로 식각하여 형성할 수 있다. 상기 식각 공정에서 F계열 가스(예를 들어, CF₄등)를 사용할 수도 있고, CO 또는 산소를 사용하거나 이를 혼합하여 사용할 수도 있다.
- <29> 상기 비아홀(116)과 트렌치(119)가 형성된 층간 절연막(114) 상에 남아있을 수 있는 포토 레지스트 패턴은 에칭(ashing) 공정으로 제거할 수 있다. 상기 에칭 공정은 설정된 에칭률(ashing rate)에 따라 플라즈마 식각함으로써 이루어진다.
- <30> 상기와 같이 공정으로 이루어지는 듀얼 다마신은 상기 공정 이외에 여러가지 공정으로 형성될 수 있으며, 싱글 다마신 또한 본 발명에 포함될 수 있다
- <31> 도 4에 도시한 바와 같이, 노출된 상기 제 1 식각 정지막(112)의 일부를 식각한다.
- <32> 도 5에 도시한 바와 같이, 상기 비아홀(116) 및 상기 트렌치(119)가 형성된 상기 층간 절연막(114) 상에 예비 배리어막(122)을 형성한다.
- <33> 상기 예비 배리어막(122)은 TiSiN 및 TaSiN 중 하나를 포함할 수 있다.
- <34> 예를 들어, 상기 예비 배리어막(122)은 PVD(physical vapor deposition) 방법으로 TiN막을 형성하고, 상기 TiN막 상에 사일렌(SiH₄) 가스를 반응처리하여 TiSiN막을 형성할 수 있다.
- <35> 다른 예를 들어, 상기 예비 배리어막(122)은 TiSiN 타겟으로 PVD 방법을 이용하여 상기 층간 절연막(114)에 형성할 수도 있다.
- <36> 상기 예비 배리어막(122)의 두께는 50 내지 300Å일 수 있다.
- <37> 도 6에 도시한 바와 같이, 상기 예비 배리어막(122a)의 일부를 선택적으로 식각한다.
- <38> 상기 비아홀(116) 바닥에 형성된 상기 예비 배리어막(122a)을 스퍼터링(sputtering) 기법인 펀치 쓰루(punch through)를 이용하여 제거하여 상기 비아홀(116)을 통해 상기 하부 금속 배선(110)을 노출시킨다. 이는 콘택 저항을 낮추기 위한 것이다.
- <39> 도 7에 도시한 바와 같이, 일부가 식각된 상기 예비 배리어막(122a)에 Ta 또는 Ti를 주입하여 배리어막(123)을

형성한다.

- <40> 여기서, 상기 Ta 또는 Ti의 주입 에너지는 20KeV 내지 60KeV 일 수 있으며, 주입량은 단위면적(cm^2)당 1×10^{10} 내지 2×10^{16} 일 수 있다.
- <41> 상기 배리어막(123)은 서로 막질이 다른 제 1 배리어막 패턴(123a)과 제 2 배리어막 패턴(123b)으로 이루어진다.
- <42> 상기 예비 배리어막(122a)은 상기 제 1 배리어막 패턴(123a)이 되고, 상기 노출된 상기 하부 금속 배선(110) 상에는 상기 제 2 배리어막 패턴(123b)이 형성된다.
- <43> 즉, 상기 비아홀(116) 바닥에는 상기 제 2 배리어막 패턴(123b)이 형성되고, 상기 비아홀(116) 측벽 및 상기 트렌치(119)에는 제 1 배리어막 패턴(123a)이 형성된다.
- <44> 상기 제 2 배리어막 패턴(123b)은 Ta 및 Ti 중 어느 하나로 이루어지며, 상기 제 1 배리어막 패턴(123a)은 상기 TiSiNTa 및 TaSiNTi 중 어느 하나로 이루어진다.
- <45> 상기 TiSiNTa 또는 TaSiNTi은 TiSiN 또는 TaSiN에 상기 Ta 또는 Ti의 주입으로 인하여 4원계 물질이 되어 입자의 확산을 효율적으로 방지한다.
- <46> 따라서, 상기 배리어막(123)은 추후 형성될 구리 금속 배선의 구리 확산 현상을 효과적으로 방지할 수 있으며, EM(electromigration) 저항성을 향상시키는 효과가 있다.
- <47> 도 8에 도시한 바와 같이, 상기 배리어막(123) 상에 시드(seed) 막(124a)을 형성한다. 상기 시드 막(124a)은 Al, Cu, Ti 및 Ta로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함한다.
- <48> 상기 시드 막(124a)이 형성된 상기 층간 절연막(114) 상에 구리 금속막(124)을 형성한다.
- <49> 상기 구리 금속막(124)은 예를 들어, 전기 도금법(electroplating) 등으로 형성될 수 있으며, PVD 또는 CVD(chemical vapor deposition)로 형성될 수도 있다.
- <50> 본 실시예에서 상기 시드막 형성 공정은 선택적인 공정으로서, 상기 시드막을 형성하지 않아도 상기 Ta 또는 Ti가 임플란트된 상기 배리어막이 전기 도금법으로 형성되는 구리막이 잘 성장되도록 해주는 역할을 할 수 있다.
- <51> 다음, 도 9에 도시된 바와 같이, 상기 구리 금속막(124)을 평탄화시켜 상기 비아홀(116)과 트렌치(119) 내에 구리 금속 배선(124a)을 형성한다.
- <52> 즉, 상기 구리 금속막(124)을 화학적 기계적 연마(chemical mechanical polishing)하여 상기 비아홀(116) 및 상기 트렌치(119) 내에 잔존하는 배리어막(123) 패턴 및 구리 금속 배선(124a)을 형성할 수 있다.
- <53> 상기 배리어막(123) 패턴 및 상기 구리 금속 배선(124a) 사이에 시드 막(124a) 패턴이 더 형성될 수도 있다.
- <54> 상기 화학적 기계적 연마 공정에서 상기 층간 절연막(114) 상에 형성된 배리어막(123), 시드 막(124a)도 함께 연마되어 제거되므로 상기 구리 금속 배선(124a)이 형성된 이외의 영역에서는 상기 층간 절연막(114)의 상면이 노출된다.
- <55> 도 10에 도시한 바와 같이, 상기 구리 금속 배선(124a)이 형성된 상기 층간 절연막(114) 상에 제 2 식각 정지막(130)을 형성한다.
- <56> 상기 제 2 식각 정지막(130)은 실리콘 질화막(SiN) 또는 실리콘 산질화막(SiON)을 포함할 수 있다.
- <57> 도 11에 도시한 바와 같이, 상기 제 2 식각 정지막(130)에 Ti 및 Ta 중 적어도 하나를 주입하여 EM 특성이 개선된 제 2 식각 정지막(130a)을 형성한다.
- <58> 상기 Ta 또는 Ti의 주입 에너지는 20KeV 내지 60KeV 일 수 있으며, 주입량은 단위면적(cm^2)당 1×10^{10} 내지 2×10^{16} 일 수 있다.
- <59> 이로써, 실시예에 따른 구리 금속 배선은 전기저항이 낮을 뿐 아니라, EM 특성이 개선되며, 구리 확산을 방지할 수 있다.
- <60> 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속

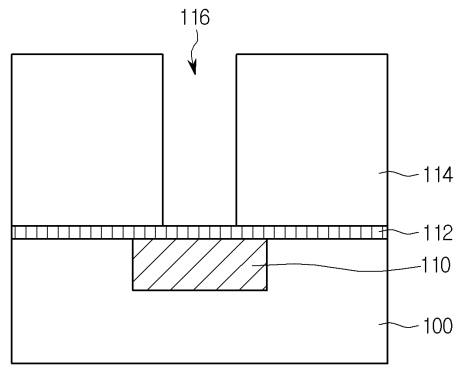
하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면의 간단한 설명

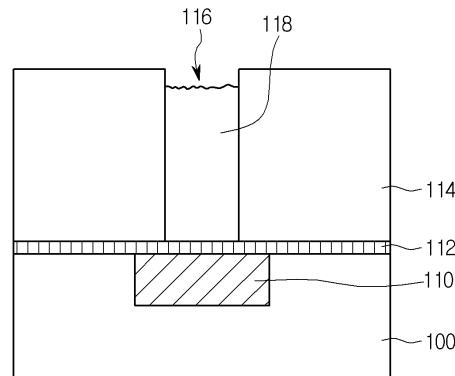
<61> 도 1 내지 도 11은 실시예에 따른 반도체 소자의 금속 배선 형성 방법을 보여주는 단면도들이다.

도면

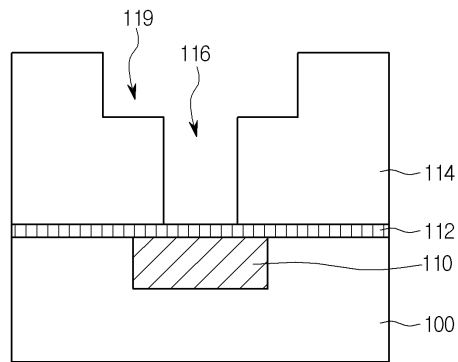
도면1



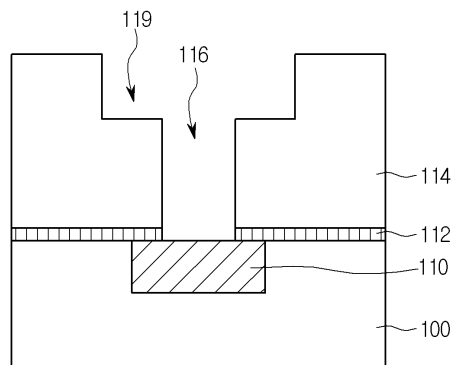
도면2



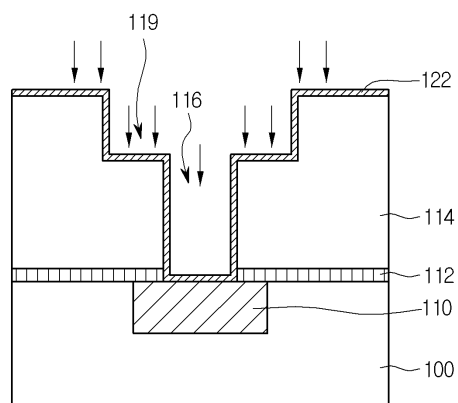
도면3



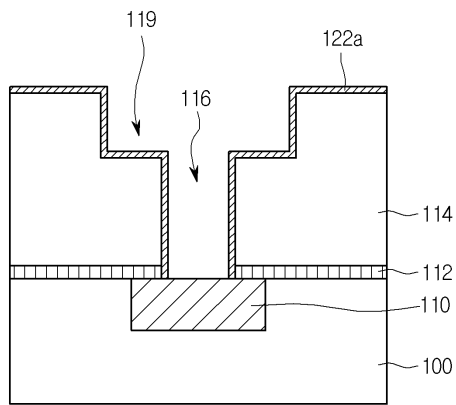
도면4



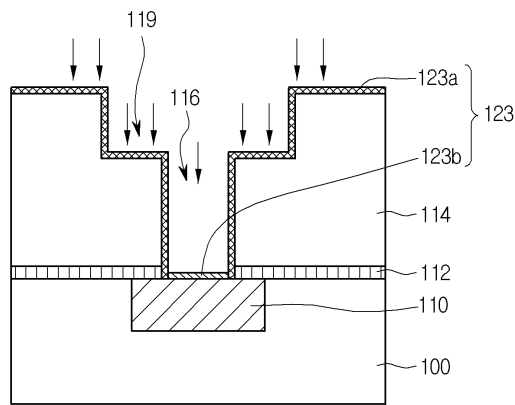
도면5



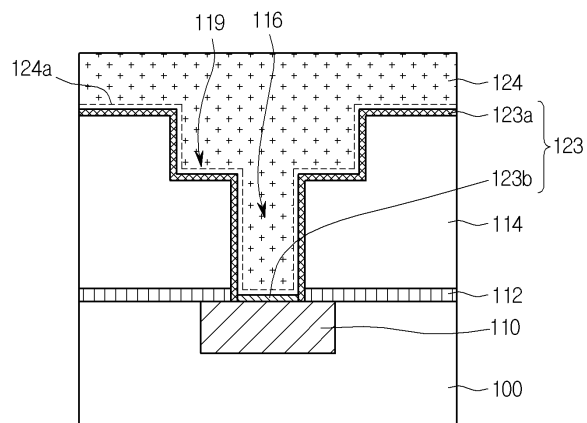
도면6



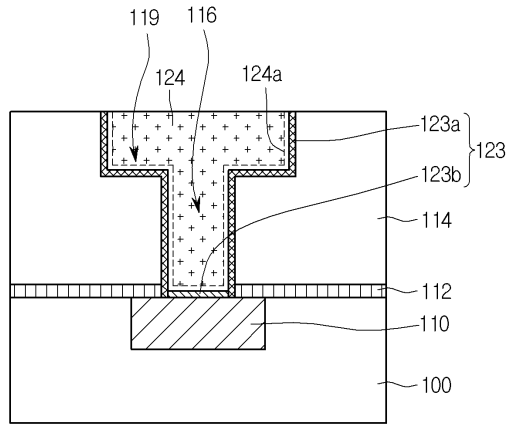
도면7



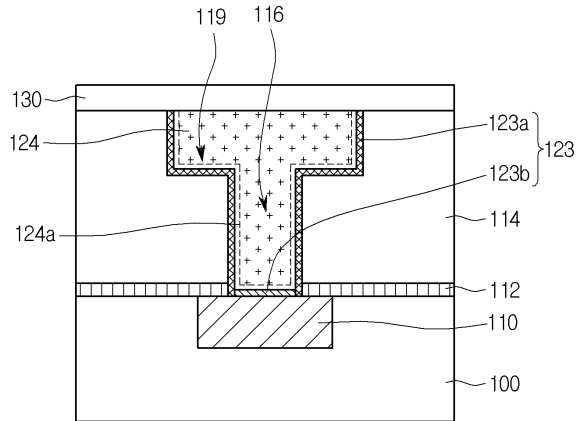
도면8



도면9



도면10



도면11

