

(11) 特許出願公開番号

**特開2010-26294**

(P2010-26294A)

(43) 公開日 平成22年2月4日(2010. 2. 4)

| (51) Int. Cl.                         | F I            | テーマコード (参考) |
|---------------------------------------|----------------|-------------|
| <b>G09G 3/36 (2006.01)</b>            | G09G 3/36      | 5C006       |
| <b>G09G 3/20 (2006.01)</b>            | G09G 3/20 670E | 5C080       |
| <b>H03K 19/007 (2006.01)</b>          | G09G 3/20 670K | 5J032       |
|                                       | G09G 3/20 612J |             |
|                                       | G09G 3/20 612L |             |
| 審査請求 未請求 請求項の数 21 O L (全 39 頁) 最終頁に続く |                |             |

(21) 出願番号 特願2008-188349 (P2008-188349)  
(22) 出願日 平成20年7月22日 (2008. 7. 22)

(71) 出願人 308033711  
OK 1 セミコンダクタ株式会社  
東京都八王子市東浅川町 5 5 0 番地 1

(74) 代理人 100085419  
弁理士 大垣 孝

(74) 代理人 100141955  
弁理士 岡田 宏之

(72) 発明者 田野井 聡  
東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電  
気工業株式会社内

(72) 発明者 遊佐 敦史  
東京都港区虎ノ門 1 丁目 7 番 1 2 号 沖電  
気工業株式会社内

F ターム (参考) 5C006 AA01 AF41 AF53 AF65 BC02  
BF07 BF14 BF21 BF22 BF23

最終頁に続く

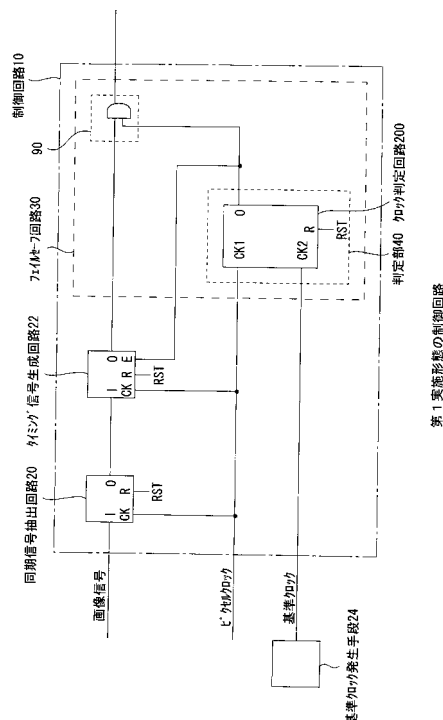
(54) 【発明の名称】 フェイルセーフ回路及び制御回路

(57) 【要約】

【課題】 ピクセルクロックの入力が停止した場合でも画像表示装置を安全に制御できるとともに、入力される信号の正常状態及び異常状態に一意に対応した判定信号を生成する回路を提供する。

【解決手段】判定部４０と、保護ゲート部９０とを備えて構成される。判定部は、基準クロックが定める期間内のピクセルクロックの計数結果を用いて、ピクセルクロックが正常であるか否かを判定し、当該判定の結果を示すクロック判定信号を生成するクロック判定回路２００を有している。判定部は、クロック判定信号を判定信号として出力する。また、保護ゲート部は、判定信号が正常を示すとき、タイミング信号を通過させる。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

基準クロックの計数値が定める期間内のピクセルクロックの計数値を用いて、前記ピクセルクロックの入力が正常であるか否かを判定し、当該判定の結果を示すクロック判定信号を生成するクロック判定回路を有し、前記クロック判定信号を判定信号として出力する判定部と、

前記クロック判定信号が正常を示すとき、タイミング信号を通過させる保護ゲート部とを備えることを特徴とするフェイルセーフ回路。

## 【請求項 2】

基準クロックの計数値が定める期間内のピクセルクロックの計数値を用いて、前記ピクセルクロックの入力が正常であるか否かを判定し、当該判定の結果を示すクロック判定信号を生成するクロック判定回路、及び

前記ピクセルクロックの計数値が定める期間内であって、タイミング信号が 2 分岐された一方に含まれるスタートパルスが持続している期間内は、前記タイミング信号が正常であることを示す動作判定信号を生成する動作判定回路

を有し、前記クロック判定信号と前記動作判定信号の論理積を判定信号として出力する判定部と、

前記クロック判定信号及び前記動作判定信号が正常を示すとき、前記タイミング信号が 2 分岐された他方を通過させる保護ゲート部と

を備えることを特徴とするフェイルセーフ回路。

## 【請求項 3】

前記クロック判定回路は、

前記基準クロックを計数して、計数結果である基準クロック計数値が予め設定されているクリア値 M に等しいときにクリア信号を第 1 レベルから第 2 レベルに変化させて出力するとともに、前記基準クロック計数値を 0 にリセットし、前記基準クロック計数値が予め設定されているチェック値 M-1 に等しいときにチェック信号を第 1 レベルから第 2 レベルに変化させて出力する基準クロック計数部と、

前記ピクセルクロックを計数して、計数結果であるピクセルクロック計数値が予め設定されている停止値 N に等しくなると、コンパレータ信号を第 1 レベルから第 2 レベルに変化させて出力するとともに、計数動作を停止し、前記クリア信号が第 2 レベルのときに前記ピクセルクロック計数値を 0 にリセットするピクセルクロック計数部と、

前記チェック信号が第 2 レベルのときに、前記コンパレータ信号を取り込み、前記クロック判定信号として出力するフリップフロップ回路と

を備えることを特徴とする請求項 1 又は 2 に記載のフェイルセーフ回路。

## 【請求項 4】

前記クリア信号を遅延させて前記ピクセルクロック計数部に送るクリア信号遅延器と、

前記コンパレータ信号を遅延させて前記フリップフロップ回路に送るピクセル判定信号遅延器と

を備えることを特徴とする請求項 3 に記載のフェイルセーフ回路。

## 【請求項 5】

基準クロックの計数値が定める期間内のピクセルクロックの計数値を用いて、前記ピクセルクロックの入力が正常であるか否かを判定し、当該判定の結果を示すクロック判定信号を生成するクロック判定回路、

第 2 同期信号の計数値が定める期間内の第 1 同期信号の計数値を用いて、前記第 1 同期信号が正常であるか否かを判定し、当該判定の結果を示す第 1 同期判定信号を生成する第 1 同期判定回路、及び

前記基準クロックの計数値が定める期間内の前記第 2 同期信号の計数値を用いて、前記第 2 同期信号が正常であるか否かを判定し、当該判定の結果を示す第 2 同期判定信号を生成する第 2 同期判定回路

を有し、前記クロック判定信号、前記第 1 同期判定信号及び前記第 2 同期判定信号の論理

10

20

30

40

50

積を判定信号として出力する判定部と、

前記クロック判定信号、前記第 1 同期判定信号及び前記第 2 同期判定信号が正常を示すとき、タイミング信号を通過させる保護ゲート部とを備えることを特徴とするフェイルセーフ回路。

【請求項 6】

前記クロック判定回路、前記第 1 同期判定回路及び前記第 2 同期判定回路は、それぞれ第 1 クロックを計数して、計数結果である第 1 クロック計数値が予め設定されているクリア値 M に等しいときにクリア信号を第 1 レベルから第 2 レベルに変化させて出力するとともに、前記第 1 クロック計数値を 0 にリセットし、前記第 1 クロック計数値が予め設定されているチェック値 M-1 に等しいときにチェック信号を第 1 レベルから第 2 レベルに変化させて出力する第 1 クロック計数部と、

第 2 クロックを計数して、計数結果である第 2 クロック計数値が予め設定されている停止値 N に等しいときに、コンパレータ信号を第 1 レベルから第 2 レベルに変化させて出力するとともに、計数動作を停止し、前記クリア信号が第 2 レベルのときに前記第 2 クロック計数値を 0 にリセットする第 2 クロック計数部と、

前記チェック信号が第 2 レベルのときに、前記コンパレータ信号を取り込み、前記同期判定信号として出力するフリップフロップ回路とを備え、

前記クロック判定回路には、第 1 クロック及び第 2 クロックとして前記基準クロック及び前記ピクセルクロックがそれぞれ入力され、

前記クロック判定回路からは、同期判定信号として、前記クロック判定信号が出力され、

前記第 1 同期判定回路には、第 1 クロック及び第 2 クロックとして前記第 2 同期信号及び前記第 1 同期信号がそれぞれ入力され、

前記第 1 同期判定回路からは、同期判定信号として、前記第 1 同期判定信号が出力され、

前記第 2 同期判定回路には、第 1 クロック及び第 2 クロックとして前記基準クロック及び前記第 2 同期信号がそれぞれ入力され、

前記第 2 同期判定回路からは、同期判定信号として、前記第 2 同期判定信号が出力される

ことを特徴とする請求項 5 に記載のフェイルセーフ回路。

【請求項 7】

前記クロック判定回路、前記第 1 同期判定回路及び前記第 2 同期判定回路は、

前記第 1 クロック計数部から出力されたクリア信号を遅延させて前記第 2 クロック計数部に送るクリア信号遅延器と、

前記第 2 クロック計数部から出力されたコンパレータ信号を遅延させて前記フリップフロップ回路に送るコンパレータ信号遅延器と

を備えることを特徴とする請求項 6 に記載のフェイルセーフ回路。

【請求項 8】

基準クロックの計数値が定める期間内のピクセルクロックの計数値を用いて、前記ピクセルクロックが正常であるか否かを判定し、当該判定の結果を示すクロック判定信号を生成するクロック判定回路と、

前記基準クロックの計数値が定める期間内の、前記ピクセルクロックと PLL クロックの計数値を比較して前記 PLL クロックが正常であるか否かを判定し、当該判定の結果を示す PLL 判定信号を生成する PLL 判定回路と、

を有し、前記クロック判定信号と前記 PLL 判定信号の論理積を判定信号として出力する判定部と、

前記クロック判定信号と前記 PLL 判定信号が正常を示すとき、タイミング信号を通過させる保護ゲート部と

を備えることを特徴とするフェイルセーフ回路。

10

20

30

40

50

## 【請求項 9】

前記クロック判定回路は、

前記基準クロックを計数して、計数結果である基準クロック計数値が予め設定されているクリア値Mに等しいときにクリア信号を第1レベルから第2レベルに変化させて出力するとともに、前記基準クロック計数値を0にリセットし、前記基準クロック計数値が予め設定されているチェック値M-1に等しいときにチェック信号を第1レベルから第2レベルに変化させて出力する基準クロック計数部と、

前記ピクセルクロックを計数して、計数結果であるピクセルクロック計数値が予め設定されている停止値Nに等しいときに、ピクセルクロック計数信号を第1レベルから第2レベルに変化させて出力するとともに、計数動作を停止し、前記クリア信号が第2レベルのときに前記ピクセルクロック計数値を0にリセットするピクセルクロック計数部と、

前記チェック信号が第2レベルのときに、前記ピクセルクロック計数信号を取り込み、クロック判定信号として出力するフリップフロップ回路とを備え、

前記PLL判定回路は、

前記PLLクロックを計数して、計数結果であるPLLクロック計数値を示すPLLクロック計数信号を出力するPLLカウンタと、

前記ピクセルクロック計数値が予め設定されているピクセル比較基準値Lに等しくなると、前記PLLクロック計数信号を取り込むレジスタと、

前記レジスタが取り込んだ前記PLLクロック計数信号が示すPLLクロック計数値を、予め設定されている下限値P及び上限値Qと比較し、前記PLLクロック計数値が前記下限値P以上かつ前記上限値Q以下であるときPLL判定信号を第1レベルから第2レベルに変化させて出力するPLLコンパレータと

を備えることを特徴とする請求項8に記載のフェイルセーフ回路。

## 【請求項 10】

基準クロックの計数値が定める期間内のピクセルクロックの計数値を用いて、前記ピクセルクロックが正常であるか否かを判定し、当該判定の結果を示すクロック判定信号を生成するクロック判定回路、

前記基準クロックの計数値が定める期間内の、前記ピクセルクロックとPLLクロックの計数値を比較して前記PLLクロックが正常であるか否かを判定し、当該判定の結果を示すPLL判定信号を生成するPLL判定回路、

第2同期信号の計数値が定める期間内の第1同期信号の計数値を用いて、前記第1同期信号が正常であるか否かを判定し、当該判定の結果を示す第1同期判定信号を生成する第1同期判定回路、及び

前記基準クロックの計数値が定める期間内の第2同期信号の計数値を用いて、前記第2同期信号が正常であるか否かを判定し、当該判定の結果を示す第2同期判定信号を生成する第2同期判定回路

を有し、前記クロック判定信号、前記PLL判定信号、前記第1同期判定信号及び前記第2同期判定信号の論理積を判定信号として出力する判定部と、

前記クロック判定信号、前記PLL判定信号、前記第1同期判定信号及び前記第2同期判定信号が正常を示すとき、タイミング信号を通過させる保護ゲート部とを備えることを特徴とするフェイルセーフ回路。

## 【請求項 11】

前記クロック判定回路、前記第1同期判定回路及び前記第2同期判定回路は、それぞれ

第1クロックを計数して、計数結果である第1クロック計数値が予め設定されているクリア値Mに等しいときにクリア信号を第1レベルから第2レベルに変化させて出力するとともに、前記第1クロック計数値を0にリセットし、前記第1クロック計数値が予め設定されているチェック値M-1に等しいときにチェック信号を第1レベルから第2レベルに変化させて出力する第1クロック計数部と、

第2クロックを計数して、計数結果である第2クロック計数値が予め設定されている停

止値Nに等しいときに、コンパレータ信号を第1レベルから第2レベルに変化させて出力するとともに、計数動作を停止し、前記クリア信号が第2レベルのときに前記第2クロック計数値を0にリセットする第2クロック計数部と、

前記チェック信号が第2レベルのときに、前記コンパレータ信号を取り込み、前記同期判定信号として出力するフリップフロップ回路とを備え、

前記クロック判定回路には、第1クロック及び第2クロックとして前記基準クロック及び前記ピクセルクロックがそれぞれ入力され、

前記クロック判定回路からは、同期判定信号として、前記クロック判定信号が出力され、

前記第1同期判定回路には、第1クロック及び第2クロックとして前記第2同期信号及び前記第1同期信号がそれぞれ入力され、

前記第1同期判定回路からは、同期判定信号として、前記第1同期判定信号が出力され、

前記第2同期判定回路には、第1クロック及び第2クロックとして前記基準クロック及び前記第2同期信号がそれぞれ入力され、

前記第2同期判定回路からは、同期判定信号として、前記第2同期判定信号が出力され、

前記PLL判定回路は、

PLLクロックを計数して、計数結果であるPLLクロック計数値を示すPLLクロック計数信号を出力するPLLカウンタと、

前記ピクセルクロック計数値が予め設定されているピクセル比較基準値Lに等しくなると、前記PLLクロック計数信号を取り込むレジスタと、

前記レジスタが取り込んだ前記PLLクロック計数信号が示す前記PLLクロック計数値を、予め設定されている下限値P及び上限値Qと比較し、前記PLLクロック計数値が下限値P以上かつ上限値Q以下であるときPLL判定信号を第1レベルから第2レベルに変化させて出力するPLLコンパレータとを備える

ことを特徴とする請求項10に記載のフェイルセーフ回路。

#### 【請求項12】

画像信号から同期信号を抽出する同期信号抽出回路と、

前記同期信号からタイミング信号を生成するタイミング信号生成回路と、

請求項1～4のいずれか一項に記載のフェイルセーフ回路と

を備えることを特徴とする制御回路。

#### 【請求項13】

画像信号から第1同期信号及び第2同期信号を抽出する同期信号抽出回路と、

前記第1同期信号及び第2同期信号からタイミング信号を生成するタイミング信号生成回路と、

請求項5～7のいずれか一項に記載のフェイルセーフ回路と

を備えることを特徴とする制御回路。

#### 【請求項14】

画像信号から同期信号を抽出する同期信号抽出回路と、

前記同期信号からタイミング信号を生成するタイミング信号生成回路と、

ピクセルクロックと同期するPLLクロックを生成するPLL回路と、

請求項8又は9に記載のフェイルセーフ回路と

を備えることを特徴とする制御回路。

#### 【請求項15】

画像信号から第1同期信号及び第2同期信号を抽出する同期信号抽出回路と、

前記第1同期信号及び第2同期信号からタイミング信号を生成するタイミング信号生成回路と、

ピクセルクロックと同期するPLLクロックを生成するPLL回路と、

10

20

30

40

50

請求項 10 又は 11 に記載のフェイルセーフ回路とを備えることを特徴とする制御回路。

【請求項 16】

前記フェイルセーフ回路は、前記判定信号が、正常状態から異常状態に変化するときに、初期化信号を生成する初期化信号生成回路を備え、

前記 PLL 回路は、前記初期化信号の入力に応答して、初期化されることを特徴とする請求項 14 又は 15 に記載の制御回路。

【請求項 17】

前記 PLL 回路が備える電圧制御発振器は、前記初期化信号の入力に応答して、発振周波数が動作範囲の中で低くなる

ことを特徴とする請求項 16 に記載の制御回路。

【請求項 18】

前記タイミング信号生成回路は、前記判定信号が異常を示すときリセットされることを特徴とする請求項 12～17 のいずれか一項に記載の制御回路。

【請求項 19】

前記判定部は、前記判定信号を 2 分岐し、一方を前記タイミング信号生成回路に送り、他方を前記保護ゲート部に送る

ことを特徴とする請求項 12～18 のいずれか一項に記載の制御回路。

【請求項 20】

前記判定部は、前記判定信号を 2 分岐し、2 分岐された一方と、テスト入力端子を経て入力されたテスト信号との論理和信号を前記タイミング信号生成回路に送り、2 分岐された他方を前記保護ゲート部に送る

ことを特徴とする請求項 12～18 のいずれか一項に記載の制御回路。

【請求項 21】

前記タイミング信号生成回路は、第 1 タイミング信号及び第 2 タイミング信号を生成し、

前記保護ゲート部は、前記第 1 タイミング信号が入力される AND ゲートと前記第 2 タイミング信号が入力される OR ゲートを備え、

前記判定部は、

前記判定信号を第 1～3 判定信号に 3 分岐し、

前記第 1 判定信号を前記タイミング信号生成回路に送り、

前記第 2 判定信号を前記 AND ゲートに送り、

前記第 3 判定信号を反転させた後、前記 OR ゲートに送る

ことを特徴とする請求項 12～18 のいずれか一項に記載の制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、画像表示装置を制御するためのタイミング信号を出力する回路に関し、特に画像表示装置を安全に動作させるためにタイミング信号の出力を制御するフェイルセーフ回路及びこのフェイルセーフ回路を含む制御回路に関する。

【背景技術】

【0002】

図 20 を参照して、画像表示装置として液晶表示装置を駆動する制御回路の従来例について説明する（例えば、特許文献 1 参照）。図 20 は、制御回路の従来例の概略構成図である。

【0003】

制御回路 18 には、水平垂直同期信号を含む画像信号と、ピクセルクロックが入力される。ピクセルクロックは、画像信号に含まれており、前段に設けられた他の回路（図示を省略する。）で抽出されているものとする。

【0004】

10

20

30

40

50

制御回路 18 は、タイミング信号生成回路 21 及びフェイルセーフ回路 38 を備えて構成される。フェイルセーフ回路 38 は、判定部 48 と保護ゲート部 90 とを備えている。

【0005】

制御回路 18 に入力された画像信号は、タイミング信号生成回路 21 に送られる。また、制御回路 18 に入力されたピクセルクロックは 2 分岐される。ピクセルクロックが 2 分岐された一方は、タイミング信号生成回路 21 に送られ、他方は、フェイルセーフ回路 38 の判定部 48 に送られる。

【0006】

タイミング信号生成回路 21 は、画像信号に含まれる水平垂直同期信号を用いて、スタートパルスを含むタイミング信号を生成する。このとき、タイミング信号生成回路 21 は、クロック入力端子 CK に入力されたピクセルクロックを用いて信号処理を行う。

【0007】

タイミング信号生成回路 21 で生成されたタイミング信号は、フェイルセーフ回路 38 の保護ゲート部 90 に送られる。また、タイミング信号生成回路 21 は、スタートパルスの立ち上げのトリガとして用いた信号を、そのままトリガ信号として出力する。このトリガ信号は、フェイルセーフ回路 38 の判定部 48 に送られる。

【0008】

判定部 48 は、トリガ信号の入力に応答して、ピクセルクロックの計数を開始する。判定部 48 は、ピクセルクロックに含まれているクロックパルスの計数を行っている間は、H レベルの信号を判定信号として出力する。判定部 48 は、ピクセルクロックの計数を行った結果、計数値が予め設定されている所定の値 'N' に達すると、計数値を 0 にリセットすると共に、判定信号の出力レベルを L レベルとする。

【0009】

この判定信号は、保護ゲート部 90 に送られ、いわゆるゲート信号として用いられる。保護ゲート部 90 は、判定信号が H レベルのとき、タイミング信号を通過させ、出力信号として出力する。一方、判定信号が L レベルのとき、保護ゲート部 90 は、タイミング信号を遮断する。

【0010】

この制御回路の従来例によれば、タイミング信号に含まれるスタートパルスが H レベルになったままになるような誤動作が発生しても、判定信号が一定の期間で L レベルとなり、タイミング信号を遮断するので、後段に設けられる画像表示装置の暴走を抑えることができる。

【特許文献 1】特開 2004-133124 号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、上述の制御回路の従来例では、トリガ信号が入力される都度、判定部で生成される判定信号が L レベルから H レベルとなり、ピクセルクロックの計数値によって定まる一定期間経過後に H レベルから L レベルになる。従って、この判定信号の論理レベルは、制御回路に入力される画像信号やピクセルクロックの正常状態や異常状態に一意に対応していない。このことから、上述の従来例のフェイルセーフ回路には、スタートパルスが長くなりすぎるのを防ぐ働きしか期待できない。すなわち、異常状態のときに、制御回路に含まれる各内部回路をリセット状態にするような目的での、判定信号の使用は困難である。

【0012】

また、何らかの事情でピクセルクロックの入力が停止した場合、判定部では、計数値が所定の値 N に達しないので、判定信号が H レベルになったままになる場合がある。この場合は、スタートパルスが長くなるのを防ぐことができず、後段の画像表示装置を破壊する恐れが出てくる。

【0013】

この発明は、上述の問題点に鑑みてなされたものであり、この発明の目的は、ピクセルクロックの入力が停止した場合でも画像表示装置を安全に制御できるとともに、入力される信号の正常状態及び異常状態に一意に対応した判定信号を生成できるフェイルセーフ回路と、このフェイルセーフ回路を含む制御回路を提供することにある。

【課題を解決するための手段】

【0014】

上述した目的を達成するために、この発明のフェイルセーフ回路は、判定部と、保護ゲート部とを備えて構成される。判定部は、基準クロックの計数値が定める期間内のピクセルクロックの計数値を用いて、ピクセルクロックの入力が正常であるか否かを判定し、当該判定の結果を示すクロック判定信号を生成するクロック判定回路を有している。判定部は、クロック判定信号を判定信号として出力する。また、保護ゲート部は、判定信号が正常を示すとき、タイミング信号を通過させる。

10

【0015】

また、この発明の制御回路は、画像信号から同期信号を抽出する同期信号抽出回路と、同期信号からタイミング信号を生成するタイミング信号生成回路と、上述のフェイルセーフ回路とを備えて構成される。

【発明の効果】

【0016】

この発明のフェイルセーフ回路及びこのフェイルセーフ回路を含む制御回路によれば、ピクセルクロックに対して独立している基準クロックを用いて、ピクセルクロックの入力が正常であるか否かを判定している。このため、ピクセルクロックが停止した場合に、この停止を検出し、タイミング信号を遮断することができる。この結果、タイミング信号に含まれるスタートパルスが長くなることによる、後段の画像表示装置の破壊を防ぐことができる。

20

【0017】

また、この発明のフェイルセーフ回路及びこのフェイルセーフ回路を含む制御回路によれば、基準クロックが定める期間ごとにピクセルクロック入力が正常であるか否かを判定するので、ピクセルクロックの入力の正常状態又は異常状態に一意に対応したクロック判定信号が得られる。この結果、ピクセルクロックの入力が異常状態になったときに、タイミング信号生成回路など内部回路をリセットすることができる。

30

【発明を実施するための最良の形態】

【0018】

以下、図を参照して、この発明の実施の形態について説明するが、この発明が理解できる程度に概略的に示したものに過ぎない。また、以下、この発明の好適な構成例につき説明するが、単なる好適例にすぎない。従って、この発明は以下の実施の形態に限定されるものではなく、この発明の構成の範囲を逸脱せずにこの発明の効果を達成できる多くの変更又は変形を行うことができる。

【0019】

(第1実施形態)

図1を参照して、第1実施形態のフェイルセーフ回路及び制御回路について説明する。図1は、第1実施形態の制御回路の概略構成図である。

40

【0020】

制御回路10は、同期信号抽出回路20、タイミング信号生成回路22及びフェイルセーフ回路30を備えて構成されている。制御回路10には、画像信号、ピクセルクロック及び基準クロックが入力され、制御回路10は、タイミング信号を出力信号として出力する。出力信号として出力されるタイミング信号は、例えば、制御回路10の後段に設けられる画像表示装置(図示を省略する。)の走査線駆動回路で用いられる。

【0021】

制御回路10に入力されたピクセルクロックは、3系統のピクセルクロックに3分岐され、それぞれ同期信号抽出回路20、タイミング信号生成回路22及びフェイルセーフ回

50



路 30 に送られる。

#### 【0022】

同期信号抽出回路 20 は、クロック入力端子 CK に入力されるピクセルクロックを用いて信号処理を行い、画像信号から同期信号を抽出する。抽出された同期信号は、タイミング信号生成回路 22 に送られる。

#### 【0023】

同期信号は、テレビ受像機など画像表示装置で画面を走査するタイミングを定めるのに用いられる信号である。同期信号には、水平同期信号と垂直同期信号がある。水平同期信号は、1つの走査線による水平方向の走査ごとにパルスが発生する。また、垂直同期信号は複数の水平方向の走査線による 1 画面の走査ごとにパルスが発生する。

10

#### 【0024】

図 1 では、同期信号の出力を 1 系統とした例を示しているが、この例に限定されない。例えば、出力を 2 系統以上として、水平同期信号と垂直同期信号とを別途に出力しても良いし、同種の同期信号を複数出力する構成としても良い。

#### 【0025】

タイミング信号生成回路 22 は、同期信号から、後段に設けられる走査線駆動回路の仕様に合わせて、タイミング信号を生成する。このとき、タイミング信号生成回路 22 は、クロック入力端子 CK に入力されるピクセルクロックを用いて信号処理を行う。タイミング信号生成回路 22 で生成されたタイミング信号は、フェイルセーフ回路 30 に送られる。

20

#### 【0026】

フェイルセーフ回路 30 は、判定部 40 と保護ゲート部 90 を備えて構成される。フェイルセーフ回路 30 に送られたタイミング信号は、保護ゲート部 90 に送られる。

#### 【0027】

保護ゲート部 90 は、判定部 40 で生成された判定信号をゲート信号として用いる。判定信号が、ピクセルクロックの入力が正常であることを示すとき、保護ゲート部 90 は、タイミング信号を通過させて、出力信号として出力する。一方、判定信号が、ピクセルクロックの入力が異常であることを示すとき、保護ゲート部 90 は、タイミング信号を遮断する。以下、判定信号の論理レベルが第 1 レベル（L レベル）のとき、入力が異常であることを示し、また、第 2 レベル（H レベル）のとき、入力が正常であることを示すものとして説明する。

30

#### 【0028】

保護ゲート部 90 は、判定信号の論理レベルに応じて出力の有無を制御する回路、例えば、タイミング信号と判定信号の論理積を出力する AND 回路で構成することができる。

#### 【0029】

判定部 40 は、クロック判定回路 200 を備えて構成される。判定部 40 には、ピクセルクロックと基準クロックとが入力される。

#### 【0030】

判定部 40 に入力されるピクセルクロックは、同期信号抽出回路 20 やタイミング信号生成回路 22 での信号処理に用いられるものと同じく画像信号に含まれるクロックである。一方、基準クロックは、ピクセルクロックとは独立したクロックであって、基準クロックとピクセルクロックは非同期である。

40

#### 【0031】

基準クロックは、一定の時間間隔でクロックパルスを有しており、任意好適な従来周知の水晶発振回路で構成される基準クロック発生手段 24 で生成することができる。なお、この基準クロックは、判定部 40 における判定の基準として用いられる。従って、ケーブル切断などによる基準クロックの入力異常を防ぐために、基準クロック発生手段 24 を、制御回路 10 に物理的に近い位置に設けるのが良い。また、基準クロック発生手段 24 を、制御回路 10 の内部に設ける構成としても良い。

#### 【0032】

50

クロック判定回路 200 は、基準クロックの計数値が定める期間内のピクセルクロックの計数値を用いて、ピクセルクロックの入力が正常であるか否かを判定する。クロック判定回路 200 は、この判定の結果を示すクロック判定信号を生成する。このクロック判定信号が、判定信号として判定部 40 から出力される。

#### 【0033】

(クロック判定回路の第 1 構成例)

図 2 を参照して、クロック判定回路の第 1 構成例について説明する。図 2 は、クロック判定回路の第 1 構成例の概略構成図である。

#### 【0034】

クロック判定回路 200 は、基準クロック計数部 220、ピクセルクロック計数部 230 及びフリップフロップ回路 240 を備えて構成される。

#### 【0035】

クロック判定回路 200 に入力された基準クロックは 2 分岐される。2 分岐された一方は基準クロック計数部 220 に送られ、他方は、フリップフロップ回路 240 に送られる。

#### 【0036】

基準クロック計数部 220 は、基準クロックを計数する。基準クロック計数部 220 は、計数結果である基準クロック計数値 A Q が予め設定した所定の値であるクリア値 M に等しいときに、クリア信号 (CLEAR) の論理レベルを L レベルから H レベルに変化させて出力するとともに、基準クロック計数値 A Q を 0 にリセットする。また、基準クロック計数部 220 は、基準クロック計数値 A Q が予め設定した所定の値であるチェック値 M-1 に等しいときに、チェック信号 (CHECK) の論理レベルを L レベルから H レベルに変化させて出力する。

#### 【0037】

基準クロック計数部 220 は、例えば、任意好適な従来周知のクロックカウンタ (以下、基準クロックカウンタと称する。) 222 とデコーダ 224 を備えて構成される。

#### 【0038】

基準クロックカウンタ 222 は、基準クロックの各クロックパルスの立ち上がりエッジごとに基準クロック計数値 A Q を 1 つずつ増加させ、基準クロック計数値 A Q を示す基準クロック計数信号を出力する。基準クロックカウンタ 222 は、基準クロック計数値 A Q がクリア値 M に等しくなると、基準クロック計数値 A Q を 0 にリセットする。

#### 【0039】

デコーダ 224 は、基準クロック計数信号が示す基準クロック計数値 A Q に対応して、チェック信号及びクリア信号を生成する。チェック信号は、基準クロック計数値 A Q がチェック値 M-1 に等しいときに H レベルとなり、それ以外は L レベルである。また、クリア信号は、基準クロック計数値 A Q がクリア値 M に等しいときに H レベルとなり、それ以外は L レベルである。

#### 【0040】

ピクセルクロック計数部 230 には、ピクセルクロックが入力され、ピクセルクロック計数部 230 は、ピクセルクロックを計数する。計数結果であるピクセルクロック計数値 B Q が予め設定した所定の値である停止値 N に等しいときに、コンパレータ信号を L レベルから H レベルに変化させて出力するとともに、計数動作を停止する。また、ピクセルクロック計数部 230 は、ピクセルクロック計数値 B Q が停止値 N 未満の値をとるとき、コンパレータ信号を L レベルとして、計数動作を行う。また、ピクセルクロック計数部 230 に入力されるクリア信号が H レベルになると、ピクセルクロック計数値 B Q が 0 にリセットされる。

#### 【0041】

ピクセルクロック計数部 230 は、例えば、ピクセルカウンタ 232、ピクセルコンパレータ 234、第 1 ピクセル定数器 236 及び第 2 ピクセル定数器 238 を備えて構成される。ピクセルカウンタ 232 は、イネーブル端子 E 及びロード端子 LD を備える従来周

10

20

30

40

50

知のクロックカウンタで構成できる。また、ピクセルコンパレータ 2 3 4 は、入力される 2 つの信号を比較して一致したときに H レベルの信号を出力し、不一致のときに L レベルの信号を出力する機能を有する、任意好適な回路で構成できる。また、第 1 ピクセル定数器 2 3 6 及び第 2 ピクセル定数器 2 3 8 は、予め設定された所定の値を保持しており、この保持している値を示す信号をピクセルカウンタ 2 3 2 あるいはピクセルコンパレータ 2 3 4 に送っている。

#### 【0 0 4 2】

ピクセルカウンタ 2 3 2 のロード端子 L D には、基準クロック計数部 2 2 0 で生成されたクリア信号が入力される。ピクセルカウンタ 2 3 2 のロード端子 L D に入力される信号の論理レベルが H レベルになると、第 1 ピクセル定数器 2 3 6 に保持されている値 ' 0 ' が、ピクセルカウンタ 2 3 2 に送られ、ピクセルクロック計数値 B Q が 0 にリセットされる。

10

#### 【0 0 4 3】

ピクセルカウンタ 2 3 2 は、ピクセルクロック計数値 B Q が 0 にリセットされた後、ロード端子 L D に入力されるクリア信号の論理レベルが L レベルになるとピクセルクロックの計数を開始する。ピクセルカウンタ 2 3 2 は、ピクセルクロックに含まれるクロックパルスの立ち上がりエッジごとにピクセルクロック計数値 B Q を 1 つずつ増加させて、ピクセルクロック計数値 B Q を示すピクセルクロック計数信号を出力して、ピクセルコンパレータ 2 3 4 に送る。

#### 【0 0 4 4】

20

ピクセルコンパレータ 2 3 4 は、第 2 ピクセル定数器 2 3 8 に保持されている停止値 N と、ピクセルクロック計数値 B Q との比較を行う。ピクセルコンパレータ 2 3 4 は、ピクセルクロック計数値 B Q が停止値 N 以上のとき、コンパレータ信号の論理レベルを H レベルとして出力し、ピクセルクロック計数値 B Q が停止値 N 未満であるとき、コンパレータ信号の論理レベルを L レベルとする。

#### 【0 0 4 5】

また、このピクセルコンパレータ 2 3 4 の出力は、ピクセルカウンタ 2 3 2 のイネーブル端子 E に反転入力される。すなわち、コンパレータ信号の論理レベルが H レベルのとき、イネーブル端子 E から入力される信号の論理レベルが L レベルとなり、ピクセルカウンタ 2 3 2 は、ピクセルクロックの計数を停止する。一方、コンパレータ信号の論理レベルが L レベルのとき、イネーブル端子 E から入力される信号の論理レベルが H レベルとなり、ピクセルカウンタ 2 3 2 は、ピクセルクロックの計数を行う。

30

#### 【0 0 4 6】

ピクセルカウンタ 2 3 2 が、ピクセルクロックの計数を行った結果、ピクセルクロック計数値 B Q が停止値 N と等しくなると、コンパレータ信号の論理レベルが H レベルとなり、ピクセルクロックの計数が停止される。従って、ピクセルクロック計数値 B Q は停止値 N に維持され、コンパレータ信号も H レベルに維持される。

#### 【0 0 4 7】

フリップフロップ回路 2 4 0 では、入力端子 D にコンパレータ信号が入力され、イネーブル端子 E にチェック信号が入力される。また、フリップフロップ回路 2 4 0 のクロック端子 C K には、基準クロックが入力される。

40

#### 【0 0 4 8】

フリップフロップ回路 2 4 0 のイネーブル端子 E に入力されるチェック信号の論理レベルが H レベルになると、フリップフロップ回路 2 4 0 は、基準クロックのクロックパルスの立ち上がりエッジで、コンパレータ信号をデータとして取り込む。フリップフロップ回路 2 4 0 は、取り込んでいるコンパレータ信号を、クロック判定信号として出力する。

#### 【0 0 4 9】

(クロック判定回路の第 1 構成例の動作)

図 3 及び図 4 を参照して、クロック判定回路の第 1 構成例の動作を説明する。図 3 ( A ) ~ ( H ) 及び図 4 ( A ) ~ ( H ) は、クロック判定回路の第 1 構成例の動作を説明する

50

ためのタイミングチャートである。図 3 (A) ~ (H) は、ピクセルクロックの入力が正常に継続している場合を示し、図 4 (A) ~ (H) は、ピクセルクロックの入力が停止する場合を示している。

#### 【0050】

図 3 (A) 及び図 4 (A) は、基準クロックを示している。図 3 (B) 及び図 4 (B) は、基準クロック計数信号を示している。図 3 (C) 及び図 4 (C) は、チェック信号を示している。図 3 (D) 及び図 4 (D) はクリア信号を示している。図 3 (E) 及び図 4 (E) は、ピクセルクロックを示している。図 3 (F) 及び図 4 (F) は、ピクセルクロック計数信号を示している。図 3 (G) 及び図 4 (G) は、コンパレータ信号を示している。図 3 (H) 及び図 4 (H) は、クロック判定信号を示している。

10

#### 【0051】

また、図 3 (A) ~ (H) 及び図 4 (A) ~ (H) は、横軸に時間軸を取って示し、縦軸には、信号強度を論理レベルで示している。

#### 【0052】

先ず、図 3 を参照して、ピクセルクロックの入力が正常である場合について説明する。

#### 【0053】

同期信号抽出回路 20、タイミング信号生成回路 22、基準クロックカウンタ 222、ピクセルカウンタ 232 及びフリップフロップ回路 240 は、リセット端子 R を有しており、電源投入時にリセットされる。この結果、チェック信号、クリア信号、コンパレータ信号及びクロック判定信号の論理レベルは、電源投入時にいずれも L レベルになるものとする。また、電源投入後は、基準クロック及びピクセルクロックがクロック判定回路 200 に継続的に入力されるものとして説明する。

20

#### 【0054】

時刻  $t_0$  において、制御回路 10 が備える各回路に電源が投入される。電源投入された後、基準クロック及びピクセルクロックがクロック判定回路 200 に継続的に入力される。このとき、基準クロックカウンタ 222 は、基準クロックのクロックパルスを計数するので、基準クロック計数信号が示す基準クロック計数値  $AQ$  は、基準クロックのクロックパルスの立ち上がりエッジごとに、1 ずつ増加する。

#### 【0055】

一方、ピクセルクロックカウンタ 232 は、計数を行わず、ピクセルクロック計数信号が示すピクセルクロック計数値  $BQ$  は、0 のままである。

30

#### 【0056】

時刻  $t_1$  において、基準クロック計数値  $AQ$  がチェック値  $M-1$  に等しくなると、チェック信号の論理レベルは L レベルから H レベルに変化する。チェック信号の論理レベルが H レベルになると、フリップフロップ回路 240 は、次の基準クロックのクロックパルスの立ち上がり時（時刻  $t_2$ ）に、コンパレータ信号をデータ端子 D から取り込む。時刻  $t_2$  では、コンパレータ信号は L レベルであるので、フリップフロップ回路 240 の出力信号であるクロック判定信号の論理レベルは L レベルとなる。

#### 【0057】

続いて時刻  $t_2$  において、基準クロック計数値  $AQ$  がクリア値  $M$  に等しくなると、クリア信号の論理レベルは L レベルから H レベルに変化する。クリア信号の論理レベルが H レベルになると、ピクセルカウンタ 232 は、数値 '0' を第 1 ピクセル定数器 236 からロードする。このとき、チェック信号の論理レベルは H レベルから L レベルに変化する。

40

#### 【0058】

その後、時刻  $t_3$  において、クリア信号の論理レベルが H レベルから L レベルになった後、ピクセルカウンタ 232 は、ピクセルクロックの計数を開始する。また、時刻  $t_2$  において、基準クロック計数値  $AQ$  がクリア値  $M$  に等しくなるので、時刻  $t_3$  において、基準クロック計数値  $AQ$  は 0 にリセットされる。

#### 【0059】

時刻  $t_4$  において、ピクセルクロック計数値  $BQ$  が停止値  $N$  に等しくなると、ピクセル

50

計数部 230 は、コンパレータ信号の論理レベルを L レベルから H レベルに変化させるとともに、ピクセルクロックの計数を停止する。従って、ピクセルクロック計数値 BQ は停止値 'N' に等しい状態が続き、その間、コンパレータ信号の論理レベルは H レベルに維持される。

【0060】

なお、ピクセルクロックの計数が停止している間も、基準クロックの計数は独立して行われている。

【0061】

時刻 t5 において、基準クロック計数値 AQ がチェック値 M-1 に等しくなると、チェック信号の論理レベルは L レベルから H レベルに変化する。チェック信号の論理レベルが H レベルになると、フリップフロップ回路 240 は、次の基準クロックのパルスの立ち上がり時（時刻 t6）に、コンパレータ信号をデータ端子 D から取り込む。時刻 t6 では、コンパレータ信号は H レベルであるので、フリップフロップ回路 240 の出力信号であるクロック判定信号の論理レベルは H レベルになる。

10

【0062】

続いて、時刻 t6 において、基準クロック計数値 AQ がクリア値 M に等しくなると、クリア信号の論理レベルは L レベルから H レベルに変化する。クリア信号の論理レベルが H レベルになると、ピクセルカウンタ 232 は、数値 '0' を第 1 ピクセル定数器 236 からロードする。時刻 t7 において、クリア信号の論理レベルが H レベルから L レベルになった後、ピクセルクロックカウンタ 232 は、ピクセルクロックの計数を再開する。

20

【0063】

また、時刻 t6 において基準クロック計数値 AQ がクリア値 M に等しくなるので、時刻 t7 において、基準クロック計数値 AQ は 0 にリセットされる。

【0064】

以後、時刻 t3 から時刻 t7 までと同様の動作が繰り返されるが、ピクセルクロックのクロックパルスがクロック判定回路 200 に継続して入力されている間、すなわちピクセルクロックの入力が正常状態にあるときは、フリップフロップ回路 240 においてデータを取り込む時刻において、コンパレータ信号が H レベルとなるので、クロック判定信号の論理レベルは、H レベルに維持される。

【0065】

30

次に、図 4 を参照して、ピクセルクロックの入力が停止した場合について説明する。

【0066】

時刻 t8 において、ピクセルクロックの入力が停止したものとする。この場合、ピクセルクロックの計数は中断するが、基準クロックは、ピクセルクロックから独立しているので、基準クロックの計数は継続する。

【0067】

基準クロックの計数が継続した結果、時刻 t10 において、基準クロック計数値 AQ がチェック値 M-1 に等しくなると、チェック信号の論理レベルは L レベルから H レベルに変化する。チェック信号の論理レベルが H レベルになると、フリップフロップ回路 240 は、基準クロックに含まれるクロックパルスの次の立ち上がり時（時刻 t11）で、コンパレータ信号をデータ端子 D から取り込む。

40

【0068】

時刻 t9 で、ピクセルクロックの入力が再開された場合であっても、ピクセルクロックの入力が一時停止したために、時刻 t11 の時点では、ピクセルクロック計数値 BQ は、停止した時間に対応して小さくなり、停止値 N 未満となる。従って、時刻 t11 において、フリップフロップ回路 240 がコンパレータ信号を取り込むときは、コンパレータ信号の論理レベルは L レベルとなっている。この結果、フリップフロップ回路 240 の出力信号であるクロック判定信号の論理レベルは L レベルとなる。

【0069】

このように、ピクセルクロックの入力が停止する異常状態になると、クロック判定信号

50

はLレベルになる。

【0070】

また、時刻t<sub>11</sub>で、クリア信号の論理レベルがHレベルになると、ピクセルカウンタ232のピクセルクロック計数値BQが0にリセットされ、その後、図3を参照して説明したのと同様にピクセルカウンタ232の計数が正常に行われる。

【0071】

以上説明したように、この構成によれば、ピクセルクロックの入力が継続している間、すなわち、ピクセルクロックの入力が正常状態であるときは、クロック判定信号の論理レベルはHレベルとなり、ピクセルクロックの入力に異常が発生すると、クロック判定信号の論理レベルはLレベルとなる。

10

【0072】

この発明のフェイルセーフ回路及びこのフェイルセーフ回路を含む制御回路によれば、ピクセルクロックに対して独立している基準クロックを用いて、ピクセルクロックの入力が正常であるか否かを判定している。このため、ピクセルクロックが停止した場合であっても、これを検出し、タイミング信号の出力を停止することができる。

【0073】

また、この発明のフェイルセーフ回路及びこのフェイルセーフ回路を含む制御回路によれば、基準クロックが定める期間ごとにピクセルクロックの正常及び異常を判定するので、入力の正常又は異常に一意に対応したクロック判定信号が得られる。

【0074】

従って、クロック判定信号を判定信号として、タイミング信号生成回路22のイネーブル端子Eに送る構成にすることができる。このように構成すれば、判定信号が、ピクセルクロック入力の正常を示すときのみ、タイミング信号生成回路22を動作させ、判定信号が、ピクセルクロック入力の異常を示すときは、タイミング信号生成回路22をリセットすることができる。

20

【0075】

この結果、ピクセルクロックの入力の異常により、タイミング信号生成回路22の内部が不安定な状態になった場合であっても、タイミング信号生成回路22をリセットすることで、安定動作を再開させることができる。

【0076】

(クロック判定回路の第2構成例)

図5を参照して、クロック判定回路の第2構成例について説明する。図5は、クロック判定回路の第2構成例の概略構成図である。

30

【0077】

このクロック判定回路201は、図2を参照して説明したクロック判定回路の第1構成例に加えて、クリア信号遅延器242及びコンパレータ信号遅延器244を備える点が異なっている。それ以外の構成は、第1構成例と同様なので、重複する説明を省略することもある。

【0078】

クロック判定回路201に入力されたピクセルクロックは2分岐される。2分岐された一方は、ピクセルクロック計数部230に送られ、他方は、クリア信号遅延器242に送られる。

40

【0079】

クロック判定回路201に入力された基準クロックは3系統の基準クロックに分岐され、それぞれ、基準クロック計数部220、フリップフロップ回路240及びコンパレータ信号遅延器244に送られる。

【0080】

クリア信号遅延器242は、基準クロック計数部220と、ピクセルクロック計数部230の間に設けられている。クリア信号遅延器242は、基準クロック計数部220で生成されたクリア信号を遅延させて、遅延クリア信号として、ピクセルクロック計数部23

50

0に送る。クリア信号遅延器242は、Dフリップフロップ回路として構成することができる。クリア信号遅延器242のクロック端子CKには、ピクセルクロックが入力される。クリア信号がHレベルになると、ピクセルクロックに含まれるクロックパルスの次の立ち上がりで、遅延クリア信号がHレベルになり、また、クリア信号がLレベルになると、ピクセルクロックに含まれるクロックパルスの次の立ち上がりで、遅延クリア信号がLレベルになる。

#### 【0081】

コンパレータ信号遅延器244は、ピクセルクロック計数部230と、フリップフロップ回路240の間に設けられている。コンパレータ信号遅延器244は、ピクセルクロック計数部230で生成されたコンパレータ信号を遅延させて、遅延コンパレータ信号としてフリップフロップ回路240に送る。コンパレータ信号遅延器244は、Dフリップフロップ回路として構成することができる。コンパレータ信号遅延器244のクロック端子CKには、基準クロックが入力される。コンパレータ信号がHレベルになると、基準クロックに含まれるクロックパルスの次の立ち上がりで、遅延コンパレータ信号がHレベルになり、また、コンパレータ信号がLレベルになると、基準クロックに含まれるクロックパルスの次の立ち上がりで、遅延コンパレータ信号がLレベルになる。

#### 【0082】

クリア信号遅延器242及びコンパレータ信号遅延器244は、リセット端子を有しており、電源投入時にリセットされる。クリア信号遅延器242及びコンパレータ信号遅延器244の論理レベルは、電源投入時にいずれもLレベルになるものとする。

#### 【0083】

(クロック判定回路の第2構成例の動作)

図6及び図7を参照して、クロック判定回路の第2構成例の動作を説明する。図6(A)～(J)及び図7(A)～(J)は、クロック判定回路の第2構成例の動作を説明するためのタイミングチャートである。図6(A)～(J)は、ピクセルクロックの入力が正常に継続している場合を示し、図7(A)～(J)は、ピクセルクロックの入力が停止する場合を示している。

#### 【0084】

図6(A)及び図7(A)は、基準クロックを示している。図6(B)及び図7(B)は、基準クロック計数信号を示している。図6(C)及び図7(C)は、チェック信号を示している。図6(D)及び図7(D)はクリア信号を示している。図6(E)及び図7(E)は、ピクセルクロックを示している。図6(F)及び図7(F)は、遅延クリア信号を示している。図6(G)及び図7(G)は、ピクセルクロック計数信号を示している。図6(H)及び図7(H)は、コンパレータ信号を示している。図6(I)及び図7(I)は、遅延コンパレータ信号を示している。図6(J)及び図7(J)は、クロック判定信号を示している。

#### 【0085】

また、図6(A)～(J)及び図7(A)～(J)は、横軸に時間軸を取って示し、縦軸には、信号強度を論理レベルで示している。

#### 【0086】

なお、基準クロック、基準クロック計数信号、チェック信号、クリア信号、ピクセルクロックについては、クロック判定回路の第1構成例における動作と同様なので、重複する説明を省略することもある。

#### 【0087】

まず、図6を参照して、ピクセルクロックの入力が正常である場合について説明する。

#### 【0088】

時刻t0において、制御回路10が備える各回路に電源が投入される。電源投入された後、基準クロック及びピクセルクロックがクロック判定回路201に継続的に入力される。このとき、基準クロックカウンタ222は、基準クロックのクロックパルスを計数するので、基準クロック計数信号が示す基準クロック計数値AQは、基準クロックのクロック

10

20

30

40

50

パルスの立ち上がりエッジごとに、1 ずつ増加する。

【0089】

一方、ピクセルクロックカウンタ 232 は、計数を行わず、ピクセルクロック計数信号が示すピクセルクロック計数値 BQ は、0 のままである。

【0090】

時刻 t1 において、基準クロック計数値 AQ がチェック値 M-1 に等しくなると、チェック信号の論理レベルは L レベルから H レベルに変化する。チェック信号の論理レベルが H レベルになると、フリップフロップ回路 240 は、基準クロックに含まれるクロックパルスの次の立ち上がり時（時刻 t2）に、遅延コンパレータ信号をデータ端子 D から取り込む。時刻 t2 では、遅延コンパレータ信号は L レベルであるので、フリップフロップ回路 240 の出力信号であるクロック判定信号の論理レベルは L レベルとなる。

10

【0091】

続いて時刻 t2 において、基準クロック計数値 AQ がクリア値 M に等しくなると、クリア信号の論理レベルは L レベルから H レベルに変化する。クリア信号の論理レベルが H レベルになると、クリア信号遅延器 242 は、入力されたクリア信号を遅延させて、ピクセルクロックのクロックパルスの次の立ち上がり時（時刻 t21）に、遅延クリア信号として出力する。このとき、チェック信号の論理レベルは H レベルから L レベルに変化する。また、時刻 t2 において、基準クロック計数値 AQ がクリア値 M に等しくなるので、時刻 t3 において、基準クロック計数値 AQ は 0 にリセットされる。

【0092】

20

時刻 t21 において、遅延クリア信号の論理レベルが H レベルになると、ピクセルカウンタ 232 は、数値 '0' を、第 1 ピクセル定数器 236 からロードする。

【0093】

時刻 t22 において、遅延クリア信号の論理レベルが L レベルになった後、ピクセルカウンタ 232 は、ピクセルクロックの計数を開始する。

【0094】

時刻 t4 において、ピクセルクロック計数値 BQ が停止値 N に等しくなると、ピクセルクロック計数部 230 は、コンパレータ信号の論理レベルを L レベルから H レベルに変化させるとともに、ピクセルクロックの計数を停止する。従って、ピクセルクロック計数値 BQ は停止値 'N' に等しい状態が続き、その間、コンパレータ信号の論理レベルは H レベルに維持される。

30

【0095】

時刻 t4 において、コンパレータ信号の論理レベルが H レベルになると、コンパレータ信号遅延器 244 は、基準クロックに含まれるクロックパルスの次の立ち上がり時（時刻 t23）に、コンパレータ遅延信号を L レベルから H レベルに変化させて出力する。

【0096】

なお、ピクセルクロックの計数が停止している間も、基準クロックの計数は独立して行われている。

【0097】

時刻 t5 において、基準クロック計数値 AQ がチェック値 M-1 に等しくなると、チェック信号の論理レベルが L レベルから H レベルに変化する。チェック信号の論理レベルが H レベルになると、フリップフロップ回路 240 は、次の基準クロックのクロックパルスの立ち上がり時（時刻 t6）に、遅延コンパレータ信号をデータ端子 D から取り込む。時刻 t6 では、遅延コンパレータ信号は H レベルであるので、フリップフロップ回路 240 の出力信号であるクロック判定信号の論理レベルは H レベルとなる。

40

【0098】

また、時刻 t24 において、遅延クリア信号の論理レベルが H レベルになると、ピクセルカウンタ 232 は、数値 '0' を第 1 ピクセル定数器 236 からロードする。時刻 t25 において、遅延クリア信号の論理レベルが H レベルから L レベルになった後、ピクセルクロックカウンタ 232 は、ピクセルクロックの計数を開始する。

50



## 【0099】

また、時刻  $t_6$  において、基準クロック計数値  $AQ$  がクリア値  $M$  に等しくなるので、時刻  $t_7$  において、基準クロック計数値  $AQ$  は 0 にリセットされる。

## 【0100】

以後、時刻  $t_3$  から時刻  $t_7$  までの動作を繰り返すが、ピクセルクロックのクロックパルスが継続してクロック判定回路に入力されている間、すなわちピクセルクロックが正常状態にあるときは、フリップフロップ回路 240 においてデータを取り込む時刻において、遅延コンパレータ信号が H レベルとなるので、クロック判定信号の論理レベルは、H レベルに維持される。

## 【0101】

次に、図 7 を参照して、ピクセルクロックの入力が停止した場合について説明する。

## 【0102】

時刻  $t_8$  において、ピクセルクロックの入力が停止したものとする。この場合、ピクセルクロックの計数は中断するが、基準クロックは、ピクセルクロックから独立しているので、基準クロックの計数は継続する。

## 【0103】

基準クロックの計数が継続して、時刻  $t_{10}$  において、基準クロック計数値  $AQ$  がチェック値  $M-1$  に等しくなると、チェック信号の論理レベルは L レベルから H レベルに変化する。チェック信号の論理レベルが H レベルになると、フリップフロップ回路 240 は、基準クロックに含まれるクロックパルスの次の立ち上がり時（時刻  $t_{11}$ ）に、遅延コンパレータ信号をデータ端子 D から取り込む。

## 【0104】

時刻  $t_9$  で、ピクセルクロックの入力が再開された場合であっても、ピクセルクロックの入力が一時停止したために、時刻  $t_{11}$  の時点では、ピクセルクロックの計数値  $BQ$  は、停止した時間に対応して小さくなり停止値  $N$  未満となる。従って、時刻  $t_{11}$  においてフリップフロップ回路 240 が遅延コンパレータ信号を取り込むとき、遅延コンパレータ信号の論理レベルは L レベルとなる。この結果、フリップフロップ回路 240 の出力信号であるクロック判定信号の論理レベルは L レベルとなる。

## 【0105】

このように、ピクセルクロックの入力が停止する異常状態になると、クロック判定信号は L レベルになる。

## 【0106】

また、時刻  $t_{26}$  で、遅延クリア信号の論理レベルが H レベルになると、ピクセルカウンタ 232 が 0 にリセットされ、その後、図 6 を参照して説明したのと同様にピクセルカウンタ 232 の計数が正常に行われる。

## 【0107】

以上説明したクロック判定回路の第 2 構成例によれば、クロック判定回路の第 1 構成例で得られる効果に加えて、以下の効果が得られる。すなわち、クロック判定回路の第 2 構成例は、クリア信号に対して、ピクセルクロックの 1 周期分遅延させて、ピクセルクロックカウンタをリセットし、またコンパレータ出力信号をピクセルクロックの 1 周期分遅延させている。この結果、コンパレータ出力信号が変化する時刻が、コンパレータ出力信号が変化する時刻と、基準クロックに含まれる立ち上がりエッジの時刻との差が大きくなり、フリップフロップ回路がメタステーブル状態に入るのを確実に防ぐことができる。

## 【0108】

（第 1 実施形態の制御回路の他の構成例）

図 1 では、クロック判定回路が 1 系統の判定信号を出力し、その後分岐して、タイミング信号生成回路 20 と保護ゲート部 90 に送る構成例を示しているが、これに限定されるものではない。

## 【0109】

図 8 は、第 1 変形例の制御回路の概略構成図である。この制御回路 11 では、フェイル

10

20

30

40

50

セーフ回路 31 の判定部 41 が、出力ゲート部 300 を備えている。出力ゲート部 300 において、クロック判定信号を 2 分岐した後、一方をタイミング信号生成回路 22 に送り、他方を保護ゲート部 90 に送る。このとき、判定信号が、増幅回路 302 及び 304 により適宜増幅される構成にしても良い。

#### 【0110】

図 9 は、第 2 変形例の制御回路の概略構成図である。この制御回路 12 では、フェイルセーフ回路 32 の判定部 42 が、出力ゲート部 310 を備えている。出力ゲート部 310 において、クロック判定信号が 2 分岐される。出力ゲート部 310 は、テスト端子 316 及び OR 回路 312 を備えている。

#### 【0111】

OR 回路 312 には、クロック判定信号の 2 分岐された一方と、テスト端子 316 を経て入力されたテスト信号が増幅回路 318 で適宜増幅されて入力される。OR 回路 312 の出力である論理和信号は、判定信号としてタイミング信号生成回路 22 に送られる。また、クロック判定信号の 2 分岐された他方は、必要に応じて増幅器 314 で適宜増幅されて、判定信号として保護ゲート部 90 に送られる。

#### 【0112】

この構成によれば、例えば、テスト端子 316 に H レベルの信号を入力すると、クロック判定信号の論理レベルによらず、OR 回路 312 の出力が H レベルになる。この結果、タイミング信号生成回路 22 のイネーブル端子 E に入力される判定信号の論理レベルは、常に H レベルとなるので、ピクセルクロックの入力に異常が発生した場合であっても、タイミング信号生成回路 22 はリセットされない。このことを利用すれば、ピクセルクロックの入力異常時のタイミング信号生成回路 22 の振る舞いを容易に確認することができる。

#### 【0113】

図 10 は、第 3 変形例の制御回路を示す図である。この制御回路 13 では、フェイルセーフ回路 33 の判定部 43 は、出力ゲート部 320 を備えている。出力ゲート部 320 において、クロック判定信号が第 1 ～ 3 のクロック判定信号に 3 分岐される。保護ゲート部 91 は、第 1 のゲート回路として AND ゲート 94 を備え、第 2 のゲート回路として OR ゲート 96 を備えている。

#### 【0114】

また、タイミング信号生成回路 22 では、2 系統のタイミング信号が生成されている。一方のタイミング信号は AND ゲート 94 に送られ、他方のタイミング信号は OR ゲート 96 に送られる。

#### 【0115】

第 1 のクロック判定信号は、必要に応じて増幅回路 322 で適宜増幅されて、正論理のまま、第 1 判定信号としてタイミング信号生成回路 22 に送られる。

#### 【0116】

第 2 のクロック判定信号は、必要に応じて増幅回路 324 で適宜増幅されて、正論理のまま、第 2 判定信号として、保護ゲート部 91 の AND ゲート 94 に送られる。この AND ゲート 94 における第 2 判定信号を用いた処理は、第 1 実施形態と同様である。

#### 【0117】

第 3 のクロック判定信号は、反転回路 326 で負論理に反転された後、第 3 判定信号として、保護ゲート部 91 の OR ゲート 96 に送られる。すなわち、保護ゲート部 91 の OR ゲート 96 に送られる第 3 判定信号の論理レベルは、ピクセルクロックの入力が正常であるときは L レベルとなり、ピクセルクロックの入力に異常が発生したときは H レベルとなる。

#### 【0118】

OR ゲート 96 からの出力信号は、ピクセルクロックが正常であるときは、タイミング信号をそのまま出力し、ピクセルクロックが異常であるときは、論理レベルが H レベルの信号を出力する。

## 【0119】

従って、後段に設けられる走査線駆動回路において、ORゲート96からの出力信号であるタイミング信号を用いることで、走査線駆動回路における誤動作を効果的に防止することができる。

## 【0120】

(第2実施形態)

図11を参照して第2実施形態のフェイルセーフ回路及び制御回路について説明する。

図11は、第2実施形態の制御回路の概略構成図である。

## 【0121】

この制御回路14では、フェイルセーフ回路34の判定部44が動作判定回路400を備えている点が第1実施形態と異なっており、それ以外の点には、第1実施形態と同様であるので、重複する説明を省略することもある。

## 【0122】

制御回路14は、同期信号抽出回路20、タイミング信号生成回路22及びフェイルセーフ回路34を備えて構成されている。制御回路14には、画像信号、ピクセルクロック及び基準クロックが入力され、制御回路14は、タイミング信号を出力信号として出力する。出力信号として出力されるタイミング信号は、例えば、制御回路14の後段に設けられる画像表示装置(図示を省略する。)の走査線駆動回路で用いられる。

## 【0123】

制御回路14に入力されたピクセルクロックは、3系統のピクセルクロックに3分岐され、それぞれ同期信号抽出回路20、タイミング信号生成回路22及びフェイルセーフ回路34に送られる。

## 【0124】

同期信号抽出回路20は、クロック入力端子CKに入力されるピクセルクロックを用いて信号処理を行い、画像信号から同期信号を抽出する。抽出された同期信号は、タイミング信号生成回路22に送られる。

## 【0125】

タイミング信号生成回路22は、同期信号から、後段に設けられる走査線駆動回路の仕様に合わせて、タイミング信号を生成する。このとき、タイミング信号生成回路22は、クロック入力端子CKに入力されるピクセルクロックを用いて信号処理を行う。タイミング信号生成回路22で生成されたタイミング信号は、フェイルセーフ回路34に送られる。

## 【0126】

フェイルセーフ回路34は、判定部44と保護ゲート部90を備えて構成される。フェイルセーフ回路34に送られたタイミング信号は、2分岐される。2分岐されたタイミング信号の一方は、保護ゲート部90に送られ、他方は、判定部44に送られる。

## 【0127】

保護ゲート部90は、判定部44で生成された判定信号をゲート信号として用いる。判定信号が、ピクセルクロックの入力が正常であることを示すとき、保護ゲート部90は、タイミング信号を通過させて、出力信号として出力する。一方、判定信号が、ピクセルクロックの入力が異常であることを示すとき、保護ゲート部90は、タイミング信号を遮断する。

## 【0128】

判定部44は、クロック判定回路200と動作判定回路400を備えて構成される。判定部44には、タイミング信号、ピクセルクロック及び基準クロックが入力される。判定部44に入力されたピクセルクロックは2分岐され、一方がクロック判定回路200に送られ、他方が動作判定回路400に送られる。

## 【0129】

クロック判定回路200は、図1を参照して説明したのと同様に、基準クロックの計数値が定める期間内のピクセルクロックの計数値を用いて、ピクセルクロックの入力が正常

10

20

30

40

50

であるか否かを判定する。クロック判定回路 200 は、この判定の結果を示すクロック判定信号を生成する。

#### 【0130】

動作判定回路 400 は、例えば、カウンタ 404、デコーダ 406 及び AND ゲート 408 を備えて構成される。カウンタ 404 の出力が 0 から所定の値 T までの間、デコーダ 406 は、論理レベルが H レベルである信号を出力し、それ以外の間は L レベルの信号を出力する。

#### 【0131】

AND ゲート 408 には、タイミング信号と、デコーダ 406 の出力であるデコーダ出力信号が入力される。AND ゲート 408 は、タイミング信号とデコーダ出力信号がともに H レベルであるとき、タイミング信号が正常であることを示す動作判定信号を生成する。

10

#### 【0132】

すなわち、動作判定回路 400 は、ピクセルクロックが定める期間内であって、タイミング信号に含まれるスタートパルスが持続している期間内には、タイミング信号が正常であることを示す動作判定信号を出力する。

#### 【0133】

動作判定信号と、クロック判定部 200 で生成されたクロック判定信号とは、AND ゲート 402 に入力され、動作判定信号とクロック判定信号の論理積 (AND) が判定信号として出力される。

20

#### 【0134】

なお、例えば、保護ゲート部 90 を、タイミング信号、動作判定信号及びクロック判定信号が入力される 3 入力の AND ゲートとして構成し、また、タイミング信号生成回路 22 のイネーブル端子 E を、動作判定信号及びクロック判定信号が入力される 2 入力の AND ゲートとして構成して、判定部 44 からは、動作判定信号とクロック判定信号をそれぞれ出力する構成にしても良い。

#### 【0135】

(第 3 実施形態)

図 12 を参照して第 3 実施形態の制御回路について説明する。図 12 は、第 3 実施形態の制御回路を説明するための概略構成図である。

30

#### 【0136】

第 3 実施形態の制御回路 15 では、フェイルセーフ回路 35 の判定部 45 が、さらに第 1 同期判定回路 410 と第 2 同期判定回路 420 を備えている点が第 1 実施形態の制御回路と異なっており、それ以外の点には、第 1 実施形態と同様であるので、重複する説明を省略することもある。

#### 【0137】

制御回路 15 は、同期信号抽出回路 20、タイミング信号生成回路 22 及びフェイルセーフ回路 35 を備えて構成されている。制御回路 15 には、2 系統の画像信号、ピクセルクロック及び基準クロックが入力され、制御回路 15 は、タイミング信号を 2 系統の出力信号として出力する。出力信号として出力されるタイミング信号は、例えば、制御回路 15 の後段に設けられる画像表示装置の走査線駆動回路で用いられる。

40

#### 【0138】

制御回路 15 に入力されたピクセルクロックは、3 系統のピクセルクロックに 3 分岐され、それぞれ同期信号抽出回路 20、タイミング信号生成回路 22 及びフェイルセーフ回路 35 に送られる。

#### 【0139】

同期信号抽出回路 20 は、クロック入力端子 CK に入力されるピクセルクロックを用いて信号処理を行い、2 系統の画像信号からそれぞれ同期信号を抽出する。ここでは一方を、例えば水平同期信号 (第 1 同期信号と称することもある。) とし、他方を、例えば垂直同期信号 (第 2 同期信号と称することもある。) とする。

50

## 【0140】

第1同期信号及び第2同期信号は、それぞれ2分岐される。2分岐された一方は、タイミング信号生成回路22に送られ、他方は、フェイルセーフ回路35に送られる。

## 【0141】

タイミング信号生成回路22は、第1同期信号及び第2同期信号から、後段に設けられる走査線駆動回路の仕様に合わせて、第1タイミング信号及び第2タイミング信号を生成する。このとき、タイミング信号生成回路22は、クロック入力端子CKに入力されるピクセルクロックを用いて信号処理を行う。タイミング信号生成回路22で生成された第1タイミング信号及び第2タイミング信号は、フェイルセーフ回路35に送られる。

## 【0142】

フェイルセーフ回路35は、判定部45と保護ゲート部92を備えて構成される。フェイルセーフ回路35に送られた第1タイミング信号及び第2タイミング信号は、保護ゲート部92に送られる。

## 【0143】

保護ゲート部92は、第1保護ゲート回路97及び第2保護ゲート回路98を備えている。第1保護ゲート回路97及び第2保護ゲート回路98は、判定部45で生成された判定信号をそれぞれゲート信号として用いる。第1保護ゲート回路97及び第2保護ゲート回路98は、判定信号の論理レベルに応じて出力の有無を制御するAND回路で構成することができる。

## 【0144】

判定信号が、ピクセルクロックの入力が正常であることを示すとき、第1保護ゲート回路97は、第1タイミング信号を通過させて、出力信号として出力する。一方、判定信号が、ピクセルクロックの入力が異常であることを示すとき、第1保護ゲート回路97は、第1タイミング信号を遮断する。

## 【0145】

同様に、判定信号が、ピクセルクロックの入力が正常であることを示すとき、第2保護ゲート回路98は、第2タイミング信号を通過させて、出力信号として出力する。一方、判定信号が、ピクセルクロックの入力が異常であることを示すとき、第2保護ゲート回路98は、第1タイミング信号を遮断する。

## 【0146】

判定部45は、クロック判定回路200、第1同期判定回路410及び第2同期判定回路420を備えて構成される。

## 【0147】

判定部45に入力された第1同期信号は、第1同期判定回路410に送られる。

## 【0148】

判定部45に入力された第2同期信号は2分岐される。2分岐された一方は第1同期判定回路410に送られ、他方は第2同期判定回路420に送られる。

## 【0149】

判定部45に入力された基準クロックは2分岐される。2分岐された一方はクロック判定回路200に送られ、他方は、第2同期判定回路420に送られる。

## 【0150】

クロック判定回路200は、基準クロックの計数値が定める期間内のピクセルクロックの計数値を用いて、ピクセルクロックの入力が正常であるか否かを判定する。クロック判定回路200は、この判定の結果を示すクロック判定信号を生成する。

## 【0151】

第1同期判定回路410は、第2同期信号の計数値が定める期間内の第1同期信号の計数値を用いて、第1同期信号が正常であるか否かを判定する。第1同期判定回路410は、この判定の結果を示す第1同期判定信号を生成する。

## 【0152】

第2同期判定回路420は、基準クロックの計数値が定める期間内の第2同期信号の計

10

20

30

40

50

数値を用いて、第 2 同期信号が正常であるか否かを判定する。第 2 同期判定回路 4 2 0 は、この判定の結果を示す第 2 同期判定信号を生成する。

【0 1 5 3】

クロック判定信号、第 1 同期判定信号及び第 2 同期判定信号は、AND ゲート 4 3 0 に入力され、その論理積 (AND) が判定信号として出力される。

【0 1 5 4】

クロック判定回路 2 0 0、第 1 同期判定回路 4 1 0 及び第 2 同期判定回路 4 2 0 は、同様の判定回路として構成することができる。

【0 1 5 5】

これらの判定回路は、第 1 クロック計数部と、第 2 クロック計数部と、フリップフロップ回路とを備えて構成される。

10

【0 1 5 6】

第 1 クロック計数部は、入力される第 1 クロックを計数して、計数結果である第 1 クロック計数値が予め設定されているクリア値 M に等しくなると、クリア信号を L レベルから H レベルに変化させるとともに、第 1 クロック計数値を 0 にリセットする。また、第 1 クロック計数部は、第 1 クロック計数値が予め設定されているチェック値 M - 1 に等しいときにチェック信号を L レベルから H レベルに変化させる。

【0 1 5 7】

第 2 クロック計数部は、第 2 クロックを計数して、計数結果である第 2 クロック計数値が予め設定されている停止値 N に等しくなると、コンパレータ信号を L レベルから H レベルに変化させるとともに、計数動作を停止する。また第 2 クロック計数部は、第 1 クロック計数部から出力されたクリア信号が H レベルになると、第 2 クロック計数値を 0 にリセットする。

20

【0 1 5 8】

フリップフロップ回路は、第 1 クロック計数部からチェック信号が H レベルのときに、第 2 クロック計数部で生成されたコンパレータ信号を取り込み、同期判定信号として出力する。

【0 1 5 9】

ここで、第 1 クロック及び第 2 クロックとして、基準クロック及びピクセルクロックが入力される構成にすれば、図 2 を参照して説明したクロック判定回路の第 1 構成例となる。このとき、クロック判定回路 2 0 0 から、同期判定信号としてクロック判定信号が出力される。

30

【0 1 6 0】

第 1 同期判定回路 4 1 0 には、第 1 クロック及び第 2 クロックとして第 2 同期信号及び第 1 同期信号がそれぞれ入力される。このとき、第 1 同期判定回路 4 1 0 からは、同期判定信号として、第 1 同期判定信号が出力される。

【0 1 6 1】

第 2 同期判定回路 4 2 0 には、第 1 クロック及び第 2 クロックとして基準クロック及び第 2 同期信号がそれぞれ入力される。このとき、第 2 同期判定回路 4 2 0 からは、同期判定信号として、第 2 同期判定信号が出力される。

40

【0 1 6 2】

ここで、クロック判定回路 2 0 0、第 1 同期判定回路 4 1 0 及び第 2 同期判定回路 4 2 0 は、図 5 を参照して説明したクロック判定回路の第 2 構成例と同様の構成としても良い。

【0 1 6 3】

なお、第 2 同期判定回路 4 2 0 には、第 2 同期信号と基準クロックが入力されるが、第 2 同期信号の周波数が、基準クロックの周波数と大きく異なっている場合など、分周器 4 4 0 を経て基準クロックの周波数を小さくしてから第 2 同期判定回路 4 2 0 に入力するのが良い。

【0 1 6 4】

50

この構成によれば、ピクセルクロックだけではなく、同期信号の入力状態も判定するので、画像信号や同期信号に異常が発生した場合にも、タイミング信号の出力を停止することができる。また、タイミング信号生成回路に入力される信号を判定に用いることで、特許文献1に記載の構成よりも時系列的に早い段階で異常検出が可能になる。この結果、異常発生時の制御が、より容易になる。

#### 【0165】

なお、例えば、保護ゲート部を、タイミング信号、クロック判定信号、第1同期判定信号及び第2同期判定信号が入力される4入力のANDゲートとして構成し、また、タイミング信号生成回路のイネーブル端子Eをクロック判定信号、第1同期判定信号及び第2同期判定信号が入力される3入力のANDゲートとして構成し、判定部からは、クロック判定信号、第1同期判定信号及び第2同期判定信号をそれぞれ出力する構成にしても良い。

10

#### 【0166】

(第4実施形態)

図13及び図14を参照して第4実施形態のフェイルセーフ回路及び制御回路について説明する。図13は、第4実施形態の制御回路の概略構成図である。図14は、第4実施形態のフェイルセーフ回路が有するクロック判定回路とPLL判定回路の概略構成図である。

#### 【0167】

第4実施形態の制御回路16では、制御回路16がPLL(Phase Locked Loop)26を備える点と、フェイルセーフ回路36の判定部46がPLL判定回路600を備えている点が第1実施形態と異なっており、それ以外の点には、第1実施形態と同様であるので、重複する説明を省略することもある。

20

#### 【0168】

制御回路16は、同期信号抽出回路20、タイミング信号生成回路22、PLL26及びフェイルセーフ回路36を備えて構成されている。制御回路16には、画像信号、ピクセルクロック及び基準クロックが入力され、制御回路16は、タイミング信号を出力信号として出力する。出力信号として出力されるタイミング信号は、例えば、制御回路16の後段に設けられる画像表示装置(図示を省略する。)の走査線駆動回路で用いられる。

#### 【0169】

制御回路16に入力されたピクセルクロックは、3系統のピクセルクロックに3分岐され、それぞれ同期信号抽出回路20、PLL26及びフェイルセーフ回路36に送られる。

30

#### 【0170】

同期信号抽出回路20は、クロック入力端子CKに入力されるピクセルクロックを用いて信号処理を行い、画像信号から同期信号を抽出する。抽出された同期信号は、タイミング信号生成回路22に送られる。

#### 【0171】

PLL26は、入力されたピクセルクロックをPLLクロックに変換して出力する。PLLクロックは2分岐され、一方は、タイミング信号生成回路22に送られ、他方は、フェイルセーフ回路36に送られる。PLL26の構成については、従来周知であるのでここでは説明を省略する。

40

#### 【0172】

タイミング信号生成回路22は、同期信号から、後段に設けられる走査線駆動回路の仕様に合わせて、タイミング信号を生成する。このとき、タイミング信号生成回路22は、クロック入力端子CKに入力されるPLLクロックを用いて信号処理を行う。タイミング信号生成回路22で生成されたタイミング信号は、フェイルセーフ回路36に送られる。

#### 【0173】

フェイルセーフ回路36の判定部46は、クロック判定回路202、PLL判定回路600及びANDゲート602を備えている。

#### 【0174】

50

判定部に入力された基準クロックは2分岐され、一方がクロック判定回路202に送られ、他方がPLL判定回路600に送られる。

【0175】

クロック判定回路202は、入力される基準クロックの計数値が定める期間内のピクセルクロックの計数値を用いて、ピクセルクロックの入力が正常であるか否かを判定する。クロック判定回路202は、この判定の結果を示すクロック判定信号を生成する。

【0176】

PLL判定回路600は、判定部46に入力される基準クロックの計数値が定める期間内の、ピクセルクロックとPLLクロックの計数値を比較してPLLクロックの入力が正常であるか否かを判定する。PLL判定回路600は、この判定の結果を示すPLL判定信号を生成する。

10

【0177】

クロック判定信号とPLL判定信号は、ANDゲート602に入力される。クロック判定信号とPLL判定信号の論理積(AND)が判定信号として判定部46から出力される。

【0178】

図14に示すクロック判定回路202は、図2を参照して説明したクロック判定回路200と、コンパレータ遅延器244を備える点が異なっており、それ以外の構成は、同様なので重複する説明を省略することもある。また、コンパレータ遅延器244については、図5を参照して説明したクロック判定回路201が備えるものと同様に構成すれば良い。また、このクロック判定回路202は、ピクセルクロック計数信号をPLL判定回路600にも送る。

20

【0179】

PLL判定回路600は、PLLクロック計数部630、PLL判定部660、PLLコンパレータ遅延器644及びフリップフロップ回路640を備えて構成される。

【0180】

PLLクロック計数部630には、PLLクロックが入力される。PLLクロック計数部630は、PLLクロックを計数し、計数結果であるPLLクロック計数値CQを示す、PLLクロック計数信号をPLL判定部660に送る。また、PLLクロック計数部630には、クロック判定回路202で生成されたクリア信号が入力され、クリア信号がHレベルになると、PLLクロック計数値CQは0にリセットされる。

30

【0181】

PLLクロック計数部630は、例えば、PLLカウンタ632、PLLコンパレータ634、第1PLL定数器636及び第2PLL定数器638を備えて構成される。PLLカウンタ632は、イネーブル端子E及びロード端子LDを備える従来周知のクロックカウンタで構成できる。また、PLLコンパレータ634は、入力される2つの信号を比較して一致したときにHレベルの信号を出力し、不一致のときにLレベルの信号を出力する機能を有する、任意好適な回路で構成できる。また、第1PLL定数器636及び第2PLL定数器638は、予め設定された所定の値を保持しており、この保持している値を示す信号をPLLカウンタ632あるいはPLLコンパレータ634に送っている。

40

【0182】

PLLカウンタ632のロード端子LDには、基準クロック計数部220で生成されたクリア信号が入力される。PLLカウンタ632のロード端子LDに入力される信号の論理レベルがHレベルになると、第1PLL定数器636に保持されている値‘0’が、PLLカウンタ632に送られ、PLLクロック計数値CQが0にリセットされる。

【0183】

PLLカウンタ632は、PLLクロック計数値CQがリセットされた後、ロード端子LDに入力されるクリア信号の論理レベルがLレベルになるとPLLクロックの計数を開始する。PLLカウンタ632は、PLLクロックに含まれるクロックパルスの立ち上がりエッジごとにPLLクロック計数値CQを1つずつ増加させて、PLLクロック計数値

50



CQを示すPLLクロック計数信号を2系統出力し、一方をPLLコンパレータ634に送るとともに、他方をPLL判定部660に送る。

【0184】

PLLコンパレータ634は、第2PLL定数器638に保持されている停止値Nと、PLLクロック計数値CQとの比較を行う。PLLコンパレータ634は、PLLクロック計数値CQが停止値N以上のとき、コンパレータ信号の論理レベルをHレベルとして出力し、PLLクロック計数値CQが停止値N未満であるとき、コンパレータ信号の論理レベルをLレベルとする。このPLLコンパレータ634の出力は、PLLカウンタ632のイネーブル端子Eに反転入力される。すなわち、コンパレータ信号の論理レベルがHレベルのとき、イネーブル端子Eから入力される信号の論理レベルがLレベルとなり、PLLカウンタ632は、PLLクロックの計数を停止する。一方、コンパレータ信号の論理レベルがLレベルのとき、イネーブル端子Eから入力される信号の論理レベルがHレベルとなり、PLLカウンタ632は、PLLクロックの計数を行う。

10

【0185】

PLLカウンタ632が、PLLクロックの計数を行った結果、PLLクロック計数値CQが停止値Nと等しくなると、コンパレータ信号の論理レベルがHレベルとなり、PLLクロックの計数が停止される。従って、PLLクロック計数値CQは停止値Nに維持され、コンパレータ信号もHレベルに維持される。

【0186】

PLL判定部660は、コンパレータ662、PLL比較基準定数器664、コンパレータ遅延器666、レジスタ668、PLLコンパレータ670、下限定数器672及び上限定数器674を備えて構成される。

20

【0187】

コンパレータ662は、ピクセルクロック計数信号が示すピクセルクロック計数値BQと、予め定められているPLL比較基準Lとを比較する。PLL比較基準Lは、PLL比較基準定数器664に保持されている。

【0188】

コンパレータ662は、PLL比較基準Lとピクセルクロック計数値BQとが等しい場合に、ピクセルコンパレータ信号をHレベルとして出力する。このピクセルコンパレータ信号は、コンパレータ遅延器666で所定の遅延を受けて遅延ピクセルコンパレータ信号として、レジスタ668のイネーブル端子Eに送られる。

30

【0189】

レジスタ668は、遅延ピクセルコンパレータ信号がHレベルのとき、PLLクロック計数部630から出力される、PLLクロック計数値CQを示すPLLクロック計数信号を取り込む。レジスタ668は、PLLクロック計数値CQをレジスタ信号としてPLLコンパレータ670に送る。

【0190】

PLLコンパレータ670は、レジスタ668から送られたレジスタ信号が示すPLLクロック計数値CQを、予め設定している下限値P及び上限値Qと比較する。下限値P及び上限値Qは、それぞれ下限定数器672及び上限定数器674に保持されている。

40

【0191】

PLLクロック計数値CQが下限値Pより大きく、かつ、上限値Qより小さいとき、PLLコンパレータ670は、PLLコンパレータ信号をHレベルとして出力する。

【0192】

PLLコンパレータ信号は、PLLコンパレータ遅延器644で遅延されて、遅延PLLコンパレータ信号として出力される。

【0193】

フリップフロップ回路640では、入力端子Dに遅延PLLコンパレータ信号が入力され、イネーブル端子Eにチェック信号が入力される。また、フリップフロップ回路640のクロック端子CKには、基準クロックが入力される。

50

## 【0194】

フリップフロップ回路640のイネーブル端子Eに入力されるチェック信号の論理レベルがHレベルになると、フリップフロップ回路640は、基準クロックのクロックパルスの立ち上がりエッジで、遅延PLLコンパレータ信号をデータとして取り込む。フリップフロップ回路640は、取り込んでいる遅延PLLコンパレータ信号を、PLL判定信号として出力する。

## 【0195】

ここで、下限値P及び上限値QをPLL比較基準Lの前後に、すなわち $P \leq L \leq Q$ となるように設定すれば、基準クロックが定める期間内のPLLクロックとピクセルクロックの計数値が等しいときに、PLLコンパレータ信号がHレベルになる。つまり、PLL26において、ピクセルクロックとPLLクロックとが同期した後、すなわち、ロックインが完了するとPLL判定回路600は、PLL判定信号をHレベルとして出力する。一方、ピクセルクロックとPLLクロックとが非同期の状態、すなわち、ロックイン過程中は、PLL判定信号をLレベルとする。

## 【0196】

(第4実施形態のクロック判定回路及びPLL判定回路の動作)

図15及び図16を参照して、第4実施形態のクロック判定回路及びPLL判定回路の動作を説明する。図15(A)～(Q)及び図16(A)～(Q)は、第4実施形態のクロック判定回路の動作を説明するためのタイミングチャートである。図15(A)～(Q)は、ピクセルクロックの入力が正常に継続している場合を示し、図16(A)～(Q)は、ピクセルクロックの入力が正常であるが、PLLにおけるロックが外れた場合を示している。

## 【0197】

図15(A)及び図16(A)は、基準クロックを示している。図15(B)及び図15(B)は、基準クロック計数信号を示している。図15(C)及び図16(C)は、チェック信号を示している。図15(D)及び図16(D)はクリア信号を示している。図15(E)及び図16(E)は、ピクセルクロックを示している。図15(F)及び図16(F)は、ピクセルクロック計数信号を示している。図15(G)及び図16(G)は、コンパレータ信号を示している。図15(H)及び図16(H)は、遅延コンパレータ信号を示している。図15(I)及び図16(I)は、クロック判定信号を示している。図15(J)及び図16(J)は、ピクセルコンパレータ信号を示している。図15(K)及び図16(K)は、遅延ピクセルコンパレータ信号を示している。図15(L)及び図16(L)は、PLLクロックを示している。図15(M)及び図16(M)は、PLLクロック計数信号を示している。図15(N)及び図16(N)は、レジスタ信号を示している。図15(O)及び図16(O)は、PLLコンパレータ信号を示している。図15(P)及び図16(P)は、遅延PLLコンパレータ信号を示している。図15(Q)及び図16(Q)は、PLL判定信号を示している。

## 【0198】

また、図15(A)～(Q)及び図16(A)～(Q)は、横軸に時間軸を取って示し、縦軸には、信号強度を論理レベルで示している。

## 【0199】

同期信号抽出回路20、タイミング信号生成回路22、基準クロックカウンタ222、ピクセルカウンタ232及びフリップフロップ回路240は、リセット端子を有しており、電源投入時にリセットされる。この結果、チェック信号、クリア信号、コンパレータ信号及びクロック判定信号の論理レベルは、電源投入時にいずれもLレベルになるものとする。また、電源投入後は、基準クロック及びピクセルクロックが継続的に入力されるものとする。

## 【0200】

先ず、図15を参照して、ピクセルクロックの入力が正常である場合について説明する。

10

20

30

40

50

## 【0201】

時刻  $t_0$  において、制御回路 16 が備える各回路に電源が投入される。電源投入された後、基準クロック及びピクセルクロックが継続的に判定部に入力される。また、PLL 26 の出力である PLL クロックも判定部に入力される。このとき、基準クロックカウンタ 222 は、基準クロックのクロックパルスを計数するので、基準クロック計数信号が示す基準クロック計数値  $AQ$  は、基準クロックのクロックパルスの立ち上がりエッジごとに、1 ずつ増加する。一方、ピクセルクロックカウンタ 232 及び PLL カウンタ 632 は計数を行わず、ピクセルクロック計数信号が示すピクセルクロック計数値  $BQ$ 、及び、PLL クロック計数信号が示す PLL クロック計数値  $CQ$  は、0 のままである。

## 【0202】

時刻  $t_1$  において、基準クロック計数値  $AQ$  がチェック値  $M-1$  に等しくなると、チェック信号の論理レベルは L レベルから H レベルに変化する。

## 【0203】

続いて時刻  $t_2$  において、基準クロック計数値  $AQ$  がクリア値  $M$  に等しくなると、クリア信号の論理レベルは L レベルから H レベルに変化する。このとき、チェック信号の論理レベルは H レベルから L レベルに変化する。

## 【0204】

時刻  $t_1$  においてチェック信号の論理レベルが H レベルになると、フリップフロップ回路 240 は、次の基準クロックのクロックパルスの立ち上がり時（時刻  $t_2$ ）に、遅延コンパレータ信号をデータ端子 D から取り込む。時刻  $t_2$  では、遅延コンパレータ信号は L レベルであるので、フリップフロップ回路 240 の出力信号であるクロック判定信号の論理レベルは L レベルとなる。

## 【0205】

また、時刻  $t_2$  において、クリア信号の論理レベルが H レベルになると、ピクセルカウンタ 232 は、数値 '0' を第 1 ピクセル定数器 236 からロードする。時刻  $t_3$  において、クリア信号の論理レベルが H レベルから L レベルになった後、ピクセルカウンタ 232 は、ピクセルクロックの計数を開始する。

## 【0206】

このクリア信号は、PLL カウンタ 632 の LD 端子にも入力されている。時刻  $t_2$  において、クリア信号の論理レベルが H レベルになると、PLL カウンタ 632 は、数値 '0' を第 1 PLL 定数器 636 からロードする。時刻  $t_3$  において、クリア信号の論理レベルが H レベルから L レベルになった後、ピクセルカウンタ 232 は、ピクセルクロックの計数を開始し、及び、PLL カウンタ 632 は、PLL クロックの計数を開始する。

## 【0207】

時刻  $t_4$  において、ピクセルクロック計数値  $BQ$  が停止値  $N$  に等しくなると、コンパレータ信号の論理レベルは L レベルから H レベルに変化するとともに、ピクセルクロックの計数が停止する。従って、ピクセルクロック計数値  $BQ$  は停止値 'N' に等しい状態が続き、その間、コンパレータ信号の論理レベルは H レベルに維持される。

## 【0208】

なお、ピクセルクロックの計数が停止している間も、基準クロックの計数は独立して行われている。

## 【0209】

時刻  $t_5$  において、基準クロック計数値  $AQ$  が、チェック値  $M-1$  に等しくなると、チェック信号の論理レベルが H レベルになる。チェック信号の論理レベルが H レベルになると、フリップフロップ回路 240 は、次の基準クロックのクロックパルスの立ち上がり時（時刻  $t_6$ ）に、遅延コンパレータ信号をデータ端子 D から取り込む。時刻  $t_6$  では、遅延コンパレータ信号は H レベルであるので、フリップフロップ回路 240 の出力信号であるクロック判定信号の論理レベルは H レベルとなる。

## 【0210】

また、時刻  $t_6$  において、クリア信号の論理レベルが H レベルになると、ピクセルカウ

10

20

30

40

50

ンタ 2 3 2 は、数値 ' 0 ' を第 1 ピクセル定数器 2 3 6 からロードする。時刻  $t_7$  において、クリア信号の論理レベルが H レベルから L レベルになった後、ピクセルクロックカウンタ 2 3 2 は、ピクセルクロックの計数を開始する。

【 0 2 1 1 】

また、時刻  $t_6$  において、基準クロック計数値 A Q がクリア値 M に等しくなるので、時刻  $t_7$  において、基準クロック計数値 A Q は 0 にリセットされる。

【 0 2 1 2 】

時刻  $t_{41}$  でピクセルクロック計数値 B Q が定数値 L に等しくなると、ピクセルコンパレータ信号が、H レベルになる。ピクセルコンパレータ遅延器 6 6 6 は、ピクセルコンパレータ信号が H レベルになると、ピクセルコンパレータ信号を遅延させて、P L L クロックのクロックパルスの立ち上がり時（時刻  $t_{42}$ ）に、遅延ピクセルコンパレータ信号としてレジスタ 6 6 8 に送る。

【 0 2 1 3 】

遅延ピクセルコンパレータ信号は、レジスタ 6 6 8 のイネーブル端子 E に入力される。遅延ピクセルコンパレータ信号が H レベルになると、レジスタ 6 6 8 は、P L L クロック計数信号を取り込む。取りこまれた P L L クロック計数信号は、P L L クロックの立ち上がり時（ $t_{43}$ ）に、レジスタ信号として出力され、P L L コンパレータ 6 7 0 に送られる。

【 0 2 1 4 】

P L L コンパレータ 6 7 0 は、レジスタ信号が示す、レジスタ値と、下限値 P 及び上限値 Q との比較を行う。例えば、時刻  $t_{43}$  で取り込まれたレジスタ値 R が、 $P \leq R \leq Q$  を満たしていないとき、P L L コンパレータ信号は L レベルである。

【 0 2 1 5 】

時刻  $t_{44}$  でピクセルクロック計数値 B Q が定数値 L に等しくなると、ピクセルコンパレータ信号は、H レベルになる。ピクセルコンパレータ遅延器 6 6 6 は、ピクセルコンパレータ信号が H レベルになると、ピクセルコンパレータ信号を遅延させて、P L L クロックのクロックパルスの次の立ち上がり時（時刻  $t_{45}$ ）に、遅延ピクセルコンパレータ信号としてレジスタ 6 6 8 に送る。

【 0 2 1 6 】

遅延ピクセルコンパレータ信号は、レジスタ 6 6 8 のイネーブル端子 E に入力される。遅延ピクセルコンパレータ信号が H レベルになると、レジスタ 6 6 8 は、P L L クロック計数信号を取り込む。取りこまれた P L L クロック計数信号は、P L L クロックの立ち上がり時（ $t_{46}$ ）に、レジスタ信号として出力され、P L L コンパレータ 6 7 0 に送られる。

【 0 2 1 7 】

P L L コンパレータ 6 7 0 は、レジスタ 6 6 8 に取り込まれている P L L クロック計数値 C Q を示すレジスタ値と、下限値 P 及び上限値 Q との比較を行う。例えば、時刻  $t_{46}$  で取り込まれたレジスタ値 S が、 $P \leq S \leq Q$  を満たしているとき、P L L コンパレータ信号は H レベルになる。

【 0 2 1 8 】

この P L L コンパレータ信号は、P L L コンパレータ遅延器 6 4 4 で遅延され、遅延 P L L コンパレータ信号として、フリップフロップ回路 6 4 0 に送られる。

【 0 2 1 9 】

時刻  $t_{47}$  において、基準クロック計数値 A Q が、チェック値 M - 1 に等しくなると、チェック信号の論理レベルが H レベルになる。チェック信号の論理レベルが H レベルになると、フリップフロップ回路 6 4 0 は、次の基準クロックのクロックパルスの立ち上がり時（時刻  $t_{48}$ ）に、遅延 P L L コンパレータ信号をデータ端子 D から取り込む。時刻  $t_{48}$  では、遅延 P L L コンパレータ信号は H レベルであるので、フリップフロップ回路 6 4 0 の出力信号である P L L 判定信号の論理レベルは H レベルとなる。

【 0 2 2 0 】

次に、図 16 を参照して、ピクセルクロックの入力が正常であるが、PLL におけるロックが外れた場合について説明する。

【0221】

時刻  $t_{50}$  でロックが外れたものとする。

【0222】

時刻  $t_{51}$  でピクセルクロック計数値  $BQ$  が定数値  $L$  に等しくなると、ピクセルコンパレータ信号は、H レベルになる。ピクセルコンパレータ遅延器 666 は、ピクセルコンパレータ信号が H レベルになると、ピクセルコンパレータ信号を遅延させて、PLL クロックのクロックパルスの次の立ち上がり時（時刻  $t_{52}$ ）に、遅延ピクセルコンパレータ信号としてレジスタ 668 に送る。

10

【0223】

遅延ピクセルコンパレータ信号は、レジスタ 668 のイネーブル端子 E に入力される。遅延ピクセルコンパレータ信号が H レベルになると、レジスタ 668 は、PLL クロックの立ち上がり時（ $t_{53}$ ）に、PLL クロック計数信号を取り込む。取りこまれた PLL クロック計数信号は、レジスタ信号として出力され、PLL コンパレータ 670 に送られる。

【0224】

PLL コンパレータ 670 は、レジスタ値と、下限値  $P$  及び上限値  $Q$  との比較を行う。ここで、時刻  $t_{50}$  で PLL のロックが外れた場合、時刻  $t_{53}$  で取り込まれたレジスタ値  $V$  は、 $P \leq V \leq Q$  を満たさない。従って、PLL コンパレータ信号は L レベルになる。

20

【0225】

時刻  $t_{55}$  において、基準クロック計数値  $AQ$  が、チェック値  $M-1$  に等しくなると、チェック信号の論理レベルが H レベルになる。チェック信号の論理レベルが H レベルになると、フリップフロップ回路 640 は、次の基準クロックのクロックパルスの立ち上がり時（時刻  $t_{56}$ ）に、遅延 PLL コンパレータ信号をデータ端子 D から取り込む。時刻  $t_{56}$  では、遅延 PLL コンパレータ信号は L レベルであるので、フリップフロップ回路 640 の出力信号である PLL 判定信号の論理レベルは L レベルとなる。

【0226】

$t_{50}$  でロックが外れた後、再びロックイン過程が行われ、ロックされると、図 15 を参照して説明したのと同様の過程を経て、時刻  $t_{57}$  で、PLL 判定信号は H レベルになる。

30

【0227】

第 4 実施形態の制御回路では、同期信号抽出回路が、ピクセルクロックで動作し、タイミング信号生成回路は、PLL クロックで動作する。このように構成することで、入力される画像信号のクロック周波数と異なる周波数で画像処理装置を駆動させることが可能になる。

【0228】

また、PLL 判定回路で生成される PLL 判定信号は、PLL においてロックされているときは、正常を示す信号を出力し、PLL においてロックが外れているときは、異常を示す信号を出力する。このため、PLL でのロックイン状態に応じてタイミング信号を生成することができる。

40

【0229】

なお、第 4 実施形態の制御回路について、フェイルセーフ回路が、さらに第 3 実施形態の制御回路と同様に第 1 同期判定回路と第 2 同期判定回路を備える構成にしても良い。

【0230】

このように構成すれば、ピクセルクロックだけではなく、同期信号の入力状態も判定するので、画像信号や同期信号に異常が発生した場合にも、タイミング信号の出力を停止することができる。また、タイミング信号生成回路に入力される信号を判定に用いることで、特許文献 1 に記載の構成よりも時系列的に早い段階で異常検出が可能になる。この結果、異常発生時の制御が、より容易になる。

50

## 【0231】

以上説明した第4実施形態の制御回路では、PLLクロックとピクセルクロックの周波数が等しい例について説明したが、PLL26において、PLLクロックの周波数をピクセルクロックの周波数と異なるように構成することもできる。この場合、下限値P、上限値Q、PLL比較基準値Lを適宜設定すれば良い。

## 【0232】

(第4実施形態の制御回路の変形例)

図17及び図18を参照して、第4実施形態の制御回路の変形例について説明する。図17は、制御回路の変形例の概略構成図である。図18は、PLLの概略構成図である。

## 【0233】

この変形例の制御回路17は、初期化信号生成回路604を備えている点が、図13を参照して説明した第4実施形態の構成と異なっている。

## 【0234】

初期化信号生成回路604は、任意好適な従来周知の論理微分回路で構成することができる。初期化信号生成回路604には、判定部46で生成された判定信号が入力され、初期化信号生成回路604からは、初期化信号が出力される。判定信号がHレベルからLレベルに変化するとき、初期化信号は、所定の時間、Hレベルとなり、それ以外のときは、定常的にLレベルである。

## 【0235】

PLL28は、第1分周器702、第2分周器704、位相比較器(PC)706、ローパスフィルタ(LPF)708及び電圧制御発振器(VCO)710を備えている。

## 【0236】

ピクセルクロックは第1分周器702に入力される。第1分周器702の出力と、第2分周器704の出力とが、位相比較器706に入力される。第1分周器702の出力と、第2分周器704の出力の位相差に対応する電圧信号は、位相差信号として位相比較器706から出力される。この位相差信号がローパスフィルタ708を通過した後、電圧制御発振器710に送られる。電圧制御発振器710は、位相差信号の電圧に応じて定まる周波数の信号を出力する。この電圧制御発振器710の出力信号は2分岐され、一方は第2分周器704に送られ、他方はPLLクロックとして、PLL28から出力される。

## 【0237】

このPLL28を動作させることにより、第1分周器702と第2分周器704の出力が同期する。すなわち、PLL28に入力されるピクセルクロックと、PLL28から出力されるPLLクロックとが同期する。なお、PLL28から出力されるPLLクロックの周波数は、電圧制御発振器710の基準周波数と、第1分周器702及び第2分周器704における分周の大きさによって定めることができる。

## 【0238】

ここでは、位相比較器706とローパスフィルタ708の間に第1スイッチ712が設けられている。また、電圧供給端子716と電圧制御発振器710の入力端子との間に第2スイッチ714が設けられている。

## 【0239】

第1スイッチ712及び第2スイッチ714は、初期化信号のレベルによって、ON/OFFされる。第1スイッチ712は、初期化信号がLレベルのとき、ON状態となり、HレベルのときOFF状態となる。一方、第2スイッチ714は、初期化信号がHレベルのとき、ON状態となり、LレベルのときOFF状態となる。

## 【0240】

電圧供給端子716は、電圧制御発振器710の特性に応じて定まる所定の電位となっている。例えば、電圧制御発振器710の入力電圧が低くなると、出力信号の周波数が低くなる場合は、電圧供給端子716の電位を接地電位GNDとする。一方、電圧制御発振器の入力電圧が高くなると、出力信号の周波数が低くなる場合は、電圧供給端子716の電位を高電位、例えば、電源電圧の電位VDDとする。

10

20

30

40

50

## 【0241】

図19は、この構成例のPLLの動作を示すタイミングチャートである。

## 【0242】

図19(A)は、クロック判定信号を示している。図19(B)は、PLL判定信号を示している。図19(C)は、判定信号を示している。図19(D)は、初期化信号を示している。図19(E)は、電圧制御発振器(VCO)における周波数を示している。

## 【0243】

時刻t0において制御回路17に電源投入すると、各信号はLレベルになる。また、このとき、電圧制御発振器710の出力周波数は動作範囲中、最も低い状態になる。

## 【0244】

その後、t80においてクロック判定信号がHレベルになる。この段階では、PLL28はロックイン過程であり、PLL判定信号はLレベルである。従って、時刻t80では、クロック判定信号とPLL判定信号の論理積である判定信号はLレベルである。

## 【0245】

その後、時刻t81においてロックインが完了し安定状態になると、PLL判定信号はHレベルになる。このとき、判定信号はHレベルになる。

## 【0246】

次に、時刻t82において、PLL28におけるロックが外れたとする。PLL28のロックが外れると、PLL判定信号及び判定信号がLレベルになる。

## 【0247】

判定信号がHレベルからLレベルに変化すると、初期化信号が所定の期間Hレベルになる。初期化信号がHレベルになると、PLLの初期化が行われ、再び、PLLのロックイン過程が行われる。その後、時刻t83で安定する。

## 【0248】

次に、時刻t84において、クロック判定信号がLレベルになったとする。この場合、PLL判定信号がHレベルのままであっても、判定信号がLレベルになるので、PLLの初期化が行われる。

## 【0249】

PLL28のロックが外れると、PLL28は、目標と異なる周波数で発振を始めるが、この発振周波数が、目標よりも高くなると、各内部回路の動作が異常をきたす恐れがある。この結果、電圧制御発振器の周波数が、目標値よりも高い場合であっても、位相比較器706が判定を誤って、より電圧制御発振器の周波数を高める方向にその出力を行うことが起こりうる。このような事象が起こると、一度電源をOFFにしない限り、PLLは正常に動作しない。

## 【0250】

これに対し、この実施形態の構成によれば、判定信号がLレベルになる都度、PLLの初期化を行う。また、この初期化においては、電圧制御発振器の周波数が必ず低い周波数から動作を再開するので、PLLの内部回路が、想定以上に高い周波数の入力による誤動作が起こることを防ぐことができる。

## 【図面の簡単な説明】

## 【0251】

【図1】第1実施形態の制御回路の概略構成図である。

【図2】クロック判定回路の第1構成例を示す概略構成図である。

【図3】クロック判定回路の動作を説明するためのタイムチャート(1)である。

【図4】クロック判定回路の動作を説明するためのタイムチャート(2)である。

【図5】クロック判定回路の第2構成例を示す概略構成図である。

【図6】クロック判定回路の動作を説明するためのタイムチャート(3)である。

【図7】クロック判定回路の動作を説明するためのタイムチャート(4)である。

【図8】第1実施形態の制御回路の第1変形例の概略構成図である。

【図9】第1実施形態の制御回路の第2変形例の概略構成図である。

10

20

30

40

50

- 【図 1 0】第 1 実施形態の制御回路の第 3 変形例の概略構成図である。  
 【図 1 1】第 2 実施形態の制御回路の概略構成図である。  
 【図 1 2】第 3 実施形態の制御回路の概略構成図である。  
 【図 1 3】第 4 実施形態の制御回路の概略構成図である。  
 【図 1 4】第 4 実施形態の判定部を示す概略構成図である。  
 【図 1 5】第 4 実施形態の判定部の動作を説明するためのタイムチャート (1) である。  
 【図 1 6】第 4 実施形態の判定部の動作を説明するためのタイムチャート (2) である。  
 【図 1 7】第 4 実施形態の制御回路の変形例の概略構成図である。  
 【図 1 8】第 4 実施形態の制御回路の変形例で用いられる PLL の概略構成図である。  
 【図 1 9】PLL の初期化処理を説明するための模式図である。  
 【図 2 0】制御回路の従来例を示す概略構成図である。

10

## 【符号の説明】

## 【0 2 5 2】

- 1 0、1 1、1 2、1 3、1 4、1 5、1 6、1 7 制御回路  
 2 0 同期信号抽出回路  
 2 2 タイミング信号生成回路  
 2 4 基準クロック発生手段  
 2 6、2 8 PLL  
 3 0、3 1、3 2、3 3、3 4、3 5、3 6、3 7 フェイルセーフ回路  
 4 0、4 1、4 2、4 3、4 4、4 5、4 6 判定部  
 9 0、9 1、9 2 保護ゲート部  
 9 4 AND ゲート  
 9 6 OR ゲート  
 9 7 第 1 保護ゲート回路  
 9 8 第 2 保護ゲート回路  
 2 0 0、2 0 1、2 0 2 クロック判定回路  
 2 2 0 基準クロック計数部  
 2 2 2 基準クロックカウンタ  
 2 2 4、4 0 6 デコーダ  
 2 3 0 ピクセルクロック計数部  
 2 3 2 ピクセルカウンタ  
 2 3 4 ピクセルコンパレータ  
 2 3 6 第 1 ピクセル定数器  
 2 3 8 第 2 ピクセル定数器  
 2 4 0、6 4 0 フリップフロップ回路  
 2 4 2 クリア信号遅延器  
 2 4 4 コンパレータ信号遅延器  
 3 0 0、3 1 0、3 2 0 出力ゲート部  
 3 0 2、3 0 4、3 1 4、3 1 8、3 2 2、3 2 4 増幅回路  
 3 1 2 OR 回路  
 3 1 6 テスト端子  
 3 2 6 反転回路  
 4 0 0 動作判定回路  
 4 0 2、4 0 8、4 3 0、6 0 2 AND ゲート  
 4 0 4 カウンタ  
 4 1 0 第 1 同期判定回路  
 4 2 0 第 2 同期判定回路  
 4 4 0 分周器  
 6 0 0 PLL 判定回路  
 6 0 4 初期化信号生成回路

20

30

40

50

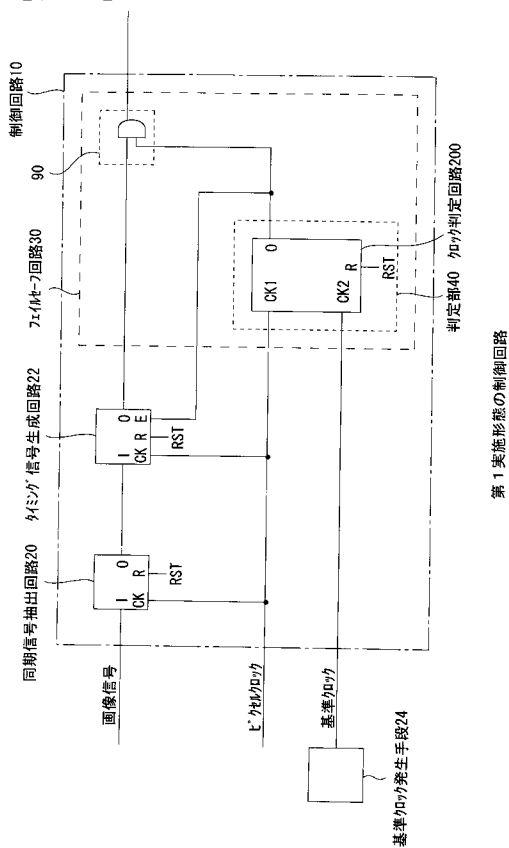


- 630 PLLクロック計数部
- 632 PLLカウンタ
- 634、670 PLLコンパレータ
- 636 第1PLL定数器
- 638 第2PLL定数器
- 644 PLLコンパレータ遅延器
- 660 PLL判定部
- 662 コンパレータ
- 664 PLL比較基準定数器
- 666 コンパレータ遅延器
- 668 レジスタ
- 672 下限定数器
- 674 上限定数器
- 702 第1分周器
- 704 第2分周期
- 706 位相比較器 (PC)
- 708 ローパスフィルタ (LPF)
- 710 電圧制御発振器 (VCO)
- 712 第1スイッチ
- 714 第2スイッチ
- 716 電圧供給端子

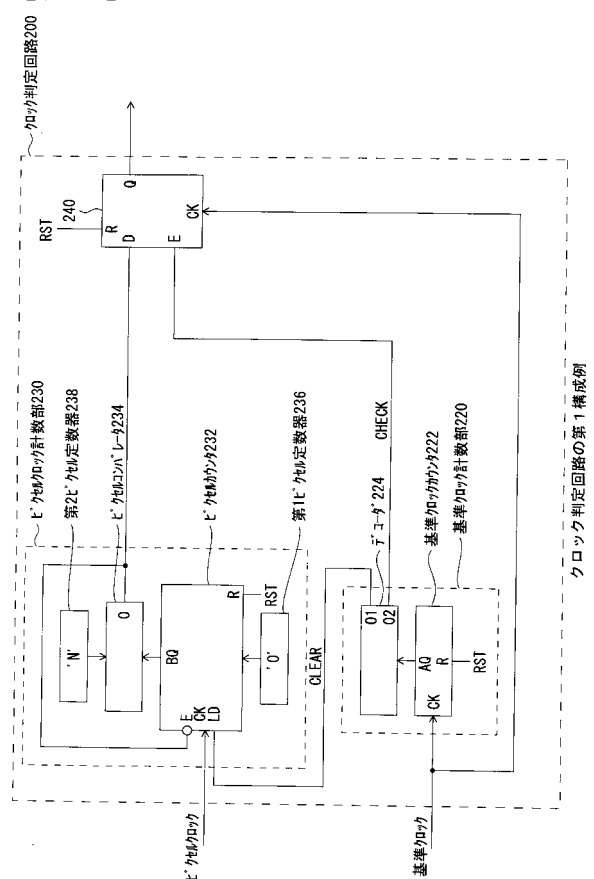
10

20

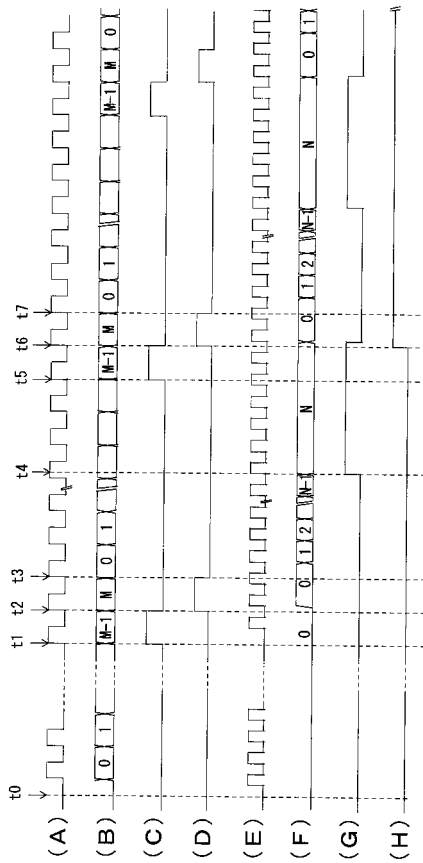
【図1】



【図2】

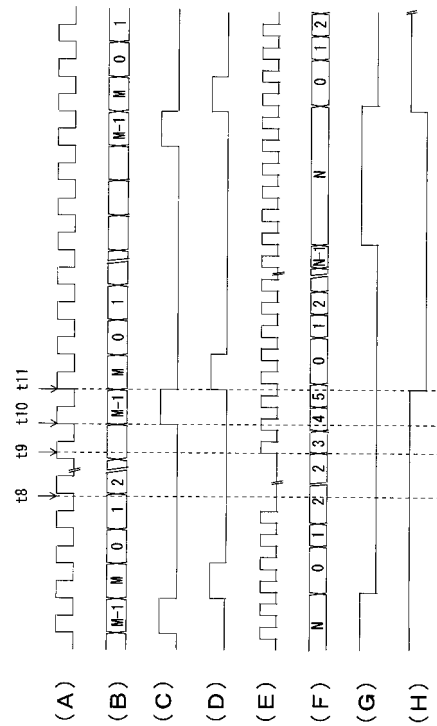


【図 3】



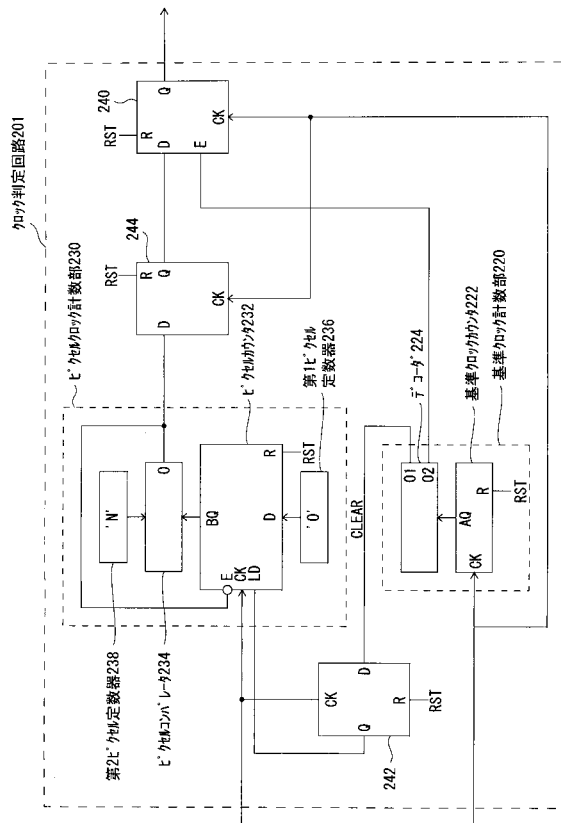
クロック判定回路の動作 (1)

【図 4】

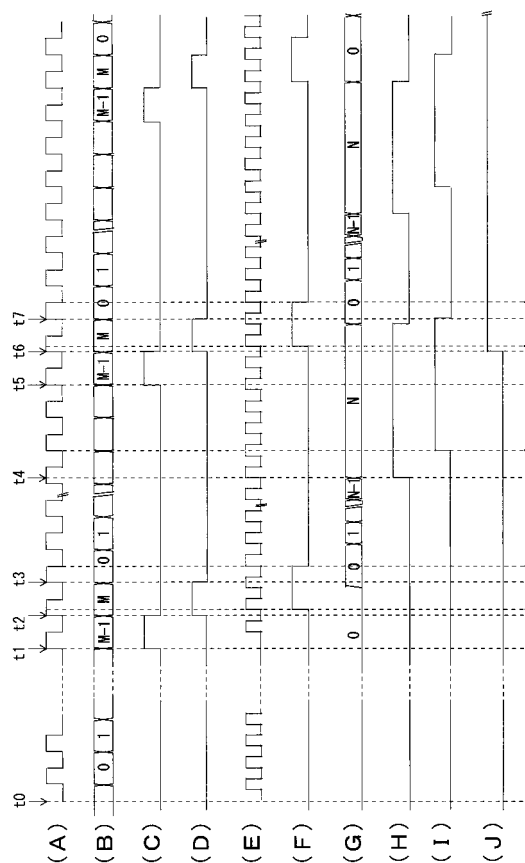


クロック判定回路の動作 (2)

【図 5】



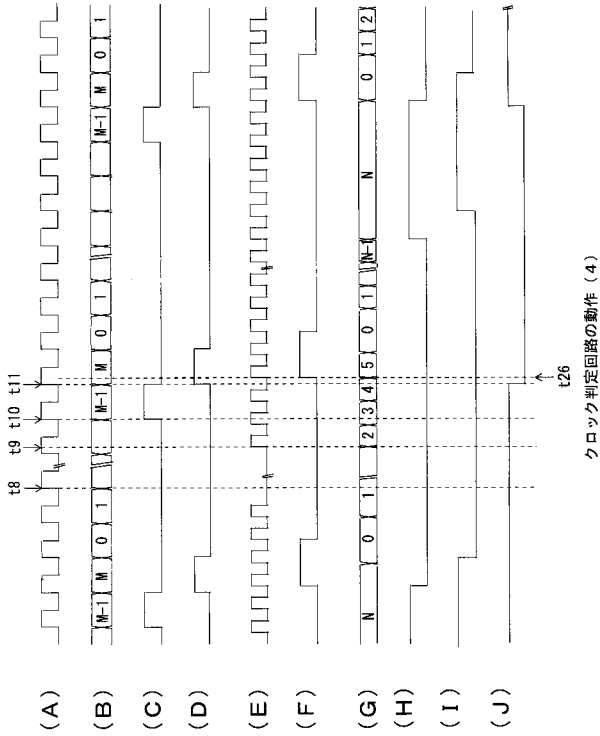
【図 6】



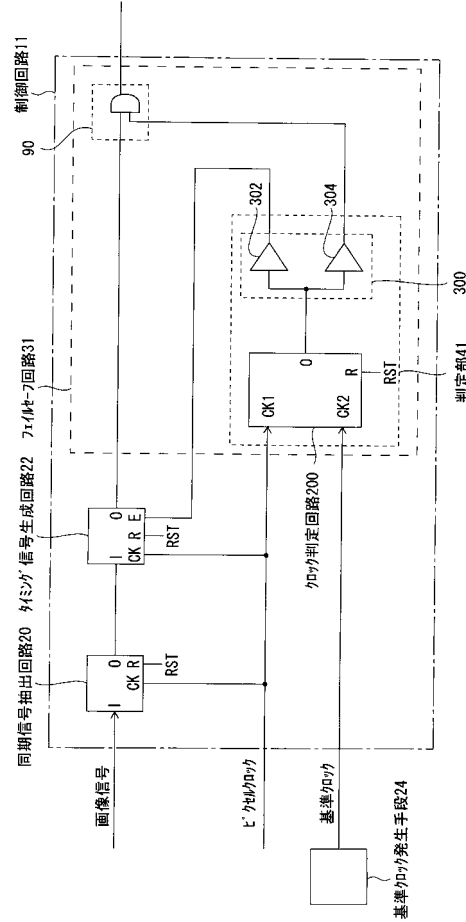
クロック判定回路の動作 (3)

クロック判定回路の第2構成例

【図 7】

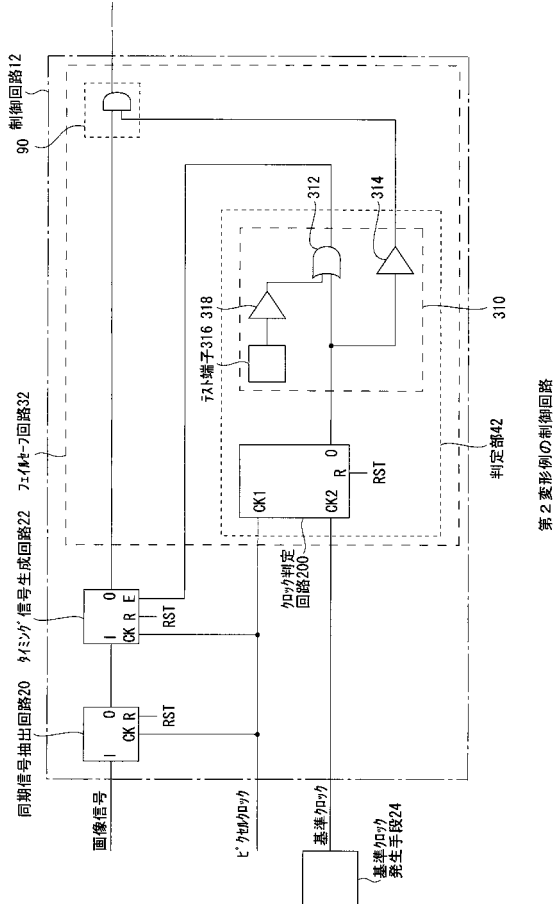


【図 8】



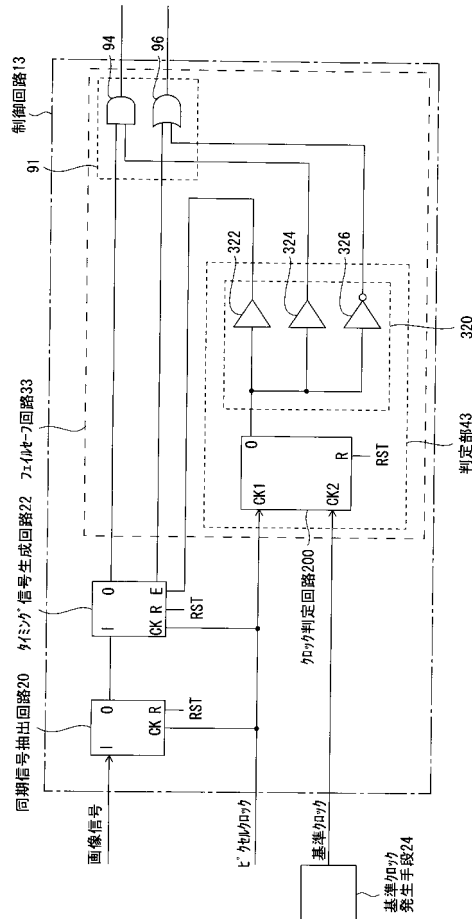
第1変形例の制御回路

【図 9】



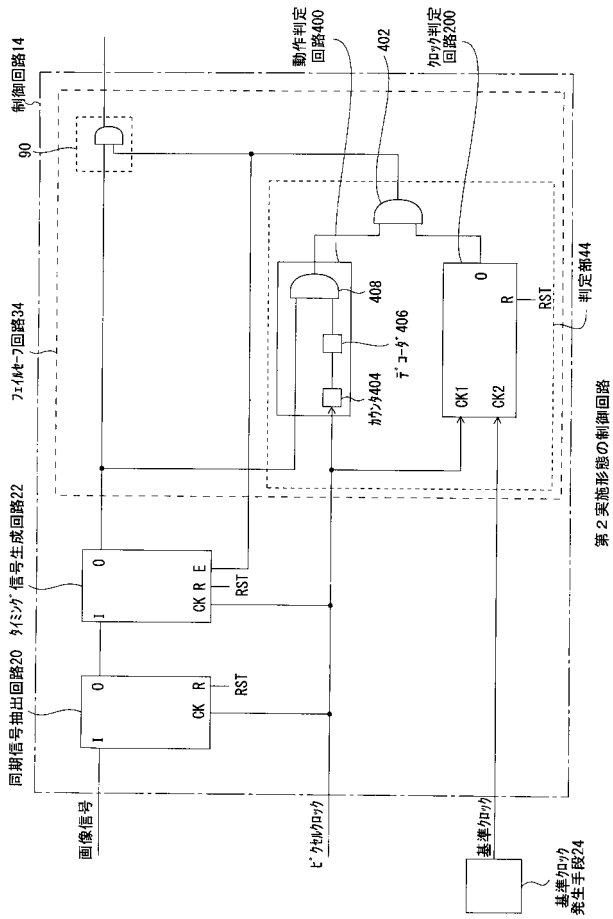
第2変形例の制御回路

【図 10】

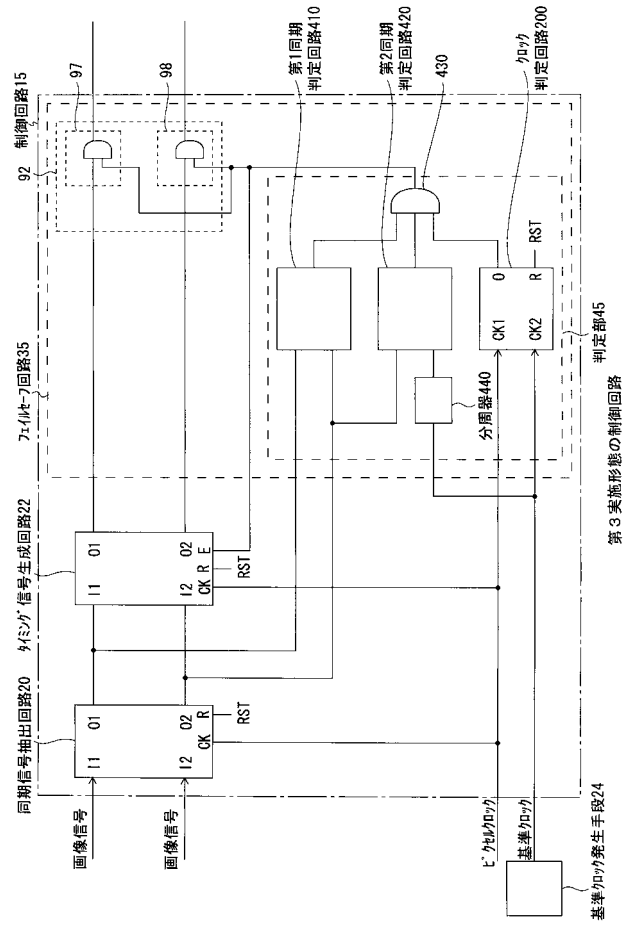


第3変形例の制御回路

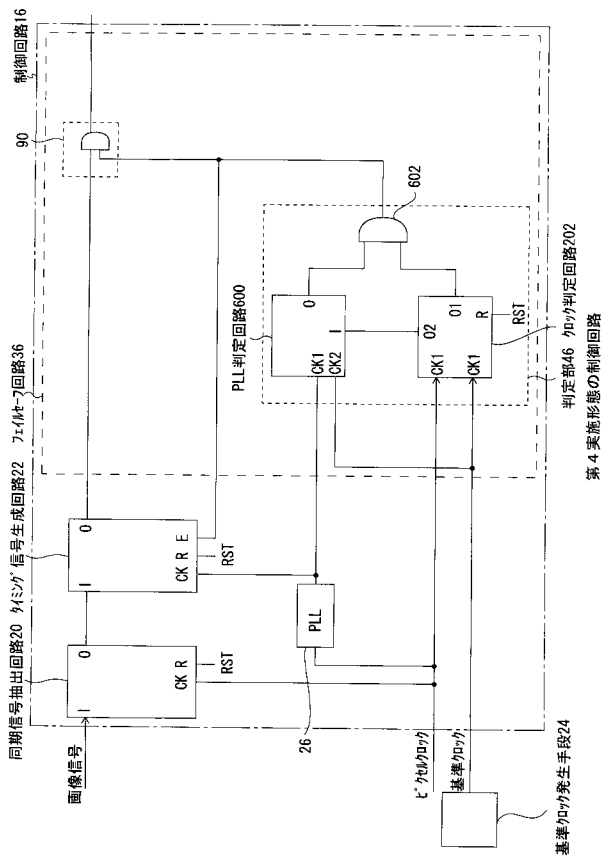
【図11】



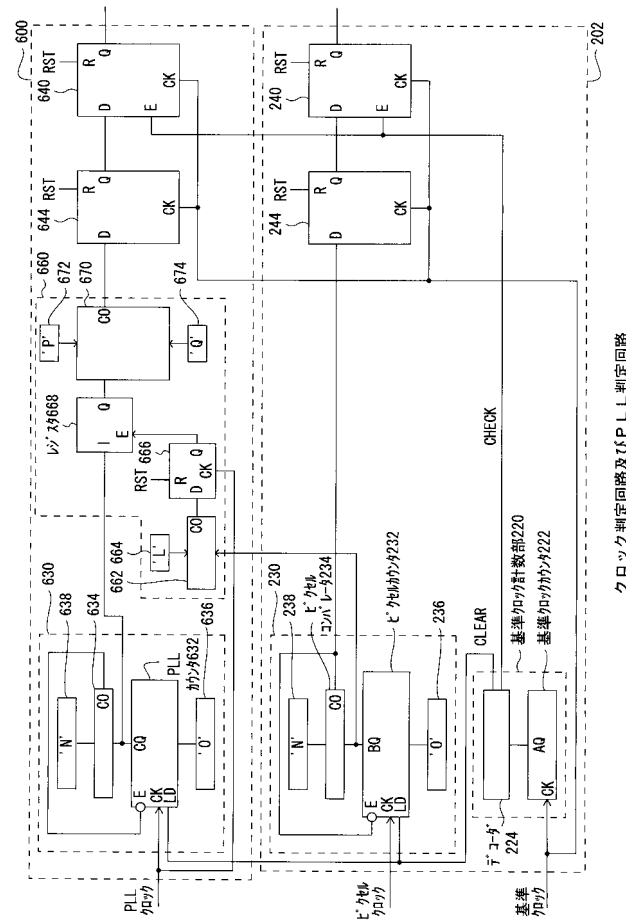
【図12】



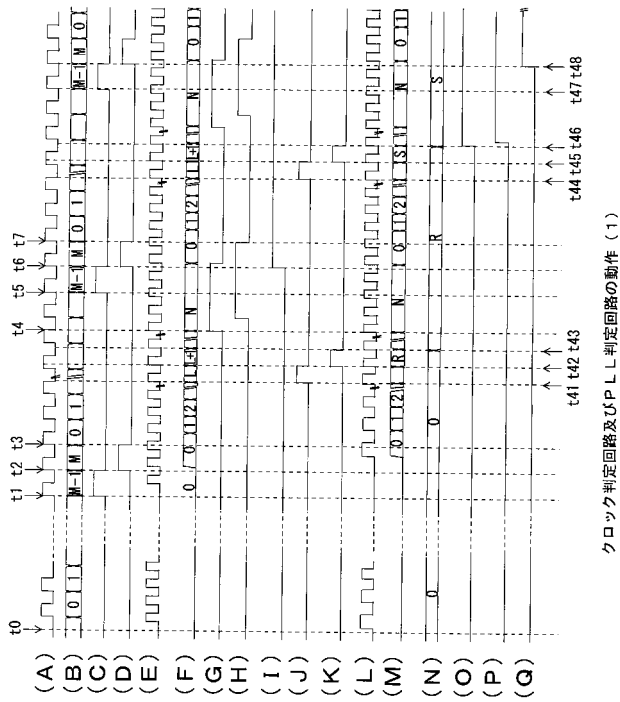
【図13】



【図14】

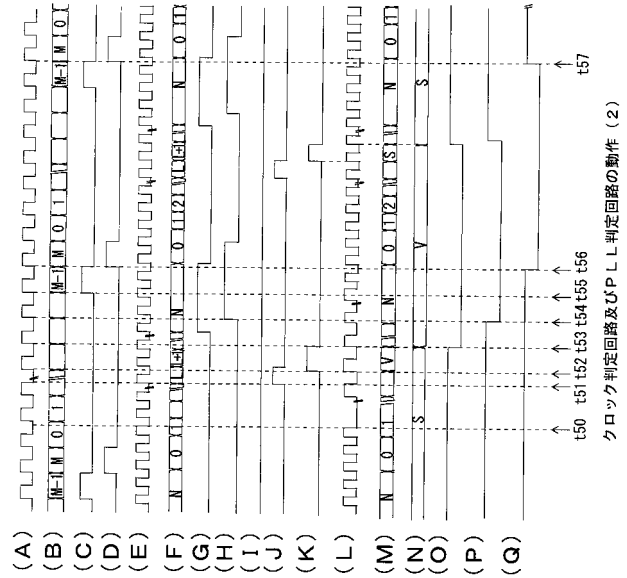


【図 15】



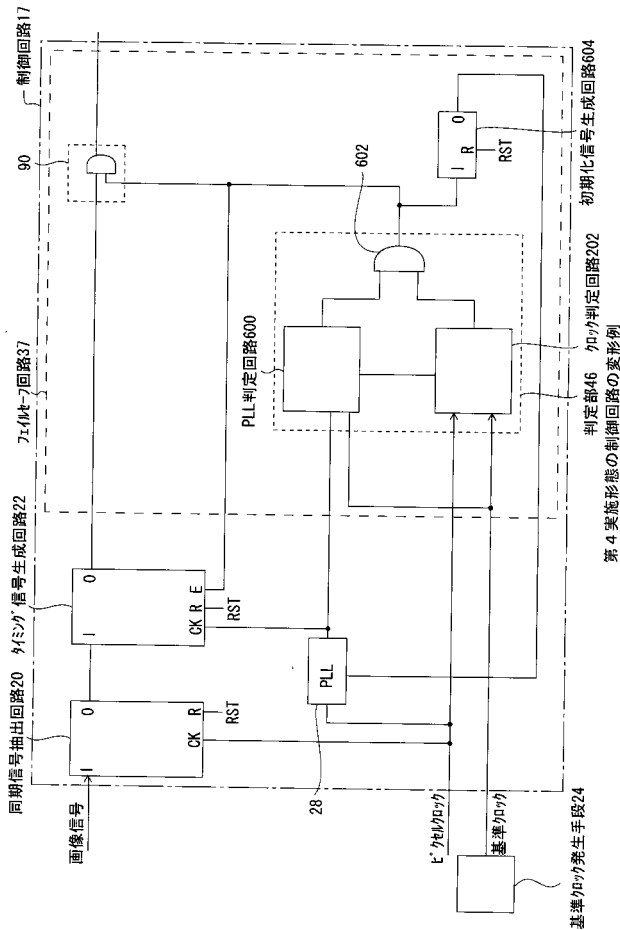
クロック判定回路及びPLL判定回路の動作 (1)

【図 16】

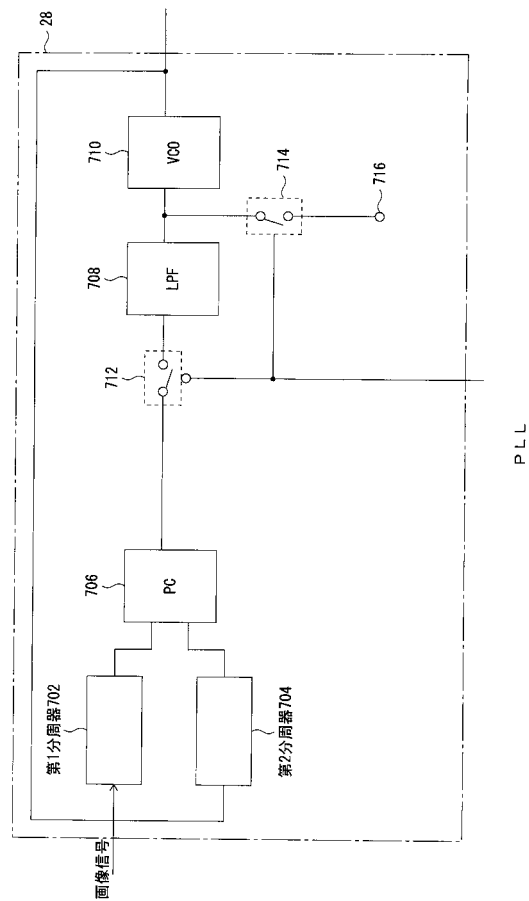


クロック判定回路及びPLL判定回路の動作 (2)

【図 17】



【図 18】





---

フロントページの続き

|             |                      |             |
|-------------|----------------------|-------------|
| (51)Int.Cl. | F I                  | テーマコード (参考) |
|             | G 0 9 G 3/20 6 7 0 N |             |
|             | H 0 3 K 19/007       |             |

F ターム(参考) 5C080 AA10 BB05 DD18 JJ02 JJ04  
5J032 AB02 AC11