



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0049711
(43) 공개일자 2020년05월08일

- (51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) G11C 8/12 (2006.01)
- (52) CPC특허분류
G11C 7/1006 (2013.01)
G11C 7/1078 (2013.01)
- (21) 출원번호 10-2019-7038775
- (22) 출원일자(국제) 2018년06월27일
심사청구일자 없음
- (85) 번역문제출일자 2019년12월30일
- (86) 국제출원번호 PCT/US2018/039818
- (87) 국제공개번호 WO 2019/067053
국제공개일자 2019년04월04일
- (30) 우선권주장
15/716,162 2017년09월26일 미국(US)

- (71) 출원인
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
- (72) 발명자
타일러, 제니퍼 이.
미국 83716 아이다호주 보이시 이스트 게이트웨이 코트 6348
스리라마네니, 라구키란
미국 75035 텍사스주 프리스코 유닛 117 레바논 로드 11700
- (74) 대리인
양영준, 백만기

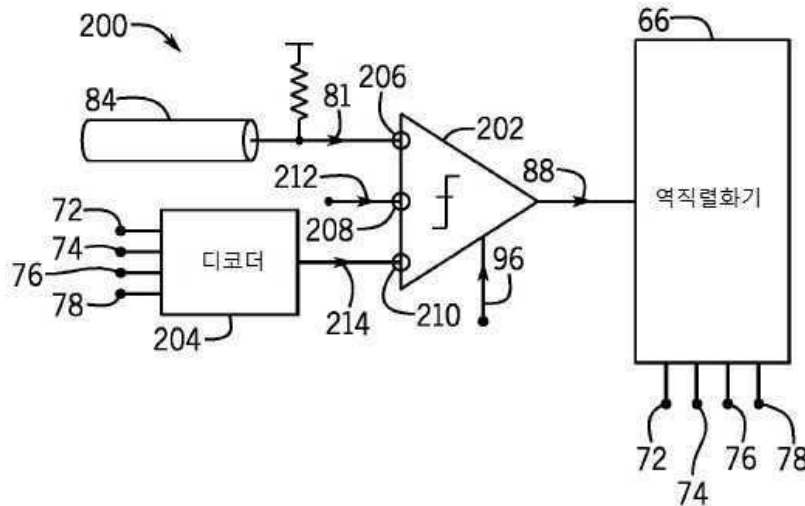
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 메모리 판정 피드백 등화기

(57) 요약

디바이스(10)는 입력 신호를 수신하도록 구성된 디코더(204, 365)를 포함한다. 디코더(204, 365)는 입력 신호를 기초로 제어 신호를 더 출력하도록 구성된다. 디바이스(10)는 왜곡된 비트를 데이터 스트림의 일부로서 수신하고, 제어 신호를 수신하며, 제어 신호를 기초로 왜곡 보정 계수를 선택하고, 왜곡 보정 계수를 왜곡된 비트에 적용하여 왜곡된 입력 데이터에 대한 데이터 스트림으로부터의 심볼간 간섭을 상쇄시켜 왜곡된 비트의 수정된 값을 생성하고, 왜곡된 비트의 수정된 값을 기초로 보정된 비트를 생성하도록 구성된 등화기(202, 292, 356, 358, 434, 436, 448, 450)를 더 포함한다.

대표도 - 도9



(52) CPC특허분류
G11C 8/12 (2013.01)

명세서

청구범위

청구항 1

디바이스로서,
 입력 신호를 수신하고,
 상기 입력 신호를 기초로 제어 신호를 출력하도록 구성된 디코더, 및
 왜곡된 비트를 데이터 스트림의 일부로서 수신하며,
 제어 신호를 수신하고,
 제어 신호를 기초로 왜곡 보정 계수(왜곡 보정 계수)를 선택하며,
 왜곡된 비트에 상기 왜곡 보정 계수를 적용하여 왜곡된 입력 데이터에 대한 데이터 스트림으로부터의 심볼간 간섭을 상쇄함으로써 왜곡된 비트의 수정된 값을 생성하고,
 왜곡된 비트의 수정된 값을 기초로 보정된 비트를 생성하도록 구성된 등화기
 를 포함하는, 디바이스.

청구항 2

제1항에 있어서, 디코더는 데이터 스트림의 이전 비트의 이전 표현으로서 제어 신호를 생성하도록 구성되는, 디바이스.

청구항 3

제1항에 있어서, 등화기는 디바이스의 동작 동안 클럭킹 신호를 수신하기 위한 입력을 포함하는, 디바이스.

청구항 4

제3항에 있어서, 등화기는 보정된 비트를 출력하기 위해 클럭킹 신호를 이용하도록 구성되는, 디바이스.

청구항 5

제1항에 있어서, 등화기에 연결되며 등화기로부터 보정된 비트를 수신하도록 구성된 역직렬화기를 포함하는, 디바이스.

청구항 6

제5항에 있어서, 역직렬화기는 보정된 비트의 지시자를 저장하도록 구성되는, 디바이스.

청구항 7

제6항에 있어서, 역직렬화기는 보정된 비트의 지시자를 입력 신호로서 전송하도록 구성되는, 디바이스.

청구항 8

제7항에 있어서, 역직렬화기는 등화기로부터 수신된 제2 보정된 비트의 지시자를 저장하도록 구성되며, 디코더는 역직렬화기로부터 제2 입력 신호를 제2 보정된 비트의 지시자로서 수신하도록 구성되며, 디코더는 제2 입력 신호를 더 기초로 하는 제어 신호를 출력하도록 구성되는, 디바이스.

청구항 9

디바이스로서,

변경된 특성을 갖는 데이터 값을 수신하도록 구성된 입력,

제1 스위칭 가능 요소 및 제2 스위칭 가능 요소를 포함하는 제1 스위칭 가능 요소 그룹 - 상기 제1 스위칭 가능 요소는 제1 왜곡 보정 계수를 수신하도록 구성된 입력을 포함하고, 제2 스위칭 가능 요소는 활성화 신호를 수신하도록 구성된 입력을 포함하며, 제1 스위칭 가능 요소 그룹은 제2 스위칭 가능 요소가 활성화 신호를 수신할 때 제1 보정 신호를 출력하도록 구성됨 - ,

제3 스위칭 가능 요소 및 제4 스위칭 가능 요소를 포함하는 제2 스위칭 가능 요소 그룹 - 제3 스위칭 가능 요소는 제2 왜곡 보정 계수를 수신하도록 구성된 입력을 포함하고, 제4 스위칭 가능 요소는 활성화 신호를 수신하도록 구성된 입력을 포함하고, 제2 스위칭 가능 요소 그룹은 제4 스위칭 가능 요소가 활성화 신호를 수신할 때 제2 보정 신호를 출력하도록 구성됨 - , 및

제1 스위칭 가능 요소 그룹 및 제2 스위칭 가능 요소 그룹 각각에 연결된 출력 - 상기 출력은 제1 스위칭 가능 요소 그룹에 의해 생성될 때 제1 보정 신호를 수신하도록 구성되고, 상기 출력은 제2 스위칭 가능 요소 그룹에 의해 생성될 때 제2 보정 신호를 수신하도록 구성됨 - 을 포함하는, 디바이스.

청구항 10

제9항에 있어서, 출력에 연결된 데이터 래칭 요소를 포함하며, 상기 데이터 래칭 요소는 제1 보정 신호를 수신하도록 구성되는, 디바이스.

청구항 11

제10항에 있어서, 데이터 래칭 요소는 제1 보정 신호 및 변경된 특성을 갖는 데이터 값을 기초로 보정된 데이터 값을 생성하도록 구성되는, 디바이스.

청구항 12

제9항에 있어서, 출력에 연결된 데이터 래칭 요소를 포함하고, 데이터 래칭 요소는 제2 보정 신호를 수신하도록 구성되는, 디바이스.

청구항 13

제12항에 있어서, 데이터 래칭 요소는 제2 보정 신호 및 변경된 특성을 갖는 데이터 값을 기초로 보정된 데이터 값을 생성하도록 구성되는, 디바이스.

청구항 14

제9항에 있어서, 동작 중인 제1 스위칭 가능 요소의 입력은 왜곡 보정 계수를 변경된 특성에 대응하는 제1 전압 레벨을 갖는 신호로서 수신하고, 동작 중인 제3 스위칭 가능 요소의 입력은 제2 왜곡 보정 계수를 변경된 특성에 대응하는 제2 전압 레벨을 갖는 신호로서 수신하는, 디바이스.

청구항 15

디바이스로서,

왜곡된 비트를 데이터 스트림의 일부로서 수신하고,

왜곡된 비트를 수신하기 전 제1 시점에서 수신된 제1 비트의 이진 상태와 관련된 왜곡 보정 계수를 수신하며,

제1 비트의 이진 상태와 관련된 활성화 신호를 수신하고,

왜곡된 비트, 왜곡 보정 계수, 및 활성화 신호를 기초로 제1 보정된 데이터 값을 생성하도록 구성된

제1 등화기, 및

제1 보정된 데이터 값을 수신하도록 구성된 제1 입력,

왜곡된 비트를 수신하기 전 그리고 제1 비트를 수신한 후 제2 시점에서 수신된 제2 비트의 이진 상태에 관한 선택 신호를 수신하도록 구성된 제2 입력, 및

선택 신호가 제1 값을 포함할 때 제1 보정된 데이터 값을 보정된 비트로서 전송하도록 구성된 출력을 포함하는 판정 요소(판정 요소)를 포함하는, 디바이스.

청구항 16

제15항에 있어서,
 왜곡된 비트를 데이터 스트림의 일부로서 수신하고,
 제1 비트의 이진 상태에 관한 제2 왜곡 보정 계수를 수신하며,
 제 비트의 이진 상태에 관한 활성화 신호를 수신하고,
 왜곡된 비트, 제2 왜곡 보정 계수, 및 활성화 신호를 기초로 제2 보정된 데이터 값을 생성하도록 구성된 제2 등화기
 를 포함하는, 디바이스.

청구항 17

제16항에 있어서, 판정 요소는 제2 보정된 데이터 값을 수신하도록 구성된 제3 입력을 포함하고, 판정 요소는 선택 신호가 제2 값을 포함할 때 제2 보정된 데이터를 보정된 비트로서 전송하도록 구성되는, 디바이스.

청구항 18

제15항에 있어서, 판정 요소 등화기에 연결되고 보정된 비트를 수신하며 제2 비트의 이진 상태의 저장된 지시자를 보정된 비트의 값으로 업데이트하도록 구성된 역직렬화기를 포함하는, 디바이스.

청구항 19

제18항에 있어서, 역직렬화기는 제1 비트의 이진 상태의 저장된 지시자를 제2 비트의 이진 상태의 저장된 지시자로 업데이트하도록 구성되는, 디바이스.

청구항 20

제15항에 있어서,
 왜곡된 비트를 수신한 후 데이터 스트림의 일부로서 제2 왜곡된 비트를 수신하며,
 제2 비트의 이진 상태와 관련된 제2 왜곡 보정 계수를 수신하고,
 제2 비트의 이진 상태와 관련된 제2 활성화 신호를 수신하며,
 제2 왜곡된 비트, 제2 왜곡 보정 계수, 및 제2 활성화 신호를 기초로 제2 보정된 데이터 값을 생성하도록 구성된 제2 등화기, 및
 제2 보정된 데이터 값을 수신하도록 구성된 제3 입력,
 왜곡된 비트의 이진 상태와 관련된 제2 선택 신호를 수신하도록 구성된 제4 입력, 및
 선택 신호가 제1 값을 포함할 때 제2 보정된 데이터 값을 제2 보정된 비트로서 전송하도록 구성된 제2 출력을 포함하는
 제2 판정 요소
 를 포함하는, 디바이스.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 일반적으로 반도체 메모리 디바이스와 관련된다. 더 구체적으로, 본 발명의 실시예는 전송된 신호의 왜곡을 보정하기 위해 반도체 메모리 디바이스의 판정 피드백 등화기(DFE: decision feedback equalizer) 회로를 이용하는 것과 관련된다.

배경 기술

[0002] 메모리 디바이스의 동작 속도, 가령, 메모리 디바이스의 데이터 레이트가 시간에 따라 점점 더 증가하고 있다. 메모리 디바이스의 속력의 증가의 부작용으로서, 왜곡으로 인한 데이터 에러가 증가할 수 있다. 예를 들어, 이전에 수신된 데이터가 현재 수신된 데이터에 영향을 미치게 하는 전송된 데이터 간 심볼간 간섭이 발생할 수 있다(가령, 이전에 수신된 데이터가 다음에 수신되는 데이터에 영향을 미치고 간섭을 일으킨다). 이 간섭을 보정하기 위한 한 가지 방식이 전송된 데이터에 채널이 미치는 영향을 상쇄(즉, 무효화, 완화, 또는 상쇄)하도록 프로그래밍될 수 있는 판정 피드백 등화기(DFE: decision feedback equalizer) 회로를 이용하는 것이다.

[0003] 또한, 전송된 신호의 왜곡을 보정하는 것이 계속 중요할 것이다. 그러나, 종래의 왜곡 보정 기법은 신호의 왜곡을 충분하게 보정하지 않을 수 있다. 종래의 왜곡 보정 기법의 느린 프로세스로부터 초래되는 에러가 최종 데이터에 추가 왜곡을 초래하기 때문에, 메모리 디바이스 내에서 전송되는 데이터의 신뢰성을 낮출 수 있다.

도면의 간단한 설명

[0004] 본 개시의 다양한 양태가 이하의 상세한 설명을 읽고 도면을 참조하면 더 잘 이해될 수 있다:

- 도 1은 본 발명의 하나의 실시예에 따르는, 메모리 디바이스의 특정 특징부를 도시하는 단순화된 블록도이다.
- 도 2는 본 발명의 하나의 실시예에 따르는, 도 1의 I/O 인터페이스의 데이터 트랜시버를 도시하는 블록도이다.
- 도 3은 본 발명의 하나의 실시예에 따르는, 도 2의 데이터 트랜시버의 하나의 실시예의 블록도이다.
- 도 4는 본 발명의 하나의 실시예에 따르는, 도 2의 데이터 트랜시버의 제2 실시예의 블록도이다.
- 도 5는 본 발명의 하나의 실시예에 따르는, 왜곡 보정 회로의 블록도를 도시한다.
- 도 6은 본 발명의 하나의 실시예에 따르는, 판정 피드백 등화기(DFE)의 일부분의 회로도이다.
- 도 7은 본 발명의 하나의 실시예에 따르는, 왜곡 보정 회로의 제2 실시예를 도시한다.
- 도 8은 본 발명의 실시예에 따르는, 도 7의 DFE의 일부분의 회로도이다.
- 도 9는 본 발명의 하나의 실시예에 따르는, 왜곡 보정 회로의 제3 실시예를 도시한다.
- 도 10은 본 발명의 하나의 실시예에 따르는, 도 9의 등화기의 회로도이다.
- 도 11은 본 발명의 하나의 실시예에 따라, 통신될 수 있는 비트스트림의 다이어그램이다.
- 도 12는 본 발명의 하나의 실시예에 따르는, 왜곡 보정 회로의 제4 실시예이다.
- 도 13은 본 발명의 하나의 실시예에 따르는 도 12의 등화기의 회로도이다.
- 도 14는 본 발명에 따르는, 왜곡 보정 회로의 제5 실시예를 도시한다.
- 도 15는 본 발명의 하나의 실시예에 따르는 왜곡 보정 회로의 제6 실시예를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0005] 하나 이상의 특정 실시예가 이하에서 기재될 것이다. 이들 실시예의 간결한 설명을 제공하기 위해, 본 명세서에서 실제 구현의 모든 특징이 기재되지는 않는다. 임의의 엔지니어링 또는 설계 프로젝트에서처럼, 임의의 이러한 실제 구현의 형태에서, 구현에 따라 달라질 수 있는 개발자의 특정 목표, 가령, 시스템-관련 및 비즈니스-관련 제약에의 부합, 가령, 시스템-관련 및 비즈니스-관련 제약에의 부합을 이루기 위해 다수의 구현-특정 판정이 이뤄져야 한다. 덧붙여, 이러한 개발 노력은 복잡하고 시간 소모적일 수 있지만, 그럼에도 본 발명의 이점을 갖는 해당 분야의 통상의 기술자에게 설계, 제조, 및 제조를 수행하는 루틴일 것이다.

[0006] 메모리 디바이스의 피드백 등화기(DFE)를 이용하여 왜곡 보정 기법을 수행하는 것이, 예를 들어, 메모리 디바이스의 수신된 데이터에서 왜곡을 올바르게 보상하는 데 유의할 수 있다. 이는 정확한 값이 메모리 디바이스의 메모리에 저장되는 것을 보장한다. DFE는 이전 비트 데이터를 이용하여, 이전 비트 데이터로부터 도출된 왜곡을

보상하기 위한 보정 값(corrective value)을 생성할 수 있다. 예를 들어, 최근 이전 비트가 수 데이터 포인트 전에 전송되는 비트보다 현재 비트에 더 많은 왜곡 영향을 미칠 수 있어서, 두 비트 간 보정 값이 상이할 수 있다. 보정될 이들 레벨에 의해, DFE는 전송된 비트의 왜곡을 보정하도록 동작할 수 있다.

- [0007] 일부 실시예에서, DFE는 왜곡 보정 계수를 정밀하게 계산하기 위해 이전 데이터의 복수 비트의 사용을 필요로 할 수 있다. 이들 실시예에서, 왜곡된 비트를 수신하기 전에 계산된 모든 보정 전압을 갖는 시스템이 사용될 수 있으며 보정 프로세스 동안 시간을 절약할 수 있다. 이 기법 및 이와 연관된 하드웨어에 의해 복수의 비트가 거의 동시에 수신 및 처리되어, 수신된 비트의 왜곡을 종래의 DFE 솔루션을 통해 이뤄질 수 있는 것보다 더 빠르게 처리할 수 있는 매우 효율적인 시스템을 도출할 수 있다.
- [0008] 도면을 참조할 때, 도 1은 메모리 디바이스(10)의 특정 특징부를 도시하는 단순화된 블록도이다. 특히, 도 1의 블록도는 메모리 디바이스(10)의 특정 기능을 도시하는 기능 블록도이다. 하나의 실시예에 따르면, 메모리 디바이스(10)는 더블 데이터 레이트 유형 5 동기식 동적 랜덤 액세스 메모리(DDR5 SDRAM) 디바이스일 수 있다. DDR5 SDRAM의 다양한 특징부가 이전 세대 DDR SDRAM에 비교할 때 감소된 전력 소비, 더 큰 대역폭, 및 더 많은 저장 용량을 가능하게 한다.
- [0009] 메모리 디바이스(10)는 다수의 메모리 뱅크(12)를 포함할 수 있다. 메모리 뱅크(12)는 가령 DDR5 SDRAM 메모리 뱅크일 수 있다. 메모리 뱅크(12)는 듀얼 인라인 메모리 모듈(DIMMS) 상에 배열되는 하나 이상의 칩(가령, SDRAM 칩) 상에 제공될 수 있다. 각각의 DIMM은 다수의 SDRAM 메모리 칩(가령, x8 또는 x16 메모리 칩)을 포함할 수 있음이 자명할 것이다. 각각의 SDRAM 메모리 칩은 하나 이상의 메모리 뱅크(12)를 포함할 수 있다. 메모리 디바이스(10)는 다수의 메모리 뱅크(12)를 갖는 단일 메모리 칩(가령, SDRAM 칩)의 일부분을 나타낸다. DDR5의 경우, 메모리 뱅크(12)는 뱅크 그룹을 형성하도록 더 배열될 수 있다. 예를 들어, 8 기가비트(Gb) DDR5 SDRAM에 대해, 메모리 칩이 8개의 뱅크 그룹으로 배열되는 16개의 메모리 뱅크(12)를 포함할 수 있으며, 이때 각각의 뱅크 그룹은 2개의 메모리 뱅크를 포함한다. 16 Gb DDR5 SDRAM의 경우, 메모리 칩은 8개의 뱅크 그룹으로 배열된 32개의 메모리 뱅크(12)를 포함할 수 있으며, 이때 각각의 뱅크 그룹은 예를 들어 4개의 메모리 뱅크를 포함한다. 메모리 디바이스(10) 상의 메모리 뱅크(12)의 다양한 그 밖의 다른 구성, 조직 및 크기가 전체 시스템의 적용 및 설계에 따라 사용될 수 있다.
- [0010] 메모리 디바이스(10)는 커맨드 인터페이스(14) 및 외부 디바이스와 신호를 교환(가령, 수신 및 송신)하도록 구성된 입/출력(I/O) 인터페이스(16)를 포함할 수 있다. 커맨드 인터페이스(14)는 외부 디바이스(도시되지 않음), 가령, 프로세서 또는 제어기로부터의 다수의 신호(가령, 신호(15))를 제공하도록 구성된다. 프로세서 또는 제어기는 다양한 신호(15)를 메모리 디바이스(10)로 제공하여 메모리 디바이스(10)로의 쓰기 또는 이로부터의 읽기를 위해 데이터의 전송 및 수신을 촉진시킬 수 있다.
- [0011] 커맨드 인터페이스(14)는 가령, 신호(15)의 적절한 핸드셰이킹을 보장하기 위해 다수의 회로, 가령, 클록 입력 회로(18) 및 커맨드 어드레스 입력 회로(20)를 포함할 수 있다. 커맨드 인터페이스(14)는 외부 디바이스로부터의 하나 이상의 클록 신호를 수신할 수 있다. 일반적으로 더블 데이터 레이트(DDR) 메모리가, 본 명세서에서, 참 클록 신호(true clock signal)(Clk_t/) 및 보수 클록 신호(complementary clock signal)(Clk_c)로 지칭되는 시스템 클록 신호의 차동 쌍을 이용한다. DDR에 대한 양의 클록 에지가 상승하는 참 클록 신호(Clk_t/)가 하강하는 보수 클록 신호(Clk_c)와 교차하는 지점을 지칭하며, 음의 클록 에지가 하강하는 참 클록 신호(Clk_t)가 보수 클록 신호(Clk_c)의 상승으로 전이됨을 가리킨다. 커맨드(가령, 읽기 커맨드, 쓰기 커맨드 등)가 일반적으로 클록 신호의 양의 에지 상에서 입력되고 데이터는 양 및 음의 클록 에지 모두 상에서 전송 또는 수신된다.
- [0012] 클록 입력 회로(18)는 참 클록 신호(Clk_t/) 및 the 보수 클록 신호(Clk_c)를 수신하고 내부 클록 신호(CLK)를 생성한다. 내부 클록 신호(CLK)는 내부 클록 생성기(30), 가령, 딜레이 고정 루프(DLL: delay locked loop) 회로에 공급된다. 내부 클록 생성기(30)는 수신된 내부 클록 신호(CLK)를 기초로 위상 제어되는 내부 클록 신호(LCLK)를 생성한다. 위상 제어되는 내부 클록 신호(LCLK)가 예를 들어 I/O 인터페이스(16)로 공급되며, 읽기 데이터의 출력 타이밍을 결정하기 위한 타이밍 신호로서 사용된다.
- [0013] 내부 클록 신호(CLK)가 또한 메모리 디바이스(10) 내 다양한 다른 구성요소로 제공될 수 있고 다양한 추가 내부 클록 신호를 생성하는 데 사용될 수 있다. 예를 들어, 내부 클록 신호(CLK)가 커맨드 디코더(32)로 제공될 수 있다. 커맨드 디코더(32)는 커맨드 버스(34)로부터 커맨드 신호를 수신하고 커맨드 신호를 디코딩하여 다양한 내부 커맨드를 제공할 수 있다. 예를 들어, 커맨드 디코더(32)는 커맨드 신호를 버스(36)를 통해 내부 클록 생성기(30)로 제공하여 위상 제어되는 내부 클록 신호(LCLK)의 생성을 조화시킬 수 있다. 위상 제어되는 내부 클록 신호(LCLK)는 예를 들어 I/O 인터페이스(16)를 통해 데이터를 클록킹하는 데 사용될 수 있다.

- [0014] 또한, 커맨드 디코더(32)는 커맨드, 가령, 읽기 커맨드, 쓰기 커맨드, 모드-레지스터 세트 커맨드, 활성화 커맨드 등을 디코딩하고, 버스 경로(40)를 통해, 커맨드에 대응하는 특정 메모리 뱅크(12)로의 액세스를 제공한다. 알다시피, 메모리 디바이스(10)는 다양한 다른 디코더, 가령, 로우 디코더 및 컬럼 디코더를 포함하여, 메모리 뱅크(12)로의 액세스를 촉진시킬 수 있다. 하나의 실시예에서, 각각의 메모리 뱅크(12)는 필수 디코딩(가령, 로우 디코더 및 컬럼 디코더) 및 메모리 뱅크(12)로의 그리고 이로부터의 커맨드의 실행을 촉진시키기 위한 그 밖의 다른 특징, 가령, 타이밍 제어 및 데이터 제어를 제공하는 뱅크 제어 블록(22)을 포함한다. 집합적으로, 메모리 뱅크(12)와 뱅크 제어 블록(22)은 메모리 어레이(23)로 지칭될 수 있다.
- [0015] 메모리 디바이스(10)는 외부 디바이스, 가령, 프로세서로부터 수신된 커맨드/어드레스 신호를 기초로, 연산, 가령, 읽기 커맨드 및 쓰기 커맨드를 실행한다. 하나의 실시예에서, 커맨드/어드레스 버스는 커맨드/어드레스 신호(CA<13:0>)를 수용하기 위한 14-비트 버스일 수 있다. 커맨드/어드레스 신호는 클럭 신호(Clk_t/ 및 Clk_c)를 이용해 커맨드 인터페이스(14)로 클럭킹된다. 커맨드 인터페이스는 가령 커맨드 디코더(32)를 통해 메모리 뱅크(12)로의 액세스를 제공하기 위한 커맨드를 수신 및 전송하도록 구성된 커맨드 어드레스 입력 회로(20)를 포함할 수 있다. 덧붙여, 커맨드 인터페이스(14)는 칩 선택 신호(CS_n)를 수신할 수 있다. CS_n 신호는 메모리 디바이스(10)가 인커밍 CA<13:0> 버스상에서 커맨드를 처리할 수 있게 한다. 메모리 디바이스(10) 내 특정 뱅크(12)로의 액세스가 커맨드와 함께 CA<13:0> 버스 상에서 인코딩된다.
- [0016] 덧붙여, 커맨드 인터페이스(14)는 다수의 다른 커맨드 신호를 수신하도록 구성될 수 있다. 예를 들어, 커맨드/어드레스 온 다이 종료(CA_ODT) 신호가 제공되어 메모리 디바이스(10) 내 적절한 임피던스 정합을 촉진시킬 수 있다. 가령 파워-업 동안 리셋 커맨드(RESET_n)가 사용되어 커맨드 인터페이스(14), 상태 레지스터, 상태 머신 등을 리셋할 수 있다. 커맨드 인터페이스(14)는 또한, 가령, 특정 메모리 디바이스(10)에 대한 커맨드/어드레스 라우팅에 따라, 커맨드/어드레스 버스 상의 커맨드/어드레스 신호 CA<13:0>의 상태를 변환하도록 제공될 수 있는 커맨드/어드레스 변환(CAI) 신호를 수신할 수 있다. 미러(MIR) 신호가 또한 제공되어 미러 기능을 촉진시킬 수 있다. MIR 신호는 사용되어, 특정 경우에서 복수의 메모리 디바이스의 구성을 기초로 신호를 멀티플렉싱하여 신호가 메모리 디바이스(10)로의 신호의 특정 라우팅을 가능하게 하도록 스왑되게 할 수 있다. 메모리 디바이스(10)의 테스트를 촉진하기 위한 다양한 신호, 가령, 테스트 활성화(TEN) 신호가 또한 제공될 수 있다. 예를 들어, TEN 신호는 메모리 디바이스(10)를 연결성 테스트를 위한 테스트 모드로 두도록 사용될 수 있다.
- [0017] 커맨드 인터페이스(14)는 또한 검출될 수 있는 특정 에러에 대해 알람 신호(ALERT_n)를 시스템 프로세서 또는 제어기로 제공하도록 사용될 수 있다. 예를 들어, 순환 중복 체크(CRC) 에러가 검출되는 경우 알람 신호(ALERT_n)는 메모리 디바이스(10)로부터 전송될 수 있다. 또 다른 알람 신호가 또한 생성될 수 있다. 또한 메모리 디바이스(10)로부터 알람 신호(ALERT_n)를 전송하기 위한 버스 및 핀이 특정 동작 동안, 가령, 앞서 기재된 바와 같이 TEN 신호를 이용해 실행되는 연결성 테스트 모드 동안, 입력 핀으로서 사용될 수 있다.
- [0018] 앞서 언급된 커맨드 및 클럭킹 신호를 이용해, I/O 인터페이스(16)를 통해 데이터 신호(44)를 전송 및 수신함으로써 데이터가 메모리 디바이스(10)로 전송 및 이로부터 전송될 수 있다. 더 구체적으로, 데이터가 복수의 양방향 데이터 버스를 포함하는 데이터 버스(46)를 통해 메모리 뱅크(12)로 전송되거나 이로부터 불러와질 수 있다. 일반적으로 DQ 신호라고 지칭되는 데이터 I/O 신호가 하나 이상의 양방향 데이터 버스에서 전송 및 수신되는 것이 일반적이다. 특정 메모리 디바이스, 가령, DDR5 SDRAM 메모리 디바이스에 대해, I/O 신호가 상위 바이트와 하위 바이트로 분할될 수 있다. 예를 들어, x16 메모리 디바이스의 경우, I/O 신호가 예를 들어 데이터 신호의 상위 및 하위 바이트에 대응하는 상위 및 하위 I/O 신호(가령, DQ<15:8> 및 DQ<7:0>)로 분할될 수 있다.
- [0019] 메모리 디바이스(10) 내 더 높은 데이터 레이트를 가능하게 하기 위해, 특정 메모리 디바이스, 가령, DDR 메모리 디바이스가 일반적으로 DQS 신호라고 지칭되는 데이터 스트로브 신호(data strobe signal)를 이용할 수 있다. DQS 신호가 데이터를 전송하는 외부 프로세서 또는 제어기(가령, 쓰기 커맨드의 경우)에 의해, 또는 메모리 디바이스(10)(가령, 읽기 커맨드의 경우)에 의해, 구동된다. 읽기 커맨드의 경우, DQS 신호가 사실상 지정 패턴을 갖는 추가 데이터 출력(DQ) 신호이다. 쓰기 커맨드의 경우, DQS 신호가 대응하는 입력 데이터를 캡처하도록 클럭 신호로서 사용된다. 클럭 신호(Clk_t/ 및 Clk_c)의 경우, 데이터 스트로브(DQS) 신호가 데이터 스트로브 신호의 차동 쌍(DQS_t/ 및 DQS_c)으로서 제공되어, 읽기 및 쓰기 동안 차동 쌍 시그널링을 제공할 수 있다. 특정 메모리 디바이스, 가령, DDR5 SDRAM 메모리 디바이스의 경우, DQS 신호의 차동 쌍은, 예를 들어, 메모리 디바이스(10)로 전송되고 이로부터 전송되어진 데이터의 상위 및 하위 바이트에 대응하는 상위 및 하위 데이터 스트로브 신호(가령, UDQS_t/ 및 UDQS_c; LDQS_t/ 및 LDQS_c)로 분할될 수 있다.
- [0020] 임피던스(ZQ) 교정 신호가 또한 I/O 인터페이스(16)를 통해 메모리 디바이스(10)로 제공될 수 있다. ZQ 교정 신

호가 기준 핀으로 제공될 수 있고, 프로세스, 전압 및 온도(PVT) 값의 변화에 걸쳐, 메모리 디바이스(10)의 풀업 및 풀다운 저항기를 조절함으로써, 출력 드라이버 및 ODT 값을 튜닝하도록 사용될 수 있다. PVT 특성이 ZQ 저항기 값에 영향을 미칠 수 있기 때문에, ZQ 교정 신호가, 입력 임피던스를 알려진 값으로 교정하기 위해 저항을 조절하는 데 사용될 ZQ 기준 핀으로 제공될 수 있다. 알다시피, 일반적으로 정밀 저항기가 메모리 디바이스(10) 상의 ZQ 핀과 메모리 디바이스(10)의 외부의 GND/VSS 사이에 연결된다. 이 저항기는 IO 핀의 내부 ODT 및 구동 강도를 조절하기 위한 기준으로서 동작한다.

[0021] 덧붙여, 루프백 신호(LOOPBACK)가 I/O 인터페이스(16)를 통해 메모리 디바이스(10)로 제공될 수 있다. 테스트 또는 디버깅 단계 동안 루프백 신호가 사용되어, 메모리 디바이스(10)를 신호가 동일한 핀을 통해 메모리 디바이스(10)에서 루프 백되는 모드로 설정할 수 있다. 예를 들어, 루프백 신호는 메모리 디바이스(10)의 데이터 출력을 테스트하도록 메모리 디바이스(10)를 설정하는 데 사용될 수 있다. 루프백은 데이터와 스트로브 모두를 포함하거나 데이터 핀만 포함할 수 있다. 이는 일반적으로 I/O 인터페이스(16)에서 메모리 디바이스(10)에 의해 캡처되는 데이터를 모니터링하는 데 사용되도록 의도된다.

[0022] 다양한 다른 구성요소, 가령, (외부 VDD 및 VSS 신호를 수신하기 위한) 파워 서플라이 회로, (프로그램 가능 동작 및 구성의 다양한 모드를 정의하기 위한) 모드 레지스터, (읽기/쓰기 동작 동안 신호를 증폭하기 위한) 읽기/쓰기 증폭기, (메모리 디바이스(10)의 온도를 감지하기 위한) 온도 센서 등이 메모리 시스템(10)으로 포함될 수 있다. 따라서 도 1의 블록도는 이하의 상세한 설명서 메모리 디바이스(10)의 특정 기능적 특징부를 강조하기 위해 제공된 것에 불과함을 이해해야 한다.

[0023] 일부 실시예에서, 메모리 디바이스(10)는 호스트 디바이스 내에 배치(물리적으로 통합되거나 그 밖의 다른 방식으로 연결)되거나 그 밖의 다른 방식으로 호스트 디바이스에 연결될 수 있다. 호스트 디바이스는 데스크톱 컴퓨터, 랩톱 컴퓨터, 페이지, 셀방식 전화기, 퍼스널 오거나이저(personal organizer), 휴대용 오디오 재생기, 제어 회로, 카메라 등 중 임의의 하나를 포함할 수 있다. 호스트 디바이스는 또한 네트워크 노드, 가령, 라우터, 서버, 또는 클라이언트(가령, 이전에 기재된 유형의 컴퓨터들 중 하나)일 수 있다. 호스트 디바이스는 그 밖의 다른 유형의 전자 디바이스, 가령, 복사기, 스캐너, 프린터, 게임 콘솔, 텔레비전, 셋-톱 비디오 배포 또는 레코딩 시스템, 케이블 박스, 개인 디지털 미디어 재생기, 공장 자동화 시스템, 자동차 컴퓨터 시스템, 또는 의료 장치일 수 있다. (본 명세서에 사용된 많은 다른 용어들과 같이, 이들 다양한 시스템의 예를 설명하기 위해 사용된 용어는 일부 참조를 공유 할 수 있으며, 따라서 열거된 다른 항목에 의해 좁게 해석되어서는 안 된다.)

[0024] 따라서 호스트 디바이스는 호스트 내 시스템 기능 및 요청의 처리를 제어하는 프로세서, 가령, 마이크로프로세서를 포함할 수 있는 프로세서-기반 디바이스일 수 있다. 또한, 임의의 호스트 프로세서는 시스템 제어를 공유하는 복수의 프로세서를 포함할 수 있다. 호스트 프로세서는 호스트의 추가 시스템 요소에 직접 또는 간접적으로 연결되어, 호스트 프로세서는 호스트 내에 또는 호스트 외부에 저장될 수 있는 명령을 실행함으로써 호스트의 동작을 제어할 수 있다.

[0025] 앞서 논의된 바와 같이, 메모리 디바이스(10)가 휘발성 메모리, 가령, 더블 데이터 레이트 DRAM(Double Data Rate DRAM)(가령, DDR5 SDRAM)으로서 동작하도록 예를 들어, 호스트에 의해 데이터가 메모리 디바이스(10)에 쓰이고 이로부터 읽힐 수 있다. 호스트는, 일부 실시예에서, 개별 비-휘발성 메모리, 가령, ROM(read-only memory), PC-RAM, SONOS(silicon-oxide-nitride-oxide-silicon) 메모리, MONOS(metal-oxide-nitride-oxide-silicon) 메모리, 폴리실리콘 부동 게이트 기반 메모리, 및/또는 다양한 아키텍처의 그 밖의 다른 유형의 플래시 메모리(가령, NAND 메모리, NOR 메모리 등) 및 그 밖의 다른 유형의 메모리 디바이스(가령, 스토리지), 가령, SSD(solid state drive), MMC(MultimediaMediaCard), SD(SecureDigital) 카드, CF(CompactFlash) 카드, 또는 그 밖의 다른 임의의 적합한 디바이스를 포함할 수 있다. 또한, 호스트는 하나 이상의 외부 인터페이스, 가령, USB(Universal Serial Bus), PCI(Peripheral Component Interconnect), PCI-E(PCI Express), SCSI(Small Computer System Interface), IEEE 1394(Firewire), 또는 그 밖의 다른 임의의 적절한 인터페이스 및 사용자가 입력을 호스트로 입력할 수 있게 하는 하나 이상의 입력 디바이스, 가령, 버튼, 스위칭 요소, 키보드, 라이트 펜, 스타일러스, 마우스, 및/또는 음성 인식 시스템을 포함할 수 있다. 호스트는 또한 선택사항으로서 출력 디바이스, 가령, 프로세서에 연결된 디스플레이 및 네트워크 인터페이스 디바이스, 가령, 네트워크, 가령, 인터넷과 인터페이스하기 위한 NIC(Network Interface Card)를 포함할 수 있다. 호스트는 호스트의 응용분야에 따라 그 밖의 다른 많은 구성요소를 포함할 수 있음이 자명할 것이다.

[0026] 호스트는 저장되도록 메모리 디바이스(10)로 데이터를 전송하도록 동작할 수 있으며 호스트에서의 다양한 동작을 수행하기 위해 메모리 디바이스(10)로부터 데이터를 읽을 수 있다. 따라서 이들 데이터 전송을 촉진시키기

위해, 일부 실시예에서, I/O 인터페이스(16)는 I/O 인터페이스(16)로 DQ 신호를 송신하고 이로부터 수신하도록 동작하는 데이터 트랜시버(48)를 포함할 수 있다.

[0027] 도 2는 메모리 디바이스(10)의 I/O 인터페이스(16)를 도시하고 더 구체적으로 데이터 트랜시버(48)를 도시한다. 도시된 바와 같이, I/O 인터페이스(16)의 데이터 트랜시버(48)가 DQ 커넥터(50), DQ 트랜시버(52), 및 직렬화기/역직렬화기(54)를 포함할 수 있다. 일부 실시예에서, 복수의 데이터 트랜시버(48)가 사용될 수 있으며, 각각의 단일 데이터 트랜시버(48)가 예를 들어 데이터 신호의 상위 및 하위 바이트에 대응하는 상위 및 하위 I/O 신호(가령, DQ<15:8> 및 DQ<7:0>) 각각과 관련하여 사용될 수 있다. 따라서, I/O 인터페이스(16)는 하나 이상의 I/O 신호에 각각 대응하는 복수의 데이터 트랜시버(48)(가령, 각각의 DQ 커넥터(50), DQ 트랜시버(52), 및 직렬화기/역직렬화기(54)를 포함)를 포함할 수 있다.

[0028] DQ 커넥터(50)는, 예를 들어, 데이터 쓰기 동작의 일부로서 데이터를 메모리 어레이(23)로 전송하기 위해 DQ 신호를 수신하도록 동작하는 핀, 패드, 이의 조합, 또는 또 다른 유형의 인터페이스일 수 있다. 덧붙여, DQ 커넥터(50)는 메모리 디바이스(10)로부터 DQ 신호를 송신, 가령, 데이터 읽기 동작의 일부로서 메모리 어레이(23)로부터 데이터를 송신하도록 동작할 수 있다. 이들 데이터 읽기/쓰기를 촉진시키기 위해, DQ 트랜시버(52)가 데이터 트랜시버(48) 내에 존재한다. 일부 실시예에서, 예를 들어 DQ 트랜시버(52)가 메모리 어레이(23)로부터의 데이터 읽기 동작의 출력 타이밍을 결정하기 위한 타이밍 신호로서 내부 클록 생성기(30)에 의해 생성된 클록 신호를 수신할 수 있다. 내부 클록 생성기(30)에 의해 생성된 클록 신호가 클록 커넥터(56)(가령, 핀, 패드, 이의 조합 등)에서 메모리 디바이스(10)에 의해 수신되고 클록 입력 회로(18)를 통해 내부 클록 생성기(30)로 라우팅되는 하나 이상의 클록킹 신호를 기초로 할 수 있다. 따라서 DQ 트랜시버(52)가 메모리 어레이(23)로부터의 데이터 읽기 동작의 출력 타이밍을 결정하기 위한 타이밍 신호로서 내부 클록 생성기(30)에 의해 생성된 클록 신호를 수신할 수 있다.

[0029] 도 2의 DQ 트랜시버(52)는, 예를 들어, 데이터 쓰기 동작의 일부로서 스트로브 데이터 모드로 동작하기 위해 하나 이상의 DQS 신호를 수신할 수 있다. DQS 신호는 DQS 커넥터(60)(가령, 핀, 패드, 이의 조합 등)에서 수신되고, DQ 트랜시버(52)로의 DQS 신호의 선택적 전송을 통해 데이터 스트로브 모드를 제어하도록 동작하는 DQS 트랜시버(60)를 통해 DQ 트랜시버(52)로 라우팅될 수 있다. 따라서 DQ 트랜시버(52)는 메모리 어레이(23)로부터의 데이터 쓰기 동작을 제어하도록 DQS 신호를 수신할 수 있다.

[0030] 앞서 언급된 바와 같이, 데이터 트랜시버(48)는 메모리 디바이스(10)(가령, 메모리 어레이(23))로 그리고 이로부터의 데이터의 전송을 촉진시키기 위한 모드로 동작할 수 있다. 예를 들어, 메모리 디바이스(10) 내 더 높은 데이터 레이트를 가능하게 하도록, DQS 신호가 사용되는 데이터 스트로브 모드가 발생할 수 있다. DQS 커넥터(58)(가령, 핀, 패드, 이의 조합 등)에 의해 수신된 바와 같은(가령, 쓰기 명령어를 위한) 데이터를 전송하는 외부 프로세서 또는 제어기에 의해 DQS 신호가 구동될 수 있다. 일부 실시예에서, DQS 신호가 클록 신호로서 사용되어 대응하는 입력 데이터를 캡처할 수 있다.

[0031] 덧붙여, 도 2에 도시된 바와 같이, 데이터 트랜시버(48)는 직렬 데이터 비트(가령, 직렬 비트 스트림)을 메모리 디바이스(10)의 데이터 쓰기 동작 동안 데이터 버스(46)를 따라 전송되기 위한 병렬 데이터 비트(가령, 병렬 비트 스트림)으로 번역하도록 동작하는 직렬화기/역직렬화기(54)를 더 포함한다. 마찬가지로, 직렬화기/역직렬화기(54)는 메모리 디바이스(10)의 읽기 동작 동안 병렬 데이터 비트(가령, 병렬 비트 스트림)를 직렬 데이터 비트(가령, 직렬 비트 스트림)으로 번역하도록 동작한다. 이러한 방식으로, 직렬화기/역직렬화기(54)는 가령, 직렬 포맷을 갖는 호스트 디바이스로부터 수신된 데이터를 메모리 어레이(23)에 저장되기에 적합한 병렬 포맷으로 번역하도록 동작한다. 마찬가지로, 직렬화기/역직렬화기(54)가 가령, 병렬 포맷을 갖는 메모리 어레이(23)로부터 수신된 데이터를 호스트 디바이스로 전송되기에 적합한 직렬 포맷으로 번역하도록 동작한다.

[0032] 도 3은 데이터 전송 버스(51)에 연결된 DQ 커넥터(50), DQ 수신기(62), DQ 송신기(64)(DQ 수신기(62)와 함께 DQ 트랜시버(52)를 형성), 역직렬화기(66), 및 직렬화기(68)(역직렬화기(66)와 함께 직렬화기/역직렬화기(54)를 형성)를 포함하는 것으로 데이터 트랜시버(48)를 도시한다. 동작 중에, 메모리 디바이스(10)로의 데이터 쓰기 동작의 일부로서, 호스트(가령, 앞서 기재된 호스트프로세서 또는 그 밖의 다른 메모리 디바이스)가 데이터 전송 버스(51)를 통해 데이터 트랜시버(48)로 직렬 형태로 데이터를 전송하도록 동작할 수 있다. 이 데이터는 DQ 커넥터(50)에서 수신되고 DQ 수신기(62)로 전송된다. DQ 수신기(62)는, 예를 들어, 역직렬화기(66)로의 데이터의 전송을 조화(가령, 제어)하도록 동작하는 각각의 DQS 신호가 수신될 때까지 데이터에 대한 하나 이상의 동작(가령, 증폭, 데이터 신호 구동 등)을 수행 및/또는 데이터에 대한 래치(latch)로서 동작할 수 있다. 데이터 쓰기 동작의 일부로서, 역직렬화기(66)는 데이터를 데이터 전송 버스(51)를 따라 전송되는 포맷(가령, 직렬 형

태)에서 메모리 어레이(23)로 저장되도록 메모리 어레이로 데이터를 전송하기 위해 사용되는 포맷(가령, 병렬 형태)으로 변환(가령, 번역)하도록 동작할 수 있다.

[0033] 마찬가지로, 읽기 동작(가령, 메모리 어레이(23)로부터 데이터를 읽고 읽힌 데이터를 데이터 전송 버스(51)를 통해 호스트로 전송) 동안, 직렬화기(68)는 메모리 어레이에 의해 사용되는 하나의 포맷(가령, 병렬 형태)으로 메모리 어레이로부터 읽힌 데이터를 수신하고 수신된 데이터를 제2 포맷(가령, 직렬 형태)로 변환(가령, 번역)하여, 데이터가 데이터 전송 버스(51) 및/또는 호스트 중 하나 이상과 호환되게 할 수 있다. 변환된 데이터는 직렬화기(68)로부터 DQ 전송기(64)로 전송되어, 데이터에 대한 하나 이상의 동작(가령, 역-증폭, 데이터 신호 구동 등)이 발생할 수 있다. 덧붙여, 예를 들어, 데이터 전송 버스(51)를 따라 호스트의 하나 이상의 구성요소로의 전송을 위해 DQ 커넥터(50)로의 데이터의 전송을 조화(가령, 제어)하도록 동작하는 내부 클록 생성기(30)로부터의 각자의 클록 신호가 수신될 때까지 DQ 전송기(64)는 수신된 데이터에 대한 래치로서 동작할 수 있다.

[0034] 일부 실시예에서, DQ 커넥터(50)에서 수신된 데이터가 왜곡될 수 있다. 예를 들어, DQ 커넥터(50)에서 수신된 데이터는 이전에 수신된 데이터가 이후에 수신되는 데이터와 간섭을 일으키는 심볼간 간섭(ISI)에 의해 영향을 받을 수 있다. 예를 들어, 데이터 전송 버스(51)를 횡단하여 DQ 커넥터(50)로 전송되는 증가된 데이터 볼륨 때문에, DQ 커넥터(50)에 수신되는 데이터가 호스트에 의해 전송되는 데이터에 비해 왜곡될 수 있다. 이 왜곡을 완화(가령, 상쇄 또는 소거)하고 ISI의 영향을 효과적으로 되돌리기 위한 한 가지 기법이 데이터에 등화 동작을 적용하는 것이다. 도 4는 이 등화 동작에서 사용될 수 있는 등화기를 포함하는 데이터 트랜시버(48)의 실시예를 도시한다.

[0035] 도 4는 등화기, 구체적으로, 판정 피드백 등화기(DFE)(70)를 포함하는 데이터 트랜시버(48)의 하나의 실시예를 도시한다. 도시된 바와 같이, DFE(70)는 멀티-탭(가령, 4-탭) DFE(70)이다. 그러나 4개보다 적거나 많은 탭이 DFE(70)와 함께 사용될 수 있다. 마찬가지로, DFE(70)는 역직렬화기(66) 또는 DQ 수신기(62)로부터 분리되어 또는 그 내부에 배치될 수 있다. 동작 중에, (가령, 래치 또는 판정 슬라이서(decision-making slicer)로부터의) 이진 출력이 하나 이상의 데이터 래치 또는 데이터 레지스터에서 캡처된다. 본 실시예에서, 이들 데이터 래치 또는 데이터 레지스터는 역직렬화기(66) 내에 배치될 수 있고 여기에 저장된 값은 경로(72, 74, 76, 및 78)를 따라 래치 또는 전송될 수 있다.

[0036] DQ 수신기(62)에서 데이터 비트가 수신될 때, 이는 비트 "n"으로서 호스트로부터 전송된 것으로 식별될 수 있고 왜곡된 비트 n(가령, 비트 n이 ISI에 의해 왜곡됨)으로서 시점 t_0 에서 수신될 수 있다. DQ 수신기(62)에서 수신된 왜곡된 비트 n 전에 수신된 가장 최근 비트, 가령, 시점 t_0 에 바로 앞서는 시점 t_{-1} 에서 수신된 비트가 n-1로 식별될 수 있고 경로(72)를 따라 데이터 래치 또는 데이터 레지스터로부터 전송되는 것으로 도시된다. DQ 수신기(62)에서 수신된 왜곡된 비트 n 전에 수신된 두 번째 최신 비트, 가령, 시점 t_{-1} 에 바로 앞서는 시점 t_{-2} 에서 수신된 비트가 n-2로 식별될 수 있고 경로(74)를 따라 데이터 래치 또는 데이터 레지스터로부터 전송되는 것으로 도시된다. DQ 수신기(62)에서 수신된 왜곡된 비트 n 전에 수신된 세 번째 최신 비트, 가령, 시점 t_{-2} 에 바로 앞서는 시점 t_{-3} 에서 수신된 비트가 n-3로 식별될 수 있고 경로(76)를 따라 데이터 래치 또는 데이터 레지스터로부터 전송되는 것으로 도시된다. DQ 수신기(62)에서 수신된 왜곡된 비트 n 전에 수신된 네 번째 최신 비트, 가령, 시점 t_{-2} 에 바로 앞서는 시점 t_{-3} 에서 수신된 비트가 n-4로 식별될 수 있고 경로(78)를 따라 데이터 래치 또는 데이터 레지스터로부터 전송되는 것으로 도시된다. 비트 n-1, n-2, n-3, 및 n-4가 수신된 왜곡 비트 n과 간섭을 일으키는 비트의 그룹(가령, 비트 n-1, n-2, n-3, 및 n-4이 호스트 전송된 비트 n에 ISI를 야기함)으로 간주될 수 있고 DFE(70)는 호스트 전송된 비트 n에 비트 n-1, n-2, n-3, 및 n-4의 그룹이 야기하는 왜곡을 상쇄시키도록 동작할 수 있다.

[0037] 따라서 경로(72, 74, 76, 및 78)를 따라 래치 또는 전송되는 값 각각이 DQ 수신기(62)로부터 전송되고 메모리 어레이(23)에 저장된 가장 최신 이전 데이터 값(가령, 이전 비트 n-1, n-2, n-3, 및 n-4)에 대응할 수 있다. 이들 이전에 전송된 비트가 경로(72, 74, 76, 및 78)를 따라, 합산기(가령, 합산 증폭기)에 의해 수신된 입력 신호(가령, DQ 커넥터(50)로부터 수신된 데이터, 가령, 왜곡된 비트 n)이고 여기에 더해질 수 있는 가중화된 탭(가령, 전압)을 생성하도록 동작하는 DFE(70)로 피드백된다. 또 다른 실시예에서, 가중화된 탭(가령, 전압)은 내부 기준 값과 조합되어 수신된 데이터의 왜곡에 대응하거나 이를 완화(가령, 왜곡된 비트 n의 왜곡을 완화)시키는 상쇄값(offset)을 생성할 수 있다. 일부 실시예에서, 가장 최신 이전 수신된 데이터(가령, 비트 n-1)가 더 이전에 수신된 비트(가령, 비트 n-1, n-2, 및 n-3)보다 수신된 데이터(가령, 왜곡된 비트 n)의 왜곡에 더 강한 영향을 가질 수 있음을 반영하도록 탭이 가중화된다. DFE(70)는 이전에 수신된 비트에 의해 야기되는 왜곡을 중

합적으로 상쇄시키도록 각각의 이전 비트로 인한 탭(가령, 전압)의 크기 및 극성을 생성하도록 동작할 수 있다.

[0038] 예를 들어, 본 실시예의 경우, 각각의 이전 수신된 비트($n-1$, $n-2$, $n-3$, 및 $n-4$)가 메모리 어레이(23)로의 전송을 위해 역직렬화기(66)로 전송되며, 또한, 각자의 경로(72, 74, 76, 및 78)를 따르는 차후 전송을 위해 래치 또는 레지스터에 저장됐을 두 개의 값 중 하나(가령, 이전 0 또는 1)를 가졌을 수 있다. 도시된 실시예에서, 이는 비트 $n-1$, $n-2$, $n-3$, 및 $n-4$ 의 그룹에 대해 16(가령, 2^4)개의 가능한 이전 조합(가령, 0000, 0001, 0010, ..., 1110, 또는 1111)을 도출한다. 앞서 언급된 16개의 조합 중 어느 것이 DQ 커넥터(50)로부터 수신된 입력 값(가령, 왜곡된 비트 n)을 조절하거나 DQ 커넥터(50)로부터 수신된 입력 값(가령, 왜곡된 비트 n)에 차후 적용되어 데이터 스트림의 이전 비트(가령, 비트 $n-1$, $n-2$, $n-3$, 및 $n-4$ 의 그룹)로부터의 ISI 왜곡을 소거하기 위한 기준 값을 수정하기 위해 사용되기 위해 제공되도록 (가령, 경로(72, 74, 76, 및 78)를 따라 수신된 값을 기초로) 결정되든지 간에, DFE(70)는 대응하는 탭 값을 선택 및/또는 생성하도록 동작한다.

[0039] DQ 커넥터(50)로부터 전송된 데이터가 왜곡 없이 메모리 어레이(23)에서 올바르게 나타나도록 왜곡 보정(가령, DFE(70))을 사용하는 것이 유익할 수 있다. 따라서, 왜곡 보정에서 사용되도록 이전 비트 데이터를 저장하는 것이 유용할 수 있다. 도 5의 블록도에서 도시된 바와 같이, 왜곡 보정 회로(80)는 DQ 수신기(62)의 일부로서 포함될 수 있지만 물리적으로 그 곳에 위치할 필요는 없을 수 있다(가령, 대신 왜곡 보정 회로(80)는 DQ 수신기(62)에 연결될 수 있다). 일부 실시예에서, 왜곡 보정 회로(80)는 이전에 전송된 비트 데이터를 제공하여, 채널(84)(가령, 연결, 전송 라인, 및/또는 전도성 물질)을 통해 전송된 왜곡된 비트(81)(가령, ISI 및/또는 시스템 왜곡에 의해 왜곡된 비트)를 보정하도록 동작할 수 있다.

[0040] 왜곡된 비트(81)는 채널(84)로부터 증폭 디바이스(82)(가령, 가변 이득 증폭기)로 전송될 수 있다. 왜곡된 비트(81)는 증폭 디바이스(82)로부터 단일 가중화된 탭(86)을 갖는 것으로 도시된 DFE(70)로 전송될 수 있다. 왜곡된 비트(81)는 DQ 기준 신호(83)와 함께 동시에 DFE(70)로 전송될 수 있다. DQ 기준 신호(83)는 DQ 연결(50)에 의해 수신된 전송된 비트가 논리 로우(가령, 0)이었는지 또는 논리 하이(가령, 1)이었는지를 결정하기 위한 임계값(가령, 전압 레벨)을 나타낼 수 있다.

[0041] DFE(70)는 이전 비트 데이터(가령, $n-1$ 비트 데이터)로 가중화된 탭을 이용해 왜곡된 비트(81)로부터의 왜곡을 보정하도록 동작할 수 있다. $n-1$ 비트에 대한 데이터(가령, 논리 1 또는 논리 0)가 경로(72)를 통해 전송될 수 있다. 단일 가중화된 탭(86)의 크기 및 극성이, 왜곡된 비트(81)에 전류를 인가하여 $n-1$ 비트에 의해 야기된 왜곡을 상쇄시키는 전류 합산기로서 동작하는 합산기 회로(85)를 통해 $n-1$ 비트에 의해 야기된 전체 왜곡을 상쇄시킬 수 있다. 예를 들어, DQ 연결(50)에서 수신된 비트가 DQ 기준 신호(83) 이하라고 결정되면, 수신된 비트(81)는 논리 로우로서 메모리 어레이(23)로 전송된다. 가중화된 탭(86)의 크기 및 극성이 왜곡된 비트(81) 및 DQ 기준 신호(83)를 보정할 수 있다.

[0042] 왜곡된 비트(81)의 수정된 버전 및 DQ 기준 신호(83)의 수정된 버전이 데이터 래치(94)로 전송될 수 있다. 보정된 비트(88)가 데이터 래치(94)를 통해 생성되고 데이터 래치(94)로부터 역직렬화기(66)로 전송될 수 있으며, 이는 DQS 신호(96)의 상승 에지 상에서 발생할 수 있다. 또 다른 실시예에서, 데이터 전송의 추가 또는 대안 방법이 포함되도록 클록킹 스킴의 변형을 따를 수 있다. 새로운 $n-1$ 비트에 대한 값이, 예를 들어, 보정된 비트(88)가 역직렬화기(66)에 수신될 때 경로(72)를 따르는 전송을 위해 역직렬화기(66)에 저장될 수 있다. DFE(70)와 연관된 왜곡 보정 회로 및 증폭 디바이스(82)가 이하에서 더 상세히 기재될 수 있다.

[0043] 도 6은 왜곡된 비트(81)와 연관된 왜곡을 무효화할 수 있는 도 5의 DFE(70)의 일부분의 회로도들을 도시한다. 데이터 비트가 합산기 회로(85)로의 제1 입력(102) 및 제2 입력(104)에서 수신될 수 있다. 제1 입력(102) 및 제2 입력(104)은 활성화 또는 비활성화될 수 있는 디바이스(가령, 전계 효과 트랜지스터(106 및 108))에 통신 가능하게 연결될 수 있다. 왜곡된 비트(81)는 제1 입력(102)에 의해 수신될 수 있고 DQ 기준 신호(83)가 제2 입력(104)에 의해 수신될 수 있다. 이러한 방식으로, 두 전계 효과 트랜지스터(106 및 108)가 왜곡된 비트(81) 및 DQ 기준 신호(83)에 의해 제어될 수 있다.

[0044] 가중화된 탭(86) 및 이의 역 값(가령, 역 가중화된 탭(87))이 출력(110 및 112)으로 전송되어, 왜곡된 비트(81)의 왜곡을 보정할 수 있다. $n-1$ 비트에 대한 논리 하이(가령, 경로(72)를 통해 전송된다. 이 경우, 출력(110 및 112)에 대한 가중화된 탭 값(86 및 87)의 기여를 가능하게 하는 두 전계 효과 트랜지스터(116 및 118)에 대한 제어 신호로서 가중화된 탭(86) 및 역 가중화된 탭(87)을 생성하도록 $n-1$ 비트가 구현될 수 있다.

[0045] 가중화된 탭 값(86 및 87)에 의해 전류가 출력(110 및 112)으로 인가될 수 있으며, 이로써 공급된 전류가 제어 가능한 소스(120)(가령, 디지털-아날로그 컨버터)에 의해 제어되는 전류 소스를 통해 제어된다. 출력(110 및

112)은 DQ 기준 신호(83) 및 왜곡된 비트(81) 중 하나 이상의 수전된 값일 수 있고 데이터 래치(94)(가령, 이전 출력을 생성하는 재생 래치 또는 슬라이서)로 전송될 수 있다. 보정된 비트(88)는 출력(110 및 112)을 기초로 데이터 래치(94)를 통해 생성될 수 있고 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송될 수 있다. 역직렬화기(66) 내 경로(72)를 따르는 전송을 위해 저장된 n-1 비트 정보가 미래 왜곡 보정을 위해 보정된 비트(88)로 업데이트될 수 있다.

[0046] 일부 경우, 보정된 비트(88)는 가중화된 탭(86 및 87)이 제공할 수 있는 것보다 더 정밀한 조절 수준을 가질 필요가 있을 수 있다. 도 7은 왜곡된 비트(81)에 더 정밀한 왜곡 보정을 수행하기 위한 네 개의 가중화된 탭(86, 162, 164, 및 166)을 만들기 위해, 네 개의 비트의 이전 데이터(가령, n-1 비트 데이터, n-2 비트 데이터, n-3 비트 데이터, 및 n-4 비트 데이터)를 수신할 수 있는 왜곡 보정 회로(160)의 블록도를 도시한다. 왜곡 보정 회로(80)와 유사한 방식으로, 왜곡된 비트(81)가 채널(84)을 통해 증폭 디바이스(82)로 전송될 수 있다. DQ 기준 신호(83)가 또한 증폭 디바이스(82)로 전송될 수 있다.

[0047] 증폭 디바이스(82)로부터, 왜곡된 비트(81) 및 DQ 기준 신호(83)가 DFE(70)로 전송될 수 있다. 이전 비트에 대한 비트 데이터가 경로(72, 74, 76, 및 78)를 통해 전송될 수 있다. DFE(70)는 네 개의 이전 비트에 대한 비트 데이터로부터 만들어진 네 개의 가중화된 탭(86, 162, 164, 및 166)을 이용해 왜곡된 비트(81)로부터의 왜곡을 보정하도록 동작할 수 있다. DFE(70)는 이전에 수신된 비트에 의해 야기된 왜곡된 비트(81)에 대한 전체 왜곡을 상쇄시키도록 설계될 수 있는 경로(72, 74, 76, 및 78)를 따라 전송되는 이전 비트 각각에 대한 가중화된 탭(86, 162, 164, 및 166) 각각에 대한 크기 및 극성을 생성하도록 동작할 수 있다.

[0048] 왜곡된 비트(81)의 수정된 버전 및 DQ 기준 신호(83)의 수정된 버전 중 하나 이상이 데이터 래치(94)로 전송될 수 있다. 보정된 비트(88)는 데이터 래치(94)로부터의 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송될 수 있다. 역직렬화기(66)는 n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트에 대한 값으로 업데이트될 수 있고 값은 경로(72, 74, 76, 및 78)를 따라 전송되도록 저장될 수 있다. DFE(70)와 연관된 왜곡 보정 회로가 이하에서 더 상세히 기재될 수 있다.

[0049] 도 8은 왜곡을 무효화할 수 있는 도 7의 DFE(70)의 일부분의 회로도를 도시한다. 도 8에 추가 도시된 바와 같이, DFE(70)는 경로(72, 74, 76, 및 78)에서 전송된 데이터를 통해 n-1 비트, n-2 비트, n-3 비트, 또는 n-4 비트, 또는 임의의 조합에 대한 논리 하이 또는 로우를 수신할 수 있다. 이 경우, 경로(72, 74, 76, 및 78)를 따라 전송되는 데이터가 가중화된 탭(86, 162, 164, 및 166) 및 역 가중화된 탭(87, 163, 165, 및 167)을 전계 효과 트랜지스터(116, 118, 182, 184, 186, 188, 190, 및 192)가 출력(110 및 112)으로 전송되는 자신의 출력을 제어하기 위한 제어 신호로서 생성하도록 구현될 수 있다. 전계 효과 트랜지스터(116, 118, 182, 184, 186, 188, 190, 및 192)는 이전 보정된 비트의 다양한 조합(가령, 0000, 0001, 0010, ... 1111)으로 표현되는 16(가령, 2^4)개의 가능한 서로 다른 이진 상태 중 하나를 반영하도록 선택적으로 그리고 제어 가능하게 활성화될 수 있다.

[0050] 가중화된 탭(86, 87, 162, 163, 164, 166 및 167) 값이 출력(110 및 112)에 적용되어, 제어 가능한 소스(120) 및 추가 제어 가능한 소스(194, 196, 및 198)(가령, 디지털-아날로그 컨버터에 의해 제어되는 전류 소스)를 통해 공급된 전류가 제어될 수 있다. 출력(110 및 112)은 데이터 래치(94)로 전송될 수 있다. 보정된 비트(88)는 출력(110 및 112)을 기초로 데이터 래치(94)를 통해 생성될 수 있고 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송될 수 있다. 역직렬화기(66) 내에 경로(72, 74, 76, 및 78)를 따른 전송을 위해 저장된 n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트 정보가 미래 왜곡 보정을 위해 보정된 비트(88)로 업데이트될 수 있다(가령, n-4 비트가 n-3 데이터를 반영하도록 업데이트될 것이고, n-3 비트가 n-2 데이터를 반영하도록 업데이트될 것이며, n-2 데이터가 n-1 데이터를 반영하도록 업데이트될 것이며, n-1 데이터가 새로 보정된 비트로 업데이트될 것이다).

[0051] 일부 실시예에서, 증폭 디바이스(82)를 피할 수 있는 왜곡 보정 방법이 바람직할 수 있다. 도 9는 증폭 디바이스(82)를 이용해 피해질 수 있는 왜곡 보정 회로(200)의 블록도를 나타낸다. 왜곡 보정 회로(200)는 등화기(202)(가령, 하나의 디바이스로 결합되는 재생 래치 회로와 DFE 회로) 및 디코더(204)(가령, 4 내지 16 비트 디코더)를 포함한다. 왜곡된 비트(81)가 채널(84)을 통해 수신될 수 있다. 왜곡된 비트(81)가 등화기(202)에 의해 단자(206)에서 수신될 수 있다. DFE(70)의 회로가 등화기(202) 내에 포함될 수 있다. 디코딩된 신호(214)(가령, 제어 신호) 및 전압 보정 신호(212)(가령, DQ 기준 신호(83)의 가중화되거나 그 밖의 다른 방식으로 조절된 버전)가 또한 등화기(202)에 의해 수신될 수 있다.

[0052] 디코딩된 신호(214)가 등화기(202)의 단자(210)로 전송될 수 있다. 경로(72, 74, 76, 및 78) 상에서 데이터에

의해 표현되는 4 비트 시퀀스(가령, 0000, 0001, ... 1111)가 디코더(204)에 의해, 디코딩된 신호(214)(가령, 0000000000000001, 0000000000000010, ... 1000000000000000)로서 출력될 수 있는 16개의 가능한 상태 중 하나로 변환될 수 있다. 16개의 가능한 상태는 데이터의 4개의 보정성 이전 비트의 모든 가능한 조합(가령, 2^4)에 대응할 수 있다. 추가 실시예에서, 데이터의 4개보다 많거나 적은 보정성 이전 비트가 디코딩된 신호(214)를 생성하는 데 사용될 수 있다. 또 다른 실시예에서, 직접 연결되는 대신, 경로(72, 74, 76, 및 78)가 디코더(204)로의 입력으로서 가중화된 탭 값(86, 162, 164, 및 166)으로 표현될 수 있다. 디코딩된 신호(214)에 의해 지시되는 상이한 상태에 대응하는 하나 이상의 전압 보정 신호(212)가 단자(208)로 전송될 수 있다.

[0053] 왜곡된 비트(81)의 값이 등화기(202)에 의해 보정될 수 있다. 등화기(202)로부터의 출력(216)이 보정된 비트(88)이도록 보정이 수행될 수 있다. 보정된 비트(88)는 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송될 수 있다. 역직렬화기(66)에서, 저장된 n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트 정보가 미래 왜곡 보정에서 사용되도록 새로운 데이터에 따라 업데이트될 수 있다(가령, n-4 비트가 n-3 데이터를 반영하도록 업데이트될 것이고, n-3 비트가 n-2 데이터를 반영하도록 업데이트될 것이며, n-2 데이터가 n-1 데이터를 반영하도록 업데이트될 것이며, n-1 데이터가 새로 보정된 비트로 업데이트될 것이다).

[0054] 왜곡 보정 회로(200)를 이용한 예시적 방법이 증가된 왜곡 보정 속력을 도출할 수 있다. 최종 왜곡 보정 값이 결정될 필요가 있을 때마다 합산 기능을 수행하기(가령, 왜곡 보정 회로(80))보다는, 왜곡 보정 회로(200)가 저장된 왜곡 보정 값을 가질 수 있다. 특정 상태에 대한 특정 왜곡 보정 값이 필요할 때, 값이 왜곡 보정에 사용될 준비가 될 수 있도록 왜곡 보정 값은 저장될 수 있다. 저장된 값의 구현 수단이 도 10에서 상세히 나타날 수 있다.

[0055] 도 10은 도 9의 등화기(202)의 일부분의 회로도도를 도시한다. 왜곡된 비트(81)가 단자(206)에서 수신되고 출력(110)으로 전송될 수 있다. 디코딩된 신호(214)가 단자(210)로 전송될 수 있다. 디코딩된 신호(214)가 단자(210)로 전송될 때, 올바른 전계 효과 트랜지스터가 활성화될 수 있도록 디코더(204)와 단자(210) 간 연결이 이뤄질 수 있다. 올바른 전계 효과 트랜지스터는 디코딩된 신호(214)에 의해 특정된 특정 상태에 대응하는 경우 활성화될 수 있다. 디코딩된 신호(214)에 의해 나타나는 가능한 상태 각각에 특정한 전계 효과 트랜지스터(241-256)(가령, 16개의 전계 효과 트랜지스터가 16개의 가능한 상태에 대응함)가 단자(210)에 포함될 수 있다. 예를 들어, 디코딩된 신호(214) 0000000000000001가 디코딩된 신호(214)의 제1 상태 및 디코딩된 신호(214)의 수신 후 활성화된 올바른 전계 효과 트랜지스터일 수 있는 이와 연관된 제1 전계 효과 트랜지스터(241)에 대응할 수 있다. 또한, 예를 들어, 0000000000000010는 디코딩된 신호(214)의 제2 상태에 대응할 수 있고 제1 전계 효과 트랜지스터를 활성화하지 않고 오히려 제2 전계 효과 트랜지스터(242)만 활성화할 수 있다. 활성화될 때, 전계 효과 트랜지스터(257-272)를 통해 연결된 연관된 보정 전압이 전송되어 특정 상태에 대해 올바른 전계 효과 트랜지스터(241-256)에 의해 출력(112)이 영향받을 수 있다. 예를 들어, 0000000000000010가 디코딩된 신호(214)의 제2 상태에 대응할 수 있고, 전계 효과 트랜지스터(248)에 연결된 연관된 보정 전압이 출력(112)에 영향을 미칠 수 있도록 제2 전계 효과 트랜지스터(242)를 활성화할 수 있다.

[0056] 출력(110 및 112)은 데이터 래치(94)로 전송될 수 있다. 보정된 비트(88)가 출력(110 및 112)을 기초로 데이터 래치(94)를 통해 생성될 수 있고 DQS 신호(96)의 상승 에지 상에서 역직렬화기(66)로 전송될 수 있다. 역직렬화기(66)에서, 저장된 n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트가 미래 왜곡 보정에서 사용되기 위해 새로운 데이터에 따라 업데이트될 수 있다. 일부 실시예에서, 부하 요건의 시뮬레이션을 통해(가령, "더미(dummy)" 부하, e-부하, 전자 부하, 전류 싱크를 통해) 회로 성능을 테스트하는 것이 바람직할 수 있다. 전계 효과 트랜지스터(201 및 203)에서 제공되는 연결을 이용해 부하 요건의 시뮬레이션이 수행될 수 있다. 일부 실시예에서, 데이터가 전송되는 속도를 증가시키는 것이 바람직할 수 있다. 도 11은 DQ 수신기(62)에 의한 올바른 처리를 여전히 가능하게 하면서 높은 속도로 전송되는 데이터를 핸들링하기 위한 하나의 기법을 도시한다.

[0057] 도 11은 세 번의 상이한 시점에서 DQ 수신기(62)로 전송되며 수신된 왜곡된 비트(81), n-1 비트(274), n-2 비트(275), n-3 비트(276), 및 n-4 비트(277)를 포함하는 데이터 스트림(273)을 도시한다. 제1 비트스트림(278)은 t=0에서 송신되는 데이터 스트림(273)일 수 있다. n-1 비트(274)의 전송과 왜곡된 비트(81)의 수신 사이에, n-1 비트(274)에의 왜곡 기여의 계산을 가능하게 하는 충분한 시간이 경과되지 않을 수 있다. 이러한 일이 발생하는 경우, 한 가지 솔루션이 역직렬화기(66)로의 전송을 완료하기 위한 n-1 비트(274) 정보를 왜곡 계산에서 사용될 수 있도록 기다리는 것일 수 있다.

[0058] 제2 비트스트림(279)은 t=1에서 송신되는 데이터 스트림(273)일 수 있다. 제2 비트스트림(279)은 수신된 왜곡된 비트(81) 및 수신된 제2 왜곡된 비트(280)를 도시할 수 있다. n-1 비트(274)가 역직렬화기(66)에게 알려질 수

있도록 충분한 시간이 경과했을 수 있지만, 왜곡된 비트(81)의 값의 보정 결정을 보조하도록 아직 적용되지 않았다. 제3 비트스트림(281)이 t=2에서 전송된 데이터 스트림(273)일 수 있다. 제3 비트스트림(281)이 DQ 수신기(62)에서 수신될 제2 왜곡된 비트(280) 및 DQ 수신기(62)에서 수신될 제3 왜곡된 비트(282)를 보여줄 수 있다. 그러나 왜곡된 비트(81)가 보정된 비트(88)가 되고 역직렬화기(66)에서 새로운 n-1 비트(274) 정보로서 수신되어 제2 왜곡된 비트(280)의 왜곡을 보정하기에 충분한 시간이 경과하지 않았다. 따라서, t=1에서의 제2 비트스트림(279)의 경우처럼, n-1 비트(274)가 역직렬화기(66)에서 수신되고 왜곡 보정을 위해 전송될 수 있을 때까지 왜곡 계산이 대기되어야 한다. 대기 시간 동안 어떠한 추가 프로세스도 수행하지 않고 n-1 비트(274)가 전송되기를 기다리는 것보다 더 시간 효율적인 솔루션이 존재할 수 있다.

[0059] 한 가지 솔루션이 n-1 비트의 값의 두 가능성 모두(가령, 논리 하이 및 논리 로우)를 이용해 n-2 비트, n-3 비트, 및 n-4 비트의 왜곡 기여도를 계산하고, n-1 비트가 알려질 때 잘못된 왜곡을 폐기하는 것일 수 있다. 도 12는 이 솔루션을 구현할 수 있는 왜곡 보정 회로(290)를 도시한다.

[0060] 도 12는 다른 방식으로 처리될 수 있는 것보다 더 빠르게 전송된 데이터를 핸들링하기 위한 효율적인 솔루션을 구현할 수 있는 왜곡 보정 회로(290)의 블록도이다. 왜곡 보정 회로(290)는 등화기(292) 및 선택 디바이스(294)(가령, 멀티플렉서)에 추가로 왜곡 보정 회로(200)의 구성요소를 포함한다. 왜곡된 비트(81)는 등화기(202)의 단자(206) 및 등화기(292)의 단자(206)로 전송될 수 있다. 디코더(204)는 3 내지 8개의 디코더일 수 있으며 디코딩된 신호(214)를 출력할 수 있다.

[0061] 이 실시예에서, 디코딩된 신호(214)는 수신된 경로(74, 76, 및 78)로부터의 3개의 비트의 조합을 기초로 하는 8(가령, 2^3)개의 비트 상태 표현(가령, 3개의 비트의 예시를 들면, 000은 00000001에 대응하거나 및/또는 111은 10000000에 대응할 수 있음) 또는 각각의 연관된 가중치 값일 수 있다. n-1 비트의 참 값이 경로(72)를 따르는 전송을 위해 역직렬화기(66)로 아직 전송되지 않았기 때문에 경로(72)는 디코더(204)에서 사용되지 않을 수 있다. 경로(72)를 따라 전송된 n-1 비트의 값이 등화기(202)에서의 사용에 대해 하이이고 등화기(292)에서의 사용에 대해 로우인 것으로 가정될 수 있다. 디코딩된 신호(214)가 등화기(202 및 292)의 단자(210)로 전송될 수 있다. 디코더(204)에 의해 생성된 상이한 상태에 대응하는 하나 이상의 전압 보정 신호(212 및 213)가 단자(208)로 전송될 수 있다.

[0062] 등화기(202)로 전송되는 전압 보정 신호(212)가 등화기(292)로 전송된 전압 보정 신호(213)와 상이할 수 있다. 등화기(202)는 n-1 비트가 논리 하이임을 나타내기 때문에 등화기(202)는 이진 코드 1000 내지 1111에 대응하는 전압 보정 신호를 수신할 수 있다. 등화기(292)는 n-1 비트가 논리 로우임을 나타내기 때문에 등화기(292)는 이진 코드 0000 내지 0111에 대응하는 전압 보정 신호를 수신할 수 있다.

[0063] 등화기(202 및 292)는 단자(206, 208, 및 210)에서의 3개의 입력을 이용해, 왜곡된 비트(81)와 연관된 왜곡을 보정할 수 있다. 이는 n-1 비트가 논리 하이인 경우 등화기(202)로부터의 출력(216)이 보정된 비트(88)를 나타내고 n-1 비트가 논리 로우인 경우 등화기(292)로부터의 출력(296)이 보정된 비트(88)를 나타내도록 이뤄질 수 있다.

[0064] 출력(296 및 216)이 선택 디바이스(294)로 전송되면, n-1 비트가 역직렬화기(66)로 그리고 선택 디바이스(294)로 전송되기 위한 충분한 시간이 지날 수 있다. 경로(72)를 따라 전송된 n-1 비트가 출력(216 및 296)으로부터 보정된 비트(88)를 선택하도록 사용될 수 있다. n-1 비트가 논리 하이인 경우, 출력(216)은 보정된 비트(88)이도록 선택될 수 있다. 그러나 n-1 비트가 논리 로우인 경우, 출력(296)은 보정된 비트(88)이도록 선택될 수 있다. 선택 디바이스(294)로부터의 출력이 보정된 비트(88)로서 역직렬화기(66)로 전송될 수 있다. 역직렬화기(66)에서, 저장된 n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트 정보가 보정된 비트(88)에 따라 업데이트될 수 있다(가령, n-4 비트가 n-3 데이터를 반영하도록 업데이트될 것이고, n-3 비트가 n-2 데이터를 반영하도록 업데이트될 것이며, n-2 데이터가 n-1 데이터를 반영하도록 업데이트될 것이며, n-1 데이터가 새로 보정된 비트로 업데이트될 것이다). 보정된 비트(88)가 제2 왜곡된 비트(278)의 수신 전에 모든 값의 전송 및 업데이트를 완료하지 않을 수 있으며, 따라서 기재된 바와 같은 대기 방법이 반복될 수 있다.

[0065] 도 13은 도 12의 등화기(202 및 292)의 일부분에 대한 회로도이다. 왜곡된 비트(81)는 단자(206)에서 수신될 수 있고 출력(110) 및 출력(318)으로 전송될 수 있다.

[0066] 디코딩된 신호(214)가 단자(210)로 전송될 수 있다. 디코더(204)와 단자(210) 간 연결이, 디코딩된 신호(214)가 단자(210)로 전송될 때, 올바른 전계 효과 트랜지스터가 활성화될 수 있도록 이뤄진다. 올바른 전계 효과 트랜지스터가 디코딩된 신호(214)에 의해 지시되는 특정 상태에 대응할 때 활성화될 수 있다(가령, 00000010가 제2

상태를 가리킬 수 있고 두 등화기(202 및 292) 모두의 제2 전계 효과 트랜지스터(242)를 활성화하는 것을 도출한다). 디코더(204)의 가능한 상태 각각에 특정한 전계 효과 트랜지스터(241-248)(가령, 8개의 전계 효과 트랜지스터가 8개의 가능한 상태에 대응)가 등화기(202 및 292)의 제1 로우에 포함될 수 있다 활성화될 때, 전계 효과 트랜지스터(257-272)를 통해 연결된 연관된 보정 전압이 전송되어 특정 상태에 대해 올바른 전계 효과 트랜지스터(241-256)에 의해 출력(110 및 112)이 영향받을 수 있다.

[0067] 디코딩된 신호(214)가 단자(210)로 전송될 수 있다. 디코딩된 신호(214)는 8개의 상태의 2개의 세트를 나타낼 수 있다(가령, 10000000는 8번째 상태 트랜지스터와 16번째 상태 트랜지스터를 활성화할 수 있다). 동일한 디코딩된 신호(214)가 두 등화기(202 및 292) 모두에서 상이한 보정 전압 및 전계 효과 트랜지스터와 함께 사용되어 8개의 상태의 2개의 세트를 생성할 수 있다. n-1 비트가 논리 하이이고 논리 로우인 것 모두에 대해 병렬 왜곡 보정을 수행하는 속성 때문에, 디코딩된 신호(214)가 n-1 비트가 등화기(202)의 전계 효과 트랜지스터(241-248)를 통해 논리 하이인 상태 및 n-1 비트가 등화기(292)의 전계 효과 트랜지스터(241-248)를 통해 논리 로우인 상태를 가리키도록 사용될 수 있다.

[0068] 이전 비트의 이전 표현의 최상위 비트가 논리 하이 또는 논리 로우 값으로 강제될 때, 상태의 범위가 고정될 수 있다. 예를 들어, n-1 비트가 로우일 때(가령, 0XXX로 강제될 때), 발생할 수 있는 최대 이전 표현이 0111이고 최대 8(가령, 2^3)개의 표현 상태(가령, 0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111)가 존재한다. 논리 로우를 논리 하이로 변경함으로써, 상태의 개별적인 제2 세트가 생성되어(가령, 1000, 1001, 1010, 1011, 1100, 1101, 1110, 1111) 총 16(가령, 2^4)개의 가능한 상태를 설명할 수 있다. 첫 8개의 상태를 두 번째 8개의 상태에서부터 분리하는 하나의 이전 디지털이 존재할 수 있다. 하나의 등화기가 논리 하이인 이전 비트의 최상위 비트에 의해 야기되는 왜곡을 보정하도록 지정되고 나머지 등화기가 논리 로우에 대해 지정될 수 있기 때문에, n-1 비트가 논리 하이일 때와 n-1 비트가 논리 로우일 때 간 상태의 분리가 등화기(202 및 292) 사이에 이뤄질 수 있다. 두 신호 간 최종 판정은 선택 디바이스(294)에 의해 이뤄질 수 있고 선택 시점에서의 n-1 비트의 값에 따라 달라질 수 있다.

[0069] 예를 들어, 8번째 전계 효과 트랜지스터(248)가 등화기(202 및 292) 모두에서 활성화될 수 있다. 디코딩된 신호(214)에 대한 8번째 상태 옵션(가령, 10000000)이 등화기(202)로 전송되어, n-1 비트가 논리 로우이고 나머지 비트들이 논리 하이인 경우(가령, 0111) 8번째 상태를 나타내고, 등화기(292)로 전송되어, n-1 비트가 논리 하이이고 나머지 비트들이 논리 하이인 경우(가령, 1111) 16번째 상태를 나타낼 수 있다. 이는 두 개의 상이한 등화기(202 및 292) 내 전계 효과 트랜지스터(248)를 활성화시킴으로써 두 개의 출력(216 및 296)에 영향을 미치는 하나의 디코딩된 신호(214)를 도출한다.

[0070] 상이할 수 있는 전압 보정 값이 전압 보정 신호(212 및 213)에 의해 등화기(202 및 292) 상의 단자(208)로 전송될 수 있다. 디코딩된 신호(214)에 의해 활성화될 때, 지시된 상태에 대한 올바른 전계 효과 트랜지스터가 전압 보정 신호(212 및 213)로부터의 연관된 보정 전압이 출력(112) 및 출력(320)에 영향을 미치도록 허용될 수 있다. 출력(110, 112, 318, 및 320)은 데이터 래치(94) 회로를 통해 전송될 수 있다. n-1 비트에 의한 보정된 비트(88)를 선택하기 위해 출력(216 및 296)은 DQS 신호(96)의 상승 에지 상에서 선택 디바이스(294)로 전송될 수 있다. 일부 실시예에서, 앞서 기재된 바와 같이, 전계 효과 트랜지스터(201, 203, 291, 및/또는 293)에서 제공된 연결을 통해, 부하 요건을 시뮬레이션하는 것이 바람직할 수 있다.

[0071] 일부 실시예에서, DQ 수신기(62)에서 제한된 전송 대역폭을 보상하는 것이 바람직할 수 있다. 왜곡 보정 값의 빠른 계산을 가능하게 할 수 있는 솔루션이 등화기(202 및 292) 및 선택 디바이스(294)의 복제를 추가하는 것이다.

[0072] 도 14는 전송 대역폭을 보상할 수 있고 왜곡 보정 회로(350)의 블록도를 도시하며 입력이 수정될 때 왜곡 보정 회로(290)의 두 개의 복제, 즉 제1 회로(352) 및 제2 회로(354)를 포함한다. 제1 회로(352)는 왜곡 보정 회로(290)와 관련하여 앞서 기재된 것과 유사한 방식으로 동작할 수 있다. 제1 회로(352)와 동일한 방식으로, 제2 회로(354)는 단자(206)로 제2 왜곡된 비트(280)를 수신하고 단자(208)로 전압 보정 신호(360 및 362)를 수신하며, 디코딩된 신호(364)를 단자(210)로 수신할 수 있다. 앞서 기재된 바와 같이, 제한된 전송 대역폭을 보상하기 위해, 제한된 전송 대역폭으로부터 도출된 왜곡된 비트(81)의 백업을 경감시키는 방법으로서 제1 회로(352)와 제2 회로(354) 사이에 수신된 왜곡된 비트(81)를 롤링하는 방법을 따를 수 있다. 이러한 방식으로, 왜곡 보정의 제1 반복 구간에서 왜곡된 비트(81)가 제1 회로(352)에서 처리될 때, 제2 왜곡된 비트가 제2 회로(354)에서 수신되어 왜곡 보정의 제2 반복 구간이 시작될 수 있다. 이는 왜곡 보정의 제1 반복 구간이 완료되는 중일 때 왜곡 보정의 제2 반복 구간이 발생할 수 있게 한다 따라서, 제3 왜곡된 비트(282)가 채널(84)에 수신되기 전

에 제1 반복 구간이 완료될 수 있고, 이는 왜곡 보정의 제3 반복 구간 동안 제3 왜곡된 비트(282)가 제1 회로(352)로 롤 백될 수 있게 하는 방식으로 발생한다. 도 14는 수신된 왜곡된 비트(81)를 롤링하는 방법에 대한 더 많은 정보를 제공하는 것에 대해 상세히 도시할 것이다.

[0073] 전압 보정 신호(360)는 전압 보정 신호(362)와 상이할 수 있다. 전압 보정 신호(360 및 362)가 전압 보정 신호(212 및 213)와 상이할 수 있다. 왜곡 보정이 발생할 수 있을 때마다 보정 전압 값을 재계산할 필요 없이 왜곡된 비트(81)의 전체 왜곡에 미치는 4개의 이전 비트 각각의 영향을 개별적으로 가중화하기 위한 방법으로서, 전압 보정 신호(360 및 362)가 16개의 상이한 상태에 보정 전압 값을 할당했을 수 있다. 16개의 가능한 상태(가령, 2^4)가 제2 왜곡된 비트(280)에 상이한 왜곡량을 도출했을 수 있다. 이러한 방식으로, 16개의 왜곡 값이 두 개의 전압 보정 신호에 의해 표현될 수 있으며, 여기서 전압 보정 신호(362)는 1번째부터 8번째 값을 나타낼 수 있으며, 전압 보정 신호(360)가 9번째부터 16번째 값까지를 나타낼 수 있다. n-1 비트가 논리 하이(가령, 1XXX)일 때 비트 왜곡 보정을 나타내는 표현이 등화기(356)로부터 도출될 수 있고 n-1 비트가 논리 로우(가령, 0XXX)일 때 비트 왜곡 보정을 나타내는 표현이 등화기(358)로부터 도출될 수 있다. 최상위 비트가 논리 하이 또는 논리 로우 값으로 강제될 때, 이는 상태 범위를 고정한다. 예를 들어, n-1 비트가 논리 로우일 때(가령, 0XXX로 강제될 때), 발생할 수 있는 최대 이진 표현이 0111이고, 이는 최대 8개의 가능한 표현 상태(가령, 0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111)가 존재함을 의미한다.

[0074] 디코딩된 신호(364)가 디코딩된 신호(214)와 유사한 방식으로 생성될 수 있다. 디코딩된 신호(364)가 경로(72, 74, 및 76)를 따라 디코더(365)로 전송되는 n-2 비트, n-3 비트, 및 n-4 비트 입력으로부터 도출될 수 있으며, 경로(78)를 따라 전송되는 n-1 비트는 선택 디바이스(368)에 의해 최종 올바른 비트를 결정하는 데 사용될 수 있다. 적절한 이전 비트 순서가 관찰되는(가령, 최상위 비트로서 n-1 비트 및 최하위 비트로서 n-4) 왜곡 보정 동안 이전 비트가 임의의 순서로 경로(72, 74, 76, 및 78)를 따르는 전송을 위해 저장될 수 있음을 알아야 한다. 디코딩된 출력(364)이 여전히 8개의 가능한 상태 중 하나의 상태의 8비트 표현일 수 있다. 출력(366)은 n-2 비트, n-3 비트, 및 n-4 비트에 의해 야기되는 왜곡의 보정된 제2 왜곡된 비트(280)의 표현일 수 있지만, 이때 n-1 비트는 논리 하이이다. 출력(369)은 n-2 비트, n-3 비트, 및 n-4 비트에 의해 야기되는 왜곡의 보정된 제2 왜곡된 비트(280)의 표현일 수 있지만, 이때 n-1 비트는 논리 로우이다.

[0075] 등화기(356 및 358)가 등화기(202 및 292)와 관련하여 앞서 기재된 것과 유사한 프로세스를 따른다. 출력(366 및 369)은 왜곡 보정 프로세스로부터 도출됐을 수 있다. 출력(366 및 369)은 DQS 신호(96)의 상승 에지에 의해 제어되면서 선택 디바이스(386)로 전송될 수 있다. 선택 디바이스(386)에 의해 수신될 때, 출력(366 및 369)은 n-1 비트가 선택 디바이스(368)로 성공적으로 전송될 때까지 기다리고 경로(78)를 따르는 전송을 위해 저장될 수 있다.

[0076] n-1 비트가 경로(78)를 통해 선택 디바이스(368)로 전송되기 위한 충분한 시간이 지났을 때, 보정된 비트(88)가 경로(78)를 따라 전송되는 n-1 비트를 이용해 선택될 수 있다. 보정된 비트(88)가 역직렬화기(66)로 전송되고 선택 디바이스(294)로의 전송을 위해 저장될 수 있다. 경로(74, 76, 및 78)를 따르는 전송을 위해 역직렬화기(66)에 저장된 데이터가 이에 따라 업데이트될 수 있다. 왜곡 보정 회로(350)가 4 비트 정밀도의 전압 보정을 수행하면서 데이터의 2개의 비트를 처리했을 수 있다. 그러나 앞서 언급된 바와 같이, 4 비트 정밀도의 전압 보정에 추가로, 2비트 처리와 달리, 왜곡 보정(350)이 4비트 처리를 필요로 하는 경우가 존재할 수 있다. 이 경우에 적합한 왜곡 보정 회로(400)가 도 15에 도시되어 있다.

[0077] 도 15는 4 비트 왜곡 보정 레벨에서 4 데이터 비트를 처리할 수 있고, 왜곡 보정 회로(290)의 4개의 복제를 포함하는 왜곡 보정 회로(400)를 도시하며, 이때 복제들 간 입력의 수정이 있다. 왜곡 보정 회로(290)의 4개의 복제가 제1 회로(352), 제2 회로(354), 제3 회로(406), 및 제4 회로(408)와 함께 도시될 수 있다. 왜곡 보정 회로(350)와 유사한 방식으로, 수신된 왜곡된 비트(81)를 롤링하는 방법을 따를 수 있다. 따라서 제1 회로(352)에 의해 왜곡된 비트(81)가 수신될 수 있고, 제2 회로(354)에 의해 제2 왜곡된 비트(280)가 수신될 수 있으며, 제3 회로(406)에 의해 제3 왜곡된 비트(282)가 수신될 수 있고, 제4 회로(408)에 의해 제4 왜곡된 비트(440)가 수신될 수 있으며, 왜곡 보정의 제1 반복 구간이 완료되면 제1 회로에 의해 수신되도록 제5 왜곡된 비트가 롤 백될 수 있다.

[0078] 더 상세히 말하자면, 경로(74, 76, 및 78)를 따라 전송되는 이전 비트 또는 가중화된 탭 데이터를 이용하여 등화기(202 및 292)에 공급할 필요가 있는 값을 계산하는, 왜곡 보정 회로(290)와 관련하여 기재된 방법을 이용해, 제1 회로(352)가 왜곡된 비트(81)를 수신하고 이의 처리를 시작했을 수 있다. 전압 보정 신호(212 및 213)가 등화기(202 및 292) 상의 단자(208)로 상이할 수 있는 전압 보정 값을 전송하는 것을 허용했을 수 있다.

선택 디바이스(294)로의 출력(216 및 296)이 DQS 신호(96)의 상승 에지 상에서 전송될 수 있다. 선택 디바이스(294)가 경로(72)를 따르는 전송을 위해 역직렬화기(66)에 저장된 n-1 비트 값을 이용해, 제2 왜곡된 비트(280)의 보정된 비트(88) 값에 대한 최종 판정을 할 수 있다.

[0079] 제2 회로(404)에 대한 보정된 비트(88)의 최종 판정에 대해 사용된 입력이 제1 회로(352)에 대한 입력과 상이할 수 있다. 제2 회로(354)는 왜곡된 비트(81)가 수신된 후 제2 왜곡된 비트(280)를 수신하고 이를 처리하기 시작했을 수 있다. 경로(72, 74, 및 76)를 따라 전송되는 이전 비트 또는 가중화된 탭 데이터가 등화기(356 및 358)로 디코딩된 신호(364)를 공급하는 데 필요한 값을 계산하는 데 사용될 수 있음을 제외하고, 왜곡 보정 회로(290)와 관련하여 기재된 방법이 왜곡된 비트(280)를 보정하는 데 사용될 수 있다. 단자(208)로의 상이할 수 있는 전압 보정 값이 등화기(356 및 358) 상의 전압 보정 신호(360 및 362)에 의해 전송될 수 있다. 선택 디바이스(368)로의 출력(366 및 369)이 DQS 신호(96)의 상승 에지 상에서 전송될 수 있다. 제2 회로(354)에 대한 선택 디바이스(368)가 경로(78)를 따르는 전송을 위해 역직렬화기(66)에 저장된 n-1 비트 값을 이용해, 제2 왜곡된 비트(278)의 보정된 비트(88) 값에 대한 최종 판정을 할 수 있다.

[0080] 제3 회로(406)에 대한 보정된 비트(88)의 최종 판정에 대해 사용된 입력이 제2 회로(354)에 대한 입력과 상이할 수 있다. 제3 회로(406)는 제2 왜곡된 비트(280)가 수신된 후 제3 왜곡된 비트(282)를 수신하고 이를 처리하기 시작했을 수 있다. 경로(72, 74, 및 78)를 따라 전송되는 이전 비트 또는 가중화된 탭 데이터가 단자(210)에서 등화기(434 및 436)로 디코딩된 신호(426)를 공급하는 데 필요한 값을 계산하는 데 사용될 수 있음을 제외하고, 왜곡 보정 회로(290)와 관련하여 기재된 방법이 제3 왜곡된 비트(282)를 보정하는 데 사용될 수 있다. 단자(208)로의 상이할 수 있는 전압 보정 값이 등화기(434 및 436) 상의 전압 보정 신호(430 및 432)에 의해 전송될 수 있다. 선택 디바이스(428)로의 출력(430 및 432)이 DQS 신호(96)의 상승 에지 상에서 전송될 수 있다. 제3 회로(406)에 대한 선택 디바이스(428)가 경로(76)를 따르는 전송을 위해 역직렬화기(66)에 저장된 n-1 비트 값을 이용해, 제3 왜곡된 비트(282)의 보정된 비트(88) 값에 대한 최종 판정을 할 수 있다.

[0081] 제4 회로(408)에 대한 보정된 비트(88)의 최종 판정에 대해 사용된 입력이 제3 회로(406)에 대한 입력과 상이할 수 있다. 제4 회로(408)는 제3 왜곡된 비트(282)가 수신된 후 제4 왜곡된 비트(440)를 수신하고 이를 처리하기 시작했을 수 있다. 경로(72, 76, 및 78)를 따라 전송되는 이전 비트 또는 가중화된 탭 데이터가 등화기(448 및 450)로 디코딩된 신호(441)를 공급하는 데 필요한 값을 계산하는 데 사용될 수 있음을 제외하고, 왜곡 보정 회로(290)와 관련하여 기재된 방법이 제4 왜곡된 비트(440)를 보정하는 데 사용될 수 있다. 단자(208)로의 상이할 수 있는 전압 보정 값이 등화기(448 및 450) 상의 전압 보정 신호(444 및 446)에 의해 전송될 수 있다. 선택 디바이스(442)로의 출력(454 및 456)이 DQS 신호(96)의 상승 에지 상에서 전송될 수 있다. 제4 회로(408)에 대한 선택 디바이스(442)가 경로(74)를 따르는 전송을 위해 역직렬화기(66)에 저장된 n-1 비트 값을 이용해, 제4 왜곡된 비트(412)의 보정된 비트(88) 값에 대한 최종 판정을 할 수 있다.

[0082] 선택 디바이스(294, 368, 428, 및 442)로부터의 출력이 보정된 비트(88)에 대한 각각의 최종 판정의 결정에서 역직렬화기(66)로 전송될 수 있다. 역직렬화기(66)에서, n-1 비트, n-2 비트, n-3 비트, 및 n-4 비트가 보정된 비트(88) 데이터에 따라 경로(72-78)를 따르는 전송을 위해 역직렬화기(66)에 저장된 데이터를 업데이트하도록 사용될 수 있다(가령, 제1 회로(402)로부터의 보정된 비트(88)가 경로(78)를 따르는 전송을 위해 저장될 것이며, 제2 회로(404)로부터의 보정된 비트 데이터가 경로(76)를 따르는 전송을 위해 저장될 것이고, 제3 회로(406)로부터의 보정된 비트 데이터가 경로(74)를 따르는 전송을 위해 저장될 것이고, 제4 회로(408)로부터의 보정된 비트 데이터가 경로(72)를 따르는 전송을 위해 저장될 것이다). 보정된 비트(88)는 역직렬화기(66)로의 전송을 완료하지 않았거나, 제5 왜곡된 비트의 수신 전에 경로(72-78)를 따르는 전송을 위해 저장된 값을 업데이트하지 않았을 수 있으므로, 보정된 비트(88)의 최종 선택을 지연시키는 방법이 계속될 수 있다.

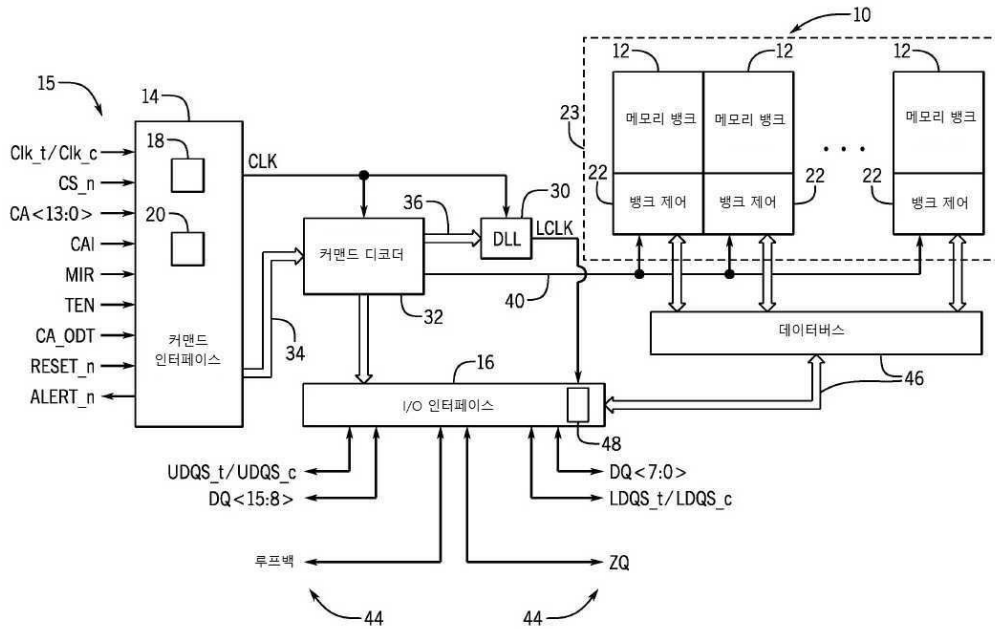
[0083] 본 발명이 다양한 변경 및 대안 형태로 가능할 수 있지만, 예시로서 특정 실시예가 도면에서 도시되었고 본 명세서에 기재되었다. 그러나 본 개시는 개시된 특정 형태에 한정되는 것을 의도하지 않았다. 오히려 본 개시는 이하의 청구항에 의해 정의되는 본 개시의 사상 및 범위 내에 속하는 모든 수정, 균등, 및 대안예를 포함하는 것으로 의도된다.

[0084] 본 명세서에 제시되고 청구된 기술은 본 기술 분야를 명백히 개선하는, 따라서 추상적이거나, 무형질이거나, 순수 이론이 아닌 실질적인 성질의 물질적 대상에 참조되고 적용된다. 또한, 본 명세서의 말미에 첨부된 임의의 청구항이 "... [기능]을 [수행]하기 위한 수단" 또는 "... [기능]을 [수행]하기 위한 단계"으로 지정된 하나 이상의 요소를 포함하는 경우, 이러한 요소는 35 U.S.C.112(f)에 따라 해석되어야 한다. 그러나, 그 밖의 다른 방식으로 지정된 요소를 포함하는 임의의 청구항에 대해, 이러한 요소가 35 U.S.C.112(f)에 따라 해석되어서는 안

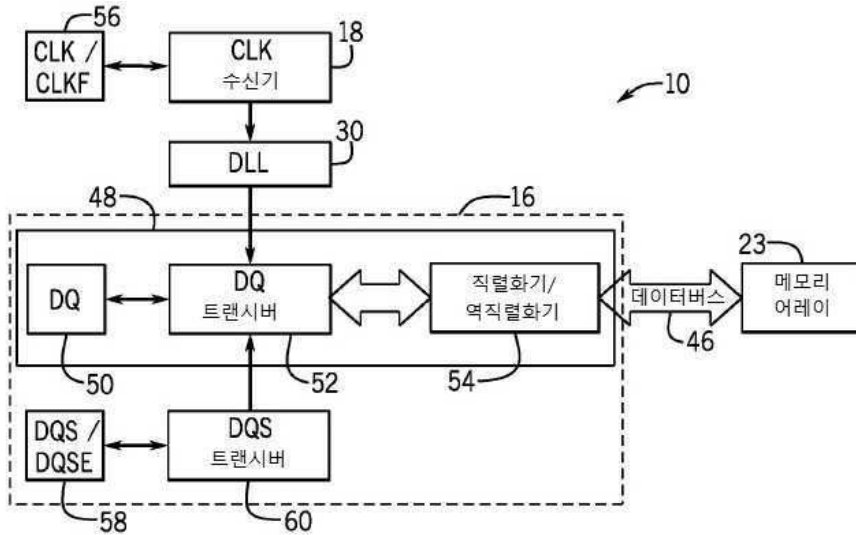
된다.

도면

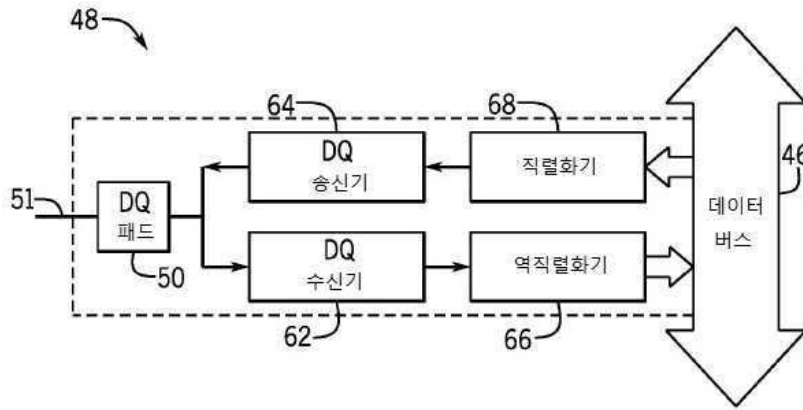
도면1



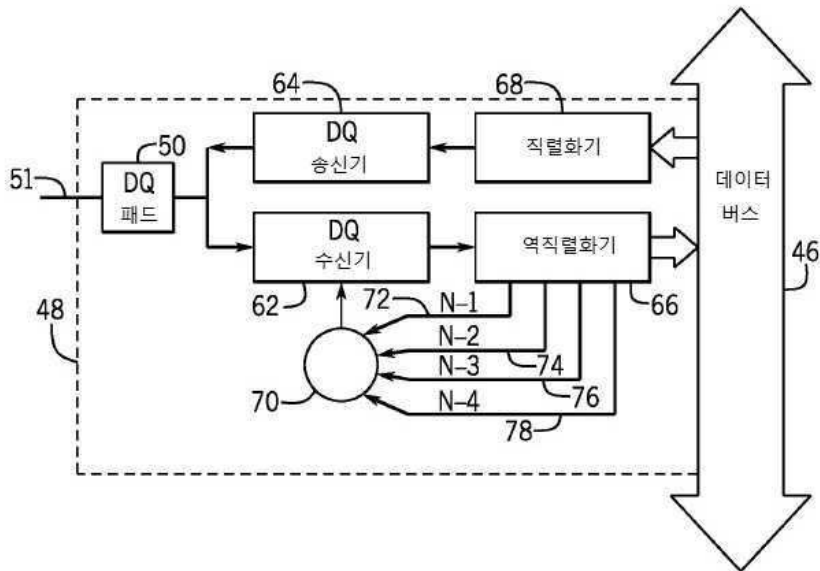
도면2



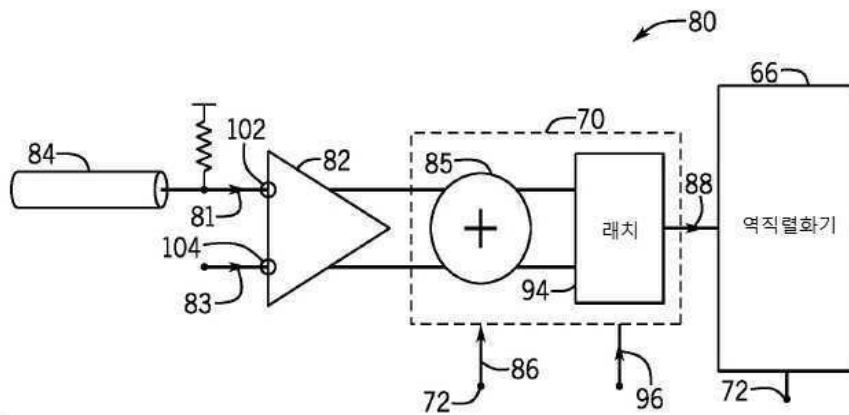
도면3



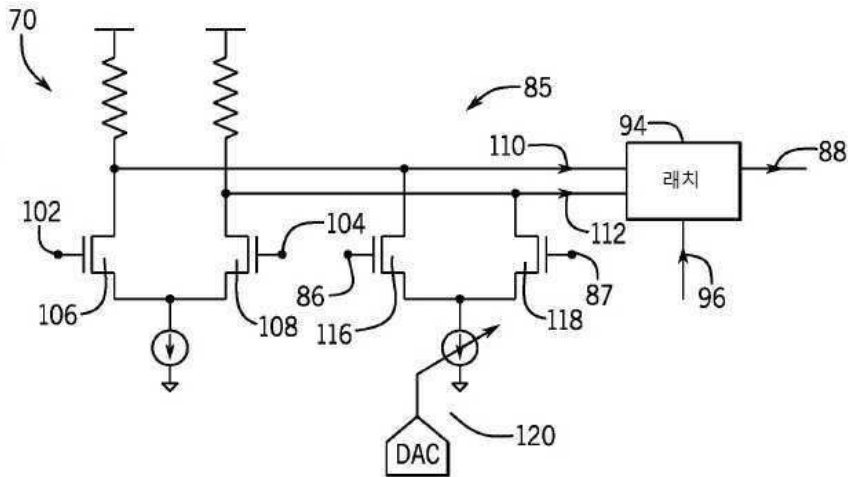
도면4



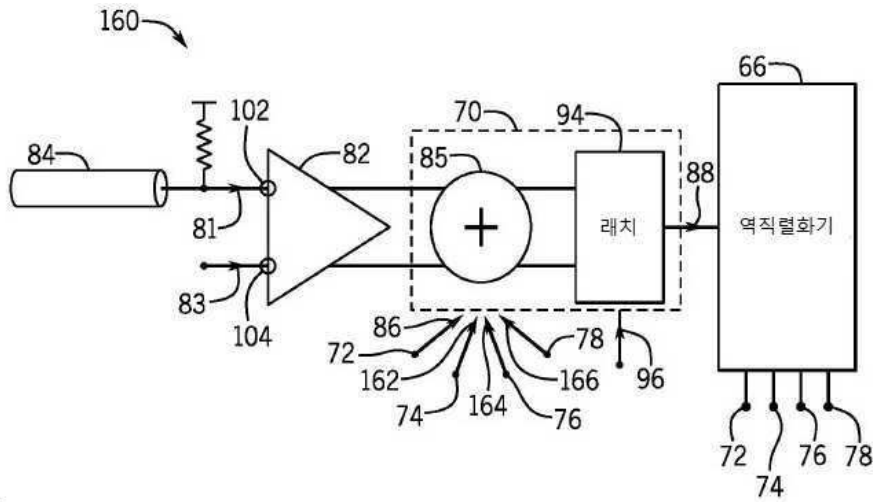
도면5



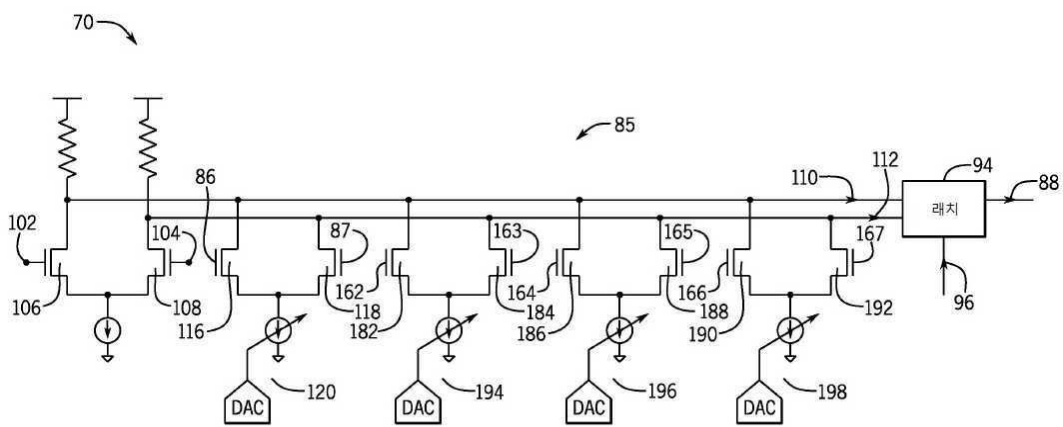
도면6



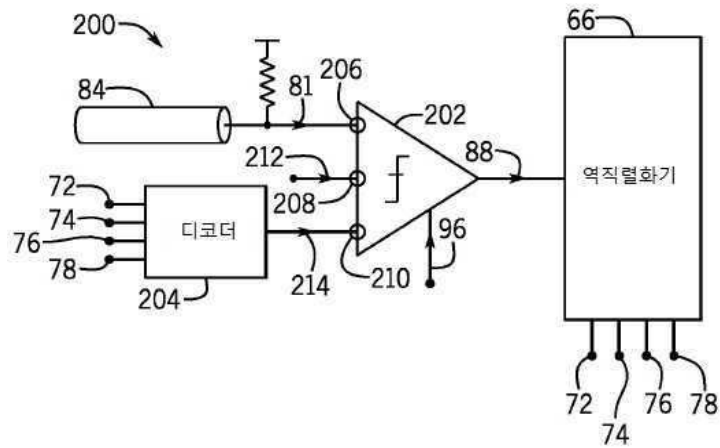
도면7



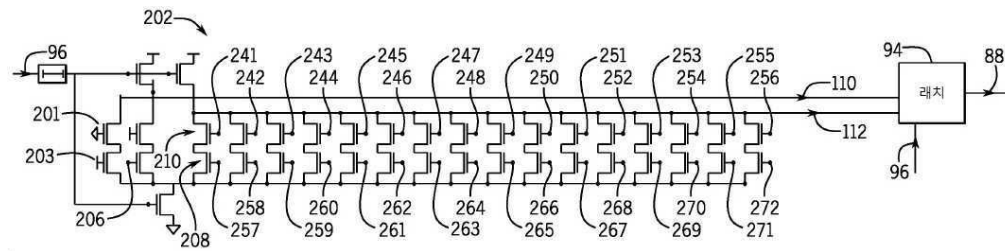
도면8



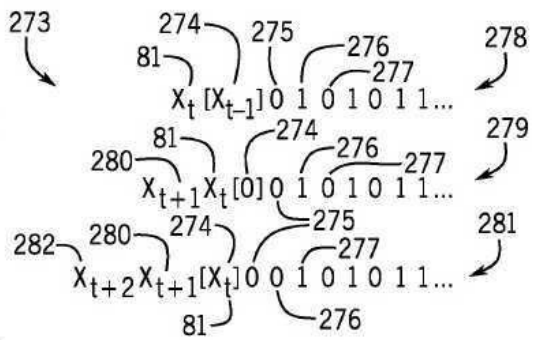
도면9



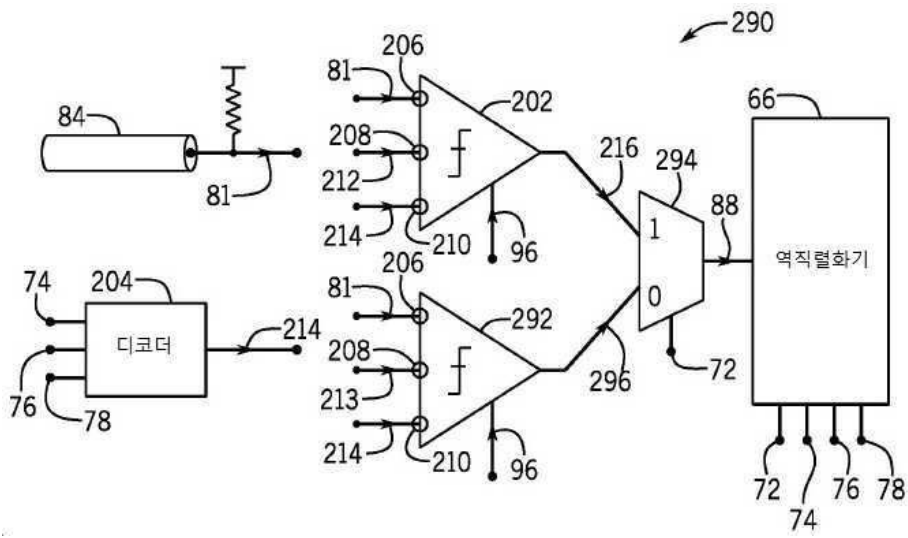
도면10



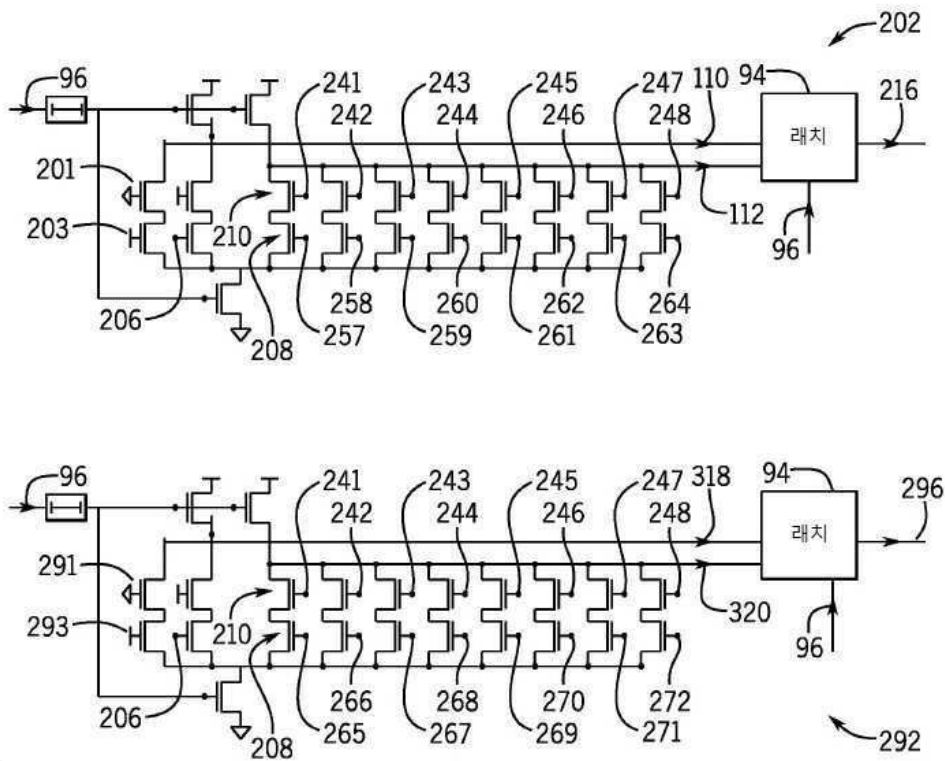
도면11



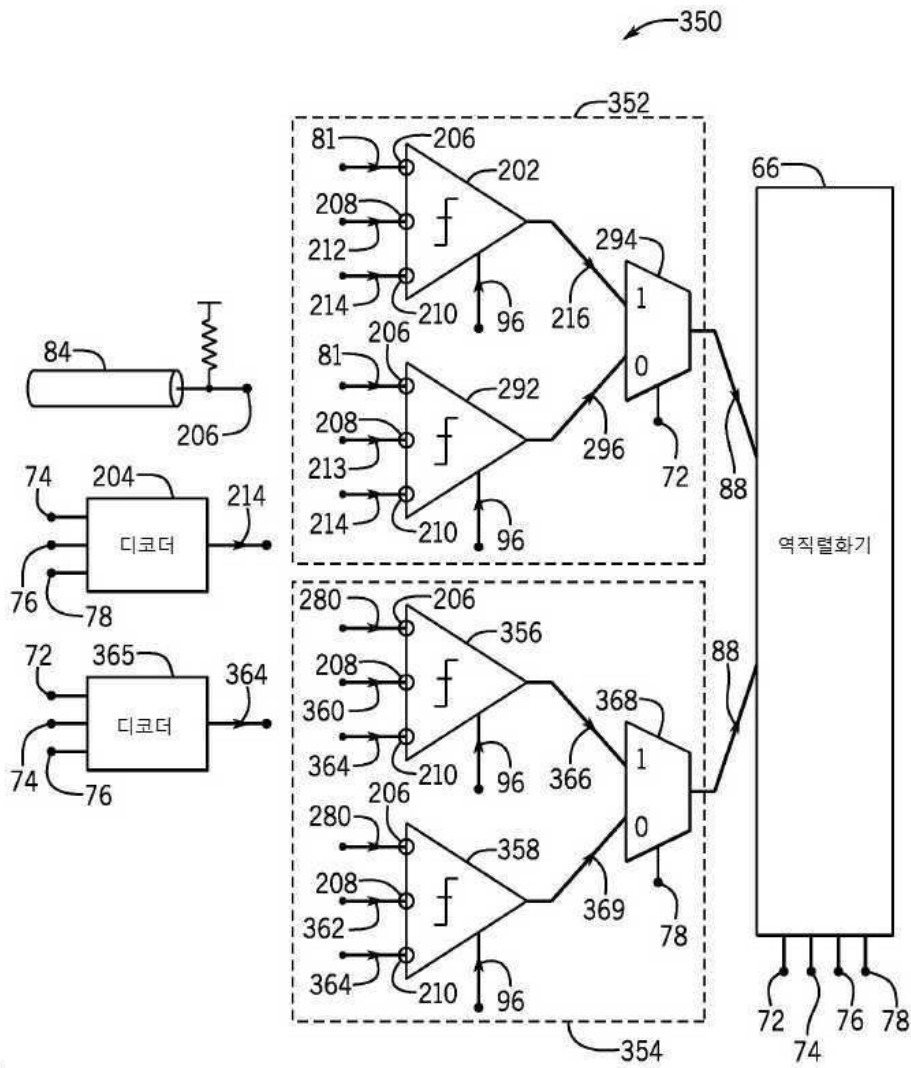
도면12



도면13



도면14



도면15

