



(12)发明专利

(10)授权公告号 CN 102709183 B

(45)授权公告日 2016.08.03

(21)申请号 201110075392.4

CN 101925986 A,2010.12.22,

(22)申请日 2011.03.28

US 2009273034 A1,2009.11.05,

(73)专利权人 中芯国际集成电路制造(上海)有限公司

审查员 刘天飞

地址 201203 上海市浦东新区张江路18号

(72)发明人 涂火金

(74)专利代理机构 北京市磐华律师事务所  
11336

代理人 董巍 顾珊

(51)Int.Cl.

H01L 21/336(2006.01)

H01L 21/20(2006.01)

(56)对比文件

CN 101064257 A,2007.10.31,

CN 101064257 A,2007.10.31,

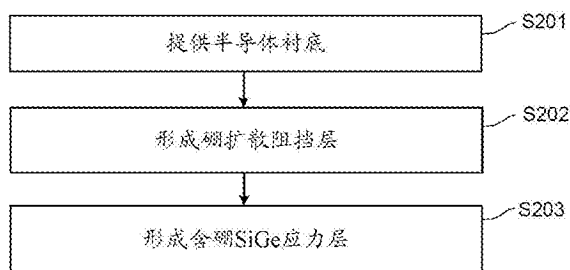
权利要求书1页 说明书6页 附图3页

(54)发明名称

用于制造半导体器件的方法

(57)摘要

本发明提供一种用于制造半导体器件的方法,所述方法包括:提供半导体衬底,在所述半导体衬底上形成有栅极结构,并且在所述半导体衬底中将要形成源/漏区的部分中形成有凹槽;采用选择性外延生长法在所述凹槽的底部和侧壁上形成厚度均匀的硼扩散阻挡层;以及采用选择性外延生长法在所述硼扩散阻挡层上形成含硼锗硅应力层。根据本发明的方法能够抑制通过原位SiGeB应力引入技术掺杂在SiGe应力层中的硼由于后续的热处理工艺而扩散到沟道区中,从而有效地防止了短沟道效应,进而改善了最终形成的PMOS晶体管的电学性能。



1. 一种用于制造半导体器件的方法,所述方法包括:

提供半导体衬底,在所述半导体衬底上形成有栅极结构,并且在所述半导体衬底中将要形成源/漏区的部分中形成有凹槽,所述凹槽的深度为20~90nm;

采用选择性外延生长法在所述凹槽的底部和侧壁上形成厚度均匀的用于抑制后续生成的含硼锗硅应力层中的硼横向扩散的硼扩散阻挡层,其中,所述硼扩散阻挡层为由SiGe层和Si层顺次层叠而成的n层叠层结构或者为由SiGe层和SiC层顺次层叠而成的p层叠层结构,其中,n、p为大于或等于2的整数;以及

采用选择性外延生长法在所述硼扩散阻挡层上形成含硼锗硅应力层;

其中,构成所述硼扩散阻挡层的每一层的厚度为20~50埃;

形成所述硼扩散阻挡层所采用的选择性外延生长是在温度为500~1000摄氏度的工艺条件下进行的,形成所述硼扩散阻挡层所采用的选择性外延生长是在压强为5~50托、HCl的流速为30~150sccm、GeH<sub>4</sub>的流速为2~100sccm、SiH<sub>2</sub>Cl<sub>2</sub>的流速为10~500sccm且GeH<sub>4</sub>/SiH<sub>2</sub>Cl<sub>2</sub>的流速比为1:5~1:250的工艺条件下进行的,以使所述硼扩散阻挡层在凹槽的底部和侧壁上同时生长。

2. 根据权利要求1所述的方法,其特征在于,形成所述硼扩散阻挡层所使用的源气体包含含硅源气体和含锗源气体。

3. 根据权利要求2所述的方法,其特征在于,形成所述硼扩散阻挡层所使用的源气体还包含含碳源气体。

4. 根据权利要求1所述的方法,其特征在于,两次选择性外延生长是在同一个工艺反应腔中进行的。

5. 根据权利要求1所述的方法,其特征在于,所述半导体器件为嵌入式锗硅应变PMOS器件。

6. 根据权利要求1所述的方法,其特征在于,进一步包括:在形成所述含硼锗硅应力层之后,在所述含硼锗硅应力层上形成硅帽层。

7. 根据权利要求1所述的方法,其特征在于,所述栅极结构包括依次层叠的栅极介电层、栅极材料层和栅极硬掩蔽层。

## 用于制造半导体器件的方法

### 技术领域

[0001] 本发明涉及半导体制造工艺,且具体而言,涉及一种用于制造半导体器件的方法。

### 背景技术

[0002] 目前,影响场效应晶体管性能的主要因素在于载流子的迁移率。在场效应晶体管中,因为载流子迁移率的大小直接影响沟道中电流的大小,载流子迁移率的下降不仅会降低晶体管的切换速度,而且还会使开和关时的电阻差异缩小。因此,在互补金属氧化物半导体场效应晶体管(CMOS)的发展中,有效提高载流子迁移率一直都是晶体管结构设计重点之一。

[0003] 常规上,CMOS器件制造技术中将P型金属氧化物半导体场效应晶体管(PMOS)和N型金属氧化物半导体场效应晶体管(NMOS)分开处理,例如,在PMOS器件的制造方法中采用压应力材料,而在NMOS器件中采用张应力材料,以向沟道区施加适当的应力,从而提高载流子的迁移率。其中,嵌入式锗硅(SiGe)技术(以下称为eSiGe技术)由于其能够对沟道区施加适当的压应力以提高空穴的迁移率而成为PMOS应力工程的主要技术之一。通常,采用在PMOS晶体管的源/漏区中形成锗硅应力层的嵌入式锗硅应力引入技术。

[0004] 另一方面,为了减小制造过程中的热预算,现在已普遍采用原位(in-situ)SiGeB应力引入技术,即,在通过选择性外延法生长SiGe应力层的同时进行硼掺杂,用于形成PMOS器件的源/漏区。然而,在后续的热处理工艺(例如,退火优化处理等)过程中,掺入的硼由于瞬时增强扩散效应而向沟道区横向扩散,使沟道区的有效长度缩短,从而引起短沟道效应,进而使PMOS器件的电学性能变差。

[0005] 因此,需要开发一种用于制作嵌入式锗硅应变PMOS器件结构的方法,以解决上述问题。

### 发明内容

[0006] 针对现有技术的不足,本发明提供一种用于制造半导体器件的方法,所述方法包括:提供半导体衬底,在所述半导体衬底上形成有栅极结构,并且在所述半导体衬底中将要形成源/漏区的部分中形成有凹槽;采用选择性外延生长法在所述凹槽的底部和侧壁上形成厚度均匀的硼扩散阻挡层;以及采用选择性外延生长法在所述硼扩散阻挡层上形成含硼锗硅应力层。

[0007] 优选地,所述硼扩散阻挡层为纯SiGe籽晶层。

[0008] 优选地,所述硼扩散阻挡层的厚度为5~300埃。

[0009] 优选地,所述硼扩散阻挡层为多层结构。

[0010] 优选地,所述硼扩散阻挡层为由SiGe层和Si层顺次层叠而成的n层叠层结构或者由SiGe层和SiC层顺次层叠而成的p层叠层结构,其中,n、p为大于或等于2的整数。

[0011] 优选地,构成所述硼扩散阻挡层的每一层的厚度为10~50埃。

[0012] 优选地,形成所述硼扩散阻挡层所使用的源气体包含含硅源气体和含锗源气体。

[0013] 优选地,形成所述硼扩散阻挡层所采用的选择性外延生长是在压强为1~100托且温度为500~1000摄氏度的工艺条件下进行的。

[0014] 优选地,形成所述硼扩散阻挡层所采用的选择性外延生长是在压强为5~50托、HCl的流速为30~150sccm、GeH<sub>4</sub>的流速为2~100sccm、SiH<sub>2</sub>Cl<sub>2</sub>的流速为10~500sccm且GeH<sub>4</sub>/SiH<sub>2</sub>Cl<sub>2</sub>的流速比为1:5~1:250的工艺条件下进行的。

[0015] 优选地,形成所述硼扩散阻挡层所使用的源气体还包含含碳源气体。

[0016] 优选地,所述两次选择性外延生长是在同一个工艺反应腔中进行的。

[0017] 优选地,所述半导体器件为嵌入式锗硅应变PMOS器件。

[0018] 优选地,所述方法还包括:在形成所述含硼锗硅应力层之后,在所述含硼锗硅应力层上形成硅帽层。

[0019] 优选地,所述栅极结构包括依次层叠的栅极介电层、栅极材料层和栅极硬掩蔽层。

[0020] 根据本发明的方法能够抑制通过原位SiGeB应力引入技术掺杂在SiGe应力层中的硼由于后续的热处理工艺而扩散到沟道区中,从而有效地防止了短沟道效应,进而改善了最终形成的PMOS晶体管的电学性能。此外,该方法还能够与常规的CMOS制造工艺相兼容。

## 附图说明

[0021] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0022] 附图中:

[0023] 图1A-1C是示出根据本发明示例性实施例的方法制作嵌入式锗硅应变PMOS器件结构过程中的示意性剖面图;

[0024] 图2是示出了根据本发明示例性实施例的用于制作嵌入式锗硅应变PMOS器件结构的方法的流程图;以及

[0025] 图3是示出了半导体衬底中杂质浓度的变化趋势的曲线图。

## 具体实施方式

[0026] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0027] 应予以注意的是,这里所使用的术语仅是为了描述具体实施例,而非意图限制根据本发明的示例性实施例。如在这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式。此外,还应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0028] [示例性实施例]

[0029] 下面,将参照图1A-1C和图2来描述根据本发明示例性实施例的方法制作嵌入式锗硅应变PMOS器件结构的详细步骤。

[0030] 请参照图1A-1C,其中示出了根据本发明示例性实施例的方法制作嵌入式锗硅应

变PMOS器件结构过程中的示意性剖面图。

[0031] 首先,如图1A所示,提供半导体衬底101,在所述半导体衬底101上形成有栅极结构110,并且在半导体衬底101中将要形成源/漏区的部分中形成有凹槽102。

[0032] 其中,凹槽102的深度例如可以为20~90nm。半导体衬底101的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅(SOI)或锗硅(SiGe)等。作为示例,在本实施例中,半导体衬底101选用单晶硅材料构成。

[0033] 作为一个示例,栅极结构110可包括依次层叠的栅极介电层103、栅极材料层104和栅极硬掩蔽层105,如图1A所示。栅极介电层103可包括氧化物,如,二氧化硅( $\text{SiO}_2$ )层。栅极材料层104可包括多晶硅层、金属层、导电性金属氮化物层、导电性金属氧化物层和金属硅化物层中的一种或多种。其中,金属层的构成材料可以是钨(W)、镍(Ni)或钛(Ti);导电性金属氮化物层可包括氮化钛( $\text{TiN}$ )层;导电性金属氧化物层可包括氮化铱( $\text{IrO}_2$ )层;金属硅化物层可包括硅化钛( $\text{TiSi}$ )层。栅极硬掩蔽层105可包括氧化物层、氮化物层、氮氧化物层和无定形碳中的一种或多种。其中,氧化物层可包括硼磷硅玻璃(BPSG)、磷硅玻璃(PSG)、正硅酸乙酯(TEOS)、未掺杂硅玻璃(USG)、旋涂玻璃(SOG)、高密度等离子体(HDP)或旋涂电介质(SOD)。氮化物层可包括氮化硅( $\text{Si}_3\text{N}_4$ )层。氮氧化物层可包括氮氧化硅( $\text{SiON}$ )层。

[0034] 作为另一示例,栅极结构110可以是半导体-氧化物-氮化物-氧化物-半导体(SONOS)层叠栅结构。

[0035] 作为示例,在半导体衬底101上还可以形成有位于栅极结构110两侧且紧靠栅极结构110的偏移间隙壁结构106。其中,偏移间隙壁结构106可以包括至少一层氧化物层和/或至少一层氮化物层。需要说明的是,偏移间隙壁结构106是可选的而非必需的,其主要用于在后续进行蚀刻或离子注入时保护栅极结构110的侧壁不受损伤。

[0036] 此外,应予以注意的是,本文所述以及附图所绘的前端器件结构并非是限制性的,而是还可以具有其他结构。例如,在半导体衬底101中还可以形成有隔离槽、埋层等。此外,对于PMOS晶体管而言,半导体衬底101中还可以形成有N阱(图中未示出),并且在形成栅极结构110之前,可以对整个N阱进行一次小剂量硼注入,用于调整PMOS晶体管的阈值电压 $V_{th}$ 。

[0037] 接着,如图1B所示,采用选择性外延生长法在凹槽102的底部和侧壁上形成一厚度均匀的硼扩散阻挡层107。与现有工艺不同,硼扩散阻挡层107并非是自底向上(bottom-up)生长的,而是在凹槽的底部和侧壁上同时生长。另外,由于需要为随后将要形成的含硼锗硅应力层留出足够的空间,所以硼扩散阻挡层107不能太厚,以防填满整个凹槽。例如,硼扩散阻挡层107的厚度可以约为5~300埃。

[0038] 作为示例,在本实施例中,硼扩散阻挡层107为单层结构,例如,可以为纯SiGe籽晶层。

[0039] 作为示例,用于形成硼扩散阻挡层107的选择性外延生长可以采用低压化学气相沉积(LPCVD)、等离子体增强化学气相沉积(PECVD)、超高真空化学气相沉积(UHVCVD)、快速热化学气相沉积(RTCVD)和分子束外延(MBE)中的一种。所述选择性外延生长可以在UHV/CVD反应腔中进行。所述选择性外延生长是在压强为1~100托且温度为500~1000摄氏度的工艺条件下进行的。

[0040] 作为示例,形成硼扩散阻挡层107所使用的源气体可以包含含硅源气体,并且还可以包含含锗源气体和含碳源气体中的至少一种。其中,所述含硅源气体可以是 $\text{SiH}_4$ 、 $\text{SiH}_2\text{Cl}_2$

(DCS)、 $\text{SiHCl}_3$ (TCS)或者其任意组合,所述含锗源气体可以是 $\text{GeH}_4$ ,并且所述含碳源气体可以是 $\text{C}_2\text{H}_4$ 、 $\text{H}_3\text{Si}-\text{CH}_2-\text{SiH}_2-\text{CH}_3$ 或者其组合。此外,所述源气体还可以包含 $\text{H}_2$ 和 $\text{HCl}$ 。其中, $\text{H}_2$ 作为载气(carrier gas), $\text{HCl}$ 作为选择性气体。

[0041] 当硼扩散阻挡层107采用由纯 $\text{SiGe}$ 籽晶层构成的单层结构时,作为一个示例,所述源气体可以包含 $\text{SiH}_4$ 、 $\text{GeH}_4$ 、 $\text{H}_2$ 和 $\text{HCl}$ 。其中, $\text{SiH}_4$ 的流速为 $10\sim 1000\text{sccm}$ 、 $\text{GeH}_4$ 的流速为 $1\sim 50\text{sccm}$ 、 $\text{HCl}$ 的流速为 $10\sim 1000\text{sccm}$ 且 $\text{H}_2$ 的流速为 $100\sim 50000\text{sccm}$ 。这里,sccm是标准状态下,也就是1个大气压、25摄氏度下每分钟1立方厘米( $1\text{ml}/\text{min}$ )的流量。作为另一示例,所述源气体可以包含 $\text{SiH}_2\text{Cl}_2$ 、 $\text{GeH}_4$ 、 $\text{H}_2$ 和 $\text{HCl}$ 。其中, $\text{SiH}_2\text{Cl}_2$ 的流速为 $10\sim 1000\text{sccm}$ 、 $\text{GeH}_4$ 的流速为 $1\sim 50\text{sccm}$ 、 $\text{HCl}$ 的流速为 $10\sim 1000\text{sccm}$ 且 $\text{H}_2$ 的流速为 $100\sim 50000\text{sccm}$ 。优选地,在压强为 $5\sim 50$ 托、 $\text{HCl}$ 的流速为 $30\sim 150\text{sccm}$ 、 $\text{GeH}_4$ 的流速为 $2\sim 150\text{sccm}$ 、 $\text{SiH}_2\text{Cl}_2$ 的流速为 $10\sim 500\text{sccm}$ 且 $\text{GeH}_4/\text{SiH}_2\text{Cl}_2$ 的流速比为 $1:5\sim 1:250$ 的工艺条件下进行选择外延生长。这是因为在此条件下,凹槽102的底部和侧壁上的外延生长速度可以达到基本上相同,从而能够得到厚度均匀的纯 $\text{SiGe}$ 籽晶层,即,凹槽底部上的 $\text{SiGe}$ 籽晶层的厚度与凹槽侧壁上的 $\text{SiGe}$ 籽晶层的厚度基本上相同。

[0042] 除单层结构以外,硼扩散阻挡层107还可以为多层结构。例如,所述硼扩散阻挡层可以为由 $\text{SiGe}$ 层和 $\text{Si}$ 层顺次层叠而成的 $n$ 层叠层结构或者由 $\text{SiGe}$ 层和 $\text{SiC}$ 层顺次层叠而成的 $p$ 层叠层结构。其中, $n$ 、 $p$ 为大于或等于2的整数。在构成叠层结构的各层当中,每一层的厚度均可以为 $20\sim 50$ 埃。这里需要注意的是,所述多层结构包括只有一个 $\text{SiGe}/\text{Si}$ 层的叠层结构。与之前提到的单层结构相比,这样的多层结构能够更有效地抑制硼横向扩散。

[0043] 当硼扩散阻挡层107采用 $\text{SiGe}/\text{Si}/\text{SiGe}$ 叠层结构(即, $n$ 为3)时,所述选择性外延生长实际上包括三个阶段,在每个阶段中,可以选择不同的源气体组成,以分别形成构成叠层结构的 $\text{SiGe}$ 单层或 $\text{Si}$ 单层。例如,在第一阶段,源气体可以包含 $\text{SiH}_4$ 、 $\text{GeH}_4$ 、 $\text{H}_2$ 和 $\text{HCl}$ ,以形成 $\text{SiGe}$ 层,在第二阶段,源气体可以包含 $\text{SiH}_4$ 、 $\text{H}_2$ 和 $\text{HCl}$ ,以形成 $\text{Si}$ 层,且在第三阶段,源气体可以包含与第一阶段的源气体相同的源气体,以再次形成 $\text{SiGe}$ 层。当然,在第三阶段也可以采用不同于第一阶段的源气体组成。这里,需予以注意的是,虽然未一一列举多层结构的各种可能构造以及用于形成这样的多层结构所采用的源气体的各种可能组成,但对于本领域技术人员而言这些可能组成是容易想到的。例如,硼扩散阻挡层107还可以为 $\text{SiGe}/\text{Si}/\text{SiGe}/\text{Si}$ 叠层结构(即, $n$ 为4)或者 $\text{SiGe}/\text{SiC}/\text{SiGe}/\text{SiC}$ 叠层结构(即, $p$ 为4)等。

[0044] 此外,还需予以说明的是,与现有技术不同,根据本发明,能够在凹槽102的底部和侧壁上形成厚度基本上相同的硼扩散阻挡层107,从而能够有效地抑制后续生成的含硼 $\text{SiGe}$ 应力层中的硼横向扩散。

[0045] 最后,如图1C所示,采用选择性外延生长法在硼扩散阻挡层107上形成含硼 $\text{SiGe}$ 应力层108。

[0046] 作为示例,用于形成含硼 $\text{SiGe}$ 应力层108的选择性外延生长可以采用与前次用于形成硼扩散阻挡层107的选择性外延生长相同的工艺,例如,低压化学气相沉积(LPCVD)、等离子体增强化学气相沉积(PECVD)、超高真空化学气相沉积(UHVCVD)、快速热化学气相沉积(RTCVD)或分子束外延(MBE)等。当然,两次外延也可以采用不同的工艺。两次选择性外延生长可以在同一个反应腔中进行,例如,两次外延均采用原位(in-situ)外延技术。用于形成含硼 $\text{SiGe}$ 应力层108的选择性外延生长是在压强为 $1\sim 100$ 托且温度为 $500\sim 1000$ 摄氏度的

工艺条件下进行的。

[0047] 作为示例,形成含硼SiGe应力层108所使用的源气体可以包含含硅源气体、含硼源气体和含锗源气体。其中,所述含硅源气体包含SiH<sub>4</sub>、SiH<sub>2</sub>Cl<sub>2</sub>(DCS)和SiHCl<sub>3</sub>(TCS)中的至少一种,所述含硼源气体包含B<sub>2</sub>H<sub>6</sub>和BH<sub>3</sub>中的至少一种,且所述含锗源气体为GeH<sub>4</sub>。此外,形成含硼SiGe应力层108所使用的源气体还可以包含H<sub>2</sub>和HCl。其中,H<sub>2</sub>作为载气,HCl作为选择性气体。

[0048] 作为一个示例,形成含硼SiGe应力层108所使用的源气体可以包含SiH<sub>4</sub>、GeH<sub>4</sub>、B<sub>2</sub>H<sub>6</sub>、H<sub>2</sub>和HCl。其中,SiH<sub>4</sub>、GeH<sub>4</sub>和B<sub>2</sub>H<sub>6</sub>的流速均为1~500sccm,H<sub>2</sub>的流速为100~50000sccm,且HCl的流速为10~1000sccm。作为另一示例,形成含硼SiGe应力层108所使用的源气体可以包含SiH<sub>2</sub>Cl<sub>2</sub>、GeH<sub>4</sub>、BH<sub>3</sub>、H<sub>2</sub>和HCl。其中,SiH<sub>4</sub>、GeH<sub>4</sub>和B<sub>2</sub>H<sub>6</sub>的流速均为1~500sccm,H<sub>2</sub>的流速为100~50000sccm,且HCl的流速为10~1000sccm。这里,需予以注意的是,虽然未一一列举源气体的各种可能组成,但对于本领域技术人员而言这些可能组成是容易想到的。而且,形成含硼SiGe应力层的工艺条件和参数对于本领域技术人员而言也可容易获知。

[0049] 这里,需特别说明一点,上述制作含硼SiGe应力层的方法仅仅是示例性的,而非限制性的。可以采用其他方法来形成含硼SiGe应力层,例如,首先在硼扩散阻挡层上通过选择性外延生长形成一层纯SiGe应力层,然后再通过离子注入工艺将硼离子注入到该层SiGe应力层中,由此形成含硼SiGe应力层。

[0050] 至此,完成了根据本发明示例性实施例的方法制作嵌入式锗硅应变PMOS器件结构的全部工艺步骤。

[0051] 这里,需予以说明的是,利用根据本发明的方法制作的PMOS器件结构,可以通过后续工艺(例如,退火优化处理、自对准硅化工艺以及金属互连等)完成整个PMOS晶体管的制作。当然,本发明所称PMOS晶体管也包括CMOS器件中的PMOS晶体管。这里,特别说明一点,通常在形成含硼SiGe应力层之后,会在其上再形成一层单晶硅层或锗浓度较低的SiGe层(又称硅帽层(Si cap)),用于在金属互连之前形成自对准硅化物。

[0052] 请参照图2,其中示出了根据本发明示例性实施例的方法的流程图,用于简要示出整个方法的流程。

[0053] 首先,在步骤S201中,提供半导体衬底,在所述半导体衬底上形成有栅极结构,并且在所述半导体衬底中将要形成源/漏区的部分中形成有凹槽。

[0054] 接着,在步骤S202中,采用选择性外延生长法在所述凹槽的底部和侧壁上形成厚度均匀的硼扩散阻挡层。

[0055] 最后,在步骤S203中,采用选择性外延生长法在所述硼扩散阻挡层上形成含硼SiGe应力层。

[0056] 这里,需要特别说明的是,虽然图1A-1C中含硼SiGe应力层的上表面均示出为与半导体衬底的上表面齐平,但这仅是示例性的,本发明还包括含硼SiGe应力层的上表面与半导体衬底的上表面不齐平的情况。例如,为了确保对沟道区施加适当的应力,栅极结构两侧的SiGe应力层通常都会高于半导体衬底的上表面。

[0057] [本发明的有益效果]

[0058] 下面,将结合图3说明本发明示例性实施例所获得的有益效果。该曲线图是利用Monte Carlo方法在Synopsys Tsuprem 4&Medici仿真环境下进行计算机辅助测试(TCAD)

仿真而得到的。其中,选用单晶硅材料构成半导体衬底。作为本发明的示例,源/漏区应力引入结构采用SiGe籽晶层/含硼SiGe应力层/Si帽层多层结构的情况。而对于现有技术来说,源/漏区应力引入结构采用含硼SiGe应力层/Si帽层结构。

[0059] 请参照图3,其中示出了半导体硅衬底中杂质浓度的变化趋势。横坐标为自硅衬底表面的深度,左侧纵坐标为硅衬底中的硼杂质浓度,且右侧纵坐标为硅衬底中锗的百分比含量。需要特别说明一点,此处所称硅衬底包括硼扩散阻挡层和含硼SiGe层。

[0060] 图3中,曲线L11和曲线L12所示分别为通过本发明的方法制作的PMOS器件结构中源/漏区附近的硼和锗的浓度分布曲线。曲线L21和曲线L22所示分别为通过现有的方法制作的PMOS器件结构中源/漏区附近的硼和锗的浓度分布曲线。

[0061] 从图3中可以清楚看出,由于本发明在形成含硼SiGe应力层之前预先在凹槽的底部和侧壁上形成了一层厚度均匀的SiGe籽晶层,所以有效地抑制了硼向含硼SiGe应力层外侧的扩散。需予以理解的是,虽然曲线L11与L21的对比效果仅示出了硼扩散在硅衬底深度方向上的改善,但通过合理预测不难推知,硼扩散在与硅衬底深度方向垂直的方向上(即,与沟道平行的方向上)也同样能得到改善。

[0062] [本发明的工业实用性]

[0063] 根据如上所述的实施例制造的半导体器件可应用于多种集成电路(IC)中。例如,根据本发明的IC可以是存储器电路,如随机存取存储器(RAM)、动态RAM(DRAM)、同步DRAM(SDRAM)、静态RAM(SRAM)、或只读存储器(ROM)等。根据本发明的IC还可以是逻辑器件,如可编程逻辑阵列(PLA)、专用集成电路(ASIC)、合并式DRAM逻辑集成电路(掩埋式DRAM)、射频电路或任意其他电路器件。例如,根据本发明的IC芯片可以用于用户电子产品中,如个人计算机、便携式计算机、游戏机、蜂窝式电话、个人数字助理、摄像机、数码相机、手机等各种电子产品中。

[0064] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外,本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。



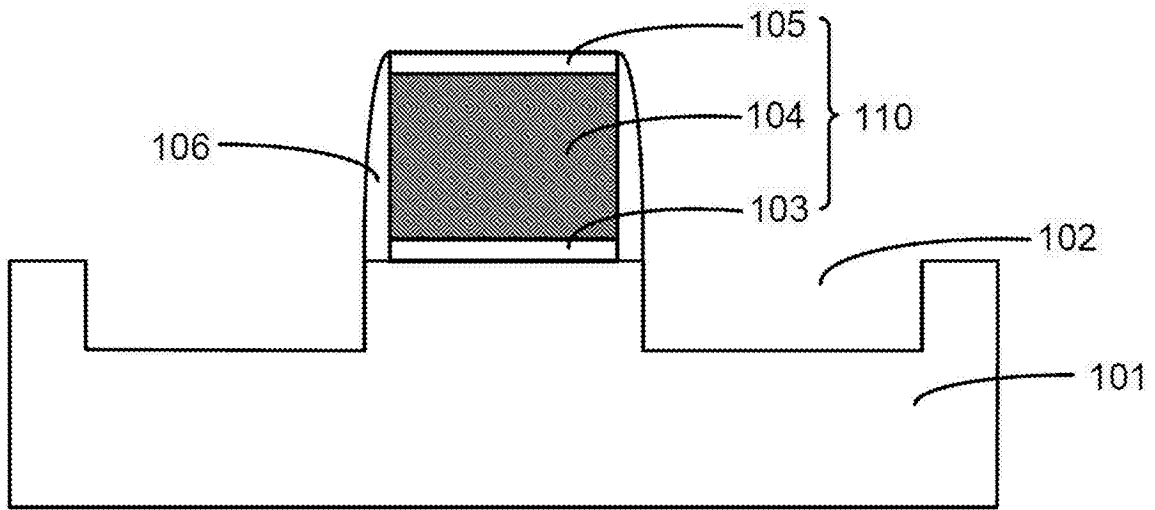


图1A

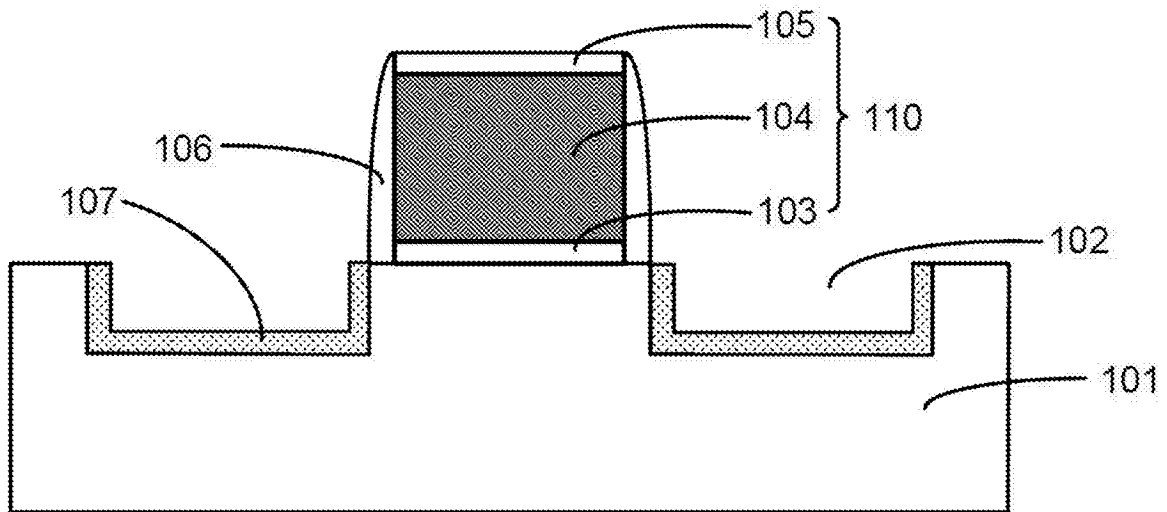


图1B

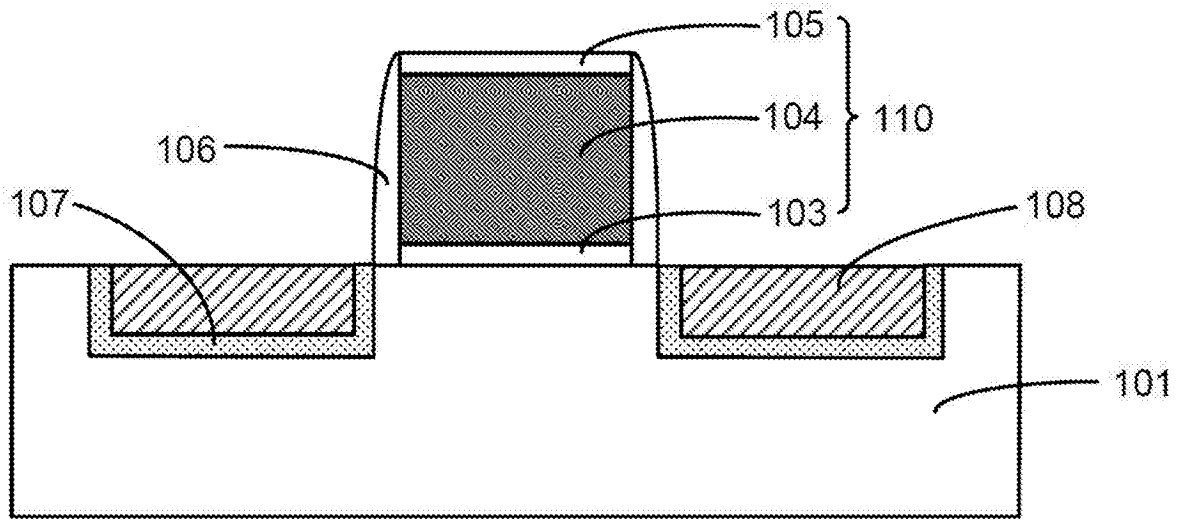


图1C

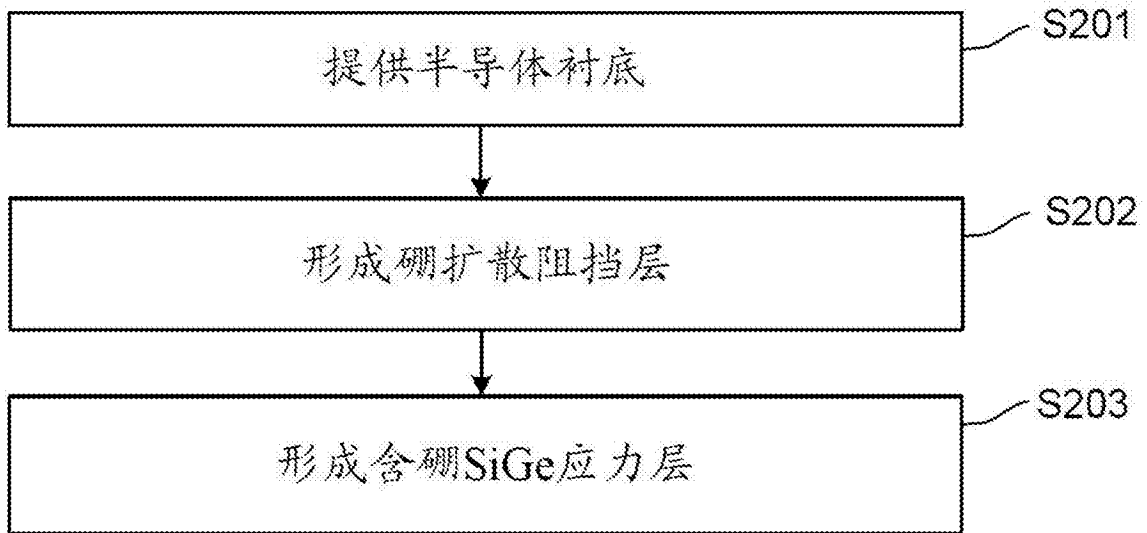


图2

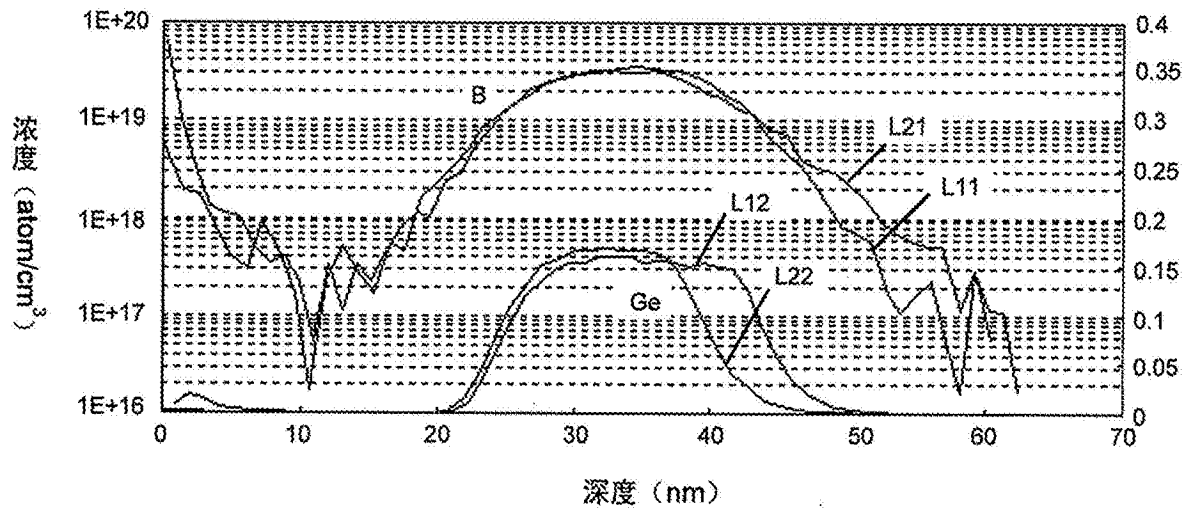


图3