



(10) 申请公布号 CN 118743144 A

(43) 申请公布日 2024. 10. 01

(21) 申请号 202380021724.1

(22) 申请日 2023.03.03

(30) 优先权数据

63/318,038 2022.03.09 US

18/177,688 2023.03.02 US

(85) PCT国际申请进入国家阶段日

2024.08.14

(86) PCT国际申请的申请数据

PCT/US2023/014436 2023.03.03

(87) PCT国际申请的公布数据

W02023/172439 EN 2023.09.14

(71) 申请人 德州仪器公司

地址 美国德克萨斯州

(72) 发明人 刘沛鑫

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

专利代理师 林斯凯

(51) Int.Cl.

H02M 1/36 (2006.01)

H02M 3/335 (2006.01)

H02M 1/34 (2006.01)

H02M 3/00 (2006.01)

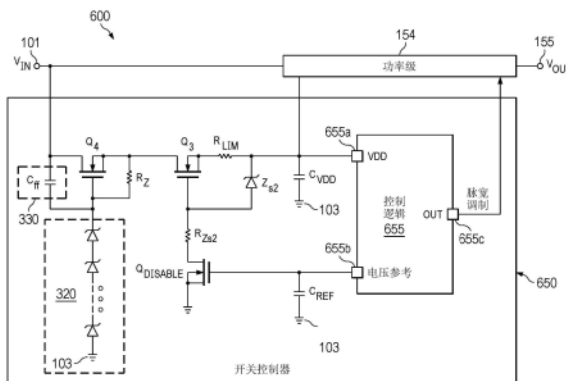
权利要求书2页 说明书11页 附图6页

(54) 发明名称

用于反激式转换器的启动电路

(57) 摘要

一种转换器包含功率级,以响应于PWM信号而提供通过变压器的初级绕组的电流且在所述变压器的次级绕组中感应电流以产生输出电压。所述功率级具有开关端子。所述转换器还包含控制器(260)、箝位电路(320)和阻抗装置(330)。所述控制器(260)包含第一晶体管(Q₁),其与第二晶体管(Q₃)耦合以在启动模式期间引发操作电压,且在开关模式期间基于所述开关端子处的开关电压的幅值而提供控制电压。所述箝位电路(320)耦合在所述第一晶体管(Q₁)的控制输入端与参考端子之间,且响应于所述开关电压超出箝位电压而箝位第一控制输入端处的电压。所述阻抗装置(330)耦合在所述开关端子与所述箝位电路(320)之间。



1. 一种功率转换器,其包括:

功率级,其具有输出端,所述输出端配置成响应于脉宽调制 (PWM) 信号而提供通过变压器的初级绕组的初级电流,且在所述变压器的次级绕组中感应次级电流以产生输出电压,所述功率级在功率开关与所述初级绕组之间具有开关端子;及

开关控制器,其包含:

第一控制晶体管,其与第二控制晶体管串联耦合以在所述功率转换器的启动模式期间引发操作电压,且在开关模式期间基于所述开关端子处的开关电压的幅值而提供控制电压,所述第一控制晶体管具有第一控制输入端;

箝位电路,其耦合在所述第一控制输入端与参考端子之间,所述箝位电路配置成响应于所述开关电压超出所述箝位电路的箝位电压而箝位所述第一控制输入端处的电压;及

阻抗装置,其耦合在所述开关端子与所述箝位电路之间。

2. 根据权利要求1所述的功率转换器,其中所述箝位电路包含串联耦合在所述第一控制输入端与所述参考端子之间的多个齐纳 (Zener) 二极管。

3. 根据权利要求1所述的功率转换器,其中所述阻抗装置包含电容器。

4. 根据权利要求1所述的功率转换器,其中所述第一控制晶体管在晶体管端子处耦合到所述第二控制晶体管,且所述功率转换器进一步包含耦合在所述晶体管端子与所述箝位电路之间的电阻器。

5. 根据权利要求1所述的功率转换器,其中所述第一控制晶体管和所述第二控制晶体管均为耗尽型晶体管。

6. 根据权利要求1所述的功率转换器,其进一步包括耦合在所述第一控制晶体管与所述第二控制晶体管之间的第三控制晶体管,所述第三控制晶体管具有第二控制输入端,且所述箝位电路耦合到所述第二控制输入端,所述箝位电路配置成响应于所述开关电压超出所述箝位电路的箝位电压而箝位所述第二控制输入端处的电压。

7. 根据权利要求6所述的功率转换器,其中所述第一控制晶体管、所述第二控制晶体管和所述第三控制晶体管均为耗尽型晶体管。

8. 一种功率转换器,其包括:

功率级,其具有开关端子;及

开关控制器,其耦合到所述开关端子,所述开关控制器包含:

比较器,其具有第一输入端和第二输入端;

第一耗尽型晶体管,其具有第一电流端子和第二电流端子,所述第二电流端子耦合到所述第一输入端;

第二耗尽型晶体管,其耦合在所述开关端子与所述第一电流端子之间,所述第二耗尽型晶体管具有控制输入端;及

箝位电路,其具有耦合到所述控制输入端的箝位端子;及

阻抗装置,其耦合在所述开关端子与所述箝位端子之间。

9. 根据权利要求8所述的功率转换器,其中所述箝位电路包含串联耦合在所述第一电流端子与参考端子之间的多个齐纳二极管。

10. 根据权利要求8所述的功率转换器,其中所述阻抗装置包含电容器。

11. 根据权利要求8所述的功率转换器,其中所述第一耗尽型晶体管在晶体管端子处耦

合到所述第二耗尽型晶体管,且所述功率转换器进一步包含耦合在所述第一电流端子与所述箝位端子之间的电阻器。

12.根据权利要求8所述的功率转换器,其进一步包括耦合到所述第二输入端的参考电压电路。

13.一种电路,其包括:

第一耗尽型晶体管,其具有第一控制端子以及第一电流端子和第二电流端子;

第二耗尽型晶体管,其具有第二控制端子以及第三电流端子和第四电流端子,所述第四电流端子耦合到所述第一电流端子;

箝位电路,其具有耦合到所述第二控制端子的箝位端子;及

阻抗装置,其耦合在所述第三电流端子与所述箝位端子之间。

14.根据权利要求13所述的电路,其进一步包括具有第三控制端子的第三耗尽型晶体管,所述第三耗尽型晶体管耦合在所述第一耗尽型晶体管与所述第二耗尽型晶体管之间。

15.根据权利要求14所述的电路,其中所述箝位端子为第一箝位端子,且所述箝位电路具有耦合到所述第三控制端子的第二箝位端子。

16.根据权利要求15所述的电路,其中所述箝位电路包括串联耦合在所述第二控制端子与参考端子之间的多个齐纳二极管,且所述第一箝位端子耦合到所述多个齐纳二极管中的一个的阴极,且所述第二箝位端子耦合到所述多个齐纳二极管中的另一个的阴极。

17.根据权利要求13所述的电路,其中所述箝位电路包括串联耦合在所述第二控制端子与参考端子之间的多个齐纳二极管。

18.根据权利要求13所述的电路,其中所述阻抗装置包含电容器。

19.根据权利要求13所述的电路,其进一步包括耦合在所述第四电流端子与所述箝位端子之间的电阻器。

20.根据权利要求13所述的电路,其进一步包括:

第一电阻器,其耦合到所述第一控制端子;

第三晶体管,其具有第三控制端子,所述第三晶体管耦合在所述第一电阻器与参考端子之间;

齐纳二极管,其具有阳极和阴极,所述阳极耦合到所述第一控制端子;及

第二电阻器,其耦合在所述第二电流端子与所述阴极之间。

用于反激式转换器的启动电路

背景技术

[0001] 功率转换器可以各种方式实施。一种类型的功率转换器为反激式转换器。类似于大部分开关转换器,反激式转换器包含实施耦合到变压器的初级绕组的晶体管的脉宽调制(PWM)的控制器。来自反激式转换器的输出电压来源于变压器的次级绕组。还来源于变压器的次级侧(通过辅助绕组)的辅助电压将操作电压提供到控制器。大部分但并非全部反激式转换器包含启动电路以从反激式转换器的输入电压将操作电压提供到控制器,直到控制器接着能够开始晶体管的PWM开关循环为止。此时,启动电路去激活,且控制器继续基于来源于变压器的次级侧的辅助电压而操作。一些反激式转换器还实施通过开关节点感测电路感测的开关节点以有助于减小与受控制器控制的晶体管相关联的开关损耗。启动电路和开关节点感测电路为单独电路。反激式转换器的另一趋势为到转换器的输入电压推动到越来越高的电平。在一些实例中,输入电压可在1000V或甚至更高的范围内。此类高输入电压可表示反激式转换器的设计挑战。

发明内容

[0002] 在一个实例中,功率转换器包含功率级以响应于PWM信号提供通过变压器的初级绕组的电流且在变压器的次级绕组中感应电流以产生输出电压。功率级具有开关端子。功率转换器还包含控制器、箝位电路和阻抗装置。控制器包含第一晶体管,其与第二晶体管耦合以在启动模式期间起始操作电压且在开关模式期间基于在开关端子处的开关电压的幅值而提供控制电压。箝位电路耦合在第一晶体管的控制输入端与参考端子之间且响应于开关电压超出箝位电压而箝位第一控制输入端处的电压。阻抗装置耦合在开关端子与箝位电路之间。

附图说明

- [0003] 图1为具有单独启动和开关端子感测电路的实例功率转换器的示意图。
- [0004] 图2为具有实施启动和开关端子感测功能两者的电路的实例功率转换器的示意图,所述电路具有多个晶体管以容纳较高电平的输入电压。
- [0005] 图3为在实例中可在图2的功率转换器内使用的开关控制器的示意图。
- [0006] 图4为在另一实例中可在图2的功率转换器内使用的开关控制器的示意图。
- [0007] 图5为示出在实例中图4的开关控制器内的各种电压的图形。
- [0008] 图6为在实例中实施启动功能而非开关端子感测功能的开关控制器的示意图。

具体实施方式

- [0009] 在图中使用相同的附图标记或其它参考指定符来指定(功能和/或结构上)相同或类似的特征。
- [0010] 本公开大体上涉及具有开关控制的功率转换器。功率转换器响应于输入电压产生输出电压。作为实例,功率转换器可配置成反激式功率转换器。功率转换器包含门驱动器

级,所述栅极驱动器级响应于相应一或多个脉宽调制(PWM)信号而产生一或多个开关信号。在一个实例中,栅极驱动器响应于第一PWM信号而产生第一开关信号且响应于第二PWM信号而产生第二开关信号。功率转换器还可包含功率级。功率级包含变压器和受一或多个开关信号(例如,第一和第二开关信号)控制的第一开关(例如,晶体管)。作为实例,可经由第一开关信号激活第一开关以通过变压器的初级绕组提供初级电流,诸如从输入电压到参考端子(例如,接地)。初级绕组中的初级电流可在变压器的次级绕组中感应次级电流。整流器可耦合到次级绕组以对次级绕组的电压进行整流由此产生输出电压。功率级中的第二开关可经由第二开关信号激活以在包含LC谐振器的电路路径中循环与变压器相关联的磁化电流。

[0011] 另外,功率转换器可包含基于来自功率级的反馈信号而产生一或多个PWM信号的控制。在一个实例中,控制器包含比较器,所述比较器配置成响应于比较控制电压的幅值与预定开关阈值电压而产生PWM信号。此外,功率转换器可包含串联耦合且耦合到功率级内的开关端子的多个控制晶体管。多个控制晶体管可用以在启动模式期间起始用于开关控制器的操作电压。启动模式为功率转换器的状态,其中输入电压从0V朝向其稳定状态电平(例如,800V、1000V等)增加,且在开关控制器开始实施PWM开关之前在功率级内循环。在一些实例中,多个控制晶体管还用以实施开关端子电压感测。控制器基于与开关端子相关联的开关电压的幅值而提供控制电压。在一个实例中,预定开关阈值电压具有低幅值(例如,小于1伏特),使得比较提供PWM信号以实施第一开关的大致零伏特开关(ZVS)以减小与以及第一开关相关联的开关损耗。因此,在一些实例中,多个控制晶体管可用以提供(a)用于开关控制器及用于需要开关端子感测的反激式转换器的启动操作电压,(b)开关端子感测功能(例如,第一开关的零电压开关)。

[0012] 图1为实例功率转换器100的示意图。在此实例中,功率转换器100为反激式转换器。输入电压 V_{IN} 提供在功率转换器的输入端子101处,且功率转换器在输出端子155处产生输出电压 V_{OUT} 。功率转换器100包含功率级154、开关控制器110、开关端子感测电路120和启动电路130。功率级包含变压器56、晶体管 Q_1 、二极管 D_1 、 Z_1 (Z_1 为齐纳二极管(Zener diode))、 D_{OUT} 和 D_{AUX} 、电容器 C_F 和 C_{VDD} 。变压器56包含初级绕组 W_P 、次级绕组 W_S 和辅助绕组 W_A 。在此实例中,晶体管 Q_1 为n沟道场效应晶体管(NFET)且耦合在初级绕组 W_P 的一个端子与参考端子103(例如,接地)之间。开关控制器110具有耦合到晶体管 Q_1 的栅极的输出端111。开关控制器110在其输出端111处产生控制信号、PWM以根据PWM控制信号的目标占空比控制晶体管 Q_1 的接通和断开状态。

[0013] 晶体管 Q_1 的漏极在开关端子58处耦合到初级绕组 W_P 。开关端子58上的电压为开关电压 V_{SW} 。开关端子58还耦合到开关端子感测电路120。基于开关端子58上的开关电压 V_{SW} ,开关端子感测电路120产生控制信号121以开关控制器110以指示电压 V_{SW} 何时接近或等于0V。开关控制器110因此可确定开关电压 V_{SW} 何时低于阈值(例如,接近或等于参考端子103的电压),使得当晶体管 Q_1 的漏极到源极电压(V_{ds})接近或等于0V时,控制器可激活(接通)晶体管 Q_1 ,由此减少与晶体管 Q_1 相关联的开关损耗。

[0014] 二极管 D_{OUT} 的阳极耦合到次级绕组 W_S 。电容器 C_F 耦合在二极管 D_{OUT} 的阴极与次级侧的参考端子133之间。二极管 D_{OUT} 整流来自次级绕组 W_S 的电压以在功率转换器的输出端子155上产生输出电压 V_{OUT} 。二极管 D_{AUX} 的阳极耦合到辅助绕组 W_A 。电容器 C_{VDD} 耦合在二极管 D_{AUX} 的阴极与次级侧的参考端子133之间。二极管 D_{AUX} 整流来自辅助绕组 W_A 的电压以产生电压

V_{DD} , 所述电压 V_{DD} 在正常操作模式期间提供给开关控制器110作为其操作电压。正常操作模式指其中开关控制器110根据PWM信号的PWM开关循环通电来控制晶体管 Q_1 的接通和断开状态的模式。

[0015] 电压 V_{OUT} 和 V_{DD} 仅在开关控制器110通电且因此能够产生到晶体管 Q_1 的栅极的PWM控制信号的情况下可用, 由此产生开关电压 V_{SW} 以通过变压器56传递能量。启动电路130耦合在输入端子101与开关控制器110之间。在功率转换器100的启动期间, 启动电路提供电压 V_{DD_SU} 以使控制器110通电。一旦开关控制器110借助于启动电路130通电, 那么开关控制器110可开始将PWM控制信号提供到晶体管 Q_1 的栅极以使得能量传递通过变压器56。传递通过变压器56的能量可用以产生输出电压 V_{OUT} 和用于开关控制器110的操作电压 V_{DD} 。启动电路130接着可去激活。

[0016] 启动电路130为与开关端子感测电路120分离的电路。这些两个分离的电路不利地制造功率转换器100的半导体裸片上的相当大的区域。

[0017] 图2示出功率转换器电路250的实例, 所述功率转换器电路解决上文所描述的问题中的一或多个。功率转换器电路250将输入端子201处的DC输入电压 V_{IN} (例如, 已整流的AC输入电压) 转换为输出端子255处的DC输出电压 V_{OUT} 。功率转换器电路250中的一些或所有组件可以各种方式中的任一者实施, 诸如在集成电路 (IC) 上实施。在图2的实例中, 功率转换器电路250包含栅极驱动器252、功率级254和开关控制器260。功率级254包含具有初级绕组 W_P 、次级绕组 W_S 和辅助绕组 W_A 的变压器256。功率级254还包含对应于变压器256的漏电感的输入电感器 L_K 、谐振电容器 C_1 和在图2的实例中所展示的一对开关, 如晶体管 Q_1 和 Q_2 。在此实例中, 晶体管 Q_1 和 Q_2 为NFET。晶体管 Q_2 的源极耦合到晶体管 Q_1 的漏极且耦合到开关端子258处的初级绕组 W_P 。开关端子258上的电压为开关电压 V_{SW} 。二极管 D_{OUT} 的阳极耦合到次级绕组。电容器 C_F 耦合在二极管 D_{OUT} 的阴极与参考端子133之间。横越电容器 C_F 的电压为来自功率转换器电路250的输出电压 V_{OUT} 。二极管 D_{AUX} 的阳极耦合到辅助绕组 W_A , 且电容器 C_{VDD} 耦合在二极管 D_{AUX} 的阴极与参考端子133之间。横越电容器 C_{VDD} 的电压为电压 V_{DD} 且在正常操作模式期间提供给开关控制器260以用于其操作电压。

[0018] 开关控制器260包含比较器262和多个控制晶体管264。开关控制器260耦合到输出端子255、电容器 C_{VDD} 和开关端子258。开关控制器产生到栅极驱动器252的输入端的信号 PWM_1 和 PWM_2 。栅极驱动器252的输出端耦合到晶体管 Q_1 和 Q_2 的栅极, 且将开关信号 SS_1 和 SS_2 提供到晶体管 Q_1 和 Q_2 的相应栅极, 如所展示。因此, 晶体管 Q_1 经由开关信号 SS_1 控制, 且晶体管 Q_2 经由开关信号 SS_2 控制。

[0019] 功率转换器电路250实施重复PWM开关循环。每一开关循环包含至少第一开关阶段和第二开关阶段。在第一开关阶段期间, 开关控制器260使得晶体管 Q_1 经由第一开关信号 SS_1 激活 (接通) 至饱和区中, 以使得初级电流 I_P 从输入端子201 (V_{IN}) 流动通过输入电感器 L_K 、初级绕组 W_P 和晶体管 Q_1 到参考端子103。响应于初级绕组 W_P 中的初级电流 I_P , 次级电流 I_S 在次级绕组 W_S 中感应且流动通过二极管 D_{OUT} 以产生跨越负载 (图中未示) 和电容器 C_F 的输出电压 V_{OUT} 。

[0020] 在经由第一开关信号 SS_1 去激活晶体管 Q_1 后, 且在短预定空载时间之后, 在第二开关阶段期间, 开关控制器260使得晶体管 Q_2 经由栅极驱动器的开关信号 SS_2 激活连同次级绕组 W_S 、输出电压 V_{OUT} 和二极管 D_{OUT} 一起以使得初级绕组电流 I_P 的组分的磁化电流衰减到零安

培,且接着通过谐振电容器 C_1 的电压到反向方向。在晶体管 Q_2 的去激活之后,负磁化电流使晶体管 Q_1 的结电容放电且对晶体管 Q_2 的结电容充电。当移除晶体管 Q_1 的电荷时,在开关控制器260再次激活晶体管 Q_1 之前,晶体管 Q_1 的 V_{ds} 减小到大致零伏特。如上文所描述,当晶体管 Q_1 的漏极到源极电压为大致零伏特时,激活晶体管 Q_1 称为零电压开关(ZVS)。由于开关控制器260实施ZVS,所述ZVS通过例如有源箝位反激式和ZVS反激式转换器使用,功率转换器电路250具有与晶体管 Q_1 相关联的相对低开关损耗。在晶体管 Q_2 的激活时间期间,漏电感 L_K 和电容器 C_1 形成前述LC谐振槽以将漏电感 L_K 能量循环到输出端,使得箝位损耗也可有效地减小。

[0021] 电压 V_{OUT} 的量值部分为初级绕组 W_p 与次级绕组 W_s 之间的匝比率的函数。类似地,横越辅助绕组 W_A 的电压 V_{AUX} 的幅值部分为初级绕组 W_p 与辅助绕组 W_A 之间的匝比率的函数。控制器的操作电压 V_{DD} 对应于与辅助绕组 W_A 相关联的辅助电压 V_{AUX} (V_{DD} 为小于与二极管 D_{AUX} 相关联的正向偏压电压降的 V_{AUX})。

[0022] 在一些实例中,与开关控制器260相关联的多个控制晶体管264包含晶体管。在另外实例中,多个控制晶体管264包含三个(或更多个)晶体管。多个控制晶体管264可为响应于开关电压 V_{SW} 而产生开关控制电压的耗尽型晶体管。比较器262基于开关控制电压 V_{SW} 与预定开关阈值电压的比较而确证信号 PWM_2 。作为实例,功率转换器电路250实施晶体管 Q_1 的零电压开关,以由此在开关节点258处的开关电压 V_{SW} 的大致零伏特幅值下激活晶体管 Q_1 。另外,多个控制晶体管264可在起始功率转换器电路250时提供用于开关控制器260的启动电压。

[0023] 图3为可用以实施图2的开关控制器260的实例开关控制器350的示意图。在图3的实例中,开关控制器350包含电压调节器356(例如,低压差(LDO)电压调节器)、模式控制器358、比较器262、电压源电路362(可为可编程或非可编程)、定时产生器364、多个控制晶体管264、箝位电路320、阻抗装置330、电容器 C_{HVG} 、电阻器 R_1 、 R_2 、 R_3 和 R_z ,和开关 SW_1 、 SW_2 、 SW_3 和 SW_4 。每一开关 SW_1 至 SW_4 可实施为分离的晶体管。在此实例中,多个控制晶体管264包含串联耦合的两个晶体管 Q_3 和 Q_4 。晶体管 Q_3 和 Q_4 中的每一个可为耗尽型晶体管(例如,n沟道耗尽型晶体管)。耗尽型晶体管通常接通,且通过施加至少低于其源电压的阈值电压的栅极电压而断开。因此,耗尽型晶体管以等于0V的 V_{gs} 接通。晶体管 Q_4 的漏极耦合到开关端子258。阻抗装置耦合在开关端子258与控制晶体管 Q_4 的栅极之间。箝位电路320耦合在晶体管 Q_4 的栅极与参考端子103之间。电阻器 R_z 耦合在晶体管 Q_4 的源极(和晶体管 Q_3 的漏极)与控制晶体管 Q_4 的栅极之间。

[0024] 电容器 C_{HVG} 耦合在晶体管 Q_3 的栅极与参考端子103之间。电阻器 R_1 耦合在晶体管 Q_3 的源极与电容器 C_{HVG} 之间。开关 SW_4 的一个端子耦合到电阻器 R_1 且耦合到电容器 C_{HVG} 。开关 SW_4 的另一端子耦合到电压调节器356的输出端子356a。二极管 D_{AUX} (图2)的阴极耦合到电压调节器356的输入端子356b且耦合到模式控制器358的电力输入端子358a。因此,模式控制器358的电力输入端子358a和电压调节器356的输入端子356b在功率转换器250的正常操作模式期间从变压器256的辅助绕组 W_A 接收操作电压 V_{DD} 。开关 SW_3 耦合在电容器 C_{HVG} 的上部端子(耦合到晶体管 Q_3 的栅极)与模式控制器358的电力输入端子358之间。

[0025] 电阻器 R_3 耦合在晶体管 Q_3 的源极与开关 SW_2 的端子之间,其中开关 SW_2 的另一端子耦合到比较器262的负(-)输入端。晶体管 Q_3 的源极上的电压为电压 V_{SWS} ,且比较器262的负

输入上的电压为电压 V_{SW} 。电阻器 R_4 耦合在比较器262的负输入端与参考端子103之间。电阻器 R_2 耦合在晶体管 Q_3 的源极与开关 SW_1 的端子之间,其中开关 SW_1 的另一端子耦合到模式控制器358的电力输入端子358a。

[0026] 电压源电路362耦合到比较器262的正(+)输入端。电压源电路362可为可编程的(如所指示)或非可编程的,且产生电压 V_{TH_ZVS} 。比较器262的输出端耦合到定时产生器364的输入端364a。定时产生器364的输出端364b提供信号 PWM_2 且耦合到模式控制器358的输入端358b。

[0027] 模式控制器358可实施为包含逻辑门、触发器、寄存器等有限状态机。模式控制器358在输出端358c、358d、358e和358f上产生输出信号,其分别耦合到开关 SW_1 、 SW_2 、 SW_3 和 SW_4 的控制输入端。模式控制器358产生到开关 SW_1 、 SW_2 、 SW_3 和 SW_4 的相应控制输入端的信号 SC_1 、 SC_2 、 SC_3 和 SC_4 。通过每一信号 SC_1 至 SC_4 ,模式控制器358可打开(停用)或关闭(启用)每一相应开关。

[0028] 箝位电路320在箝位端子321处耦合在晶体管 Q_4 的栅极与参考端子103之间。在图3的实例中,箝位电路320包含串联耦合在箝位端子321与参考端子103之间的多个齐纳二极管320a。齐纳二极管的数目和其击穿电压限定箝位电路320的箝位电压。箝位电路320的目标箝位电压为专用的,且取决于例如电压 V_{SW} 的最大可能量值。当箝位电路320激活时,箝位端子321上的电压为固定电压(箝位电压),所述固定电压为箝位电路320的多个齐纳二极管320a的击穿电压的总和。在一个实例中,箝位端子321上的箝位电压在正常操作模式期间大致为电压 V_{SW} 的最大幅值的一半。举例而言,如果在正常操作模式期间电压 V_{SW} 的最大幅值为1000V,那么箝位电路320在电压 V_{SW} 到达大致500V时激活。对于低于箝位电路320的箝位电压的电压 V_{SW} ,箝位电路320未激活,且由于耦合在晶体管 Q_4 的栅极与源极之间的电阻器,晶体管 Q_4 的 V_{GS} 大致为0V。

[0029] 在图4的实例中,阻抗装置330为电容器 C_{FF} 。阻抗装置330可实施为多个电容器,例如串联耦合和/或并行。在另一个实例中,阻抗装置330包含与电阻器串联耦合的电容器。

[0030] 在功率转换器的启动模式期间,开关控制器350将操作电压提供到模式控制器358。在功率转换器的正常操作模式期间,辅助绕组 W_p 将操作电压 V_{DD} 提供到开关控制器350,且开关控制器350感测开关端子258上的电压以实施晶体管 Q_1 (图2)的ZVS。也就是说,开关控制器350提供启动和开关端子感测功能两者。

[0031] 在功率转换器电路250的启动模式期间,来自辅助绕组 W_A 的操作电压 V_{DD} 具有小于欠压闭锁(UVLO)幅值的幅值,其可具有存储在模式控制器358中的预定幅值。模式控制器358可比较操作电压 V_{DD} 与UVLO幅值以确定功率转换器电路250是处于启动模式(例如, V_{DD} 小于UVLO电压)还是正常操作模式(例如, V_{DD} 等于或大于UVLO电压)。响应于确定操作电压 V_{DD} 小于UVLO幅值(例如,第一UVLO幅值),模式控制器358确定功率转换器电路250处于启动模式,且因此如下文进一步描述,开关控制器350内的电路系统通过建立用于模式控制器358的充足操作电压来作出响应,以便控制器能够提供晶体管 Q_1 和 Q_2 的脉宽调制开关。响应于确定功率转换器电路250处于启动模式,模式控制器358使得开关 SW_2 和 SW_4 经由相应开关控制信号 SC_2 和 SC_4 去激活(打开),且使得开关 SW_1 和 SW_3 经由相应开关控制信号 SC_1 和 SC_3 激活(例如,关闭)。

[0032] 在启动模式中,功率级254接收朝向其稳定状态电平(例如,1000V)增加的输入电

压 V_{IN} 。在不具有晶体管 Q_1 和 Q_2 的PWM开关(由于模式控制器358尚未通电)的情况下,电压 V_{SW} 大致等于输入电压 V_{IN} 减去横越初级绕组 W_p 的可能电压降。如先前所描述,晶体管 Q_3 和 Q_4 可为耗尽型晶体管,且响应于大致零幅值 V_{gs} 处于激活状态(接通)。因此,在启动模式期间,晶体管 Q_3 和 Q_4 处于激活状态。在晶体管 Q_3 和 Q_4 激活的情况下,晶体管 Q_3 和 Q_4 在启动模式期间共同地充当电流源以开始经由通过电阻器 R_1 且通过闭合开关 SW_1 和 SW_3 的电流对电容器 C_{HVG} 和 C_{VDD} 进行充电。

[0033] 因此,在启动模式期间,操作电压 V_{DD} 和电压 V_{HVG} 开始增加。最终,操作电压 V_{DD} 到达大致等于UVLO幅值(例如,第一UVLO幅值)的幅值。直到那时,通过已激活晶体管 Q_3 和 Q_4 的电流对电容器 C_{HVG} 和 C_{VDD} 进行充电以提供偏压电压使模式控制器358通电。以这种方式,开关转换器350提供用于功率转换器250的电压启动功能。

[0034] 响应于操作电压 V_{DD} 到达大致等于UVLO幅值的幅值,模式控制器358切换到正常操作模式。在进入正常操作模式后,经由开关控制信号 SC_1 和 SC_3 ,模式控制器358去激活(打开)开关 SW_1 和 SW_3 且将开关 SW_1 和 SW_3 维持在去激活状态。另外,模式控制器358激活(关闭)开关 SW_4 以准许将来自电压调节器356的已调节输出电压 V_{HVG} 提供到晶体管 Q_3 的栅极。在其栅极电压(V_{HVG})在受电压调节器356控制的固定电压下的情况下,当 Q_3 处的源电压在高于电压调节器的输出电压的 Q_3 的阈值电压下时晶体管 Q_3 去激活;否则,晶体管 Q_3 激活。当 V_{sw} 电压变得足够大以激活箝位电路320时,晶体管 Q_4 的栅极上的电压变得固定,且当其源电压进一步上升时,晶体管 Q_4 去激活。

[0035] 模式控制器358在正常操作模式期间监测操作电压 V_{DD} 。在检测操作电压 V_{DD} 变得小于UVLO幅值(例如,控制器260检测功率转换器的故障条件,或来自辅助绕组(WA)的整流电压的VDD电压由于异常输出电压降低于UVLO)后,模式控制器358将功率转换器电路250转变回启动模式(例如,通过使得开关 SW_2 和 SW_4 打开且开关 SW_1 和 SW_3 关闭)。在一个实例中,模式控制器158响应于操作电压 V_{DD} 减小到低于小于对应于正常操作模式的阈值的第二UVLO幅值而将功率转换器电路250返回到启动模式。

[0036] 在正常操作模式中,如先前所描述,开关控制器350基于与来自电压源电路362的电压 V_{TH_ZVS} 相比较的电压 V_{SWC} 的幅值而确证信号 PWM_2 。在晶体管 Q_1 的去激活后,开关电压 V_{SW} 可具有相对高幅值。举例而言,当晶体管 Q_1 去激活时,电压 V_{SW} 的幅值可变得大致等于 V_{in} (例如,1000V)与横越初级绕组 W_p 的电压的总和。响应于晶体管 Q_2 去激活,开关端子258可开始向下谐振转变,因此使得开关电压 V_{SW} 且因此 V_{SWC} 减小。一些功率转换器可实施晶体管 Q_1 的ZVS,其中晶体管 Q_1 在开关电压 V_{SW} 的大致零伏特幅值下激活(接通)。

[0037] 在正常操作模式期间,电压 V_{SW} 从较低电压(例如,参考端子103的电压)转变到较高电压(例如,输入电压 V_{IN} 加上初级绕组 W_p 的电压)。如下所述,晶体管 Q_3 和 Q_4 在较高电压电平 V_{SW} 下停用(断开)且在较低电压电平 V_{SW} 下启用(接通)。当晶体管 Q_3 和 Q_4 断开时,晶体管 Q_3 和 Q_4 充当电压 V_{SW} 与参考端子103的电压之间的分压器。因此,有利的是,每个晶体管 Q_3 和 Q_4 不必针对 V_{IN} 的全电压幅值(或输入电压 V_{IN} 加上初级绕组 W_p 的电压)额定(例如,最大准许值 V_{ds}),且因此将在其针对1000V的 V_{ds} 额定的情况下可小于晶体管 Q_3 或 Q_4 。举例来说,在其中 V_{IN} 为1000V的应用中,晶体管 Q_3 和 Q_4 中的每一个可具有仅600V的 V_{ds} 额定值,且有利地不针对1000V V_{ds} 额定。

[0038] 以下论述描述在电压 V_{SW} 从较低电压(当晶体管 Q_1 激活时)转变到较高电压(当晶体

管 Q_1 去激活时)且接着返回到较低电压时开关控制器350的操作。从较低电平电压 V_{SW} 的开始,电压 V_{SW} 低于箝位电路320的箝位电压(例如,500V),且因此箝位电路320未激活。因此,电流不流动通过箝位电路320,且因此晶体管 Q_4 的栅极和源极处于相同电压(晶体管 Q_4 的 V_{GS} 为0V)。在晶体管的 V_{GS} 处于0V的情况下,晶体管 Q_4 处于激活状态(接通)。在晶体管 Q_4 激活的情况下,晶体管 Q_3 的漏极上的电压处于较低电压,所述较低电压小于低于电压VHVG的晶体管 Q_3 的阈值电压,且因此晶体管 Q_3 也激活。

[0039] 模式控制器358已激活开关 SW_2 以准许比较器262比较电压 V_{SWC} (大致等于电压 V_{SW})与来自电压源电路362的阈值电压 V_{TH_ZVS} 。当电压 V_{SWC} 下降到电压 V_{TH} 时,比较器迫使其输出信号CMP到逻辑高状态。在限定空载时间内出现的信号CMP逻辑高(从PWM₂下降边缘至PWM₁上升边缘)指示电流开关循环可实现零电压开关,尽管具有相对高负磁化电流。作为响应,定时产生器将在下一开关循环处略微减小PWM2的接通时间以递增地减小负磁化电流。另一方面,在所限定空载时间内未变得逻辑高的信号CMP指示电流开关循环不可实现零电压开关。作为响应,定时产生器在下一开关循环处略微增加PWM2的接通时间以增加用于使开关节点电压放电略微多的负磁化电流。定时产生器364可为或包含具有基于信号CMP的逻辑电平状态的可调整接通时间的单触发电路。当PWM₁信号变得逻辑低时,晶体管 Q_1 断开且正磁化电流将对开关节点258充电,且开关电压 V_{SW} 上升。在来自PWM₁下降边缘的空载时间之后,信号PWM₂变得逻辑高。当栅极驱动器252(图2)通过激活晶体管 Q_2 对PWM₂作出响应时,电压 V_{SW} 到达其最高电平。模式控制器358通过去激活开关 SW_2 以有效地停用比较器262来对信号PWM₂的正确证作出响应(在开关循环期间在此时不需要)。

[0040] 最终,电压 V_{SW} 上升到电压箝位电路320的箝位电压,且箝位电路激活。在 V_{SW} 上升周期期间,快速 dv/dt 将产生通过阻抗装置330(例如,电容器)的充电电流,因此电容器 C_{ff} 允许箝位端子321上的电压与 V_{SW} 同时上升且快速激活箝位电路。箝位电路320的激活固定(箝位)晶体管 Q_4 的栅极上的电压。电阻器 R_z 提供从晶体管 Q_4 的源极到箝位电路320的齐纳二极管堆叠的电流路径。电阻器 R_z 经设定大小以控制在齐纳堆叠中从电阻器流动的电流的幅值。来自电阻器 R_z 的电流的幅值大致等于齐纳二极管320a内的漏电流。通过平衡来自齐纳二极管的漏电流,当电压 V_{SW} 高于箝位电路的箝位电压时,电阻器 R_z 有助于使箝位电路320维持在其激活状态。由于在电阻器 R_z 中耗散功率,因此阻抗装置330允许电阻器 R_z 具有相对高电阻以克服具有对转换器效率可忽略的影响的齐纳二极管漏电流。另一方面,在缺乏阻抗装置330的实例中,电阻器 R_z 应具有相对低电阻值以在开关节点上升边缘期间足够快速地激活箝位电路320,且低阻值将消耗更多功率,此将减小转换器效率。

[0041] 在晶体管 Q_4 的栅极电压由于箝位电路320激活而固定的情况下,随着电压VSW持续上升,源电压变得超过高于晶体管 Q_4 的栅极电压的阈值电压。在此时,晶体管 Q_4 变得去激活。同时,当晶体管 Q_3 的源电压(V_{SWS})变得超过高于晶体管 Q_3 的栅极电压的阈值电压时也去激活,所述栅极电压由电压调节器356固定。在此时,当电压 V_{SW} 持续上升(例如,高至1000V)时,晶体管 Q_3 和 Q_4 两者由此保护开关控制器350的电路系统的其余部分。晶体管 Q_3 和 Q_4 的漏极到源极电容的串联耦合充当分压器,使得每一晶体管的 V_{DS} 大致为电压 V_{SW} 的一半。

[0042] 当来自定时产生器364的单触发脉冲到期时,信号PWM2变得逻辑低随后(在空载时间之后)信号PWM1变得逻辑高。在空载时间期间,负磁化电流对开关节点电压放电,因此电压 V_{SW} 变得低于电压箝位电路320的箝位电压,且电压箝位电路去激活。作为响应,晶体管 Q_4

激活。在晶体管 Q_4 的栅极耦合到其源极通孔电阻器 R_1 且无电流流动通过晶体管 Q_3 ,晶体管 Q_3 也激活。定时产生器实施信号 PWM_2 的脉冲宽度。信号 PWM_2 的下降边缘使得模式控制器358关闭开关 SW_2 。在晶体管 Q_3 和 Q_4 激活且开关 SW_2 关闭的情况下,比较器262比较电压 V_{SWC} 与 V_{TH} ,使得开关控制器350可检测在信号 PWM_2 的下降边缘与信号 PWM_1 的上升边缘之间的空载时间内是否已出现ZVS。重复上述过程。

[0043] 在图3的实例中, Q_4 的漏极耦合到开关端子258,使得包含晶体管 Q_3 和 Q_4 的电路系统、箝位电路320、阻抗装置330和电阻器 R_z 可在启动模式期间起作用以使模式控制器358通电且提供晶体管 Q_1 的零电压开关。在一些功率转换器应用(例如,实施连续导通模式(CCM)和/或不连续导通模式(DCM)的反激式转换器)中,需要启动功能而不是晶体管 Q_1 的零电压开关。在此类应用中,晶体管 Q_4 的漏极可耦合到输入电压端子101而不是开关端子258。

[0044] 图3的实例,多个控制晶体管264包含两个串联耦合的耗尽型晶体管 Q_3 和 Q_4 以操作为用于较高电平的电压 V_{IN} (例如,1000V)的分压器。一些应用可具有甚至更高电平的电压 V_{IN} (1200V、1500V等)。因此,在一些实例中,多个控制晶体管264可包含三个(或更多个)耗尽型晶体管。

[0045] 图4为说明性开关控制器550的示意图,其中多个控制晶体管264包含三个晶体管,如上文所描述的晶体管 Q_3 和 Q_4 以及晶体管 Q_5 。大部分开关控制器550与图3的开关控制器350很大程度上相同,且因此可对开关控制器350的前述描述作出参考。晶体管 Q_3 、 Q_4 和 Q_5 为耗尽型晶体管(例如,NFET)。晶体管 Q_5 耦合在晶体管 Q_3 与 Q_4 之间。

[0046] 阻抗装置330(例如,电容器 C_{FF})耦合在晶体管 Q_4 的漏极与栅极之间,如上文所描述。类似地,电阻器 R_z 耦合在晶体管 Q_4 的源极与栅极之间。开关控制器550包含箝位电路520,所述箝位电路520包含箝位端子521和522。箝位端子521耦合到晶体管 Q_4 的栅极,且箝位端子522耦合到晶体管 Q_5 的栅极。箝位电路520包含串联耦合的齐纳二极管 Z_{51} 、 Z_{52} 、 Z_{53} 、 Z_{54} 、 Z_{55} 和 Z_{56} 。尽管在图4的实例中箝位电路530包含六个齐纳二极管,在其它实例中箝位电路520可包含少于六个齐纳二极管或多于六个齐纳二极管。齐纳二极管 Z_+ 的阴极为耦合到晶体管 Q_4 的栅极的箝位端子521。齐纳二极管 Z_{54} 的阴极为耦合到晶体管 Q_5 的栅极的箝位端子522。

[0047] 箝位电路520的箝位电压为串联组合的齐纳二极管的击穿电压的总和。在一个实例中,设定齐纳二极管的数目和其击穿电压,使得箝位电路520的箝位电压大致等于电压 V_{SW} 的最大电平的三分之二。当电压 V_{SW} 高于箝位电路520的箝位电压时,箝位电路520激活且晶体管 Q_4 的栅极上的电压在箝位电压下箝位,所述箝位电压大致为电压 V_{SW} 的最大水平的三分之二。在图4的实例中,当箝位电路520激活时,齐纳二极管 Z_{54} 的阴极上的电压将大致为箝位电路520的箝位电压的一半,且因此晶体管 Q_5 的栅极上的电压将大致为箝位电压的三分之一。当箝位电路激活时,晶体管 Q_4 和 Q_5 的栅极电压由箝位电路520固定,且晶体管 Q_4 和 Q_5 处于去激活状态(断开)。如上文所描述,电压调节器356将电压定位在晶体管 Q_3 的栅极上。当电压 V_{SW} 足够大以激活箝位电路520时,晶体管 Q_3 也将处于去激活状态。在所有三个晶体管 Q_3 、 Q_4 和 Q_5 去激活的情况下,串联组合的晶体管 Q_3 至 Q_5 操作为具有横越晶体管中的每一个划分的电压 V_{SW} 的大致三分之一的分压器。举例而言,如果电压 V_{SW} 为1200V,那么晶体管 Q_3 至 Q_5 中的每一个的 V_{ds} 将大致为400V。因此,每个晶体管 Q_3 至 Q_5 不必设定大小以容纳整个电压 V_{SW} 。

[0048] 图5为电压 V_{SW} 、晶体管 Q_5 的漏极上的电压($V_{D_{Q5}}$)和晶体管 Q_3 的漏极上的电压($V_{D_{Q3}}$)相对于随着电压 V_{SW} 从大致0V增加到1400V且返回0V的时间的图形的实例。当电压 V_{SW} 处于

1400V时,晶体管 Q_5 的漏极上的电压大致为933V,且晶体管 Q_3 的漏极上的电压大致为466V。每一晶体管 Q_3 至 Q_5 的 V_{ds} 大致为电压 V_{SW} 的三分之一且因此大体上小于电压 V_{SW} 。

[0049] 如上文所描述,一些反激式转换器(例如,实施连续导通模式(CCM)或不连续传导模式(DCM)的反激式转换器)不需要执行晶体管 Q_1 的ZVS,且因此仅需要启动开关转换器上的偏置功能。图6为包含耦合到功率级154的开关控制器650的实例功率转换器的示意图。开关控制器650包含控制逻辑电路655、晶体管 Q_3 和 Q_4 (例如,如上文所描述的耗尽型NFET)、晶体管 $Q_{DISABLE}$ (例如,NFET)、箝位电路320、阻抗装置330、电阻器 R_z 、 R_{LIM} 和 R_{ZS2} 、齐纳二极管 Z_{S2} 和电容器 C_{VDD} (上文描述为功率级的一部分)和 C_{REF} 。

[0050] 控制逻辑电路655包含端子,所述端子包含VDD端子655a、电压参考(REF)端子655b和输出端子655c。电阻器 R_{LIM} 耦合在晶体管 Q_3 的源极与 V_{DD} 端子655a之间。电容器 C_{VDD} 耦合在VDD端子655a与参考端子103之间。REF端子655b耦合到晶体管 $Q_{DISABLE}$ 的栅极。电容器 C_{REF} 耦合在REF端子655b与参考端子103之间。输出端子655c耦合到功率级154(例如,晶体管 Q_1 ,图1和2)内的开关晶体管的栅极。控制逻辑655可包含开关、逻辑门、触发器、比较器等,所述控制逻辑操作以在其输出端子655c处产生脉宽调制信号PWM作为用于晶体管 Q_1 的栅极的控制信号。

[0051] 晶体管 Q_3 和 Q_4 串联耦合在输入电压端子101与电阻器 R_{LIM} 之间。如上文所描述,箝位电路320耦合在晶体管 Q_4 的栅极与参考端子103之间,阻抗装置330耦合在晶体管 Q_4 的漏极与栅极之间,且电阻器 R_z 耦合在晶体管 Q_4 的源极与栅极之间。箝位电路320、阻抗装置330和电阻器 R_z 以与上文所描述的相同的方式操作以在高于由箝位电路320实施的箝位电压的电压 V_{IN} 的电平下箝位晶体管 Q_4 的栅极上的电压。控制逻辑电路655可包含电压调节器以基于其 V_{DD} 端子655a处的电压VDD而在其REF端子655b处提供参考电压。REF端子655b处的参考电压为用于晶体管 $Q_{DISABLE}$ 的栅极电压。当REF端子655b处的参考电压为逻辑低时,晶体管 $Q_{DISABLE}$ 去激活,这是在控制逻辑的VDD端子上的电压低于其UVLO电平时的情况,且当REF端子处的参考电压为逻辑高(VDD高于UVLO)激活。控制逻辑655使得晶体管 $Q_{DISABLE}$ 在启动模式期间激活,且使得晶体管 $Q_{DISABLE}$ 在正常操作模式期间去激活。

[0052] 在图6的实例中,晶体管 Q_4 的漏极耦合到输入电压端子101而不是开关端子258(如分别针对图3和5的开关控制器350和550的情况)。在启动模式期间,VDD低于UVLO,且REF端子655b上的电压为0V,这使晶体管 $Q_{DISABLE}$ 去激活。横越二极管 Z_{S2} 的二极管降使得晶体管 Q_3 激活,且晶体管 Q_3 的漏极上的电压大致等于VDD(其小于UVLO电压电平)。在此状态下(Q_3 激活, $Q_{DISABLE}$ 去激活,以及电压VDD小于UVLO),还激活晶体管 Q_4 ,这是因为其栅极电压(其在启动期间随着 V_{IN} 增加而增加)高于其源电压。

[0053] 最终 V_{IN} 超出UVLO电压电平,此时控制逻辑655使得内部参考电压电路能够在足够高电平下设置电压REF(例如,5V)以激活晶体管 $Q_{DISABLE}$ 。在晶体管 $Q_{DISABLE}$ 激活的情况下,晶体管 Q_3 的栅极电压拉动低于其源电压,由此去激活晶体管 Q_3 。在晶体管 Q_3 去激活的情况下,晶体管 Q_3 的源极和晶体管 Q_4 的漏极上的电压随着 V_{IN} 增加而增加。当晶体管 Q_4 的源电压高于晶体管 Q_4 的栅极电压时,晶体管 Q_4 去激活。此外,当 V_{IN} 达到箝位电路320的箝位电压时,箝位电路320激活且固定用于晶体管 Q_4 的栅极电压。在晶体管 Q_3 和 Q_4 两者都处于其去激活状态的情况下,晶体管 Q_3 和 Q_4 的漏极到源极电容充当将输入电压 V_{IN} 在晶体管 Q_3 与 Q_4 之间大致均匀地划分的分压器。因此,晶体管 Q_3 或晶体管 Q_4 都不需要设定大小以容纳输入电压 V_{IN} 的全幅值。

[0054] 在此描述中,术语“耦合”可涵盖使得功能关系能够与此描述一致的连接、通信或信号路径。举例来说,如果装置A产生信号以控制装置B执行某一动作,则:(a)在第一实例中,装置A通过直接连接耦合到装置B;或(b)在第二实例中,装置A通过中间组件C耦合到装置B,条件是中间组件C不更改装置A与装置B之间的功能关系,使得装置B经由装置A产生的控制信号而受装置A控制。

[0055] 此外,在此描述中,“基于”的叙述意指“至少部分地基于”。因此,如果X基于Y,则X可取决于Y和任何数目的其它因素。

[0056] “配置成”执行任务或功能的装置可在由制造商制造时配置(例如,编程和/或硬接线)成执行所述功能,和/或可在制造之后由用户配置(或可重新配置)成执行所述功能和/或其它额外或替代功能。所述配置可通过装置的固件和/或软件编程,通过硬件组件的构造和/或布局和装置的互连,或其组合来进行。

[0057] 如本文中所使用,术语“端子”、“节点”、“互连件”、“引脚”和“引线”可互换地使用。除非特别说明为相反,否则这些术语通常用于表示装置元件、电路元件、集成电路、装置或其它电子装置或半导体组件之间的互连或它们的端子。

[0058] 本文中描述为包含某些组件的电路或装置可实际上适于耦合到那些组件以形成所描述的电路系统或装置。举例来说,描述为包含一或多个半导体元件(例如,晶体管)、一或多个无源元件(例如,电阻器、电容器和/或电感器)和/或一或多个源(诸如,电压源和/或电流源)的结构可实际上仅包含单个物理装置(例如,半导体裸片和/或集成电路(IC)封装)内的半导体元件,且可适于耦合到至少一些所述无源元件和/或源以在制造时或在制造之后例如由终端用户和/或第三方形形成所描述结构。

[0059] 虽然本文中描述了特定晶体管的使用,但可替代地使用其它晶体管(或等效装置),而对其余的电路系统几乎没有改变或没有改变。举例来说,场效应晶体管(“FET”) (诸如,n沟道FET(NFET)或p沟道FET(PFET))、双极结型晶体管(BJT-例如,NPN晶体管或PNP晶体管)、绝缘栅双极晶体管(IGBT)和/或结型场效应晶体管(JFET)可代替或结合本文中所描述的装置中的一或多个而使用。晶体管可为耗尽型装置、漏极延伸装置、增强型装置、自然晶体管或其它类型的装置结构晶体管。此外,装置可实施于硅衬底(Si)、碳化硅衬底(SiC)、氮化镓衬底(GaN)或砷化镓衬底(GaAs)中/上方。

[0060] 在权利要求书中可能参考了晶体管的控制输入和其电流端子。在FET的情形下,控制输入是栅极,并且电流端子是漏极和源极。在BJT的情形下,控制输入是基极,且电流端子是集电极和发射极。

[0061] 本文中提及晶体管“激活”或“接通”意味着存在晶体管的导电沟道且漏极电流可流动通过晶体管。本文提及晶体管“去激活”或“断开”意指导通沟道不存在,因此漏极电流不流动通过晶体管。然而,“去激活”晶体管可具有流动通过晶体管的体二极管的电流。

[0062] 本文中所描述的电路可重新配置以包含额外或不同的组件以提供与组件替换之前可用的功能性至少部分地类似的功能性。除非另行说明,否则展示为电阻器的组件通常表示串联和/或并行耦合以提供由所展示电阻器表示的阻抗量的任何一或多个元件。举例来说,在本文中展示且描述为单个组件的电阻器或电容器可替代地分别为并行耦合在相同节点之间的多个电阻器或电容器。举例来说,在本文中展示且描述为单个组件的电阻器或电容器可替代地分别为在与单个电阻器或电容器相同的两个节点之间串联耦合的多个电

阻器或电容器。

[0063] 虽然所描述实例的某些元件包含于集成电路中并且其它元件在集成电路外部,但在其它示例实施例中,额外或更少特征可并入到集成电路中。另外,被示出为在集成电路外部的特征中的一些或全部特征可以包含在集成电路中,和/或被示出为在集成电路内部的一些特征可以并入在集成电路的外部。如本文中所使用,术语“集成电路”意味一或多个电路,其:(i)并入在半导体衬底中/之上;(ii)并入在单个半导体封装中;(iii)并入到同一模块中;和/或(iv)并入在同一印刷电路板中/上。

[0064] 在以上描述中短语“接地”的使用包含底盘接地、地球接地、浮动接地、虚拟接地、数字接地、公共接地和/或任何其它形式的适用于或适合于本说明书的教导内容的接地连接。在本说明书中,除非另行说明,否则在参数之前的“大约”、“大致”或“基本上”意味着在所述参数的 $\pm 10\%$ 内,或如果参数是零,那么意味着零周围的合理值范围。

[0065] 在权利要求书的范围内,在所描述实施例中可以进行修改,且其它实施例是可能的。

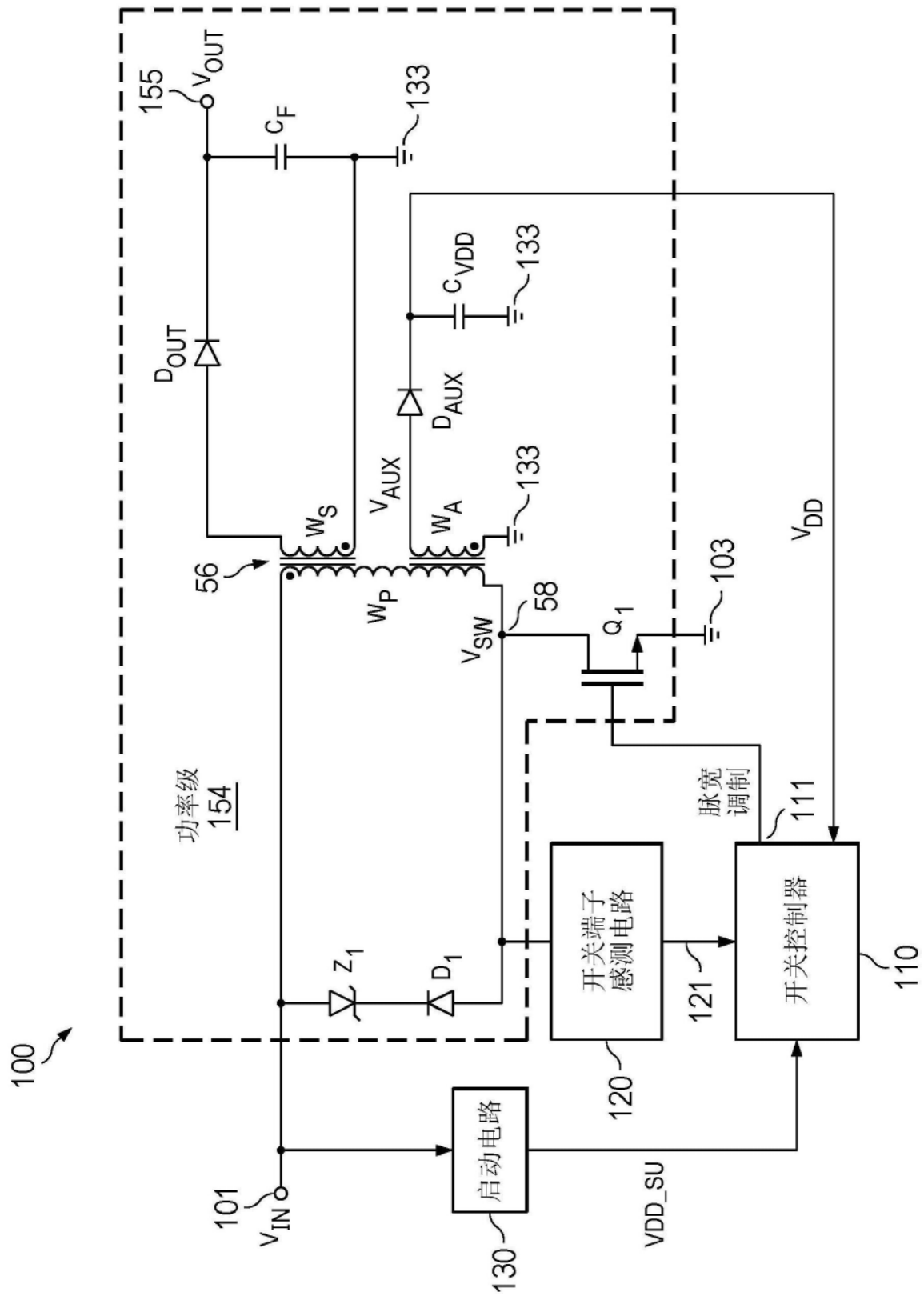


图1

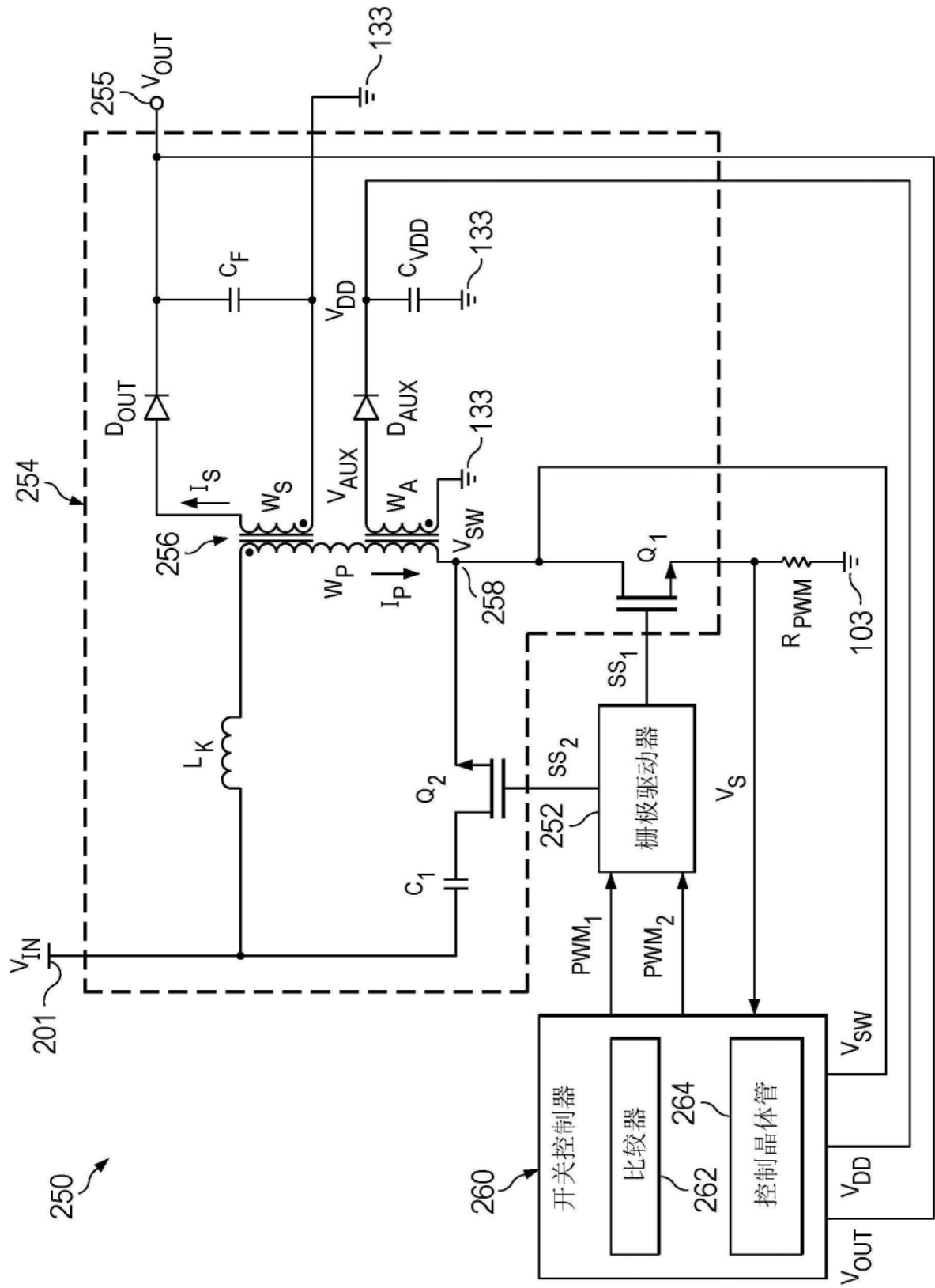


图2

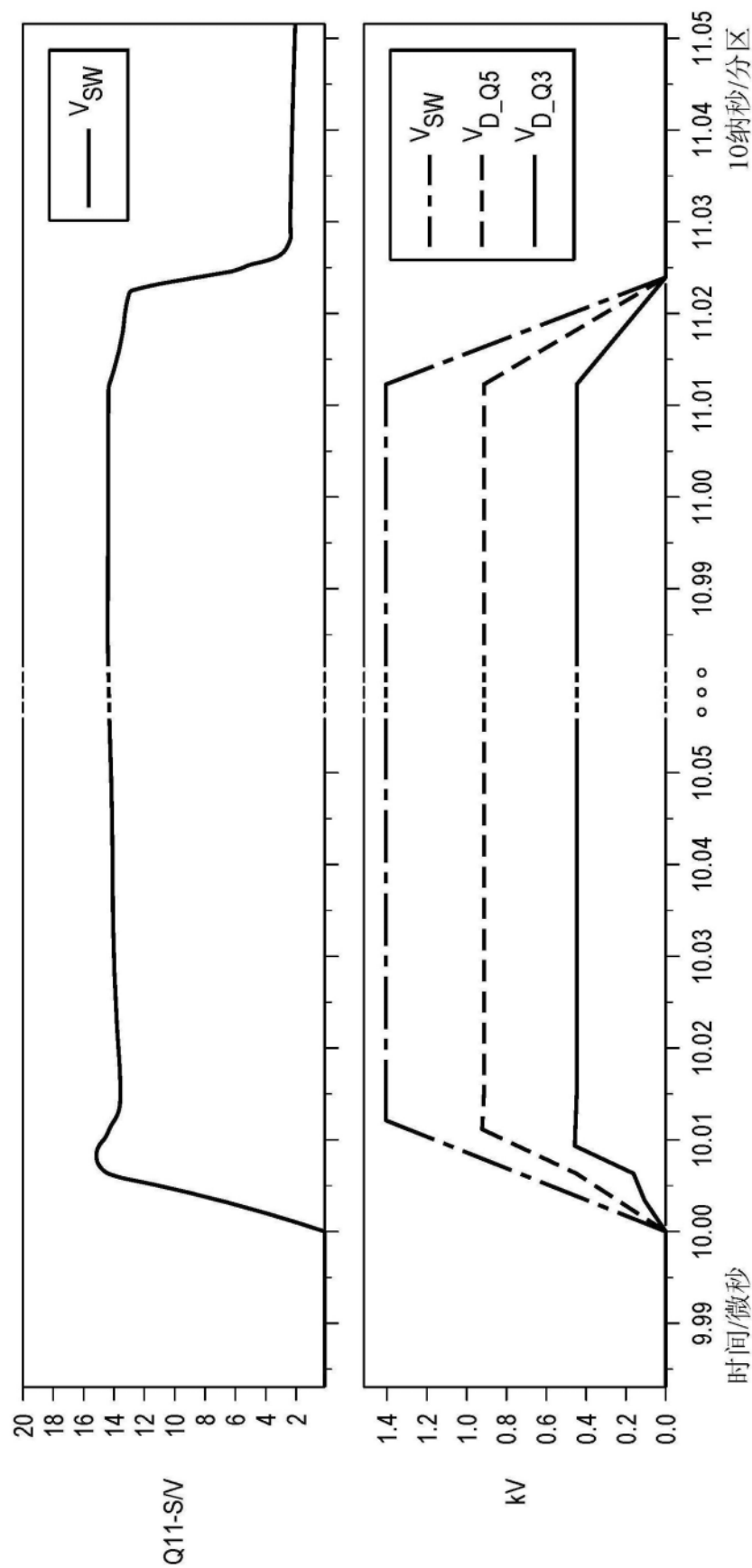


图5

