

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成28年5月26日(2016.5.26)

【公開番号】特開2014-93892(P2014-93892A)

【公開日】平成26年5月19日(2014.5.19)

【年通号数】公開・登録公報2014-026

【出願番号】特願2012-244079(P2012-244079)

【国際特許分類】

H 0 2 M 1/08 (2006.01)

H 0 3 K 17/08 (2006.01)

【F I】

H 0 2 M 1/08 A

H 0 3 K 17/08 Z

【手続補正書】

【提出日】平成28年3月30日(2016.3.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項1

【補正方法】変更

【補正の内容】

【請求項1】

電圧駆動型半導体素子のゲート電圧を制御して該電圧駆動型半導体素子をオン・オフ駆動する駆動回路と、

この駆動回路の正電圧源にカソードを接続し、前記電圧駆動型半導体素子のゲートにアンノードを接続した整流ダイオードと、

前記駆動回路の正電圧源と前記電圧駆動型半導体素子のエミッタとの間に並列接続したコンデンサと

を具備したことを特徴とする電圧駆動型半導体素子の駆動装置。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項4

【補正方法】変更

【補正の内容】

【請求項4】

電圧駆動型半導体素子のゲート電圧を制御して該電圧駆動型半導体素子をオン・オフ駆動する駆動回路と、

この駆動回路の正電圧源にカソードを接続し、前記電圧駆動型半導体素子のゲートにアンノードを接続した整流ダイオードと、

前記駆動回路の正電圧源と前記電圧駆動型半導体素子のソースとの間に並列接続したコンデンサと

を具備したことを特徴とする電圧駆動型半導体素子の駆動装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

上述した目的を達成するべく本発明に係る電圧駆動型半導体素子の駆動装置は、IGB

T (または MOS - FET) からなる電圧駆動型半導体素子のゲート電圧を制御して該電圧駆動型半導体素子をオン・オフ駆動する駆動回路と、

この駆動回路の正電圧源にカソードを接続し、前記電圧駆動型半導体素子のゲートにアノードを接続した整流ダイオードと、

前記駆動回路の正電圧源と前記電圧駆動型半導体素子のエミッタ (またはソース) との間に並列接続したコンデンサとを備えたことを特徴としている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

このような構成の電圧駆動型半導体素子の駆動装置によれば、駆動回路の正電圧源と前記電圧駆動型半導体素子のゲートとの間に介装された前記整流ダイオードは、短絡時に前記電圧駆動型半導体素子のゲートから流れ出る貫通電流 (戻り電流) を前記正電圧源に流す。このため、前記電気接続体に寄生するインダクタンス成分に起電圧が生じない。従って前記電圧駆動型半導体素子のゲート・エミッタ間電圧 (またはゲート・ソース間電圧) が前記駆動回路の出力電圧に保たれる。また前記コンデンサは、前記整流ダイオードを介して正電圧源側に流れ出た漏れ戻り電流を吸収し、前記電圧駆動型半導体素子のゲート・エミッタ間電圧 (またはゲート・ソース間電圧) の上昇を抑制する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

図 1 は本発明の一実施形態に係る駆動装置の要部概略構成図であり、図 2 に示した駆動装置と同一部分には同一符号を付して示してある。この駆動装置が特徴とするところは、前記駆動回路 20 の正極ライン (正電圧源; Vcc) と前記 IGBT 10 のゲートとの間に整流ダイオード 40 を介装すると共に、前記駆動回路 20 の正極ラインと前記 IGBT 10 のエミッタとの間にコンデンサ 50 を介装して点にある。具体的には前記整流ダイオード 40 のカソードを正極ラインに接続すると共に、そのアノードを前記 IGBT 10 のゲートに接続し、また前記コンデンサ 50 を前記正極ラインと前記 IGBT 10 のエミッタとの間に並列接続したことを特徴としている。尚、図中 34 は、前記整流ダイオード 40 と正極ラインとを結ぶ電気接続体に寄生するインダクタンス成分を示している。