(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3715714号
(P3715714)
(45)発行日　平成17年11月16日(2005.11.16)　(24)登録日　平成17年9月2日(2005.9.2)

(51)Int.Cl.[7]　F I
G06F 12/06　G06F 12/06　５１５Ｈ

請求項の数 9　(全 14 頁)

(21)出願番号　特願平8-142554
(22)出願日　平成8年6月5日(1996.6.5)
(65)公開番号　特開平9-69063
(43)公開日　平成9年3月11日(1997.3.11)
審査請求日　平成15年3月27日(2003.3.27)
(31)優先権主張番号　08/473,761
(32)優先日　平成7年6月7日(1995.6.7)
(33)優先権主張国　米国(US)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　100084032
弁理士　三品　岩男
(72)発明者　小島　浩嗣
アメリカ合衆国、カリフォルニア州　９４４０４、フォスター　シティー　１００１、バウンティー　ドライブ　７１０
(72)発明者　佐々木　勝朗
アメリカ合衆国、カリフォルニア州　９４０２２、ロス　アルトス、パイン　レーン　３９０

審査官　滝谷　亮一

最終頁に続く

(54)【発明の名称】低電力メモリシステム

(57)【特許請求の範囲】

【請求項１】

ホストプロセッサが使用する命令およびデータを格納する低電力組合せメモリシステムであって、

前記命令およびデータの中で高頻度にアクセスされるものを格納する第1の複数のメモリユニットを備える第1のメモリ要素と、

前記第1のメモリ要素とは別に設けられ、前記命令およびデータの中で低頻度でアクセスされるものを格納する第２の複数のメモリユニットを備える第２のメモリ要素と、

それぞれの命令およびデータの予測されるアクセス頻度に従って、特定の命令またはデータを前記第１または第２のメモリ要素に選択的のロードするためのメモリ制御信号に応答する手段と、

を備え、

前記第1の複数のメモリユニットそれぞれは、前記第1の複数のメモリユニットのそれぞれの第１および第２の状態を指定するための第１のスレショールド電圧を有する低電力トランジスタを備えるとともに、実行可能なプログラム内の高頻度でアクセスされる命令およびデータを保持するに足るサイズとされ、

前記低電力トランジスタは、第1の電源電圧により駆動され、第1のスレショールド電圧における漏れ電流により静的状態の間は電力を消費するが動的状態の間は電力消費を低減させ、前記ホストプロセッサが前記第1のメモリ要素にアクセスしている間は、動的電力消費を低減させながら高いメモリアクセス速度を維持し、

前記第２の複数のメモリユニットそれぞれは、前記第１および第２の状態間を指定するための前記第１のスレショールド電圧より高い第２のスレショールド電圧を有する高電力トランジスタを備えるとともに、前記実行可能なプログラム内の低アクセス頻度の命令およびデータを保持するに足るサイズとされ、

前記高電力トランジスタは、前記第１の電源電圧より高い第２の電源電圧により駆動され、動的状態における高速性能を有し、前記ホストプロセッサが前記第２のメモリ要素にアクセスしていない間は、静的電力消費を低減させながら高いメモリアクセス速度を維持すること

を特徴とする低電力組合せメモリシステム。

【請求項２】

前記第１のスレショールド電圧は約０．２Ｖであり、前記第２のスレショールド電圧は約０．５Ｖである請求項１記載のメモリシステム。

【請求項３】

前記第１の電源電圧は約１．５Ｖであり、前記第２の電源電圧は約３．０Ｖである請求項１記載のメモリシステム。

【請求項４】

前記第１のメモリ要素は前記ホストプロセッサとともにオンチップ実装される請求項１記載のメモリシステム。

【請求項５】

前記第２のメモリ要素は前記ホストプロセッサとともにオンチップ実装される請求項４記載のメモリシステム。

【請求項６】

格納された命令およびデータからなるプログラムをホストプロセッサによって実行する際のメモリシステムにおける静的および動的電力消費を最小化する方法であって、

第１の電源電圧により駆動される第１のスレショールド電圧レベルのトランジスタを有する第１の複数の低電力メモリユニットにより構成されるとともに前記ホストプロセッサに接続される第１のメモリ領域を設けるステップと、

前記第1のメモリ要素とは別に、前記第１の電源電圧より高い第２の電源電圧によって駆動され、前記第１のスレショールド電圧より高い第２のスレショールド電圧レベルのトランジスタを有する第２の複数の高電力メモリユニットにより構成されるとともに前記ホストプロセッサに接続される第２のメモリ領域を設けるステップと、

前記ホストプロセッサによる前記プログラムの実行時に高頻度にアクセスされる前記命令およびデータを特定するステップと、

前記高頻度にアクセスされる前記命令およびデータを前記第１のメモリ領域に格納するステップと、

前記ホストプロセッサによる前記プログラムの実行時に低頻度にアクセスされる命令およびデータを特定するステップと、

前記低頻度にアクセスされる命令およびデータを前記第２のメモリ領域に格納するステップとを備え、

前記第１のスレショールド電圧レベルのトランジスタは、前記ホストプロセッサが前記第１のメモリ領域にアクセスしている間は、動的電力消費を低減させながら高いメモリアクセス速度を維持し、

前記第1の複数のメモリユニットは、実行可能なプログラム内の最も高頻度にアクセスされる命令およびデータを保持するに足るサイズとされ、

前記第２のスレショールド電圧レベルのトランジスタは、前記ホストプロセッサが前記第２のメモリ領域にアクセスしていない間は、静的電力消費を低減させながら高いメモリアクセス速度を維持し、

前記第２の複数のメモリユニットは、実行可能なプログラム内の低頻度にアクセスされる命令およびデータを保持するに足るサイズとされ、

高頻度でアクセスされる命令およびデータを前記第１のメモリ領域に格納して高速性能

を維持するとともに、低頻度でアクセスされる命令およびデータを前記第２のメモリ領域に格納すること
を特徴とするメモリシステムにおける静的および動的電力消費を最小化する方法。
【請求項７】
請求項６に記載の方法において、さらに、
前記ホストプロセッサがスリープモードに入ったとき、前記高頻度にアクセスされる命令およびデータを前記第１のメモリ領域から前記第２のメモリ領域に転送するデータ転送を開始し、
前記第１のメモリ領域への前記第１の電源電圧をオフし、
前記ホストプロセッサが前記スリープモードから回復するとき、前記第１の電源電圧をオンするとともに、前記高頻度にアクセスされる命令およびデータを前記第２のメモリ領域から前記第１のメモリ領域へ再転送することを特徴とする、メモリシステムの静的および動的電力消費を最小化する方法。
【請求項８】
低電力デジタル信号プロセッサであって、
プログラム命令を実行する中央処理装置と、
前記プログラム命令およびデータを記憶する記憶要素とを備え、
前記記憶要素は、
高頻度にアクセスされるデータおよびプログラム命令を格納するための第１の複数のメモリユニットからなる第１のメモリ領域と、
低頻度にアクセスされるデータおよびプログラム命令を格納するための第２の複数のメモリユニットからなる第２のメモリ領域とを有し、
前記第１のメモリユニットのそれぞれは、前記第１のメモリユニットのそれぞれの第１および第２の状態を指定するための第１のスレショールド電圧を有する低電力トランジスタを含み、
前記低電力トランジスタは第１の電源電圧により駆動され、
前記第２のメモリユニットのそれぞれは、前記第１および第２の状態間を指定するための前記第１のスレショールド電圧より高い第２のスレショールド電圧を持つ高電力トランジスタを含み、
前記高電力トランジスタは前記第１の電源電圧より高い第２の電源電圧により駆動され、
前記第１のメモリ領域は、前記中央処理装置によるアクセス時に、前記第２のメモリ領域より少ない電力を消費し、
前記第２のメモリ領域は、静的動作時に、前記第１のメモリ領域より少ない電力を消費し、
前記第１のメモリ領域と前記中央処理装置との間に接続され、前記第１のメモリ領域と前記中央処理装置との間でデータを転送するための第１のアドレスバス、データバスおよび制御バスと、
前記第２のメモリ領域と前記中央処理装置との間に接続され、前記第２のメモリ領域と前記中央処理装置との間でデータを転送するための第２の前記第１の各バスより長いアドレスバス、データバスおよび制御バスと
を備えたこと
を特徴とする低電力デジタル信号プロセッサ。
【請求項９】
請求項８記載の低電力デジタル信号プロセッサにおいて、
さらに、スリープモード回路を備え、
該スリープモード回路は、前記デジタル信号プロセッサがスリープモードに入るとき、前記高頻度にアクセスされるメモリおよびデータを前記第１のメモリ領域から前記第２のメモリ領域へ転送するメモリ内容転送回路と、
該転送の後に前記第１の電源電圧をオフする遮断回路と、

前記デジタル信号プロセッサが前記スリープモードから回復する時、前記第１の電源電圧をオンするとともに前記高頻度にアクセスされる命令およびデータを前記第１の命令領域へ再転送する再開回路と
を有すること
を特徴とする低電力デジタル信号プロセッサ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、概して、メモリデバイスに関し、特に、頻繁にアクセスされる変数に対する速度性能を維持しながら静的漏れ電流を低減するよう最適化された低電力メモリシステムに関する。
【０００２】
【従来の技術】
本発明は、低電力メモリシステムを実現するために、低スレショールド電圧・低電源電圧メモリセルと、高スレショールド電圧・高電源電圧メモリセルとを組み合わせることにより、改良したメモリシステムを提供するものである。
【０００３】
メモリシステムの性能は、速度、コスト、電力消費、全体サイズ（面積）、およびその他の種々の性能パラメータの観点から評価することができる。競争の激化の一途を辿っている信号プロセッサの業界では、設計者は、パッケージサイズを最小にするために、このようなプロセッサとともに用いられるメモリシステムの電力消費性能を向上させるよう努力してきた。しかし、設計者は、同時に、競争力のある速度性能を提供しつづける必要があった。したがって、メモリシステムの設計者は、速度との兼ね合いをとりながらメモリシステムの電力消費の向上を図る様々な方法を採用してきた。従来技術におけるこのような試みは、二つの領域、すなわちセルレベルでの改良と、システムレベルでの改良とに分類することができる。
【０００４】
【発明が解決しようとする課題】
メモリセルの設計者は、セル設計の発達の観点から種々の考慮事項のバランスをとる。典型的には、設計者は、電力消費や速度に関する多くの事項についてセルを最適化しようとする。速度についてデバイスを最適化するためには、設計者は通常、低スレショールド電圧トランジスタを用いて設計を行う。メモリセル内の個々のトランジスタのスレショールド電圧を下げることにより、速度性能が向上する。しかし、スレショールド電圧を下げることにより、それに伴ってトランジスタの漏れ電流が増加し、その結果、メモリセルの電力消費に影響が出る。
【０００５】
その代わりに、設計者は、消費電力の低減のためにセルの設計を最適化しようとするかもしれない。ある与えられたセルの全体の電力消費を改善するために設計者が行うことは、そのセルが動的状態（すなわちセルアクセス時）にあるとき、あるいは静的状態（すなわち非アクセス時またはスタンバイ状態）にあるとき、セルの性能を向上させようとすることであろう。従来、設計者は、これらの２つの状態のいずれか一方のみ（動的または静的）に対して最適化されたメモリシステムを実現してきた。一般的には、設計者は、高速性能を維持するために、高電圧電源により駆動される高スレショールド電圧トランジスタからなるメモリセルの方を選択してきた。しかし、高電源電圧を用いることにより、メモリセルトランジスタの１回のアクセス当たりの消費電力は、その増加した電圧レベルに比例して増加する。これとは別に、設計者は、低電源電圧により駆動される低スレショールド電圧トランジスタを用いたメモリシステムを実現してきた。このような低電源電圧により動的状態（セルのアクセス時）における電力消費性能を向上させる一方で、これに伴い、低スレショールドデバイスの使用により定常状態における漏れ電流の増加が発生するということが、当業者には理解されよう。これらの個々の構成によって、メモリセルに使用さ

れるトランジスタのある与えられた状態について電力消費を低減することができるが、いずれも、速度性能を維持しながら静的かつ動的の両状態における最適化を実現するものではない。

【０００６】

例えば、殆どのデジタル信号プロセッサおよびマイクロプロセッサは、スタティックＲＡＭを用いている。マイクロプロセッサあるいはデジタル信号プロセッサデバイスにより消費されるスタンバイ電力の大部分は、このスタティックＲＡＭに付随する漏れ電流に起因する。通常、スタティックＲＡＭは、低電源電圧構造（０．５μｍ以下の微細なＣＭＯＳプロセスデバイス）により駆動される低スレショールド電圧トランジスタで構成された場合、大きな漏れ電流を示す。代わりに、高スレショールド電圧トランジスタで構成した場合、そのデバイスの漏れ電流は最小化されるが、低電源電圧に付随した速度性能が劣化する。結局、高スレショールド電圧トランジスタを高電源電圧構造で実現した場合には、その速度性能は向上するが、必然的にアクセスの度に電力消費が増大する。したがって、設計者は、典型的なスタティックＲＡＭを設計する際に、電力消費と速度のいずれかの選択を強いられる。

【０００７】

システムレベルでは、このような電力消費・速度問題に直面した設計者は、速度性能を向上させ電力消費を最小化するため、種々のアーキテクチャを実現してきた。その一例は、キャッシュメモリの使用である。キャッシュメモリの基本概念は、キャッシュメモリを採用することにより、最も頻繁にアクセスされるメモリ変数(memory variables)を局在化することである。したがって、キャッシュメモリアーキテクチャは、メインメモリへのアクセス回数を劇的に最小化するよう設計され、それによって、メモリシステム全体の速度性能および電力消費を向上させた。しかし、従来の典型的なキャッシュメモリアーキテクチャでは、キャッシュメモリへのアクセス速度を高く維持するため、メインメモリおよびキャッシュメモリの電源電圧は同じになっている。したがって、キャッシュメモリおよびメインメモリの両メモリの電力消費を、前述したような定常状態および動的動作の両方について最適化することはできない。

【０００８】

同様に、ページメモリ(paged memory)システムを含む速度指向の他の設計案も実現されてきた。ページメモリシステムでは、メモリデバイスの個々のページに対する多数回のアクセスが同一クロックサイクル中で実現され、これによりメモリシステムの速度性能が向上する。しかし、ページレベルでの１アクセス当たりの電力消費、あるいは、スタンバイモードでの電力消費は、ページアーキテクチャにおける任意の個々のメモリセルに対して同じである。設計者の直面している問題は、如何に、速度低下を招くことなく静的モードおよび動的モードの両方においてメモリシステムの電力消費を低減するかにある。

【０００９】

本発明の目的は、全体の電力消費を最小化しながら、速度性能を最適化した低電力メモリアーキテクチャを提供することにある。

【００１０】

本発明の他の目的は、メモリシステムの電力消費を最小化するために、単一または複数チップ環境で、高スレショールド高電源電圧メモリセルとともに低スレショールド電圧低電源電圧メモリセルを実現する低電力メモリアーキテクチャを提供することにある。

【００１１】

本発明の他の目的は、頻繁にアクセスされるメモリセルのアクセス当たりに消費される電力を最小化するとともに、スタンバイモードでのアクセス頻度の低いメモリセルの電力消費をも最小化する低電力メモリシステムを設計する方法を提供することにある。

【００１２】

【課題を解決するための手段】

本発明の装置は、低電圧源により駆動される低スレショールド電圧トランジスタを含むメモリセルを用いて構成された第１のメモリ領域（ＭＥＭ－Ａ）と、高電圧源により駆動さ

れる高スレショールド電圧セルを含むメモリセルを用いて構成された第２のメモリ領域（ＭＥＭ－Ｂ）とを有するメモリシステムからなる。第１のメモリ領域ＭＥＭ－Ａは、頻繁にアクセスされる変数を格納し、第２のメモリ領域ＭＥＭ－Ｂはそれよりアクセス頻度の低い変数を格納するように設計される。ＭＥＭ－Ａに格納された最も頻繁にアクセスされる変数は、低電源電圧および低スレショールド電圧設計に起因してアクセス当たりの消費電力が低く、高速のアクセスを提供するものである。一方、ＭＥＭ－Ｂに格納されたアクセス頻度の低い変数はアクセス当たり高電力を必要とするが、静的状態の条件下ではその漏れ電流は無視できる。

【００１３】

本発明の他の目的および特徴は、図面を参照して、請求の範囲および後述の詳細な説明から容易に明らかとなろう。

【００１４】

【発明の実施の形態】

図１に、本発明の好適な実施例によるメモリシステム１００を示す。処理要素１０２は、共通アドレス・データバス１０４を介して、ローカルメモリデバイス１０６と、ノーマルメモリデバイス１０８に接続される。処理要素１０２は、また、ローカルＸアドレス・Ｘデータバス１１０と、ローカルＹアドレス・Ｙデータバス１１２にも接続される。ローカルメモリ１０６は、ページ構造メモリユニットに相当する複数の個々のページ１０６－１，１０６－２，１０６－３および１０６－４を有する。各ページ１０６－１～１０６－４は、それぞれ両ＸおよびＹデータ・アドレスバス１１０，１１２に接続される。この好適な実施例では、ページ構造ローカルメモリユニットは、個々のローカルアドレス・データバスＸおよびＹ１１０，１１２に関連して、同一のクロックサイクル中に２回までのローカルメモリアクセスが行えるように、構成されている。ローカルメモリ１０６は、低電圧源により駆動される低スレショールド電圧トランジスタで構成される複数のメモリユニットから成る。この好適な実施例では、電源電圧（ＶDD）は１．５ボルトであり、低スレショールド電圧（Ｖth）は、約０．２ボルトである。ノーマルメモリ１０８は、約０．５ボルトのスレショールドＶthをもつ高スレショールド電圧トランジスタを採用した複数のメモリユニットを有し、各トランジスタは約３ボルトの高電源電圧により駆動される。

【００１５】

この組合せメモリアーキテクチャによる電力消費節減は、直ちには明らかではないかもしれない。しかし、「キャッシュ」型のアーキテクチャとともに使用される場合には、顕著な電力消費節減が実現される。

【００１６】

メモリシステム１００に提供される特有のアーキテクチャにより、プログラマは、種々のプログラムデータあるいは変数をどのメモリ位置に格納するかを選択することができる。従って、プログラマは、アクセス頻度の高いデータ／変数の格納をローカルメモリ位置１０６へ行うとともに、比較的アクセス頻度の低いデータの格納をノーマルメモリ位置１０８へ行うことができる。

【００１７】

前述したように、メモリ要素の電力消費は、メモリ要素がアクセスされていないスタンバイモード時に消費される電力の量と、通常のアクセス処理中に消費される電力の量とにより決まる。よって、頻繁にアクセスされるメモリ位置に帰する電力消費を決定するためには、アクセス時のそのメモリユニット性能を分析する必要がある。逆に、アクセス頻度の低いメモリ位置については、通常、その電力消費に寄与するのは、スタンバイすなわち待機モードにおいて消費される電力の量である。

【００１８】

したがって、本発明のこの好適な実施例によるメモリ構造を実現する場合、メモリシステム１００の電力消費は、与えられたプログラムの最も頻繁にアクセスされるデータ／変数を保持するに足るサイズの低電力の第１のメモリバンク（ローカルメモリ１０６）と、これに接続され、すべての低アクセス頻度の変数／データを格納する第２のメモリバンクを

用意することにより、最適化される。第１のメモリ領域（ローカルメモリ１０６）は、低電圧源により駆動される低スレショールド電圧トランジスタの選択によりアクセス当たりの電力消費が低減されたものとして特徴づけられる。第２のメモリ領域は、高電圧源により駆動される高スレショールド電圧に起因する、スタンバイモードでの低電力消費によって特徴づけられる。したがって、ある与えられたプログラムに対して、メモリシステムの電力消費は、相対的なアクセスの要請に応じてメモリシステムへのプログラムデータの効果的なローディング（格納）により最適化することができる。

【００１９】

本好適な実施例では、ローカルメモリ１０６は、ページ構造メモリデバイスを具現するものとして分割されている。当業者には、本発明の範囲を逸脱することなく分割されないローカルメモリも実現できることが理解されよう。ローカルメモリの分割は、同一メモリ要素への多数回同時アクセスに関連して行える設計上の選択であり、制限的に解釈すべきものではない。

【００２０】

図２に、本発明による好適な実施例に関するメモリマップを示す。このメモリマップは、相対アドレス０ｘ００００で始まる第１のノーマルメモリ領域２０２と、アドレス０ｘ１０００で始まる第１のページとアドレス０ｘ１０４０で始まる第２のメモリページと相対アドレス０ｘ１０８０で始まる第３のメモリページと、相対アドレス０ｘ１０ｃ０で始まる第４のメモリページとからなるページ構造の低電力メモリ領域２０４とを有する。最後に、このメモリマップは相対アドレス位置０ｘ１１００で始まるノーマルメモリ領域２０６を有する。さらに、メモリマップは、外部メモリに関連したアドレスとして確保された外部メモリ領域２０８を有する。この実施例では、メモリの小部分（２５６ワード）がローカルメモリ（低電力メモリ領域２０４）として構成される。このローカルメモリは、メモリユニットアクセス時の電力消費を最小化するために、低スレショールド電圧トランジスタおよび低電源電圧デバイスで具現される。メモリの残りの部分、すなわち本メモリ構造の残りの１５．７５ｋの部分は、高スレショールド電圧トランジスタおよび高電源電圧デバイスにより具現される。したがって、このタイプのメモリアーキテクチャは、本メモリアーキテクチャ内に格納される最もアクセス頻度の高いデータのアクセス当たりの低電力消費を可能とするとともに、アクセス頻度の低いデータに対するスタンバイすなわち非動作モード時の最低電力消費を可能としたものである。このようにして、本メモリシステムの全体の電力消費は、メモリデバイス全体の速度に悪影響を与えることなく、最適化される。

【００２１】

図３に、本発明のメモリアーキテクチャを採用したデジタル信号プロセッサ（ＤＳＰ）３００を示す。このデジタル信号プロセッサ３００は、処理ユニット３０２、プログラムカウンタ３０４、命令デコーダ３０６、ローカルメモリ３０８、ノーマルメモリ３１０、および外部メモリ３１２を有する。ＤＳＰ３００は、さらに、共通アドレスバス３１４、共通データバス３１６、Ｘ・Ｙローカルアドレスバス３２０，３２２、Ｘ・Ｙローカルアドレスバス３２０，３２２、およびＸ・Ｙローカルデータバス３２４，３２６を有する。ローカルメモリ３０８の種々のページをアクセスするために、Ｘローカルアドレスバスにはアドレス演算器３３０が接続される。同じメモリサイクル中、ローカルメモリの最大２つの異なるページをアクセスするために、Ｙアドレスバス３２２に第２のアドレス演算器３３２が接続される。

【００２２】

アドレス演算器３３０，３３２は、現在アドレス、増分変位量、あるいは他のアドレスポインタ等、種々のアドレス値を保持するアドレスレジスタを有する。

【００２３】

この好適な実施例では、ローカルメモリ３０８は、典型的には０．２ボルトオーダー（Ｖth＝０．２ボルト）の低電圧スレショールドトランジスタにより構成される。加うるに、メモリページ０～３、すなわちそれぞれ３０８－０、３０８－１，３０８－２，３０８－

３からなるマルチページローカルメモリが用いられる。このマルチページメモリアーキテクチャは、ローカルアドレス・データバス上の容量を最小化することにより電力消費を低減するように具現される。この好適な実施例では、ローカルアドレス・データバスは、バスに接続されたモジュール数が共通バスに比べて少ないので、より小さい負荷容量を有し、その結果、共通バス構造より短い物理配線長となる。このようにして、容量に起因する電力消費の低下が実現される。前述したように、アドレス演算器を二重化したことによって、独立したローカルアドレスバス３２０，３２２により、同一クロックサイクル内に、ページ構造ローカルメモリ３０８の最大２ページまでのアクセスが可能となる。

【００２４】

図４に、本発明の好適な実施例のメモリアーキテクチャを具現したメモリシステムと処理要素との間のデータ転送動作の例を示す。この例では、本発明の好適な実施例のメモリアーキテクチャの利点を強調するために、７タップフィルタプログラムの実行例を示す。

【００２５】

メモリマップ４００には、７タップフィルタプログラムがロードされている。この例の説明のため、メモリ位置０ｘ８０００から０ｘ８００６が、入力データの循環バッファ（４０２）として割り当てられている。メモリアドレス位置０ｘ８２００から０ｘ８２０６は、７タップフィルタプログラムに関連したフィルタ係数（４０４）の格納用に割り当てられている。アドレス位置０ｘ９０００から０９０ｆｆには２５６個の入力データ列（４０６）が格納されている。最後に、このフィルタの計算から得られる出力データ列（４０８）がメモリのアドレス０ｘ９２００から０ｘ９２ｆｆまでに格納されるよう指定されている。

【００２６】

この動作において、処理要素４１０は、メモリ位置０ｘ８２００から０ｘ８２０６に格納された７個の係数と、位置０ｘ８０００から０ｘ８００６までの循環バッファ内に格納された入力データ列とを用いて、ｎ番目の出力ｙ（ｎ）を計算する。この例では、循環バッファは一時メモリであり、デジタル信号処理に共用される。フィルタプログラムの実行時、本メモリシステムは、スクラッチパッド（メモリ位置４０２）、入力データ源（メモリ位置４０６）、変数データ源（メモリ位置４０４）、および、フィルタプログラムの一部として計算された出力データ列を格納する格納デバイス（メモリ位置４０８）として利用される。具体的には、処理要素４１０は、入力としてメモリデバイスからフィルタ係数と入力データ列とを受け取り、フィルタ処理の一部として出力データ列を出力する。この特定の例においては、７タップフィルタプログラムの実行時、アドレス位置０ｘ８０００から０ｘ８００６までのメモリ領域は、フィルタプログラムを実行するために総計２０４８回アクセスされる。同様にアドレス位置０ｘ８２００から０ｘ８２０６は、この実行処理中に１７９２回アクセスされる。これらの高頻度アクセスメモリ領域に対して、メモリ位置０ｘ９０００から０９０ｆｆと、０ｘ９２００から０ｘ９２ｆｆとは、実行処理中に５１２回しかアクセスされない。

【００２７】

本発明の好適な実施例に記載したようなメモリシステムの具現を効果的に利用して、高頻度に使用されるメモリ領域（この例ではアドレス位置０ｘ８０００から０ｘ８００６および０ｘ８２００から０ｘ８２０６）に関連する電力消費を最小限にすることができる、ということが当業者には理解されよう。これは、高頻度アクセスメモリ位置のアクセス当たりの電力消費を最小化するために低スレショールド・低電源電圧型のトランジスタで第１のメモリ位置を具現することにより達成される。同様に、高電源電圧・高スレショールド電圧トランジスタで第２のメモリ領域を具現することにより、すべての低頻度アクセスメモリ位置（この例では、メモリ位置０ｘ９０００から０ｘ９０ｆｆおよび０ｘ９２００から０ｘ９２ｆｆ）について定常状態動作に対して電力消費を最小化することができる。

【００２８】

本発明の好適な実施例のメモリアーキテクチャを利用した一例として図４に示したフィルタの動作を考慮すると、これは０．４マイクロジュールのエネルギーしか消費しない。す

なわち、２５ナノ秒のデューティーサイクルを想定すれば、これは６０ミリワットの電力消費に相当する。これに対し、ノーマルメモリ（高電源電圧・高スレショールド電圧）のみの従来のメモリシステムを用いたとすれば、その消費エネルギーは１．３マイクロジュールとなり、これは２５ナノ秒デューティーサイクル周期で２００ミリワットの電力消費に相当する。現在のところ、本発明の好適なメモリシステムを実現することにより、メモリ電力消費は３．５分の１（約３０％）にまで低減されたことになる。

【００２９】

さらに興味深いのは、メモリユニットを低電力動作用に構成した場合である。もし、すべてのメモリユニットを従来のように、低電圧源で駆動される低スレショールド電圧トランジスタで特徴づけられる低電力メモリで構成したとすれば、動的アクセス時には、エネルギー量は４０ミリワットにすぎないであろう。しかし、静的スタンバイモード時には、低電力動作用に構成されたメモリシステムは、低スレショールドデバイスに付随する漏れ電流に起因して付加的に７５０ミリワットの電力を消費する。したがって、本発明の好適な実施例によりメモリシステムを具現することにより、低電力メモリで具現する場合に比べて消費電力を１３分の１に低減することができる。

【００３０】

他の実施例

本発明の好適な実施例のメモリシステムを具現するＤＰＳ３００は、ＤＳＰのスリープまたはスタンバイモード時のリーク電圧を最小化するよう、さらに改良することができる。ＤＳＰ３００で生じる漏れ電流はメモリシステムを低電力メモリで構成した場合よりは十分小さいが、ローカルメモリに利用した少数の低電力・低スレショールドメモリユニットに関連して本発明の好適な実施例において小漏れ電流が発生する。この小漏れ電流は、ＤＳＰの用途に対してなお問題を招来する可能性がある。したがって、この漏れ電流は、他のメモリアーキテクチャを具現することにより、さらに最小化することができる。このメモリアーキテクチャは、スリープまたはスタンバイモードの前にローカルメモリからノーマルメモリへ変数を移動させるものである。このデータの移動により、ローカルメモリ電力は完全に停止され、ローカルメモリによるスタンバイ電流の流れはすべて遮断される。

【００３１】

次に図５（ａ）に、本発明の他の実施例に関するメモリマップ５００を示す。このメモリマップ５００は、ＤＳＰがスリープモードに入る前のメモリシステムの状態を反映している。ローカルメモリ格納領域５０２は、最もアクセス頻度の高いメモリ位置に関連するデータバイト５０３を格納する低電力メモリ領域として構成されている。ノーマルメモリ格納領域５０４は、残りの低アクセスプログラムデータバイト５０５を格納するための高電力メモリ領域として構成されている。図５（ｂ）に、ホストＤＳＰがスリープモードに入った後の当該他のメモリアーキテクチャのメモリマップを示す。この実施例では、ＤＳＰは、ＤＳＰがスリープまたはスタンバイモードに入る直前に、ローカル低電力・低スレショールド電圧トランジスタメモリ（ローカルメモリ５０２）に格納されている変数情報（データバイト５０３）をノーマルメモリ（５０４）へ転送する。その後、ローカルメモリへの電力は遮断され、本メモリシステムの漏れ電流は実質上なくなる。これは、勿論、静的・非アクセス状態で漏れ電流がゼロとなるノーマルメモリに利用されている高スレショールド・高電源電圧トランジスタに起因する。ＤＳＰがスリープまたはスタンバイモードから通常の動作に戻ったとき、すべての必要なデータ（データバイト５０３）はローカルメモリ５０２へ戻すことができ、ローカルメモリを復旧させることができる。これはＤＳＰアーキテクチャ内の処理により制御されるオーバーヘッド機能であることが当業者には理解されよう。このようなアーキテクチャを実現することにより、ＤＳＰの静的またはスリープスタンバイモード時の漏れ電流がゼロとなる。

【００３２】

更に別の実施例において、本発明の好適な実施例の低電力メモリシステムはキャッシュメモリ構成において利用しうる。通常、キャッシュメモリ構成は、前述したように速度と電力の問題を最適化するために、大容量メモリ格納デバイス（メインメモリ）とともに小容

量メモリ要素（キャッシュ）とを用いる。キャッシュアーキテクチャにおいて、キャッシュは、「好都合」にアクセスできる位置に最頻アクセスデータ（および関連するアドレス）を格納するために用いられる。

【００３３】

キャッシュにおいて「ヒット」（メモリ位置のメモリリクエストがキャッシュ内に格納されている）が発生したとき、最適化が生じ、その結果、より短いバス長に起因して、プロセッサリクエストに対するメモリ応答が高速となるとともに、電力消費性能が改善される。

【００３４】

次に図６に、本発明の教示内容を具現するキャッシュメモリアーキテクチャを示す。中央処理回路６００は、中央処理ユニット（ＣＰＵ）６０２、制御バス６０４、データバス６０６、アドレスバス６０８、および第１のキャッシュメモリ６１０を有する。第１のキャッシュメモリ６１０には、制御線６２２、アドレス線６２４およびデータ線６２６を介して、外部メモリ要素６２０が接続される。キャッシュメモリ６１０は、低電圧源により駆動される低スレショールド電圧トランジスタ（Ｖth＝０．５Ｖ，ＶDD＝３．０Ｖ）で構成される。

【００３５】

典型的なリード（読み出し）動作では、中央処理（プロセッサ）ユニット６０２は、読み出されるべきアドレスバス６０８上の関連アドレスを指定するリードリクエストを制御バス６０４上に出力する。キャッシュメモリ６１０は、このリードリクエストを受けると、このリクエストに応答しようとし、その要求されたデータがキャッシュのアドレスの１つに格納されているか否かを判定する。キャッシュメモリには、実アドレスをキャッシュの内部アドレスに対応づけるために、ダイレクトマッピング、アソシアティブマッピング、あるいは他のマッピング方式を採用することができる。第１のキャッシュメモリ６１０内に要求されたデータのブロックが見つかった場合、そのデータがデータバス６０６上に出力され、要求元のプロセッサへ返送される。逆に、そのデータブロックが見つからなかった場合、そのデータブロックをメインメモリから取り出すため、リードリクエスト信号とアドレスが、制御線６２２およびアドレスバス６２４を介してメインメモリへ渡される。メインメモリは、第１のキャッシュからそのリクエストを受けると、データ線６２６を介して当該データを第１のキャッシュ６１０に書き込む。これによって、キャッシュ内の現在のデータエントリが「上書き(victimize)」され（必要ならば、メインメモリへの書き戻しが行われる）、プロセッサに対してデータバス６０６上に当該データが出力される。

【００３６】

キャッシュメモリの維持、アドレス操作、検索ルーチン、および上書きルーチンは、従来知られている方法により行える。低電力メモリユニットおよび高電力メモリユニットを本発明で開示したように組み合わせることにより、動的および静的性能について任意の単レベルまたは多レベルキャッシュ方式を最適化することができることが、当業者に理解されよう。本実施例では、低電力メモリ（低電源電圧・低スレショールド電圧トランジスタ）によりキャッシュメモリを構成するとともに、ノーマルメモリユニット（高スレショールド電圧・高電源電圧トランジスタ）によりメインメモリを構成した。低電力メモリと高電力メモリとを組み合わせることにより、メモリシステムの全電力消費を最適化することができる。したがって、低電力メモリで構成された低スレショールドトランジスタに起因して、キャッシュメモリデバイスに関連する頻繁なアクセス時のキャッシュメモリの動的電力消費は小さい。メインメモリは静的な電力を消費しないので、最近アクセスされていないメモリ部分に関する電力消費が最小化される。要するに、アクセス頻度の高いメモリ位置と、アクセス頻度の低いメモリ位置の両方が、それらの動作のノーマルモードにおける電力消費を最小化するよう最適化されるので、全体の電力消費を低減することができる。

【００３７】

本発明の好適な実施例としてスタティックＲＡＭの実施例を説明したが、本発明の発明概念がＤＲＡＭ、フラッシュメモリ、マスクＲＯＭ、およびＥＰＲＯＭメモリを含む他の型

のメモリにも適用できることは、当業者に理解されよう。さらに、本発明のメモリシステムを具現する際に、オンチップメモリおよびマルチチップメモリモジュール、またはオフチップメモリアーキテクチャが利用できる。

【００３８】

以上、幾つかの特定の実施例について説明したが、その説明は本発明の例示であり、本発明を制限するものではない。添付の特許請求の範囲に記載された本発明の精神および範囲から逸脱することなく他の種々の変更を行うことが可能である。

【００３９】

【発明の効果】

本発明によれば、全体の電力消費を最小化しながら、速度性能を最適化した低電力メモリアーキテクチャを提供することができる。

【図面の簡単な説明】

【図１】本発明の好適な実施例によるメモリシステムのブロック図である。

【図２】本発明の好適な実施例によるメモリシステムに使用する見本メモリマップである。

【図３】本発明による好適な実施例によるメモリシステムを実現するデジタル信号プロセッサのブロック図である。

【図４】本発明の好適な実施例による改良されたメモリシステムとともに利用される７タップフィルタプログラムをロードしたメモリマップを示す。

【図５】デジタル信号プロセッサに用いる低電力メモリシステムのメモリマップであり、（ａ）はスリープモードに入る前のメモリマップを示し、（ｂ）は省電力スリープモード処理を行うときにスリープモードに入った後のメモリマップを示す。

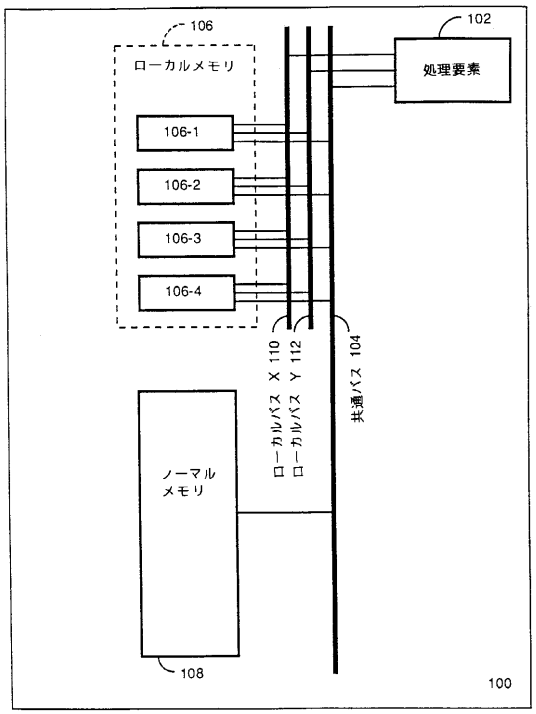
【図６】本発明の他の実施例による低電力メモリシステムを採用したキャッシュメモリアーキテクチャを示す。

【符号の説明】

１０２…処理要素、１０４…共通バス、１０６…ローカルメモリ、１０８…ノーマルメモリ、１１０…ローカルバスＸ、１１２…ローカルバスＹ

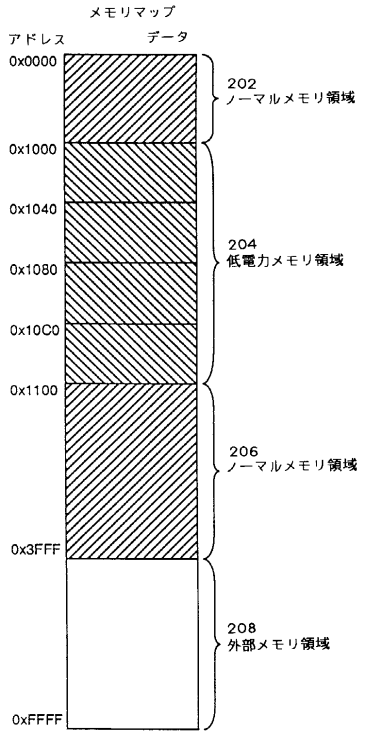
【図１】

図1



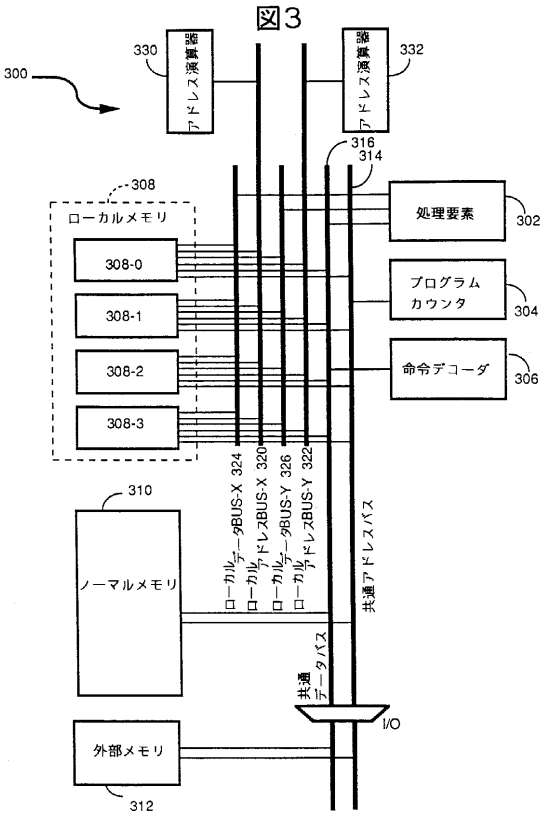
【図２】

図2



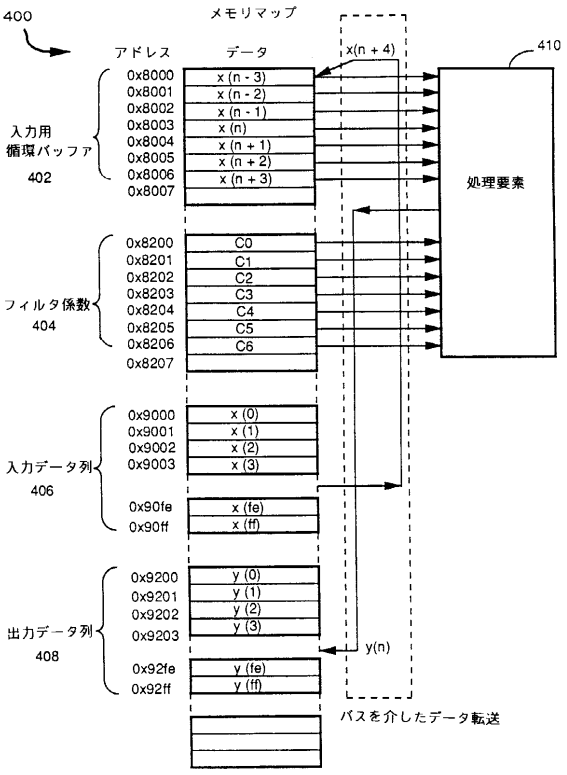
【図３】

図3



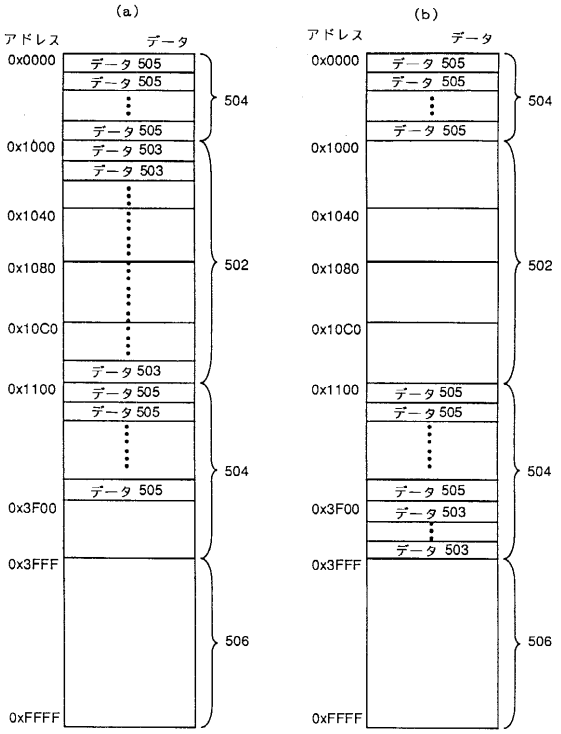
【図４】

図4



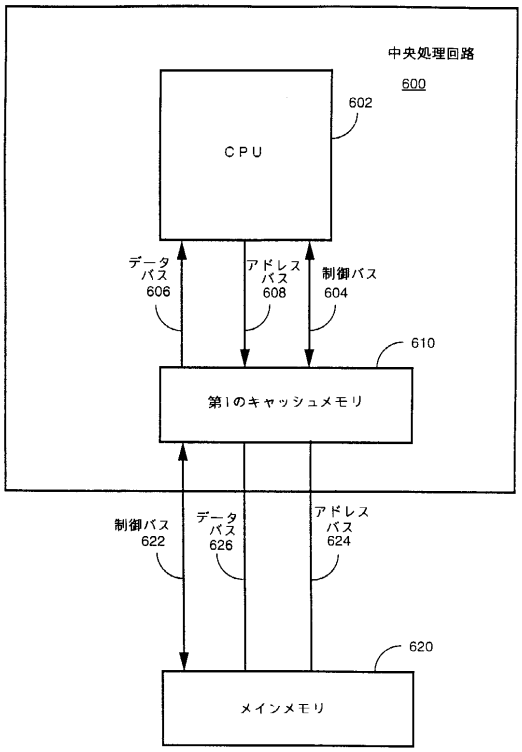
【図５】

図5


(a)
アドレス
データ
0x0000
データ 505
データ 505
504
データ 505
0x1000
データ 503
データ 503
0x1040
0x1080
502
0x10C0
データ 503
0x1100
データ 505
データ 505
504
データ 505
0x3F00
0x3FFF
506
0xFFFF
(b)
アドレス
データ
0x0000
データ 505
データ 505
504
データ 505
0x1000
0x1040
0x1080
502
0x10C0
0x1100
データ 505
データ 505
504
データ 505
0x3F00
データ 503
データ 503
0x3FFF
506
0xFFFF

【図６】

図6


中央処理回路
600
602
CPU
データ
バス
606
アドレス
バス
608
制御バス
604
610
第1のキャッシュメモリ
制御バス
622
データ
バス
626
アドレス
バス
624
620
メインメモリ

フロントページの続き

(56)参考文献 特開平０４－０５４６５０（ＪＰ，Ａ）
特開平０７－１０５６８６（ＪＰ，Ａ）
特開平０６－０７５６７２（ＪＰ，Ａ）
特開平０８－１１１０８７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G06F 12/00-12/06
G06F 1/32
G06F 12/16