

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6388369号
(P6388369)

(45) 発行日 平成30年9月12日(2018.9.12)

(24) 登録日 平成30年8月24日(2018.8.24)

(51) Int.Cl.

F I

HO 4 N 1/028 (2006.01)
 HO 4 N 5/335 (2011.01)
 HO 1 L 25/04 (2014.01)
 HO 1 L 25/18 (2006.01)

HO 4 N 1/028 Z
 HO 4 N 5/335 5 O O
 HO 1 L 25/04 Z

請求項の数 14 (全 13 頁)

(21) 出願番号 特願2014-79151 (P2014-79151)
 (22) 出願日 平成26年4月8日(2014.4.8)
 (65) 公開番号 特開2015-201740 (P2015-201740A)
 (43) 公開日 平成27年11月12日(2015.11.12)
 審査請求日 平成29年4月6日(2017.4.6)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100101498
 弁理士 越智 隆夫
 (74) 代理人 100106183
 弁理士 吉澤 弘司
 (74) 代理人 100128668
 弁理士 齋藤 正巳
 (72) 発明者 鈴木 達也
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 チップ、マルチチップモジュール、及びこれらを備える装置

(57) 【特許請求の範囲】

【請求項 1】

複数の単位セルと、前記複数の単位セルを走査することで、前記複数の単位セルの各々から信号を出力させる走査回路と、電圧電流変換回路と、電流電圧変換回路と、第1出力端子と、第2出力端子と、入力端子とを有するチップであって、

前記電流電圧変換回路は、前記チップの外部から前記入力端子に入力された第1の電流信号を第1の電圧信号に変換し、

前記走査回路は、前記電流電圧変換回路から出力された前記第1の電圧信号に応答して走査を開始し、

前記電圧電流変換回路は、前記走査回路から出力された第2の電圧信号を第2の電流信号に変換し、

前記複数の単位セルの各々が出力する信号が前記第2出力端子から前記チップの外部に順次出力されている期間に、前記第1出力端子から前記チップの外部に前記第2の電流信号が出力される

ことを特徴とするチップ。

【請求項 2】

前記第2出力端子から前記チップの外部に出力される信号は電圧信号である
 ことを特徴とする請求項1に記載のチップ。

【請求項 3】

複数の単位セルと、前記複数の単位セルを走査することで、前記複数の単位セルの各々

10

20

から信号を出力させる走査回路と、電圧電流変換回路と、電流電圧変換回路と、第 1 出力端子と、第 2 出力端子と、入力端子とを各々が有する第 1 のチップと第 2 のチップとを有し、

前記第 1 のチップの前記電圧電流変換回路は、前記第 2 のチップの前記走査回路の走査の開始タイミングを示す電圧信号を電流信号に変換し、

前記第 1 のチップの前記第 1 出力端子は、前記電流信号が前記第 2 のチップの前記入力端子に入力されるように前記第 2 のチップの前記入力端子に接続され、

前記第 2 のチップの前記電流電圧変換回路は、前記第 1 のチップの前記第 1 出力端子から前記第 2 のチップの前記入力端子に入力された前記電流信号を電圧信号に変換し、

前記第 2 のチップの前記走査回路は、前記第 2 のチップの前記電流電圧変換回路によって得られた前記電圧信号に基づいて、前記複数の単位セルの走査を開始し、

前記第 1 のチップの前記複数の単位セルの各々が出力する信号が前記第 1 のチップの前記第 2 出力端子から前記第 1 のチップの外部に順次出力されている期間に、前記第 1 のチップの前記第 1 出力端子から前記第 2 のチップに前記電流信号が出力されることを特徴とするマルチチップモジュール。

【請求項 4】

前記第 1 のチップおよび前記第 2 のチップの各々は、前記複数の単位セルから出力された信号に基づく信号を、前記第 2 出力端子から各々のチップの外部に出力させる出力部を有し、

前記第 1 のチップが出力する前記電流信号が、前記第 1 のチップの前記出力部が前記第 1 のチップの外部に前記信号を出力する動作を終えるのに先立って、前記第 1 のチップの前記第 1 出力端子から出力される信号であることを特徴とする請求項 3 に記載のマルチチップモジュール。

【請求項 5】

前記第 2 のチップの前記電流電圧変換回路によって得られた前記電圧信号に基づいて、前記第 2 のチップの前記出力部が動作を開始することを特徴とする請求項 4 に記載のマルチチップモジュール。

【請求項 6】

前記出力部が、前記複数の単位セルの各々から出力された前記信号を増幅した信号を出力するアンプであることを特徴とする請求項 5 に記載のマルチチップモジュール。

【請求項 7】

前記複数の単位セルの各々は、入射光に基づく信号を出力する受光部を有し、

前記出力部が、前記複数の単位セルの各々の前記受光部から出力された前記信号を増幅した信号を出力することを特徴とする請求項 5 または 6 に記載のマルチチップモジュール。

【請求項 8】

前記第 2 出力端子からチップの外部に出力される信号は電圧信号であることを特徴とする請求項 3 乃至 7 のいずれか 1 項に記載のマルチチップモジュール。

【請求項 9】

請求項 3 乃至 8 のいずれか 1 項に記載のマルチチップモジュールを含む画像読み取り部を備えることを特徴とする装置。

【請求項 10】

請求項 3 乃至 8 のいずれか 1 項に記載のマルチチップモジュールを有するとともに、原稿に対して相対的に走査されることで前記原稿に基づく画像信号を生成する原稿読み取り部と、前記画像信号に基づいて印刷媒体に前記原稿を複写する印刷部とを有することを特徴とする複写機。

【請求項 11】

各々が液体吐出部を含む複数の単位セルと、前記複数の単位セルを走査することで、前記複数の単位セルの各々に信号を入力させる走査回路と、電圧電流変換回路と、電流電圧変換回路と、第 1 出力端子と、第 2 出力端子と、入力端子とを各々が有する第 1 のチップ

10

20

30

40

50

と第 2 のチップとを有し、

前記第 1 のチップの前記電圧電流変換回路は、前記第 2 のチップの前記走査回路の走査の開始タイミングを示す電圧信号を電流信号に変換し、

前記第 1 のチップの前記第 1 出力端子は、前記電流信号が前記第 2 のチップの前記入力端子に入力されるように前記第 2 のチップの前記入力端子に接続され、

前記第 2 のチップの前記電流電圧変換回路は、前記第 1 のチップの前記第 1 出力端子から前記第 2 のチップの前記入力端子に入力された前記電流信号を電圧信号に変換し、

前記第 2 のチップの前記走査回路は、前記第 2 のチップの前記電流電圧変換回路によって得られた前記電圧信号に基づいて、前記複数の単位セルの走査を開始し、

前記第 1 のチップの前記複数の単位セルの各々が出力する信号が前記第 1 のチップの前記第 2 出力端子から前記第 1 のチップの外部に順次出力されている期間に、前記第 1 のチップの前記第 1 出力端子から前記第 2 のチップに前記電流信号が出力される、マルチチップモジュールを備えることを特徴とする装置。

10

【請求項 1 2】

前記第 2 出力端子からチップの外部に出力される信号は電圧信号であることを特徴とする請求項 1 1 に記載の装置。

【請求項 1 3】

請求項 1 1 または 1 2 に記載の装置と、印刷媒体を搬送する印刷媒体搬送部とを備え、前記装置を用いて前記印刷媒体に印刷を行うことを特徴とする印刷機。

【請求項 1 4】

20

請求項 1 1 または 1 2 に記載の装置を備え、形成中の構造体に対して前記装置が液体吐出を行うことによって、構造体を製造することを特徴とする製造装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チップ、マルチチップモジュール、及びこれらを備える装置に関し、特に、半導体チップが実装基板上に複数個実装されたマルチチップモジュールに関するものである。

【背景技術】

【0002】

30

特許文献 1 には複数のセンサチップ、アンプチップ、コンデンサ、抵抗等の部品が同一基板上に実装された密着型イメージセンサが開示されている。当該構成によれば、アンプチップをセンサチップと同一基板上に実装することで、モジュール又はユニットの体積を抑制することができる旨が記載されている。さらに、リセット状態の電圧をクランプして基準信号とすることで、チップ間段差による固定パターンノイズ(FPN)が除去される旨も記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 1 1 - 1 1 2 7 2 8 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に記載された密着型イメージセンサ等のマルチチップモジュールにおいて、チップ同士を接続する配線は、他の配線又はグラウンドとの間に寄生容量を有する。チップ間を伝送する信号が電圧信号の場合、信号をチップ間で送受信する際の電圧の変化によって寄生容量の充放電が生じ、電源電圧が変動する。この電源電圧の変動により、チップ内の基準電位が変化するため、上述の信号電圧の変化はノイズの原因となり得る。

【0005】

本発明は、上述した課題に鑑みてなされたものであって、チップ同士を接続する配線の

50

寄生容量の充放電によって生じるノイズを低減することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一の態様は、複数の単位セルと、前記複数の単位セルを走査することで、前記複数の単位セルの各々から信号を出力させる走査回路と、電圧電流変換回路と、電流電圧変換回路と、第1出力端子と、第2出力端子と、入力端子とを有するチップであって、前記電流電圧変換回路は、前記チップの外部から前記入力端子に入力された第1の電流信号を第1の電圧信号に変換し、前記走査回路は、前記電流電圧変換回路から出力された前記第1の電圧信号にตอบสนองして走査を開始し、前記電圧電流変換回路は、前記走査回路から出力された第2の電圧信号を第2の電流信号に変換し、前記複数の単位セルの各々が出力する信号が前記第2出力端子から前記チップの外部に順次出力されている期間に、前記第1出力端子から前記チップの外部に前記第2の電流信号が出力されることを特徴とするチップである。

10

【発明の効果】

【0007】

チップ同士を接続する配線の寄生容量の充放電によって生じるノイズを低減することができる。

【図面の簡単な説明】

【0008】

【図1】第1の実施形態に係るマルチチップモジュールの構成を示す図である。

20

【図2】第1の実施形態に係るマルチチップモジュールの動作タイミング図である。

【図3】第1の実施形態に係る制御信号出力回路及び電流電圧変換回路の構成及び接続を示す図である。

【図4】第2の実施形態に係る電流電圧変換回路の構成を示す図である。

【図5】第3の実施形態に係る電流電圧変換回路の構成を示す図である。

【図6】第4の実施形態に係る複写機の構成を示すブロック図である。

【図7】第5の実施形態に係るマルチチップモジュールの構成を示すブロック図である。

【発明を実施するための形態】

【0009】

(第1の実施形態)

30

図1は、本発明の第1の実施形態に係るマルチチップモジュールの構成を示す図である。マルチチップモジュール100は、実装基板106上に実装された複数個(n個)の半導体チップ101-1、101-2...101-nを備える。実装基板106はプリント基板等により構成され、半導体チップの実装及び配線接続のための電極を有する。

【0010】

半導体チップ101-1、101-2...101-nは、実装基板106上の配線によって符号の枝番の順に縦続接続されている。すなわち、半導体チップ101-1から出力される制御信号は半導体チップ101-2に入力され、半導体チップ101-2から出力される制御信号は半導体チップ101-3に入力される。なお、本発明の各実施形態において用いられるチップは半導体のチップに限定されるものではなく、本発明は種々のチップ形態の部品が実装されるモジュールに適用可能である。

40

【0011】

マルチチップモジュール100は、外部からクロック信号CK及びスタート信号SPが入力される入力端子並びに外部にセンサ出力信号Voutを出力する出力端子をさらに備える。実装基板106にはクロック信号配線102、スタート信号配線103、センサ出力信号配線104及び制御信号線105が形成されている。クロック信号CK及びスタート信号SPは、それぞれクロック信号配線102及びスタート信号配線103を介して半導体チップ101-1~nに入力される。半導体チップ101-1~nより出力されるセンサ出力信号Voutはセンサ出力信号配線104を介して出力端子に接続される。半導体チップ101-iから出力される制御信号は、制御信号線105を介して次の半導体チ

50

ップ101 - (i + 1) に接続される。

【0012】

半導体チップ101 - 1 ~ n は、複数の受光センサ201、複数のスイッチ回路202、Nビットのシフトレジスタ203、センサ出力回路205、スタート信号選択回路206、電流電圧変換回路207、制御回路208及び制御信号出力回路209を備える。

【0013】

受光センサ201はフォトダイオードを含む光電変換部である。各受光センサ201からの出力は各スイッチ回路202を介してセンサ出力線204に接続され、共通化される。スイッチ回路202は、シフトレジスタ203から出力される制御信号によってオン（導通）/オフ（非導通）が制御される。センサ出力線204はセンサ出力回路205に接続され、センサ出力回路205は入力された信号に対し増幅等の処理を行ってセンサ出力信号配線104に出力する。センサ出力回路205は、例えばトランジスタ等により構成されるアンプである。シフトレジスタ203には、クロック信号CKとスタート信号選択回路206の出力信号が入力される。受光センサ201は本実施形態における、入射光に基づく信号を出力する受光部である。また、センサ出力回路205は、本実施形態における、受光部が出力した信号に基づく信号を半導体チップ101の外部に出力する出力部である。単位セル250は、受光センサ201と、スイッチ回路202とを有する。シフトレジスタ203は、本実施形態における走査回路である。

【0014】

スタート信号選択回路206は、2つの信号入力端子と、選択制御端子と、出力端子とを有する、マルチプレクサ等の選択回路である。スタート信号選択回路206は、選択制御端子に入力される信号電圧に応じて2つの信号入力端子に入力されている信号のいずれかを選択して出力端子から出力する。スタート信号選択回路206の入力端子には、電流電圧変換回路207の出力信号とスタート信号SPとが入力される。スタート信号選択回路206の選択制御端子には選択制御信号として、電源電圧VCC又はグラウンド電位GNDのいずれかが入力される。1番目のチップである半導体チップ101 - 1内のスタート信号選択回路206の選択制御端子には、電源電圧VCCが入力される。このとき、スタート信号選択回路206の出力端子からスタート信号SPが出力される。2番目以降のチップである半導体チップ101 - 2 ~ n内の選択制御端子には、グラウンド電位GNDが接続される。このとき、スタート信号選択回路206の出力端子から電流電圧変換回路207の出力信号が出力される。

【0015】

制御回路208には、クロック信号CKとスタート信号SPが入力される。制御回路208は入力されたこれらの信号に応じて複数の受光センサ201とセンサ出力回路205に動作を制御するための信号を出力する。制御回路208は、受光センサ201のフォトダイオードの電荷のリセットタイミングを制御する。また、制御回路208は、受光センサ201の蓄積期間を制御する。

【0016】

制御信号出力回路209には、シフトレジスタ203の(N - 2)ビット目の出力値が入力される。制御信号出力回路209の出力信号は、制御信号線105を介して次の半導体チップの電流電圧変換回路207に接続されている。半導体チップ101 - 1の制御信号出力回路209の出力信号は、半導体チップ101 - 2のシフトレジスタ203の走査の開始タイミングを示す電圧信号である。

【0017】

図2は、第1の実施形態に係るマルチチップモジュールのタイミング図である。上述のように、1番目の半導体チップ101 - 1において、スタート信号選択回路206は、スタート信号SPをシフトレジスタ203に出力する。シフトレジスタ203にクロック信号CKが入力されている状態で、スタート信号SPがハイレベルになると、制御回路208は受光センサ201からの信号読み出し及びセンサ出力回路205の動作の準備をさせるように制御を行う。この準備はクロック信号CKの最初の数ビット（以下3ビットとす

10

20

30

40

50

る)の期間であるTpre期間に行われる。Tpre期間の経過後、シフトレジスタ203からのクロック信号のパルスによって、各スイッチ回路202は順次導通状態に制御される。これにより、1チップ目の受光センサ201の出力信号は、センサ出力回路205を介してセンサ出力信号配線104に出力される。(N-2)ビット目の信号出力のタイミングで、シフトレジスタ203は、(N-2)番目のスイッチ回路202を導通状態にするとともに、制御信号出力回路209にクロック信号を出力する。すなわち、1チップ目の受光センサ201がセンサ出力信号配線104に信号を出力する動作が終わるのに先立って、クロック信号は、制御信号線105を介して次の半導体チップの電流電圧変換回路207に出力される。

【0018】

2番目の半導体チップ101-2において、スタート信号選択回路206は、前の半導体チップの制御信号出力回路209の出力信号を選択し、出力する。制御信号出力回路209の出力信号のハイ区間が入力されると、1番目の半導体チップ101-1と同様に3ビットのTpre期間において動作準備が行われる。この制御は、2番目の半導体チップ101-2のセンサ出力回路205の消費電流を、受光センサ201から出力される信号に基づく信号を出力する動作時に対して低減させている場合に好適である。2番目の半導体チップ101-2のセンサ出力回路205の消費電流を低減させている状態から、受光センサ201から出力される信号に基づく信号をセンサ出力回路205が出力できるように復帰するまで、所定の期間を要する。図2に示した制御では、Tpre期間にセンサ出力回路205の消費電流を低減させている状態から復帰させることができる。これにより、1番目の半導体チップ101-1によるセンサ出力信号配線104への信号出力動作が終わってから、2番目の半導体チップ101-2によるセンサ出力信号配線104への信号出力動作を開始するまでの期間を短縮することができる。Tpre期間の経過後、シフトレジスタ203のクロック信号のパルスによって、各スイッチ回路202は順次導通状態に制御され、2チップ目の受光センサ201の出力信号は、センサ出力回路205を介してセンサ出力信号配線104に出力される。従って、半導体チップ101-1の制御信号出力回路209の出力信号に応答して、半導体チップ101-2のシフトレジスタ203の走査の開始タイミングが制御される。3チップ目以降の半導体チップの動作は2チップ目と同様であるため省略する。このようにして、半導体チップ101-1~nからセンサの出力信号が順次読み出される。

【0019】

図3は、2つの半導体チップ間の制御信号出力回路209及び電流電圧変換回路207の回路構成及び接続関係を示す図である。制御信号出力回路209は、定電流回路10、トランジスタ11、12及びインバータ回路13を備える。定電流回路10は電源電圧VCCが入力され、定電流Ioを出力する。トランジスタ11、12はP型のMOSトランジスタである。インバータ回路13は入力された電圧レベル(ハイレベル又はローレベル)を反転して出力する回路である。

【0020】

定電流回路10の出力端子は、共通接続されたトランジスタ11、12のソース端子に接続される。トランジスタ11、12は差動対を構成している。トランジスタ11のドレイン端子はグラウンド端子GNDに接続される。トランジスタ12のドレイン端子は制御信号出力回路209の出力端子outに接続され、トランジスタ11のゲート端子は制御信号出力回路209の入力端子inに接続される。入力端子inにはシフトレジスタ203の出力信号が入力される。トランジスタ12のゲート端子には、インバータ回路13を介して、シフトレジスタ203の出力信号が入力される。すなわち、トランジスタ12のゲート端子に入力される信号の電圧レベルは、シフトレジスタ203の出力信号の電圧レベルを反転したものとなる。

【0021】

電流電圧変換回路207は、入力端子inと出力端子outを接続する配線と、この配線とグラウンド端子GNDとの間に接続された抵抗Rを備える。電流電圧変換回路207

10

20

30

40

50

の入力端子 i_n は、制御信号出力回路 209 の出力端子 $o_u t$ と接続される。電流電圧変換回路 207 の出力端子 $o_u t$ は、スタート信号選択回路 206 に接続される。

【0022】

シフトレジスタ 203 からの出力電圧がローレベルのときには、トランジスタ 11 のゲート端子の電圧はローレベルであり、トランジスタ 12 のゲート端子の電圧はハイレベルである。このとき、トランジスタ 11 はオンであり、トランジスタ 12 はオフである。したがって、定電流回路 10 からトランジスタ 11 を介してグラウンド端子 GND に電流が流れ、トランジスタ 12 には電流が流れない。

【0023】

その後、シフトレジスタ 203 から $(N - 2)$ ビット目のハイレベルの信号が入力されると、トランジスタ 11 のゲート端子の電圧はハイレベルになり、トランジスタ 12 のゲート端子の電圧はローレベルになる。これにより、トランジスタ 11 はオフになり、トランジスタ 12 がオンになる。よって、制御信号出力回路 209 の出力端子 $o_u t$ から、定電流 I_o が出力される。以上のように、制御信号出力回路 209 は、入力端子 i_n に入力された電圧のレベルに応じて定電流 I_o の出力の有無が切り替わる、電圧電流変換回路として機能する。

【0024】

定電流 I_o は、電流電圧変換回路 207 の入力端子 i_n に入力される。電流電圧変換回路 207 の出力抵抗が十分に高いものとする、定電流 I_o は抵抗 R に流れ込む。このとき、電流電圧変換回路 207 の出力端子 $o_u t$ の電圧は $I_o \times R$ となる。したがって、電流電圧変換回路 207 は入力された電流信号を電圧信号に変換して出力する。なお、本明細書において、「電流信号」は電流値の高低により情報が伝達される信号を意味し、「電圧信号」は電圧値の高低により情報が伝達される信号を意味するものとする。

【0025】

信号がチップ間で伝達されるマルチチップモジュールにおいて、チップ間の配線と信号線又はグラウンドとの間には寄生容量が存在し得る。チップ間の配線の電圧がグラウンド電位 GND から電源電圧 VCC 、又は電源電圧 VCC からグラウンド電位 GND に変化する時に寄生容量が充放電される。この充放電によって、電源電圧 VCC 又はグラウンド電位 GND が変動するため、受光センサ 201 内の回路の電位、センサ出力回路 205 の基準電圧等の変動が起り得る。この状態で、マルチチップモジュール 100 を動作させて信号を出力させると、電位変動の影響が固定パターンノイズとなって現れることがある。

【0026】

これに対し、本実施形態で示す構成においては、制御信号出力回路 209 が定電流を出力するので、寄生容量が充放電されることによる電圧変動が低減されている。これにより、固定パターンノイズの発生が抑制されたセンサ出力信号を得ることができる。

【0027】

なお、図 3 及びその説明において例示した制御信号出力回路 209 は、MOS トランジスタの代わりにバイポーラトランジスタを用いる構成であってもよい。電流電圧変換回路 207 の抵抗 R は、金属配線を用いた配線抵抗、半導体基板のウェル領域に、ウェル領域よりも高い不純物濃度を有する拡散層による拡散抵抗、半導体基板上の酸化膜の上に設けられたポリシリコンによる抵抗等、種々の構成とすることができる。電流電圧変換回路 207 は、抵抗 R による電流電圧変換に限定されず、例えばトランジスタを用いた電流電圧変換回路を用いてもよい。

また、本実施例では、走査回路がシフトレジスタである例を説明したが、走査回路がデコーダであっても良い。

【0028】

(第 2 の実施形態)

図 4 は第 2 の実施形態に係る電流電圧変換回路の構成を示す図である。電流電圧変換回路 407 は定電流源 20、トランジスタ 21、22、23、24、電流電圧変換部 30 及びコンパレータ 31 を備える。

10

20

30

40

50

【 0 0 2 9 】

定電流源 2 0 は、一定の電流値 I_a を供給する回路である。電流値 I_a は、制御信号出力回路 2 0 9 から出力される電流値 I_o よりも大きいことが望ましい。

【 0 0 3 0 】

トランジスタ 2 1、2 2、2 3、2 4 は N 型の MOS トランジスタである。トランジスタ 2 1、2 2、2 3、2 4 はカスコード型のカレントミラー回路を構成している。トランジスタ 2 1 のドレイン端子とゲート端子は共通化され、定電流源 2 0 の電流出力端子に接続される。トランジスタ 2 2 のドレイン端子とゲート端子は共通化され、トランジスタ 2 1 のソース端子及びトランジスタ 2 4 のゲート端子に接続される。トランジスタ 2 2 のソース端子はグラウンド端子 GND に接続される。トランジスタ 2 3 のゲート端子はトランジスタ 2 1 のゲート端子に接続される。トランジスタ 2 4 のドレイン端子はトランジスタ 2 3 のソース端子に接続される。トランジスタ 2 4 のソース端子はグラウンド端子 GND に接続される。トランジスタ 2 3 のソース端子とトランジスタ 2 4 のドレイン端子との接続点は電流電圧変換回路 4 0 7 の入力端子 i_n である。電流電圧変換回路 4 0 7 の入力端子 i_n は、制御信号線 1 0 5 を介して、制御信号出力回路 2 0 9 の出力端子 $o_u t$ に接続される。

10

【 0 0 3 1 】

トランジスタ 2 3 のドレイン端子は、電流電圧変換部 3 0 の一端とコンパレータ 3 1 の非反転入力端子に接続される。電流電圧変換部 3 0 の他端は、電源電圧 VCC に接続される。電流電圧変換部 3 0 は、電源電圧 VCC からグラウンド端子 GND に向かって流れる電流に応じて出力される電圧が変化する回路である。電流電圧変換部 3 0 は、例えば抵抗 R で構成することができる。抵抗 R は、第 1 の実施形態で述べた抵抗 R と同じ構成とすることができる。コンパレータ 3 1 の反転入力端子には基準電圧 V_r が入力される。コンパレータ 3 1 の出力端子は電流電圧変換回路 4 0 7 の出力端子 $o_u t$ となる。コンパレータ 3 1 の非反転入力端子に入力される電圧が基準電圧 V_r よりも大きい場合、出力電圧はハイレベルとなり、基準電圧 V_r よりも小さい場合、出力電圧はローレベルとなる。

20

【 0 0 3 2 】

トランジスタ 2 2 に定電流源 2 0 から定電流 I_a が供給されるとき、トランジスタ 2 4 にも定電流 I_a が流れるようにトランジスタのサイズ比が設定されているものとする。このとき、制御信号出力回路 2 0 9 から電流電圧変換回路 4 0 7 に入力される電流は I_o 又はゼロのいずれかである。したがって、電源電圧 VCC から電流電圧変換部 3 0 を介してトランジスタ 2 3 のドレイン端子に流れ込む電流は、電流 $(I_a - I_o)$ 又は電流 I_a のいずれかとなる。電流 $(I_a - I_o)$ が流れている場合、電流電圧変換部 3 0 は基準電圧 V_r より大きい電圧を出力し、電流 I_a が流れている場合はその逆であるものとする。この場合、入力電流が I_o のとき、電流電圧変換回路 4 0 7 の出力電圧はハイレベルとなり、入力電流がゼロのとき、電流電圧変換回路 4 0 7 の出力電圧はローレベルとなる。以上のようにして、電流電圧変換回路 4 0 7 は、入力電流に応じてハイ又はローのいずれかの電圧を出力する電流電圧変換を行う。

30

【 0 0 3 3 】

第 1 の実施形態では、電流電圧変換回路 2 0 7 の抵抗値 R 及びチップ間の配線の寄生容量により決定される時定数と、制御信号出力回路 2 0 9 から出力される電流値 I_o とに依存して信号の伝達速度（周波数特性）は決定される。高速に信号を送送させるためには、電流電圧変換回路 2 0 7 の抵抗値を小さくして、時定数を小さくする必要がある。電流電圧変換回路 2 0 7 の抵抗値を小さくすると、出力電圧を一定とするためには、制御信号出力回路 2 0 9 から出力される電流値を大きくする必要がある。したがって、高速な信号伝送を行うためには出力電流を大きくする必要がある、消費電流が増大する。

40

【 0 0 3 4 】

一方、本実施形態では、電流電圧変換回路 4 0 7 はカスコード型のカレントミラー回路によりトランジスタ 2 4 のドレイン - ソース間電圧が一定となるように電流が供給されて

50

いる。そのため、入力電流が I_o 又はゼロのいずれの場合にも入力端子の電圧がほぼ一定となり、前述の寄生容量の影響は低減される。寄生容量の影響が低減することにより時定数が小さくなるため、高速に信号を伝送させることができる。また前述の理由により高速伝送のために制御信号出力回路 209 から出力される電流値を大きくする必要がなく、消費電流を低減することができる。したがって、本実施形態では第 1 の実施形態の効果に加えて、消費電流の低減及び信号伝送の高速化を実現することができる。

【0035】

(第 3 の実施形態)

図 5 は第 3 の実施形態に係る電流電圧変換回路の構成を示す図である。電流電圧変換回路 507 は定電流源 20 及びトランジスタ 21 ~ 27 を備える。定電流源 20 及びトランジスタ 21 ~ 24 の構成は第 2 の実施形態と同様であるため、説明を省略する。

【0036】

トランジスタ 25、26 は P 型の MOS トランジスタであり、トランジスタ 27 は N 型の MOS トランジスタである。トランジスタ 25、26 のソース端子は、電源電圧 V_{CC} に接続される。トランジスタ 25 のゲート端子とドレイン端子は共通化されており、トランジスタ 23 のドレイン端子及びトランジスタ 26 のゲート端子に接続される。したがって、トランジスタ 25、26 はカレントミラー回路を構成している。トランジスタ 26 のドレイン端子はトランジスタ 27 のドレイン端子と接続され、この接続点が電流電圧変換回路 507 の出力端子 out となる。トランジスタ 27 のソース端子はグラウンド電位 GND に接続され、ゲート端子はトランジスタ 22 のゲート端子に接続される。したがって、トランジスタ 22、24、27 はカレントミラー回路を構成している。トランジスタ 22、24、27 に流れる電流は、それぞれ I_a 、 I_a 、 $(I_a - 0.5 \times I_o)$ となるようにトランジスタの寸法比が設定されている。また、トランジスタ 25、26 を流れる電流は同一となるようにトランジスタの寸法比が設定されている。

【0037】

第 2 の実施形態の説明で述べた通り、電流電圧変換回路 507 に入力される電流は I_o 又はゼロのいずれかである。したがって、電源電圧 V_{CC} からトランジスタ 25 を介してトランジスタ 23 のドレイン端子に流れ込む電流は、電流 $(I_a - I_o)$ 又は電流 I_a のいずれかとなる。上述のように、トランジスタ 26 のドレイン電流はトランジスタ 25 のドレイン電流と同一であるため、電流 $(I_a - I_o)$ 又は電流 I_a のいずれかである。また、トランジスタ 27 のドレイン電流は電流電圧変換回路 507 の入力電流には依存せず、 $(I_a - 0.5 \times I_o)$ の一定値となる。

【0038】

したがって、制御信号出力回路 209 からの出力電流がゼロのとき、トランジスタ 26 のドレイン電流は I_a 、トランジスタ 27 のドレイン電流は $(I_a - 0.5 \times I_o)$ であるため、出力端子 out からは電流 $(0.5 I_o)$ が出力される。一方、制御信号出力回路 209 からの出力電流が I_o のとき、トランジスタ 26 のドレイン電流は $(I_a - I_o)$ 、トランジスタ 27 のドレイン電流は $(I_a - 0.5 \times I_o)$ であるため、出力端子 out からは電流 $(-0.5 I_o)$ が出力される。出力電流の値に応じてハイ又はローのいずれかの電圧を出力する回路 (不図示) を out 端子に接続することで、入力電流に応じてハイ又はローのいずれかの電圧を出力する電流電圧変換が実現される。このようなハイ又はローのいずれかの電圧を出力する回路は、例えば、第 1 の実施形態で述べた電流電圧変換回路 207 と同じとすることができる。

【0039】

第 3 の実施形態では第 2 の実施形態と同様に消費電流の低減及び信号伝送の高速化を実現することができる。さらに、第 2 の実施形態のコンパレータ 31 と基準電圧 V_r を供給する回路が不要となるので、第 3 の実施形態では第 2 の実施形態と比べて素子面積を縮小することができ、マルチチップモジュールを小型化することができる。さらに、素子面積の縮小により、1 枚の半導体基板から製造できる半導体チップの個数が増加するため、製造コストが低減される。

【 0 0 4 0 】

(第 4 の実施形態)

第 1 ~ 第 3 の実施形態として、複数の半導体チップ 1 0 1 - 1 ~ n を用いたマルチチップモジュール 1 0 0 を説明した。本発明は複数のチップを用いたマルチチップモジュール 1 0 0 を用いる様々な装置に適用可能であり、マルチチップモジュール 1 0 0 が搭載される装置の構成に応じて本発明の要旨を逸脱しない範囲内において種々の変形及び変更が可能である。

【 0 0 4 1 】

第 4 の実施形態では、マルチチップモジュール 1 0 0 が複写機 の 原稿読み取り部 のためのラインセンサとして用いられる。図 6 は第 4 の実施形態に係る複写機の構成を示すブロック図である。複写機 6 0 0 は原稿読み取り部 6 1 0、画像処理部 6 2 0 及び印刷部 6 3 0 を備える。本実施例の原稿読み取り部 6 1 0 は、画像に基づく信号を生成する画像読み取り部の一例である。原稿読み取り部 6 1 0 は、原稿照明ランプ 6 0 1 及び第 1 ~ 第 3 の実施形態のマルチチップモジュール 1 0 0 を備える。原稿照明ランプ 6 0 1 は複写する原稿に読み取りのための光を照射する。原稿から反射された光はマルチチップモジュール 1 0 0 内に配列された複数の受光センサ 2 0 1 に入射される。マルチチップモジュール 1 0 0 は各受光センサ 2 0 1 に入射された光量に応じた画像信号を複写機 6 0 0 の画像処理部 6 2 0 に取得させる。複写機 6 0 0 は原稿読み取り部 6 1 0 と原稿の位置を相対的に動かして走査させながら上述の画像信号の取得動作を繰り返す。このようにして、画像処理部 6 2 0 は原稿全面の画像信号を取得する。画像処理部 6 2 0 が取得した原稿の画像信号に基づいて、印刷部 6 3 0 は紙等の印刷媒体に原稿を複写する。第 1 ~ 第 3 の実施形態に係るマルチチップモジュール 1 0 0 によって取得される信号は固定パターンノイズが抑制されている。読み取り時のノイズが低減されているため、本実施形態に係る複写機によりノイズの少ない複写が可能となる。なお、本実施形態では原稿読み取り部 6 1 0 にマルチチップモジュール 1 0 0 を備えた複写機 6 0 0 を例示したが、本発明の実施形態は読み取り機能を有する様々な装置にも同様に適用可能である。例えば、複写機だけでなくスキャナ、検査装置等の画像読取装置を含む装置に広く適用できる。

【 0 0 4 2 】

(第 5 の実施形態)

図 7 は第 5 の実施形態に係るマルチチップモジュールの構成を示すブロック図である。第 1 ~ 第 3 の実施形態のマルチチップモジュール 1 0 0 は、受光センサ 2 0 1 を含む半導体チップ 1 0 1 - 1 ~ n を備える装置である。これに対し、本実施形態のマルチチップモジュール 7 0 0 の半導体チップ 7 1 0 - 1 ~ n は、受光センサ 2 0 1 に替えて液体吐出部 7 0 1 を有する。図 7 では、1つの半導体チップ 7 1 0 が有する複数の液体吐出部 7 0 1 をまとめて一つの液体吐出部 7 0 1 として示している。液体吐出部 7 0 1 の各々は不図示の液体流路、液体吐出口、吐出エネルギー発生部等を備える。液体流路内にはインク等の吐出させるための液体が供給される。吐出エネルギー発生部は電流により温度が上昇する抵抗素子等の電気熱変換素子を備える。吐出エネルギー発生部が外部からの電流により発熱すると、液体流路内の液体が加熱され膨張して液体吐出口から液滴が吐出される。また、半導体チップ 7 1 0 は、複数の液体吐出部 7 0 1 の各々の吐出エネルギー発生部を走査する走査回路を有する。本実施形態のマルチチップモジュール 7 0 0 は液体吐出ヘッド等の装置に用いることができる。液体吐出ヘッドは、例えば紙等の印刷媒体を搬送する印刷媒体搬送部を備える印刷機等の液体吐出記録装置に適用できる。また、液体吐出ヘッドは形成中の構造体に対して液体吐出を行うことで、DNAチップ、有機トランジスタ、カラーフィルタ等の構造体を製造する製造装置に適用することができる。本実施形態に係るマルチチップモジュール 7 0 0 は固定パターンノイズの発生が抑制されている。したがって、本実施形態に係るマルチチップモジュール 7 0 0 を用いた液体吐出ヘッドは、液滴を安定して吐出することができる。なお、本実施形態の吐出エネルギー発生部は、電圧が印加されることにより素子に変形して液体が吐出される、圧電素子等の電気機械変換素子を用いたものであっても良い。

10

20

30

40

50

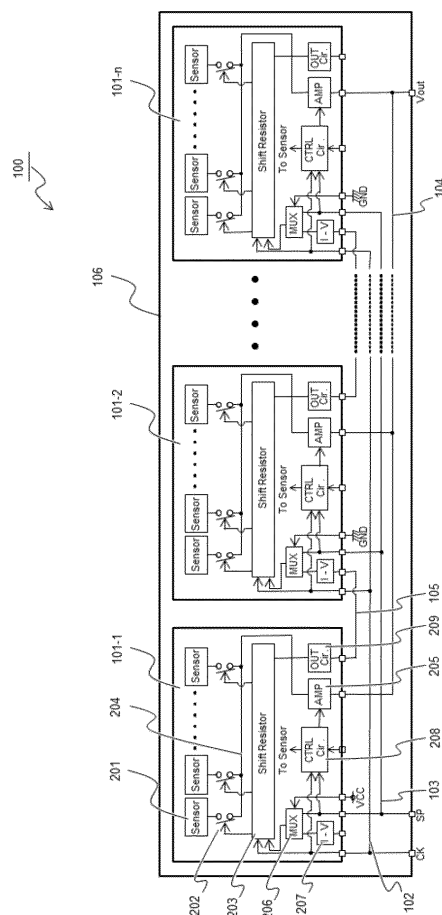
【符号の説明】

【0043】

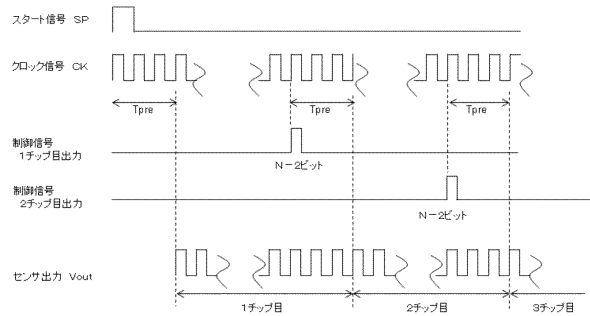
- 100 マルチチップモジュール
 101-1、101-2、101-n 半導体チップ
 201 受光センサ（フォトダイオード）
 202 スイッチ回路
 203 シフトレジスタ
 204 センサ出力線
 205 センサ出力回路
 206 スタート信号選択回路
 207、407、507 電流電圧変換回路
 208 制御回路
 209 制御信号出力回路（電圧電流変換回路）

10

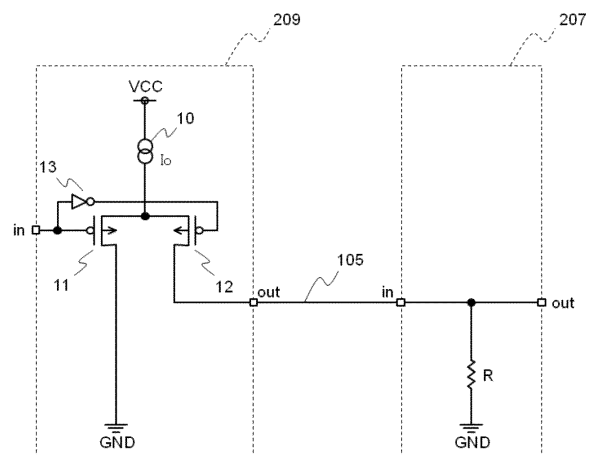
【図1】



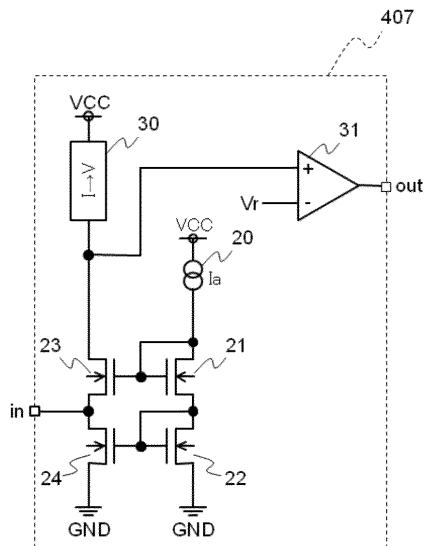
【図2】



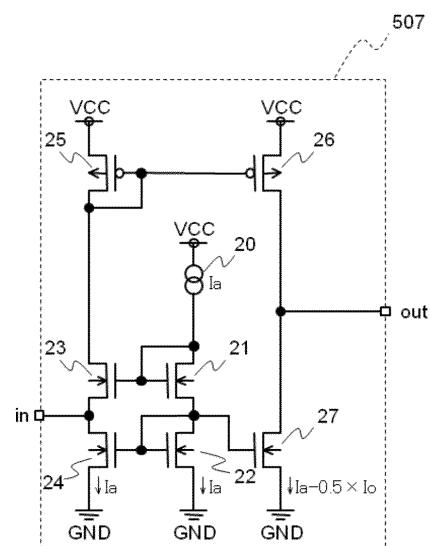
【図3】



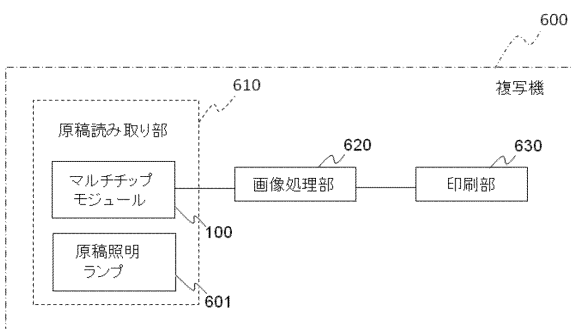
【図 4】



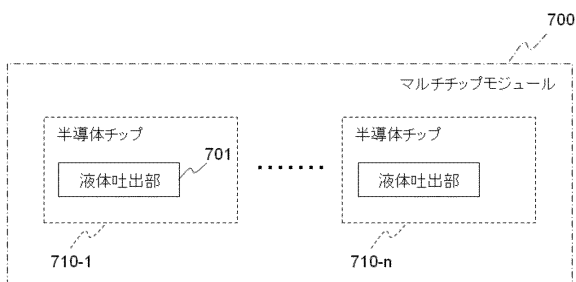
【図 5】



【図 6】



【図 7】



フロントページの続き

(72)発明者 大村 昌伸
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 橋爪 正樹

(56)参考文献 特開平06-178043(JP,A)
特開平04-301920(JP,A)
特開平11-234473(JP,A)
特開平08-052885(JP,A)

(58)調査した分野(Int.Cl., DB名)
H04N 1/024 - 1/207
H04N 5/335 - 5/378
H01L25/00 - 25/18