

(21)申請案號：098107817

(22)申請日：中華民國 98 (2009) 年 03 月 11 日

(51)Int. Cl. : **H03H11/04 (2006.01)**

(30)優先權：2008/09/18 美國 61/097,942
2009/02/18 美國 12/388,502

(71)申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：黃敏峰 HUANG, MING FENG (TW)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：18 項 圖式數：7 共 36 頁

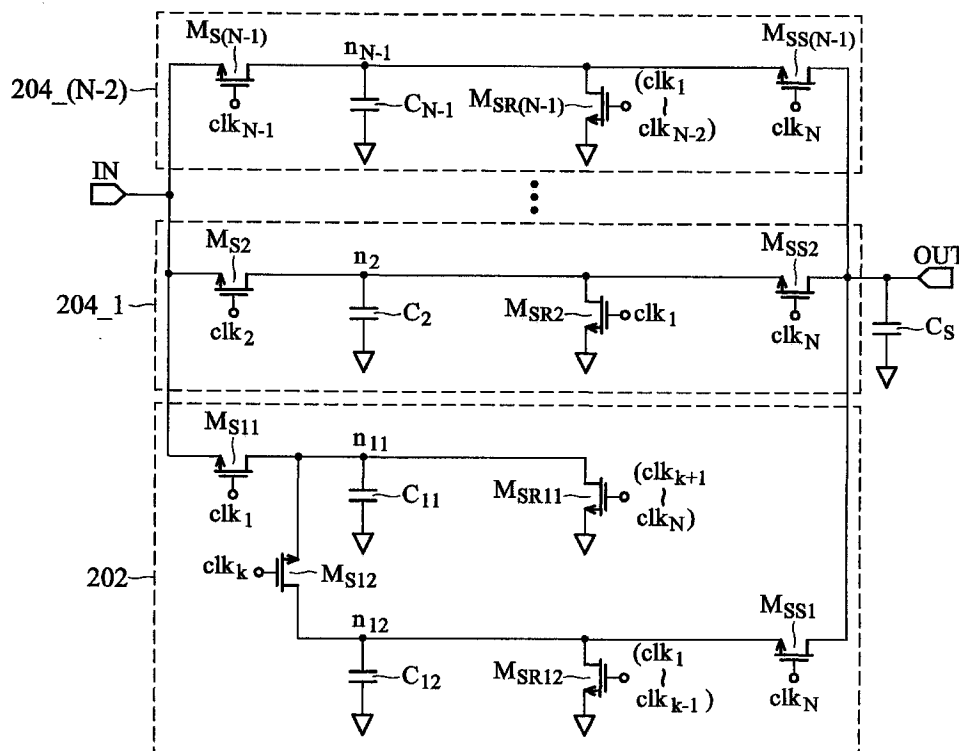
(54)名稱

降頻轉換濾波器

DOWN CONVERSION FILTER

(57)摘要

具有複數個取樣電容的降頻轉換濾波器，其中至少一取樣電容利用其他取樣電容的取樣相位、或電荷加總相位進行放電。



202：電開電容式電路

204_1-204_(N-2)：電開電容式電路

C1-CN-1：取樣電容

C11：取樣電容

C12：取樣電容

CS：電荷加總電容

clk1-clkN：控制信號

clk_{k-1}-clk_{k+1}：控制信號

IN：輸入端

MS2-MS(N-1)：充電電開

MS11：充電電開

MS12：充電電開

MSR11：放電電開

MSR12：放電電開

$M_{SS1}-M_{SS(N-1)}$ ：電荷
加總電閘

$M_{SR2}-M_{SR(N-1)}$ ：放電
電閘

n_2-n_{N-1} ：節點

n_{11} ：節點

n_{12} ：節點

OUT：輸出端

(21)申請案號：098107817

(22)申請日：中華民國 98 (2009) 年 03 月 11 日

(51)Int. Cl. : **H03H11/04 (2006.01)**

(30)優先權：2008/09/18 美國 61/097,942
2009/02/18 美國 12/388,502

(71)申請人：財團法人工業技術研究院 (中華民國) INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE (TW)

新竹縣竹東鎮中興路 4 段 195 號

(72)發明人：黃敏峰 HUANG, MING FENG (TW)

(74)代理人：洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數：18 項 圖式數：7 共 36 頁

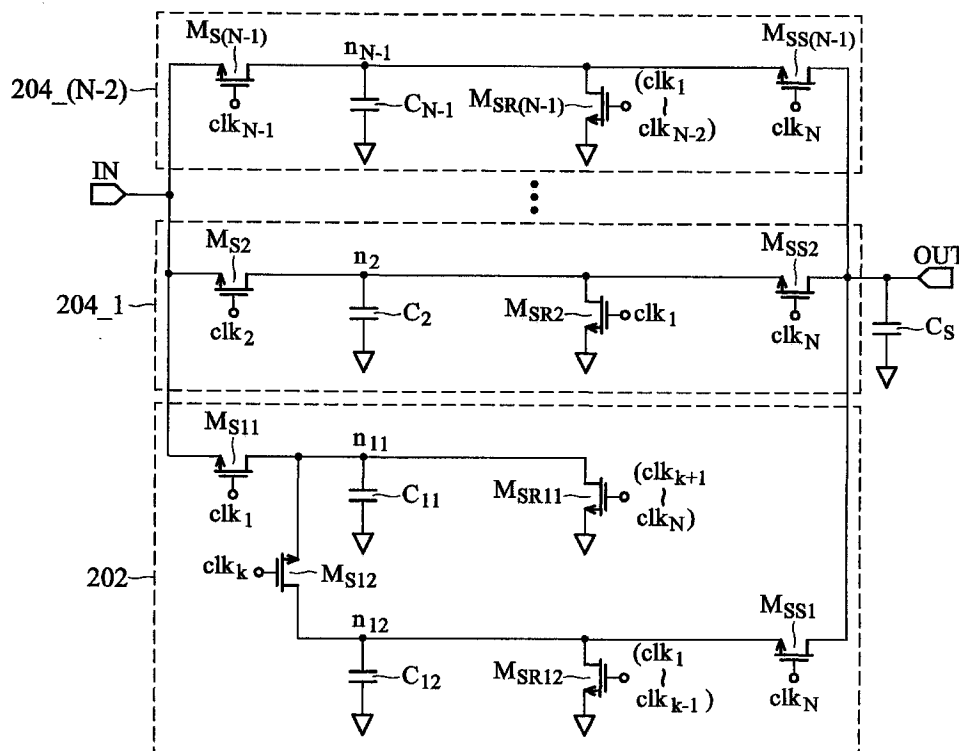
(54)名稱

降頻轉換濾波器

DOWN CONVERSION FILTER

(57)摘要

具有複數個取樣電容的降頻轉換濾波器，其中至少一取樣電容利用其他取樣電容的取樣相位、或電荷加總相位進行放電。



202：電開電容式電路

204_1-204_(N-2)：電開電容式電路

C₁-C_{N-1}：取樣電容

C₁₁：取樣電容

C₁₂：取樣電容

C_S：電荷加總電容

clk₁-clk_N：控制信號

clk_{k-1}-clk_{k+1}：控制信號

IN：輸入端

M_{S2}-M_{S(N-1)}：充電電開

M_{S11}：充電電開

M_{S12}：充電電開

M_{SR11}：放電電開

M_{SR12}：放電電開

六、發明說明：

【發明所屬之技術領域】

本發明係有關於降頻轉換濾波器。

【先前技術】

第 1A 圖圖解一傳統降頻轉換濾波器，其中採用多個電開電容式電路(switched-capacitor circuits)。第 1B 圖以波形圖列舉信號 $\text{clk}_1 \sim \text{clk}_N$ 之實施例，該些信號 $\text{clk}_1 \sim \text{clk}_N$ 負責控制第 1A 圖所示之電開。

參閱第 1B 圖，信號 $\text{clk}_1 \sim \text{clk}_N$ 為週期性信號，與時鐘脈衝寬度(clock pulse width)有關。信號 $\text{clk}_1 \sim \text{clk}_N$ 之作用區間彼此相連但不重疊。各作用區間的長度($1/f_s$)可為一時鐘相位(clock phase)。信號 $\text{clk}_1 \sim \text{clk}_{N-2}$ 提供複數個取樣相位，控制複數個取樣電容 $C_1 \sim C_{N-2}$ 輪流取樣一輸入信號(由輸入端 IN 接收)。信號 clk_{N-1} 提供一電荷加總相位，令電荷自取樣電容 $C_1 \sim C_{N-2}$ 轉換至電荷加總電容 C_S 。信號 clk_N 提供一放電相位，重置該些取樣電容 $C_1 \sim C_{N-2}$ 以改善信號噪音比(SNR)。

第 1A 圖所示之降頻轉換濾波器每 N 個時鐘相位對該些取樣電容 $C_1 \sim C_{N-2}$ 進行一次電荷加總。換言之，每一輸出區間歷經 N 個時鐘相位，此濾波器的取樣長度(tap length)為 N 。在每輸出區間(包括 N 個時鐘相位)中，一個時鐘相位設計為電荷加總相位，一個時鐘相位設計為放電相位，僅剩 $(N-2)$ 個時鐘相位可作取樣相位使用。由於取樣電容的數量受限於取樣相位的數量，而降頻轉換濾波器的可調參

數又受限於取樣電容的數量，因此，傳統技術中預留的放電相位嚴重限制濾波器的參數調整空間。

【發明內容】

本發明降頻轉換濾波器的一種實施方式包括：一輸入端、一輸出端、一電荷加總電容、以及一第一與一第二電開電容式電路。電荷加總電容耦接於上述輸出端與一共模電位端(如地線)之間。

上述第一電開電容式電路包括：一第一第一取樣電容，耦接於一第一第一節點與上述共模電位端之間；一第一第一充電電開，耦接於上述輸入端以及第一第一節點之間；一第一第一放電電開，耦接於上述第一第一節點以及共模電位端之間；一第一第二取樣電容，耦接於一第一第二節點以及該共模電位端之間；一第一第二充電電開，耦接於上述第一第一節點以及第一第二節點之間；一第一第二放電電開，耦接於上述第一第二節點以及共模電位端之間；以及一第一電荷加總電開，耦接於上述第一第二節點與輸出端之間。

上述第二電開電容式電路包括：一第二取樣電容，耦接於一第二節點與上述共模電位端之間；一第二充電電開，耦接於上述輸入端與第二節點之間；一第二放電電開，耦接於上述第二節點與共模電位端之間；以及一第二電荷加總電開，耦接於上述第二節點與輸出端之間。

本發明降頻轉換濾波器的另一種實施方式包括：一輸入端、一輸出端、一電荷加總電容、一第一第一以及一第

一第二電閘電容式電路。上述電荷加總電容耦接於上述輸出端以及一共模電位端(如地線)之間。

上述第一第一電閘電容式電路包括：一第一第一取樣電容，耦接於一第一第一節點以及上述共模電位端之間；一第一第一充電電閘以及一第一第一致能電閘，串接於上述輸入端以及第一第一節點之間；一第一第一放電電閘以及一第一第一重置致能電閘，串接於上述第一第一節點與共模電位端之間；以及一第一第一電荷加總電閘以及一第一第二致能電閘，串接於上述第一第一節點以及輸出端之間。

上述第一第二電閘電容式電路包括：一第一第二取樣電容，耦接於一第一第二節點以及上述共模電位端之間；一第一第二充電電閘以及一第二第一致能電閘，串接於上述輸入端以及第一第二節點之間；一第一第二放電電閘以及一第一第二重置致能電閘，串接於上述第一第二節點以及共模電位端之間；以及一第一第二電荷加總電閘以及一第二第二致能電閘，串接於上述第一第二節點以及輸出端之間。

上述第一第一與第一第二致能電閘以及第一第二重置致能電閘由一第一致能信號控制。上述第一第一重置致能電閘以及第二第一與第二第二致能電閘由一第二致能信號控制。第一與第二致能信號為反相信號，令第一第一與第一第二電閘電容式電路輪流於不同輸出區間啟動。

本發明降頻轉換濾波器的另一種實施方式包括：一輸入端、一輸出端、一電荷加總電容、以及一第一與一第二

電開電容式電路。電荷加總電容耦接於上述輸入端與一共模電位端(如地線)之間。

上述第一電開電容式電路包括複數個第一取樣電容。該些第一取樣電容於一第一輸出區間中輪流耦接上述輸入端，於一第二輸出區間的一特定相位耦接上述輸出端，並於該第二輸出區間內、該特定相位後耦接上述共模電位端。

上述第二電開電容式電路包括複數個第二取樣電容。該些第二取樣電容於第二輸出區間內輪流耦接上述輸入端，於第一輸出區間的上述特定相位耦接上述輸出端，並於該第一輸出區間內、該特定相位後耦接上述共模電位端。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

第 2A 圖圖解本發明降頻轉換濾波器的一種實施方式，其中包括：一輸入端 IN，用以接收一輸入信號；一輸出端 OUT，用以輸出一輸出信號；一電荷加總電容 C_S ，耦接於輸出端 OUT 與地線(或一共模電位端，偏壓於一共模電位)之間；以及複數個電開電容式電路 202 以及 204_1~204_(N-2)。電開電容式電路 202 的結構不同於電開電容式電路 204_1~204_(N-2)之結構。

此段落討論電開電容式電路 202 的結構，其中包括取樣電容 C_{11} 以及 C_{12} 、充電電開 M_{S11} 以及 M_{S12} 、放電電開 M_{SR11} 以及 M_{SR12} 、以及一電荷加總電開 M_{SS1} 。取樣電容

C_{11} 耦接於一第一第一節點 n_{11} 與地線之間。充電電閘 M_{S11} 耦接於輸入端 IN 以及第一第一節點 n_{11} 之間。放電電閘 M_{SR11} 耦接於第一第一節點 n_{11} 以及地線之間。取樣電容 C_{12} 耦接於第一第二節點 n_{12} 以及地線之間。充電電閘 M_{S12} 耦接於第一第一節點 n_{11} 以及第一第二節點 n_{12} 之間。放電電閘 M_{SR12} 耦接於第一第二節點 n_{12} 以及地線之間。電荷加總電閘 M_{SS1} 耦接於第一第二節點 n_{12} 以及輸出端 OUT 之間。

此段落討論電閘電容式電路 204_1、...、或 204_(N-2) 的結構。以下以電路 204_1 為例。電閘電容式電路 204_1 包括一取樣電容 C_2 、一充電電閘 M_{S2} 、一放電電閘 M_{SR2} 以及一電荷加總電閘 M_{SS2} 。取樣電容 C_2 耦接於一第二節點 n_2 以及地線之間。充電電閘 M_{S2} 耦接於輸入端 IN 以及第二節點 n_2 之間。放電電閘 M_{SR2} 耦接於第二節點 n_2 以及地線之間。電荷加總電閘 M_{SS2} 耦接於第二節點 n_2 以及輸出端 OUT 之間。

第 2B 圖列舉信號 $clk_1 \sim clk_N$ 之波形。該些信號 $clk_1 \sim clk_N$ 負責控制第 2A 圖內電閘的動作，為週期性信號，與時鐘脈衝寬度有關。信號 $clk_1 \sim clk_N$ 彼此的作用區間相連但不重疊。各作用區間的長度 ($1/f_s$) 可為至少一時鐘相位。上述作用區間長度 $1/f_s$ 可為其他值，不需限定為一個時鐘相位的長度。由於本發明降頻轉換濾波器以數位離散訊號處理 (DSP) 概念操作其中電閘，故電閘之控制信號的作用區間長度 $1/f_s$ 將影響降頻轉換濾波器之頻寬。本發明可藉由調整上述作用區間長度 $1/f_s$ 調整降頻轉換濾波器之頻寬。

信號 $clk_1 \sim clk_N$ 輪番啟動充電電閘 M_{S11} 、 $M_{S2} \sim M_{S(N-1)}$ ，

令取樣電容 C_{11} 及 $C_2 \sim C_{N-1}$ 輪番取樣輸入端 IN 所接收之輸入信號。充電電閘 M_{S12} 由信號 $clk_k (clk_2、clk_3、\dots \text{及 } clk_{N-1})$ 中擇一) 控制，令取樣電容 C_{11} 之電荷先於降頻轉換濾波器的一電荷加總相位傳遞至取樣電容 C_{12} 。信號 clk_N 提供電荷加總相位，控制電荷加總電閘 $M_{SS1} \sim M_{SS(N-1)}$ 於將電荷自取樣電容 C_{12} 及 $C_2 \sim C_{N-1}$ 移轉至電荷加總電容 C_S 。

不同於傳統技術預留一放電相位，本發明利用較早充電之取樣電容的取樣相位放電較後充電之取樣電容。舉例說明之，取樣電容 C_2 之放電電閘 M_{SR2} 由信號 clk_1 控制；如此一來，取樣電容 C_2 將於較早充電之取樣電容 C_{11} 的取樣相位放電。同樣地，電閘電容式電路 204(N-2) 之放電電閘 $M_{SR(N-1)}$ 依照同樣觀念動作。放電電閘 $M_{SR(N-1)}$ 可由信號 $clk_1 \sim clk_{N-2}$ 中任一信號控制。取樣電容 C_{N-1} 將在較早充電的取樣電容 C_{11} 或 $C_2 \sim C_{N-2}$ 之取樣相位放電。

至於電閘電容式電路 202 內的取樣電容 C_{11} 與 C_{12} 之重置動作，則遵循下述設計。放電電閘 M_{SR11} 之控制信號將落後信號 clk_k 、且同相或領先信號 clk_N 。放電電閘 M_{SR12} 之控制信號可同相或落後信號 clk_1 、且領先信號 clk_{k-1} 。

上述技術將取樣電容之放電動作結合在取樣相位中。相較於傳統 N 取樣長度的技術，第 2A 圖所示之結構更多提供一個可控制參數。

第 2A 圖所示之結構並非用來限制本案降頻轉換濾波器。任何電路，其中只要具有兩個電閘電容式電路——為電閘電容式電路 202、另一為電閘電容式電路 204_1、...、或 204_(N-2)——即屬於本發明所欲保護之範圍。

第 3A 圖圖解本發明降頻轉換濾波器的另一種實施方式，其中包括：一輸入端 IN、一輸出端 OUT、一電荷加總電容 C_S 、以及電閘電容式電路 302、304 及 306_1~306_(N-2)。電荷加總電容 C_S 耦接於輸出端 OUT 與地線(或一共模電位端，偏壓於一共模電位)之間。

此段落討論電閘電容式電路 302 之結構，其中包括：一取樣電容 C_{11} 、一充電電閘 M_{S11} 、一放電電閘 M_{SR11} 、一電荷加總電閘 M_{SS11} 、一重置致能電閘 M_{R11} 、以及兩個致能電閘 M_{E11} 與 M_{E12} 。取樣電容 C_{11} 耦接於一第一第一節點 n_{11} 與地線之間。充電電閘 M_{S11} 與致能電閘 M_{E11} 串接於輸入端 IN 與第一第一節點 n_{11} 之間。放電電閘 M_{SR11} 與重置致能電閘 M_{R11} 串接於第一第一節點 n_{11} 與地線之間。電荷加總電閘 M_{SS11} 與致能電閘 M_{E12} 串接於第一第一節點 n_{11} 與輸出端 OUT 之間。

此段落討論電閘電容式電路 304 的結構，其中包括一取樣電容 C_{12} 、一充電電閘 M_{S12} 、一放電電閘 M_{SR12} 、一電荷加總電閘 M_{SS12} 、一重置致能電閘 M_{R12} 以及兩個致能電閘 M_{E21} 以及 M_{E22} 。取樣電容 C_{12} 耦接於第一第二節點 n_{12} 以及地線之間。充電電閘 M_{S12} 以及致能電閘 M_{E21} 串接於輸入端 IN 以及第一第二節點 n_{12} 之間。放電電閘 M_{SR12} 以及重置致能電閘 M_{R12} 串接於第一第二節點 n_{12} 以及地線之間。電荷加總電閘 M_{SS12} 以及致能電閘 M_{E22} 串接於第一第二節點 n_{12} 以及輸出端 OUT 之間。

此段落討論電閘電容式電路 306_1、...、或 306_(N-2) 之結構。以下以電路 306_1 為例。電路 306_1 具有一取樣

電容 C_2 、一充電電閘 M_{S2} 、一放電電閘 M_{SR2} 、以及一電荷加總電閘 M_{SS2} 。取樣電容 C_2 耦接於一第二節點 n_2 以及地線之間。充電電閘 M_{S2} 耦接於輸入端 IN 以及第二節點 n_2 之間。放電電閘 M_{SR2} 耦接於第二節點 n_2 以及地線之間。電荷加總電閘 M_{SS2} 耦接於第二節點 n_2 以及輸出端 OUT 之間。

第 3B 圖敘述第 3A 圖中電閘的控制信號。信號 $clk_1 \sim clk_N$ 為週期性信號，與時鐘脈衝寬度有關，彼此的作用區間相連但不重疊。各作用區間的長度($1/f_s$)可為至少一時鐘相位。此外，第 3B 圖更有第一與第二致能信號 SE 和 SE_B 的波形圖。致能電閘 M_{E11} 以及 M_{E12} 和重置致能信電閘 M_{R12} 由第一致能信號 SE 控制。重置致能電閘 M_{R11} 以及致能電閘 M_{E21} 與 M_{E22} 由第二致能信號 SE_B 控制。第一與第二致能信號 SE 與 SE_B 為反相，令電閘電容式電路 302 與 304 於不同輸出區間啟動。啟動的電閘電容式電路允許取樣和電荷加總操作。未啟動的電閘電容式電路允許放電操作。

此段討論第 3B 圖的第一輸出週期 310。第一致能信號 SE 為致能狀態，第二致能信號 SE_B 為除能狀態；因此，電閘電容式電路 302 啟動，電閘電容式電路 304 未啟動。信號 $clk_1 \sim clk_{N-1}$ 輪流導通充電電閘 M_{S11} 與 $M_{S2} \sim M_{S(N-1)}$ ，將輸入端 IN 之輸入信號取樣於取樣電容 C_{11} 與 $C_2 \sim C_{N-1}$ 中。信號 clk_N 則控制電荷加總電閘 M_{SS11} 與 $M_{SS2} \sim M_{SS(N-1)}$ ，將取樣電容 C_{11} 與 $C_2 \sim C_{N-1}$ 之電荷轉移至電荷加總電容 C_S 。放電電閘 M_{SR12} 可由信號 $clk_1 \sim clk_N$ 擇一控制。取樣電容 C_{12}

於第一輸出區間 310 中放電。

此段討論第 3B 圖的第二輸出區間 312。第一致能信號 SE 為除能狀態，第二致能信號 SE_B 為致能狀態，因此，電開電容式電路 302 未啟動，電開電容式電路 304 啟動。信號 $\text{clk}_1 \sim \text{clk}_{N-1}$ 輪流導通充電電開 M_{S12} 與 $M_{S2} \sim M_{S(N-1)}$ ，輪流以電容 C_{12} 與 $C_2 \sim C_{N-1}$ 取樣輸入端 IN 所接收之輸入信號。信號 clk_N 控制電荷加總電開 M_{SS12} 與 $M_{SS2} \sim M_{SS(N-1)}$ ，將取樣電容 C_{12} 與 $C_2 \sim C_{N-1}$ 之電荷轉移至電荷加總電容 C_S 。放電電開 M_{SR11} 由信號 $\text{clk}_1 \sim \text{clk}_N$ 擇一控制。取樣電容 C_{11} 於第二輸出區間 312 放電。

此段討論取樣電容 $C_2 \sim C_{N-1}$ 之放電程序。取樣電容 $C_2 \sim C_{N-1}$ 利用較早充電之取樣電容的取樣相位放電。例如，信號 clk_1 除了用來控制取樣電容 C_{11} 或 C_{12} 之取樣相位，更控制取樣電容 C_2 的放電電開 M_{SR2} 。同樣的概念亦應用來控制其他取樣電容之放電電開，如電開電容式電路 306_(N-2) 之放電電開 $M_{SR(N-1)}$ 可由信號 $\text{clk}_1 \sim \text{clk}_{N-2}$ 擇一控制。取樣電容 C_{N-1} 乃利用較早充電之取樣電容 C_{11} 、 C_{12} 、 $C_2 \sim C_{N-2}$ 中任一之取樣相位放電。

本發明並不限定疊加於電開電容式電路 302 與 304 之電路為 306_1~306_(N-2)。第 3A 圖所示僅為其中一種實施方式。任何具有電開電容式電路 302 與 304 之降頻轉換濾波器皆屬於本發明的範圍。第 4 圖為其中一例。

參閱第 4 圖，除了針對第一取樣相位所設計的一對電開電容式電路 302 與 304，此實施方式更對其他取樣相位分別設計一對電開電容式電路。以第二取樣相位(由信號

clk_2 界定)為例，相對的電閘電容式電路對為電路 402 與 404。在第一輸出區間中(如第 3B 圖所示之輸出區間 310)，電路 402 啟動以進行取樣與電荷加總操作，且電路 404 不啟動以進行放電操作。在第二輸出區間(如第 3B 圖所示之輸出區間 312)，電路 402 不啟動以進行放電操作，而電路 404 啟動以進行取樣與電荷加總操作。依照相同概念，針對第(N-1)個取樣相位(由信號 clk_{N-1} 界定)所設計的該對電閘電容式電路為電路 406 與 408。

第 5 圖解本發明降頻轉換濾波器的另外一種實施方式，其中具有一輸入端 IN、一輸出端 OUT、一電荷加總電容 C_S 、致能電閘 M_{E11} 、 M_{E12} 、 M_{E21} 以及 M_{E22} 、以及電閘電容式電路 502、504、506 與 508。電荷加總電容 C_S 耦接於輸出端 OUT 與一地線(或一共模電位端，偏壓於一共模電位)之間。圖中電閘的控制信號可採用第 3B 圖所示之信號。

電閘電容式電路 502 包括複數個取樣電容 $C_{11} \sim C_{(k+1)1}$ 。電閘電容式電路 504 包括複數個取樣電容 $C_{12} \sim C_{(k+1)2}$ 。電閘電容式電路 506 包括複數個取樣電容 $C_{(k+2)1} \sim C_{N1}$ 。電閘電容式電路 508 包括複數個取樣電容 $C_{(k+2)2} \sim C_{N2}$ 。致能電閘 M_{E11} 、 M_{E12} 、 M_{E21} 以及 M_{E22} 以及重置致能電閘 $M_{R11} \sim M_{R(k+1)1}$ 以及 $M_{R12} \sim M_{R(k+1)2}$ 的控制程序囊括放電相位以及電荷加總相位之安排。以取樣長度 N 為例，此降頻轉換濾波器的可控制參數為 N ，調整彈性明顯優於其它技術。

此段討論電閘 M_{E11} 、 M_{E12} 、 M_{E21} 、 M_{E22} 、 $M_{R11} \sim M_{R(k+1)1}$ 、

以及 $M_{R12} \sim M_{R(k+1)2}$ 的控制程序。在第一輸出區間(如第 3B 圖所示之輸出區間 310)，致能電閘 M_{E11} 導通以啟動電閘電容式電路 502 與 506 之取樣操作，且致能電閘 M_{E22} 與重置致能電閘 $M_{R12} \sim M_{R(k+1)2}$ 導通以啟動電閘電容式電路 504 與 508 之電荷加總與放電操作。在第二輸出區間(如第 3B 圖所示之輸出區間 312)，致能電閘 M_{E21} 導通以啟動電閘電容式電路 504 與 508 之取樣操作，且致能電閘 M_{E12} 與重置致能電閘 $M_{R11} \sim M_{R(k+1)1}$ 導通以啟動電閘電容式電路 502 與 506 之電荷加總與放電操作。

此段討論第 5 圖內取樣電容的充電、放電、電荷加總操作。在第一輸出區間(如第 3B 圖所示之輸出區間 310)，信號 $clk_1 \sim clk_N$ 界定 N 個取樣相位，令電閘電容式電路 502 與 506 的取樣電容 $C_{11} \sim C_{N1}$ 輪流取樣輸入端 IN 之輸入信號。取樣電容 $C_{11} \sim C_{N1}$ 內的電荷於第二輸出區間(如第 3B 圖所示之輸出區間 312)的一特定相位 clk_k 轉移至電荷加總電容 C_S 。此特定相位 clk_k 選擇自信號 $clk_1 \sim clk_{N-2}$ 。取樣電容 $C_{11} \sim C_{N1}$ 將於電荷轉移後被放電。取樣電容 $C_{11} \sim C_{(k+1)1}$ 於第二輸出區間(信號 SE_B 致能)內根據信號 $clk_{k+1} \sim clk_N$ 中任一信號放電。取樣電容 $C_{(k+2)1} \sim C_{N1}$ 之放電則設計於其充電動作之前、但上述特定相位(clk_k)之後。電閘電容式電路 504 與 508 採用類似電閘電容式電路 502 與 506 的電閘控制程序。

第 5 圖所示之結構僅為此類頻轉換濾波器的一種實施方式。第 6 圖為另一變型，其中所有取樣相位皆採用第 5 圖所示之電路對 502 與 504。此外，第 6 圖實施方式中，

特定相位 clk_k 乃選自信號 $\text{clk}_1 \sim \text{clk}_{N-1}$ 。

第 7 圖圖解本發明降頻轉換濾波器的另一種實施方式，其中方塊 702 與 704 可由前述任一降頻轉換電路(參閱第 2A、3A、4~6 圖)實現。方塊 702 之輸出端為 OUT^- 。方塊 704 之輸出端為 OUT^+ 。方塊 702 與 704 之取樣電容分別提供第 7 圖電路之轉換函數的負值、正值參數。

上述內容中，第 2B、3B 圖所示之控制信號波形僅為說明例。本發明電路另可採用其他形式之控制信號。

上述電路可遵循一特定電路佈局原則，其中，取樣電容依其控制信號相位順序相鄰佈局，以大幅削減能量消耗。

此外，上述電路可有 FIR 形式與 IIR 形式。FIR 形式之降頻轉換濾波器於每一輸出區間重置電荷加總電容 C_S 。IIR 形式之降頻轉換濾波器的電荷加總電容 C_S 則無此重置操作。

本發明雖以數個實施例揭露如上，然其並非用以限定本發明的範圍，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A 圖圖解一傳統降頻轉換濾波器；

第 1B 圖以波形圖列舉信號 $\text{clk}_1 \sim \text{clk}_N$ 之實施例；

第 2A 圖圖解本發明降頻轉換濾波器的一種實施方式；

第 2B 圖列舉信號 $\text{clk}_1 \sim \text{clk}_N$ 之波形；

第 3A 圖圖解本發明降頻轉換濾波器的另一種實施方式；

第 3B 圖圖解第 3A 圖中電閘的控制信號；

第 4 圖圖解本發明降頻轉換濾波器的另一種實施方式；

第 5 圖圖解本發明降頻轉換濾波器的另一種實施方式；

第 6 圖圖解本發明降頻轉換濾波器的另一種實施方式；以及

第 7 圖圖解本發明降頻轉換濾波器的另一種實施方式。

【主要元件符號說明】

202、204_1-204_(N-2)~電閘電容式電路；

302、304、306_1-306_(N-2)~電閘電容式電路；

310、312~輸出區間；

402、404、406、408~電閘電容式電路；

502、504、506、508~電閘電容式電路；

702、704~降頻轉換濾波器；

$C_1 \sim C_{N-1}$ 、 $C_{11} \sim C_{N1}$ 、 $C_{12} \sim C_{N2}$ ~取樣電容；

C_S ~電荷加總電容；

$\text{clk}_1 \sim \text{clk}_N$ 、 $\text{clk}_{k-1} \sim \text{clk}_{k+2}$ ~控制信號；

IN~輸入端；

M_{E11} 、 M_{E12} 、 M_{E21} 、 M_{E22} ~致能電閘；

M_{R11} - $M_{R(k+1)1}$ 、 M_{R12} - $M_{R(k+1)2}$ ~重置致能電閘；

M_{S11} 、 M_{S12} 、 M_{S2} - $M_{S(N-1)}$ ~充電電閘；

M_{SR11} 、 M_{SR12} 、 M_{SR2} - $M_{SR(N-1)}$ ~放電電閘；

M_{SS1} - $M_{SS(N-1)}$ 、 M_{SS11} 、 M_{SS12} ~電荷加總電閘；

n_{11} 、 n_{12} 、 n_2 - n_{N-1} ~節點；

OUT~輸出端；

OUT^+ 、 OUT^- ~差動輸出端；

SE、SE_B~致能信號。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98107817

※申請日：98.03.11 ※IPC 分類：H03H 1/04 (2006.01)

一、發明名稱：(中文/英文)

降頻轉換濾波器/Down conversion filter

二、中文發明摘要：

具有複數個取樣電容的降頻轉換濾波器，其中至少一取樣電容利用其他取樣電容的取樣相位、或電荷加總相位進行放電。

三、英文發明摘要：

A down conversion filter with a plurality of sampling capacitors, wherein at least one sampling capacitor is discharged in sampling phases or charge-summing phases of the other sampling capacitors.

七、申請專利範圍：

1. 一種降頻轉換濾波器，包括：

一輸入端；

一輸出端；

一電荷加總電容，耦接於該輸出端與一共模電位端之間，該共模電位端偏壓於一共模電位；

一第一電閘電容式電路，包括：

一第一第一取樣電容，耦接於一第一第一節點與上述共模電位端之間；

一第一第一充電電閘，耦接於上述輸入端與第一第一節點之間；

一第一第一放電電閘，耦接於上述第一第一節點與共模電位端之間；

一第一第二取樣電容，耦接於一第一第二節點與該共模電位端之間；

一第一第二充電電閘，耦接於上述第一第一節點與第一第二節點之間；

一第一第二放電電閘，耦接於上述第一第二節點與共模電位端之間；以及

一第一電荷加總電閘，耦接於上述第一第二節點與輸出端之間；以及

一第二電閘電容式電路，包括：

一第二取樣電容，耦接於一第二節點與該共模電位端之間；

一第二充電電閘，耦接於上述輸入端與第二節點之間；

一 第二放電電閘，耦接於上述第二節點與共模電位端之間；以及

一 第二電荷加總電閘，耦接於上述第二節點與輸出端之間。

2. 如申請專利範圍第 1 項所述之降頻轉換濾波器，其中上述第一第一充電電閘由一第一控制信號控制，上述第二充電電閘由一第二控制信號控制，且上述第一與第二電荷加總電閘由一第三控制信號控制，上述第一、第二與第三控制信號為週期性信號且彼此作用區間不重疊，該第一控制信號相位領先該第二控制信號，且該第二控制信號相位領先該第三控制信號。

3. 如申請專利範圍第 2 項所述之降頻轉換濾波器，其中該第二放電電閘由一第四控制信號控制，該第四控制信號為週期性信號、且與上述第一、第二控制信號具有不重疊作用區間，該第四控制信號相位領先該第二控制信號、且同相或相位落後該第一控制信號。

4. 如申請專利範圍第 3 項所述之降頻轉換濾波器，其中該第一第二充電電閘由一第五控制信號控制，該第五控制信號為週期性信號、且與上述第一、第三控制信號具有不重疊作用區間，該第一控制信號領先該第五控制信號、且該第五控制信號領先該第三控制信號。

5. 如申請專利範圍第 4 項所述之降頻轉換濾波器，其中該第一第一放電電閘由一第六控制信號控制，該第六控制信號為週期信號、且與上述第三、第五控制信號具有不重疊的作用區間，該第五控制信號相位領先該第六控制信

號，且該第六控制信號相位領先、或同相該第三控制信號。

6. 如申請專利範圍第5項所述之降頻轉換濾波器，其中上述第一第二放電電閘由一第七控制信號控制，該第七控制信號為週期性信號、且與上述第一、第五控制信號具有不重疊之作用區間，該第一控制信號相位領先、或同相該第七控制信號，且該第七控制信號相位領先該第五控制信號。

7. 如申請專利範圍第6項所述之降頻轉換濾波器，其中上述第一、第二、第三、第四、第五、第六與第七控制信號之作用區間的寬度為可調式。

8. 一種降頻轉換濾波器，包括：

一輸入端；

一輸出端；

一電荷加總電容，耦接於該輸出端與一共模電位端之間，該共模電位端偏壓於一共模電位；

一第一第一電閘電容式電路，包括：

一第一第一取樣電容，耦接於一第一第一節點與該共模電位端之間；

一第一第一充電電閘與一第一第一致能電閘，串接於上述輸入端與第一第一節點之間；

一第一第一放電電閘與一第一第一重置致能電閘，串接於上述第一第一節點與共模電位端之間；以及

一第一第一電荷加總電閘以及一第一第二致能電閘，串接於上述第一第一節點與輸出端之間；以及

一第一第二電閘電容式電路，包括：

一第一第二取樣電容，串接於一第一第二節點與該共模電位端之間；

一第一第二充電電閘與一第二第一致能電閘，串接於上述輸入端與第一第二節點之間；

一第一第二放電電閘與一第一第二重置致能電閘，串接於上述第一第二節點與共模電位端之間；以及

一第一第二電荷加總電閘與一第二第二致能電閘，串接於上述第一第二節點與輸出端之間；

其中上述第一第一與第一第二致能電閘與第一第二重置致能電閘由一第一致能信號控制；

其中上述第一第一重置致能電閘與上述第二第一與第二第二致能電閘由一第二致能信號控制；

其中上述第一與第二致能信號反相，令上述第一第一與第一第二電閘電容式電路於不同輸出區間啟動。

9. 如申請專利範圍第 8 項所述之降頻轉換濾波器，更包括一第二電閘電容式電路，其中包括：

一第二取樣電容，耦接於一第二節點與該共模電位端之間；

一第二充電電閘，耦接於上述輸入端與第二節點之間；

一第二放電電閘，耦接於上述第二節點與共模電位端之間；以及

一第二電荷加總電閘，耦接於上述第二節點與輸出端之間。

10. 如申請專利範圍第 9 項所述之降頻轉換濾波器，其中上述第一第一與第一第二充電電閘由一第一控制信號

控制，該第二充電電閘由一第二控制信號控制，且上述第一第一、第一第二與第二電荷加總電閘由一第三控制信號控制，上述第一、第二與第三控制信號為週期性信號且具有不重疊之作用區間，該第一控制信號相位領先該第二控制信號，該第二控制信號相位領先該第三控制信號。

11. 如申請專利範圍第 10 項所述之降頻轉換濾波器，其中上述第二放電電閘由一第四控制信號控制，該第四控制信號為週期性信號、且與上述第一、第二控制信號具有不重疊之作用區間，該第四控制信號相位領先該第二控制信號、且同相或相位落後該第一控制信號。

12. 如申請專利範圍第 11 項所述之降頻轉換濾波器，其中上述第一、第二、第三、與第四控制信號之作用區間的寬度為可調式。

13. 一種降頻轉換濾波器，包括：

一輸入端；

一輸出端；

一電荷加總電容，耦接於該輸出端與一共模電位端之間，該共模電位端偏壓於一共模電位；

一第一電閘電容式電路，包括：

複數個第一取樣電容，於一第一輸出區間輪流耦接該輸入端；

其中上述第一取樣電容於一第二輸出區間內一特定相位耦接該輸出端，且於該第二輸出區間該特定相位之後耦接該共模電位端；以及

一第二電閘電容式電路，包括：

複數個第二取樣電容，於該第二輸出區間輪流耦接該輸入端；

其中上述第二取樣電容於該第一輸出區間的上述特定相位耦接該輸出端，且於該第一輸出區間的上述特定相位之後耦接該共模電位端。

14. 如申請專利範圍第 13 項所述之降頻轉換濾波器，其中上述第一取樣電容、輸入端、輸出端與共模電位端之連接關係的控制信號具有可調整的作用區間寬度。

15. 如申請專利範圍第 13 項所述之降頻轉換濾波器，其中上述第二取樣電容、輸入端、輸出端、與共模電位端之連接關係的控制信號具有可調整的作用區間寬度。

16. 如申請專利範圍第 13 項所述之降頻轉換濾波器，更包括：

一第三電開電容式電路，包括：

一第三取樣電容，於該第一輸出區間內，晚於上述第一取樣電容耦接該輸入端；

其中該第三取樣電容於該第二輸出區間的上述特定相位耦接該輸出端，於上述第一或第二輸出區間的上述特定相位之後、且尚未耦接該輸入端時耦接該共模電位端；以及

一第四電開電容式電路，包括：

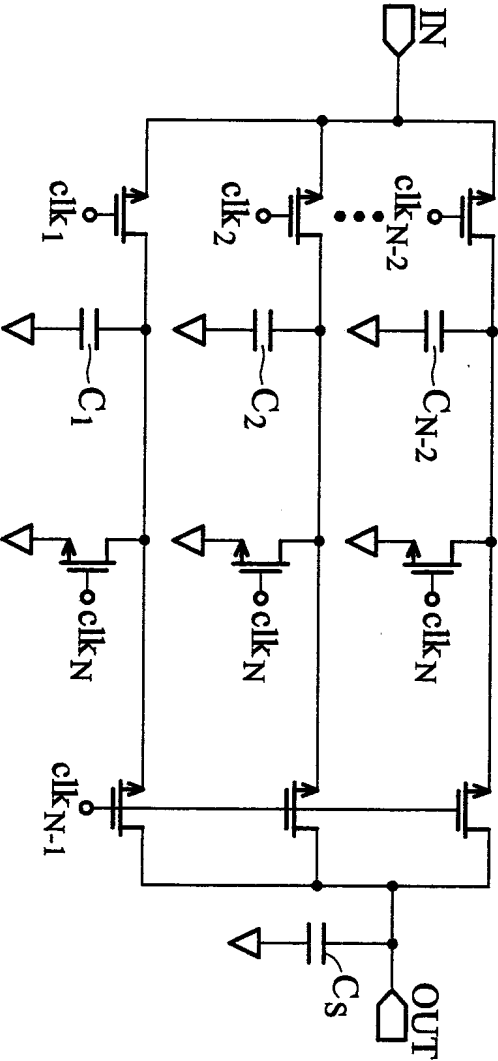
一第四取樣電容，於該第二輸出區間，晚於上述第二取樣電容耦接該輸入端；

其中該第四取樣電容於該第一輸出區間的上述特定相位耦接該輸出端，於上述第一或第二輸出區間的上述特定

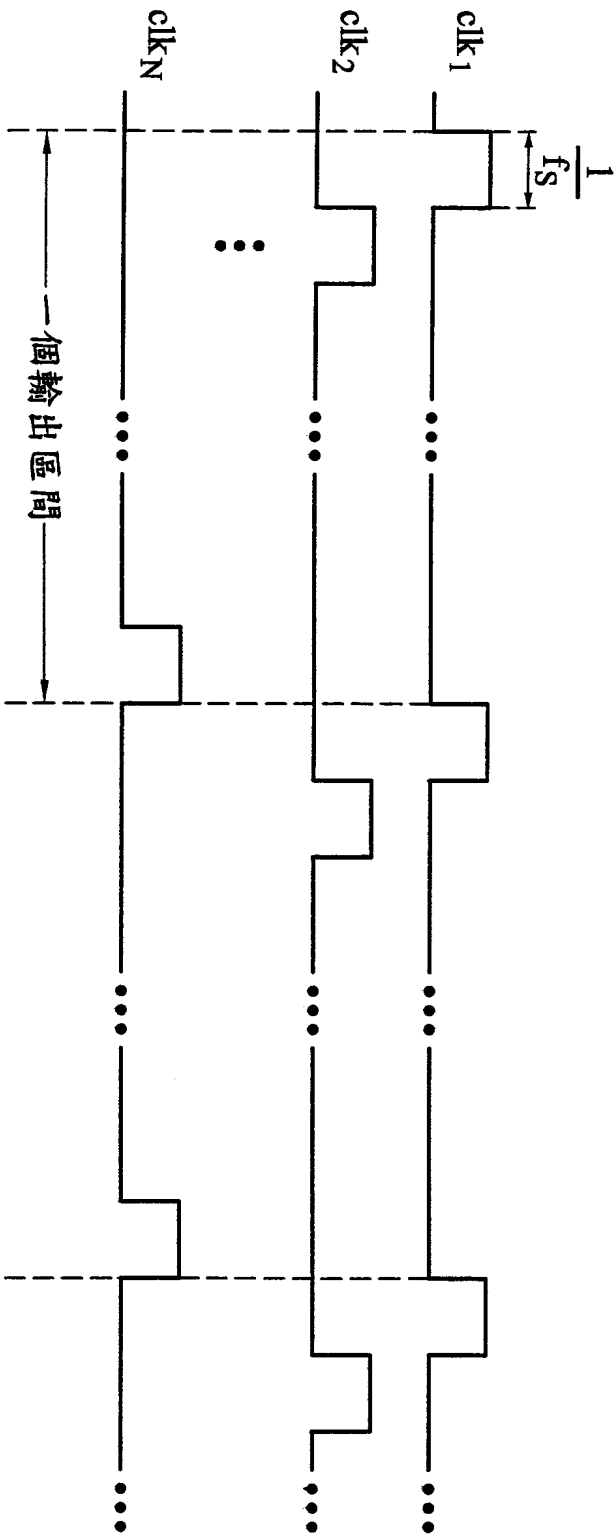
相位之後、且尚未耦接該輸入端時耦接該共模電位端。

17. 如申請專利範圍第 16 項所述之降頻轉換濾波器，其中上述第三取樣電容、輸入端、輸出端、與共模電位端之間連接關係的控制信號具有可調整的作用區間寬度。

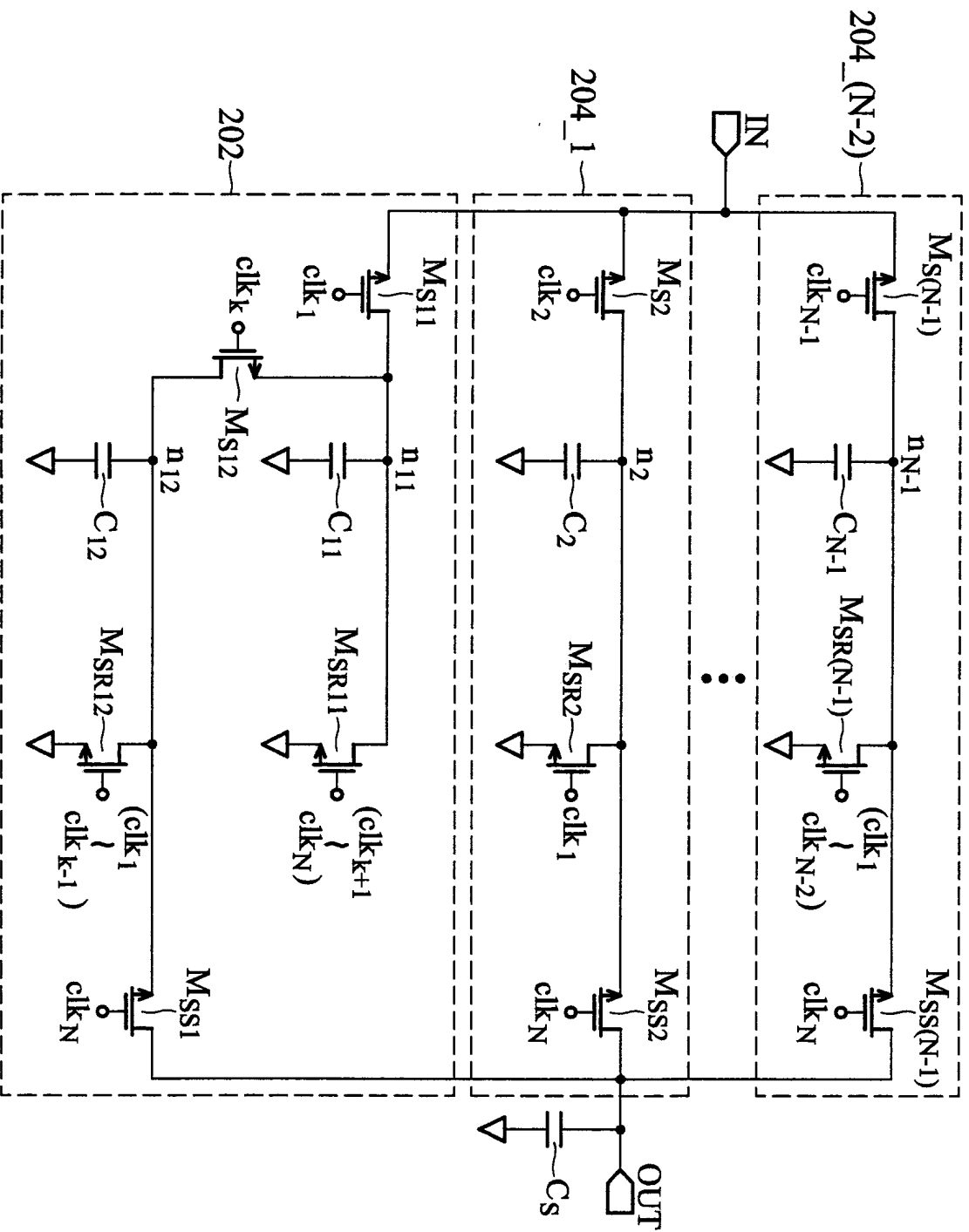
18. 如申請專利範圍第 16 項所述之降頻轉換濾波器，其中上述第四取樣電容、輸入端、輸出端、與共模電位端之間連接關係的控制信號具有可調整的作用區間寬度。



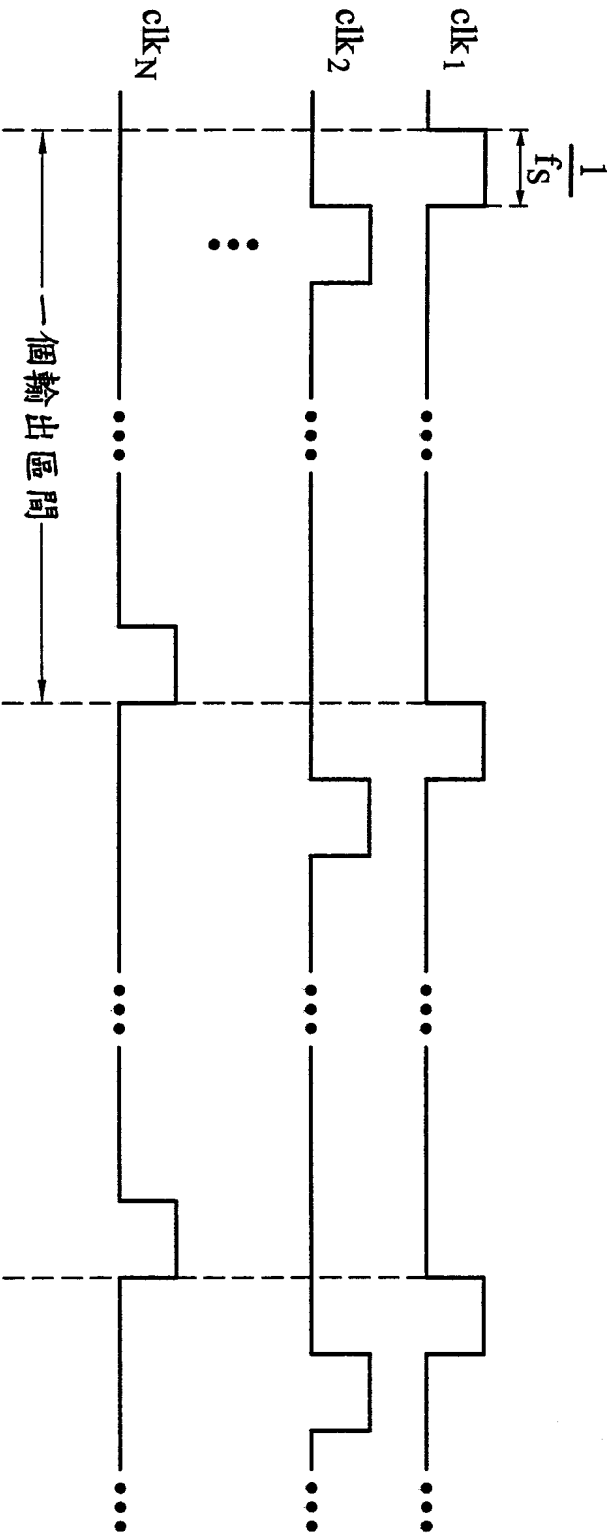
第1A圖



第1B圖

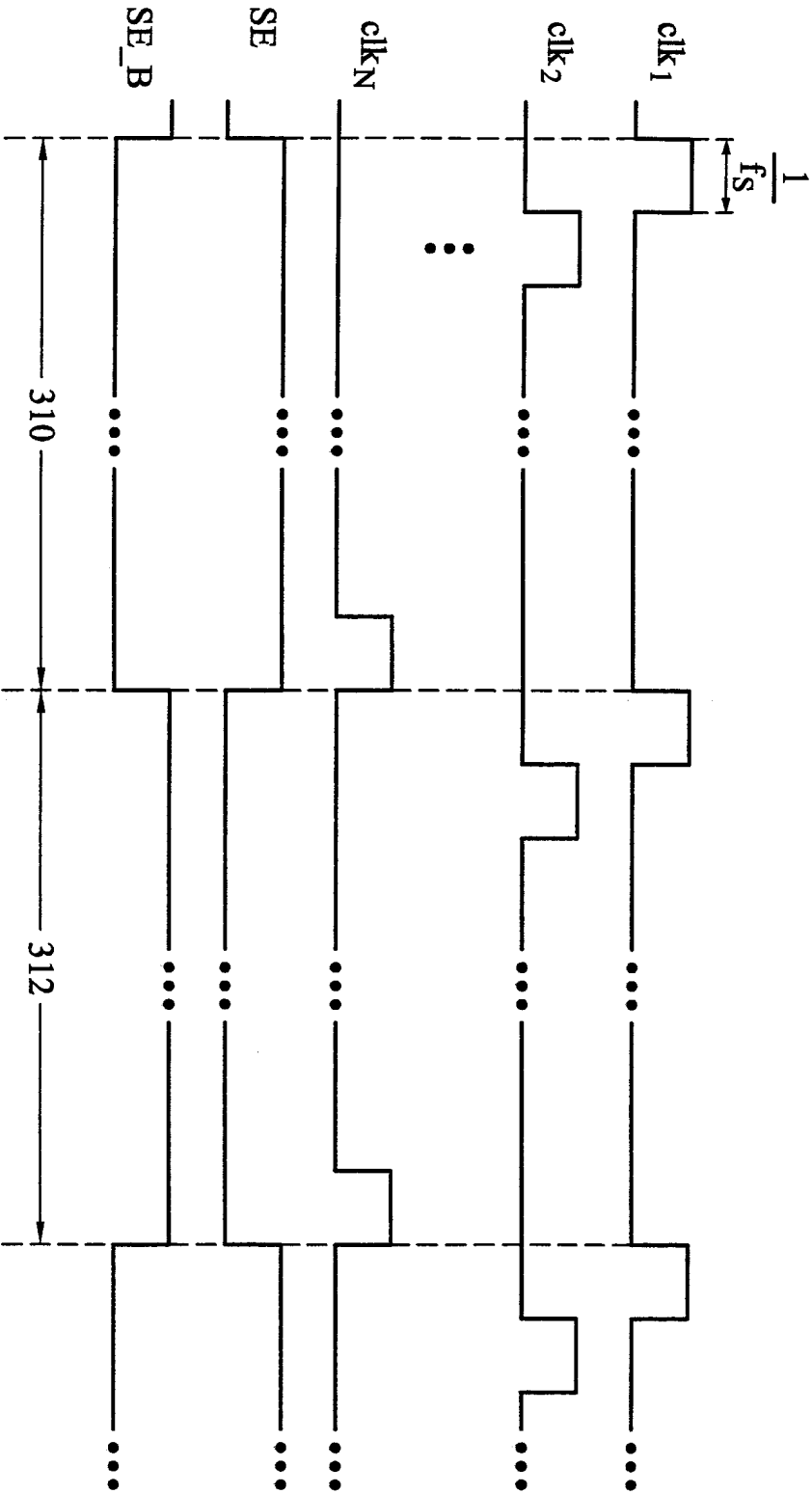


第2A圖

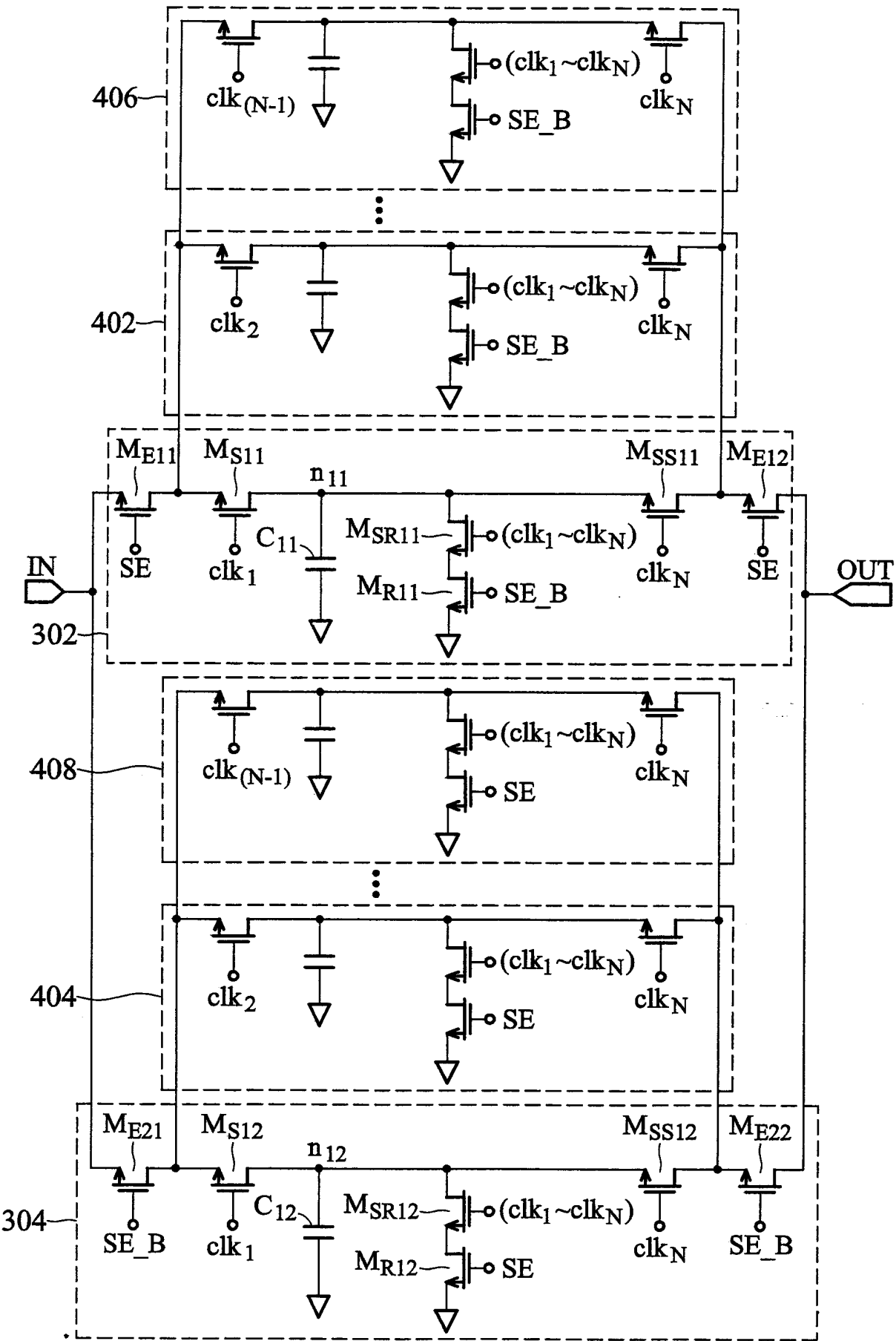


第2B圖

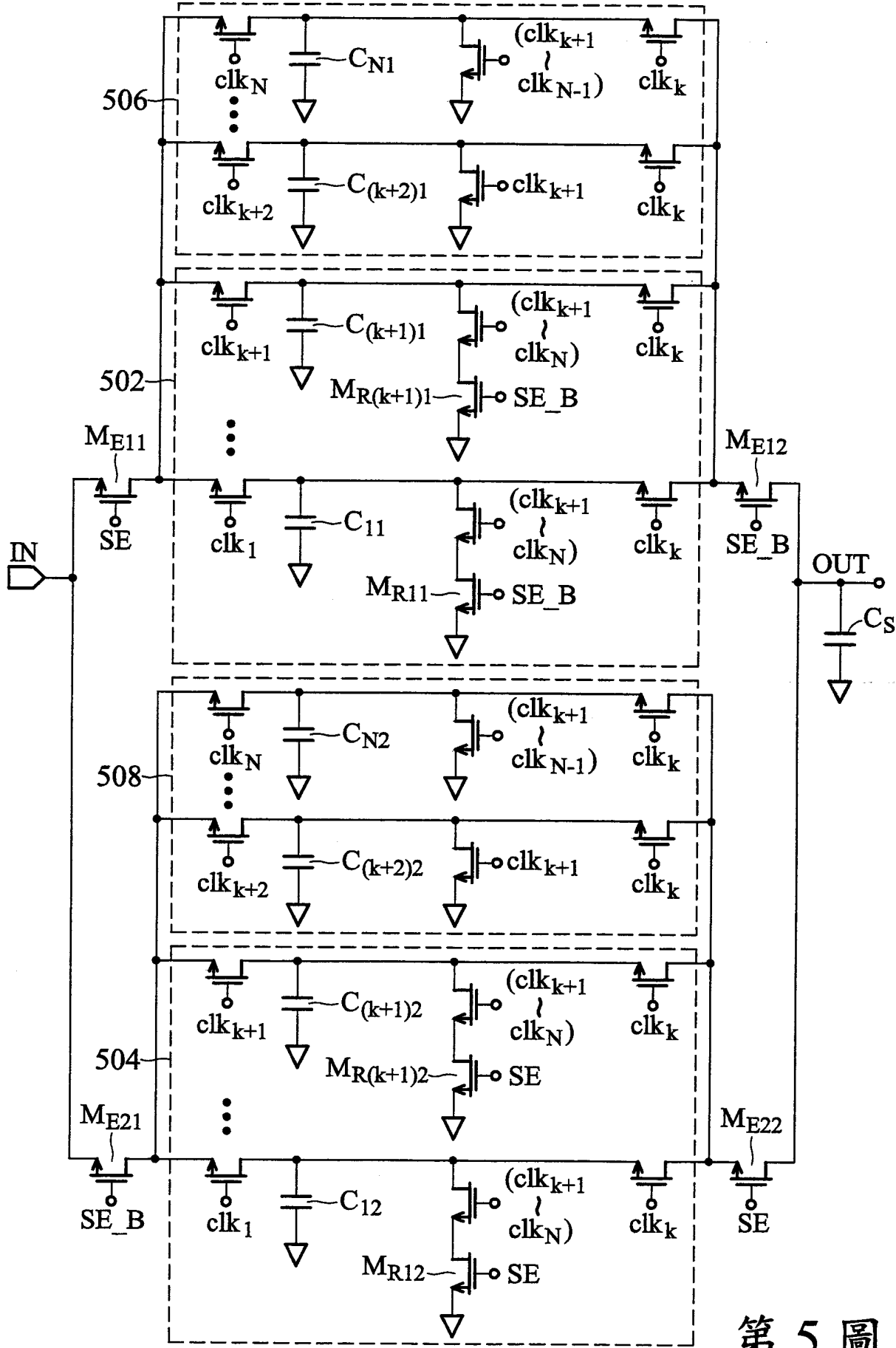




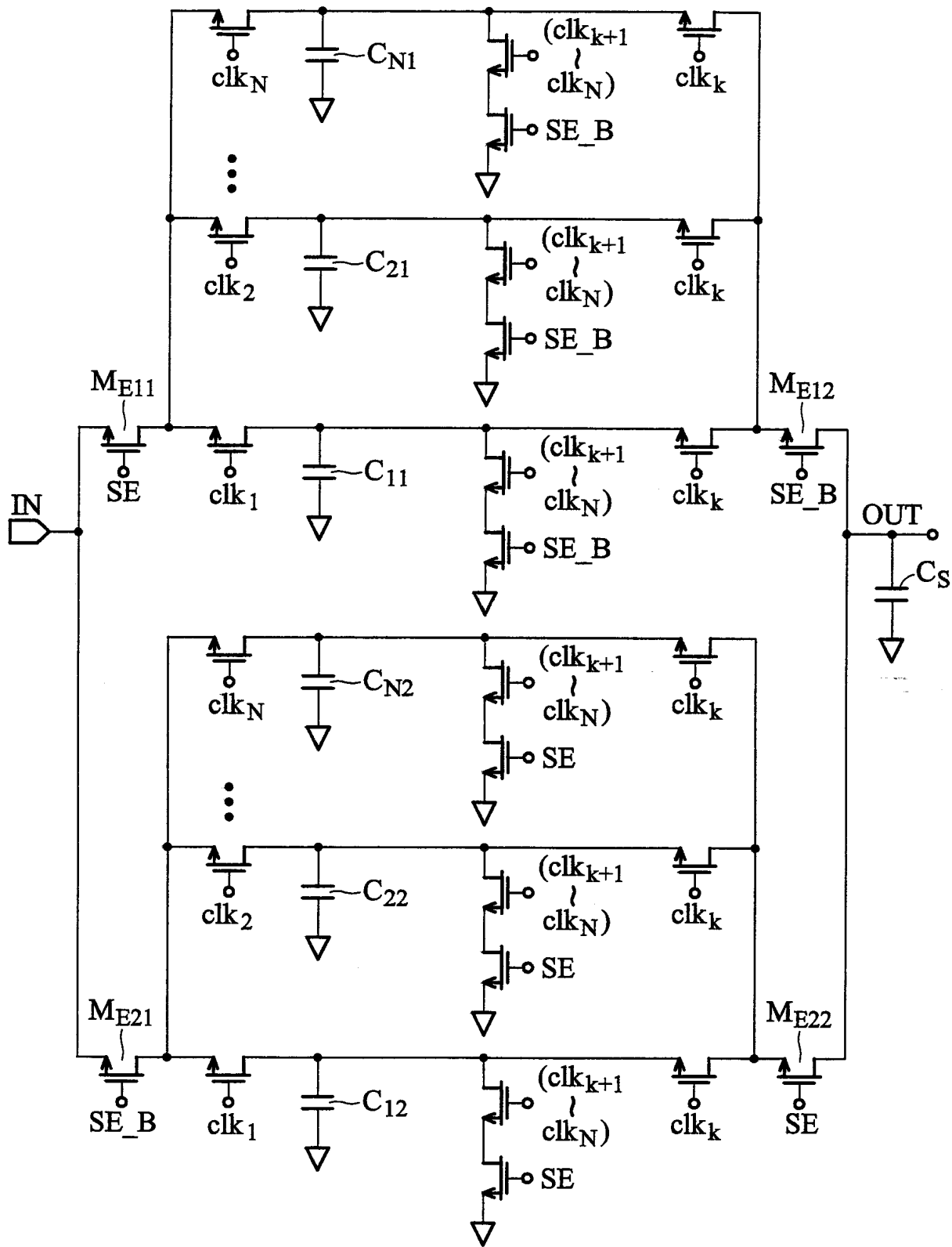
第3B圖



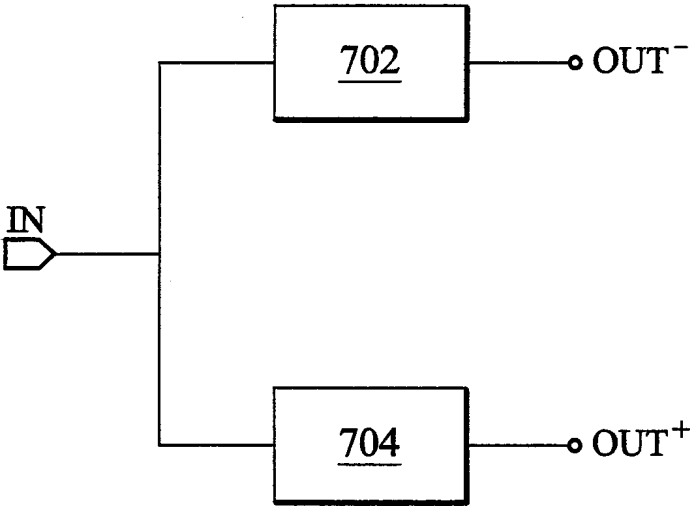
第 4 圖



第 5 圖



第 6 圖



第 7 圖

四、指定代表圖：

(一)本案指定代表圖為：第 (2A) 圖。

(二)本代表圖之元件符號簡單說明：

202、204_1-204_(N-2)~電開電容式電路；

C_1 - C_{N-1} 、 C_{11} 、 C_{12} ~取樣電容；

C_S ~電荷加總電容；

clk_1 - clk_N 、 clk_{k-1} - clk_{k+1} ~控制信號；

IN~輸入端；

M_{S11} 、 M_{S12} 、 M_{S2} - $M_{S(N-1)}$ ~充電電開；

M_{SR11} 、 M_{SR12} 、 M_{SR2} - $M_{SR(N-1)}$ ~放電電開；

M_{SS1} - $M_{SS(N-1)}$ ~電荷加總電開；

n_{11} 、 n_{12} 、 n_2 - n_{N-1} ~節點；以及

OUT~輸出端。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。