

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年1月11日(11.01.2024)



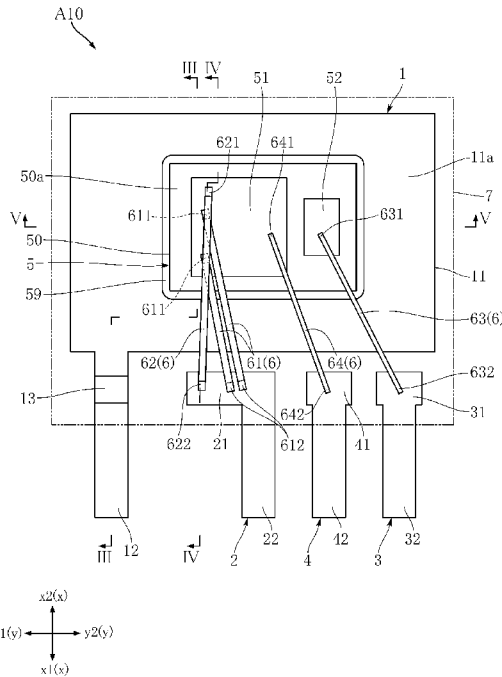
(10) 国際公開番号
WO 2024/009722 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) *H01L 23/48* (2006.01)
- (21) 国際出願番号: PCT/JP2023/022234
- (22) 国際出願日: 2023年6月15日(15.06.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-108302 2022年7月5日(05.07.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町2-1番地 Kyoto (JP).
- (72) 発明者: 安部 英俊 (ABE Hidetoshi); 〒6158585
京都府京都市右京区西院溝崎町2-1番地
ローム株式会社内 Kyoto (JP).
- (74) 代理人: 臼井 尚, 外 (USUI Takashi et al.);
〒5430014 大阪府大阪市天王寺区玉造元町
2番32-1301 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

FIG.2



(57) Abstract: This semiconductor device comprises: a first lead that has a first surface facing the thickness direction; a semiconductor element supported on the first surface; and a plurality of wires each having first and second ends. The semiconductor element has an element main surface facing the thickness direction, and a main surface electrode formed in the element main surface. Each of the wires is joined at the first end to the main surface electrode. The wires include a first wire and a second wire. The second wire crosses over the first wire when viewed in the thickness direction.



WO 2024/009722 A1

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

(57) 要約：半導体装置は、厚さ方向を向く第1面を有する第1リードと、前記第1面に支持された半導体素子と、各々が第1端部および第2端部を有する複数のワイヤとを備える。前記半導体素子は、前記厚さ方向を向く素子主面と、前記素子主面に形成された主面電極とを有する。前記複数のワイヤの各々は、前記第1端部が前記主面電極に接合されている。前記複数のワイヤは、第1ワイヤおよび第2ワイヤを含む。前記第2ワイヤは、前記厚さ方向に見て前記第1ワイヤを跨いでいる。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 半導体素子を備えた半導体装置は、様々な構成が提案されている。特許文献1には、従来の半導体装置の一例が開示されている。同文献に開示された半導体装置は、半導体素子、複数のリード、複数のワイヤ、および封止樹脂を備えている。半導体素子は、複数のリードのいずれかに搭載されている。複数のワイヤの各々は、半導体素子と、当該半導体素子が搭載されたリードとは異なる他のリードと、に接合されている。当該他のリードは、複数の端子部を有する。上記他のリードは、平面視において、半導体素子が搭載されたリードに対して、複数の端子部が配置された側の一定方向（特許文献1の図3においては紙面下方）に隣り合うように配置されている。封止樹脂は、複数のリードの一部ずつと、複数のワイヤと、半導体素子とを覆っている。

[0003] 上記従来の半導体装置において、半導体素子の小型化が図られている。半導体素子の小型化にともない、当該半導体素子においてワイヤを接合可能な部位の面積が小さくなる。このため、半導体素子に接合される複数のワイヤについては、互いの干渉を避けつつ効率よく配置することが求められる。

先行技術文献

特許文献

[0004] 特許文献1：特開2017-135241号公報

発明の概要

発明が解決しようとする課題

[0005] 本開示は、従来よりも改良が施された半導体装置を提供することを一の課題とする。特に本開示は、上記した事情に鑑み、半導体素子に複数のワイヤを効率よく配置するのに適した半導体装置を提供することを一の課題とする

。

課題を解決するための手段

[0006] 本開示の第1の側面によって提供される半導体装置は、厚さ方向の一方側を向く第1面を有する第1リードと、前記第1面に支持された半導体素子と、各々が第1端部および第2端部を有する複数のワイヤと、を備える。前記半導体素子は、前記厚さ方向の一方側を向く素子主面と、前記素子主面に形成された主面電極と、を有する。前記複数のワイヤの各々は、前記第1端部が前記主面電極に接合されている。前記複数のワイヤは、1以上の第1ワイヤと、1以上の第2ワイヤと、を含む。前記1以上の第2ワイヤの少なくともいずれかは、前記厚さ方向に見て前記1以上の第1ワイヤの少なくともいずれかを跨ぐ。

発明の効果

[0007] 上記構成によれば、小型化が図られた半導体素子に対して、複数のワイヤを効率よく配置するのに適した構造の半導体装置を提供することができる。

[0008] 本開示のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0009] [図1]図1は、本開示の第1実施形態に係る半導体装置を示す平面図である。

[図2]図2は、本開示の第1実施形態に係る半導体装置を示す平面図である。

[図3]図3は、図2のI-I線に沿う断面図である。

[図4]図4は、図2のV-V線に沿う断面図である。

[図5]図5は、図2のV-V線に沿う断面図である。

[図6]図6は、本開示の第1実施形態に係る半導体装置を示す右側面図である。

。

[図7]図7は、第1実施形態の第1変形例に係る半導体装置を示す平面図である。

[図8]図8は、第1実施形態の第1変形例に係る半導体装置を示す右側面図である。

[図9]図9は、第1実施形態の第2変形例に係る半導体装置を示す平面図である。

[図10]図10は、第1実施形態の第2変形例に係る半導体装置を示す右側面図である。

[図11]図11は、第1実施形態の第3変形例に係る半導体装置を示す平面図である。

[図12]図12は、第1実施形態の第3変形例に係る半導体装置を示す右側面図である。

[図13]図13は、第1実施形態の第4変形例に係る半導体装置を示す平面図である。

[図14]図14は、第1実施形態の第4変形例に係る半導体装置を示す右側面図である。

[図15]図15は、第1実施形態の第5変形例に係る半導体装置を示す平面図である。

[図16]図16は、第1実施形態の第5変形例に係る半導体装置を示す右側面図である。

[図17]図17は、本開示の第2実施形態に係る半導体装置を示す平面図である。

[図18]図18は、本開示の第2実施形態に係る半導体装置を示す右側面図である。

発明を実施するための形態

[0010] 以下、本開示の好ましい実施の形態につき、図面を参照して具体的に説明する。

[0011] 本開示における「第1」、「第2」、「第3」等の用語は、単に識別のために用いたものであり、必ずしもそれらの対象物に順列を付することを意図していない。

[0012] 本開示において、「ある物Aがある物Bに形成されている」および「ある物Aがある物B上に形成されている」とは、特段の断りのない限り、「ある

物Aがある物Bに直接形成されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに形成されていること」を含む。同様に、「ある物Aがある物Bに配置されている」および「ある物Aがある物B上に配置されている」とは、特段の断りのない限り、「ある物Aがある物Bに直接配置されていること」、および、「ある物Aとある物Bとの間に他の物を介在させつつ、ある物Aがある物Bに配置されていること」を含む。同様に、「ある物Aがある物B上に位置している」とは、特段の断りのない限り、「ある物Aがある物Bに接して、ある物Aがある物B上に位置していること」、および、「ある物Aとある物Bとの間に他の物が介在しつつ、ある物Aがある物B上に位置していること」を含む。また、「ある物Aがある物Bにある方向に見て重なる」とは、特段の断りのない限り、「ある物Aがある物Bのすべてに重なること」、および、「ある物Aがある物Bの一部に重なること」を含む。また、本開示において「ある面Aが方向B（の一方側または他方側）を向く」とは、面Aの方向Bに対する角度が 90° である場合に限定されず、面Aが方向Bに対して傾いている場合を含む。

[0013] 第1実施形態：

図1～図6は、本開示の第1実施形態に係る半導体装置を示している。本実施形態の半導体装置A10は、第1リード1、第2リード2、第3リード3、第4リード4、半導体素子5、複数のワイヤ6および封止樹脂7を備えている。

[0014] 図1および図2は、半導体装置A10を示す平面図である。図3は、図2のI-I'-I-I'線に沿う断面図である。図4は、図2のV-V'線に沿う断面図である。図5は、図2のV-V'線に沿う断面図である。図6は、半導体装置A10を示す右側面図である。なお、図2は、理解の便宜上、封止樹脂7を透過している。図6は、封止樹脂7を透過するとともに、第3リード3および第4リード4と、複数のワイヤ6の一部（後述の第3ワイヤ63および第4ワイヤ64）と、を省略している。

- [0015] 半導体装置 A 1 0 の説明においては、半導体素子 5 の厚さ方向は、「厚さ方向 z」と呼ぶ。厚さ方向 z に対して直交する 1 つの方向は、「第 1 方向」の一例であり、「第 1 方向 x」と呼ぶ。厚さ方向 z および第 1 方向 x の双方に対して直交する方向は、「第 2 方向」の一例であり、「第 2 方向 y」と呼ぶ。
- [0016] 第 1 リード 1、第 2 リード 2、第 3 リード 3 および第 4 リード 4 は、たとえば、金属板（リードフレーム）に打ち抜き加工や折り曲げ加工等を施すことにより形成されている。第 1 リード 1、第 2 リード 2、第 3 リード 3 および第 4 リード 4 の厚さは、特に限定されず、たとえば 0.1 mm ~ 2.0 mm 程度である。第 1 リード 1、第 2 リード 2、第 3 リード 3 および第 4 リード 4 の構成材料は、たとえば銅（Cu）およびニッケル（Ni）のいずれか、またはこれらの合金などからなる。なお、詳細な図示説明は省略するが、第 1 リード 1、第 2 リード 2、第 3 リード 3 および第 4 リード 4 の大半は、たとえばめっき層に覆われている。当該めっき層の構成材料は特に限定されず、たとえば錫（Sn）を主成分とする合金からなる。
- [0017] 図 2 に示すように、第 1 リード 1、第 2 リード 2、第 3 リード 3 および第 4 リード 4 は、厚さ方向 z に見て（平面視において）、互いに離隔して配置されている。厚さ方向 z 視におけるサイズは、第 1 リード 1 が最大である。
- [0018] 図 2 ~ 図 5 に示すように、第 1 リード 1 は、ダイパッド 1 1、第 1 端子部 1 2 および屈曲部 1 3 を有する。ダイパッド 1 1 は、たとえば厚さ方向 z に見て矩形形状である。ダイパッド 1 1 は、第 1 面 1 1 a および第 2 面 1 1 b を有する。第 1 面 1 1 a は、厚さ方向 z の z 1 側を向いており、第 2 面 1 1 b は第 1 面 1 1 a とは反対側（厚さ方向 z の z 2 側）を向く。第 1 面 1 1 a は、半導体素子 5 を支持している。本実施形態において、ダイパッド 1 1 の全体が封止樹脂 7 に覆われている。ダイパッド 1 1 は、「基部」の一例である。
- [0019] 第 1 端子部 1 2 は、ダイパッド 1 1 に対して第 1 方向 x の x 1 側に位置する。第 1 端子部 1 2 は、第 1 方向 x の x 1 側に延びている。第 1 端子部 1 2

は、第2方向yにおいて、ダイパッド11の第2方向yのy1側の端に位置する。第1端子部12は、封止樹脂7から露出している。屈曲部13は、ダイパッド11と第1端子部12とをつないでおり、第2方向yに見て屈曲形状である。

[0020] 図2、図4および図6に示すように、第2リード2は、パッド部21および第2端子部22を有する。パッド部21は、厚さ方向zに見て、ダイパッド11に対して第1方向xのx1側に位置する。パッド部21は、第2方向yに沿って延びている。第2端子部22は、パッド部21の第2方向yのy2側の端部につながり、第1方向xのx1側に延びている。第2端子部22は、封止樹脂7から露出している。第2リード2は、厚さ方向zに見て、第1端子部12に対して第2方向yのy2側に位置する。

[0021] 図2に示すように、第3リード3は、パッド部31および第3端子部32を有する。パッド部31は、厚さ方向zに見て、ダイパッド11に対して第1方向xのx1側に位置する。第3端子部32は、パッド部31につながり、第1方向xのx1側に延びている。第3端子部32は、封止樹脂7から露出している。第3リード3は、厚さ方向zに見て、第2リード2に対して第2方向yのy2側に位置する。第3リード3は、第2方向yにおいて、ダイパッド11の第2方向yのy2側の端に位置する。

[0022] 図2に示すように、第4リード4は、パッド部41および第4端子部42を有する。パッド部41は、厚さ方向zに見て、ダイパッド11に対して第1方向xのx1側に位置する。第4端子部42は、パッド部41につながり、第1方向xのx1側に延びている。第4端子部42は、封止樹脂7から露出している。第4リード4は、厚さ方向zに見て、第2リード2に対して第2方向yのy2側に位置する。第4リード4は、第2方向yにおいて、第2リード2と第3リード3との間に位置する。

[0023] 半導体素子5は、半導体装置A10の電氣的機能を発揮する要素である。半導体素子5の種類は特に限定されず、本実施形態においては、半導体素子5は、トランジスタとして構成されている。半導体装置A10の説明におい

ては、半導体素子5は、スイッチング素子であり、たとえばnチャネル型のMOSFETであるが、pチャネル型のMOSFETであってもよい。図2～図5に示すように、半導体素子5は、素子本体50、第1主面電極51、第2主面電極52および裏面電極53を有する。

[0024] 素子本体50は、厚さ方向zに見て矩形形状である。より具体的には、素子本体50（半導体素子5）は、第2方向yを長手方向とし、第1方向xを短手方向とする長矩形形状である。素子本体50は、素子主面50aおよび素子裏面50bを有する。素子主面50aおよび素子裏面50bは、厚さ方向zにおいて互いに反対側を向く。素子主面50aは、厚さ方向zにおいてダイパッド11の第1面11aと同じ側を向く。このため、素子裏面50bは、第1面11aに対向している。

[0025] 第1主面電極51および第2主面電極52は、素子主面50a上に配置されている。裏面電極53は、素子裏面50b上に配置されている。第1主面電極51、第2主面電極52および裏面電極53の構成材料は特に限定されず、たとえばTi/Ni/Au膜、Ti/Ni/Au/Ag膜、Ti/Ni/Ag膜などからなる。

[0026] 本実施形態において、第1主面電極51は、素子主面50aの第2方向yの中央から第2方向yのy1側寄りの領域に配置されている。第1主面電極51は、厚さ方向zに見て矩形形状であり、第1方向xおよび第2方向yに沿う各辺の長さがほぼ同一とされている。本実施形態において、第1主面電極51は、ソース電極であり、入出力端子として用いられる電極である。

[0027] 第2主面電極52は、素子主面50aの第2方向yのy2側の領域に配置されている。第2主面電極52は、ゲート電極であり、スイッチング素子としての半導体素子5にゲート電圧が印加される電極である。図示された例において、第1主面電極51の面積は、第2主面電極52の面積よりも顕著に大である。ただし、半導体素子5のサイズが小さくなると第1主面電極51の面積も小さくなるので、第2主面電極52の面積に対する第1主面電極51の面積の割合は、相対的に小さくなる（後述の図15参照）。第1主面電

極51および第2主面電極52は、それぞれ「主面電極」の一例である。

[0028] 裏面電極53は、素子裏面50bの全面（あるいは略全面）を覆っている。裏面電極53は、ドレイン電極であり、第1主面電極51とともに、入出力端子として用いられる電極である。裏面電極53は、導電性接合材59を介して第1面11a（ダイパッド11）に電氣的に接合されている。導電性接合材59は、ダイパッド11と裏面電極53とを導通接合する。導電性接合材59は、たとえばはんだである。

[0029] 本実施形態の上記構成において、第1リード1の第1端子部12は、ダイパッド11および導電性接合材59を介して半導体素子5の裏面電極53に導通している。本実施形態においては、第1端子部12は、半導体装置A10のドレイン端子である。

[0030] 本実施形態において、半導体素子5は、ダイパッド11に対して比較的小さいサイズとされている。半導体素子5は、ダイパッド11の第1面11a上において、第1方向xおよび第2方向yそれぞれのほぼ中央に配置されている。

[0031] 図2に示すように、複数のワイヤ6は、各々、半導体素子5における第1主面電極51および第2主面電極52のいずれかと、第2リード2、第3リード3、および第4リード4のいずれかとに接合されている。複数のワイヤ6の各々の構成材料は特に限定されず、たとえば金（Au）、アルミニウムあるいは銅のいずれかを含む。本実施形態において、各ワイヤ6の構成材料は、たとえばアルミニウムを含む。

[0032] 本実施形態において、複数のワイヤ6は、複数の第1ワイヤ61、第2ワイヤ62、第3ワイヤ63および第4ワイヤ64を含む。

[0033] 複数（本実施形態では2本）の第1ワイヤ61の各々は、第1主面電極51と第2リード2とに接合されている。複数の第1ワイヤ61の各々は、第1端部611および第2端部612を有する。第1端部611は、第1主面電極51に接合されている。第2端部612は、第2リード2のパッド部21に接合されている。本実施形態において、複数の第1ワイヤ61の各々は

、ウェッジボンディングにより第1主面電極51およびパッド部21（第2リード2）に接合されている。

[0034] 図2に示した例では、複数の第1ワイヤ61は、第2方向yに間隔を隔てて並んでおり、厚さ方向zに見て互いに平行に配置されている。ここで、複数の第1ワイヤ61が互いに平行であるとは、複数の第1ワイヤ61が相互に平行である場合だけでなく、製造上の誤差等に起因して多少平行からずれている場合を含むものとする。後述する「平行」についてもこれと同様に、製造上の誤差等に起因して多少平行からずれている場合を含む。なお、図示した例とは異なり、複数の第1ワイヤ61が厚さ方向zに見て非平行に配置されてもよい。

[0035] 各第1ワイヤ61において、第2端部612は、第1端部611に対して第2方向yのy2側に位置する。また、図2に示した2本の第1ワイヤ61それぞれの第1端部611は、厚さ方向zに見て第1方向xにおいて異なる位置にある。第2方向yのy1側に位置する第1ワイヤ61の第1端部611は、第2方向yのy2側に位置する第1ワイヤ61の第1端部611よりも第1方向xのx1側に位置する。2本の第1ワイヤ61それぞれの第2端部612は、厚さ方向zに見て第1方向xにおいてほぼ同じ位置にある。

[0036] 第2ワイヤ62は、第1主面電極51と第2リード2とに接合されている。第2ワイヤ62は、第1端部621および第2端部622を有する。第1端部621は、第1主面電極51に接合されている。第2端部622は、第2リード2のパッド部21に接合されている。本実施形態において、第2ワイヤ62は、ウェッジボンディングにより第1主面電極51およびパッド部21（第2リード2）に接合されている。

[0037] 第2ワイヤ62は、厚さ方向zに見て概ね第1方向xに沿って延びている。第2ワイヤ62は、厚さ方向zに見て複数（2本）の第1ワイヤ61を跨いでいる。第2ワイヤ62の第1端部621は、厚さ方向zに見て、複数の第1ワイヤ61それぞれの第1端部611よりも第1方向xのx2側に位置する。図2および図4に示すように、本実施形態においては、第2ワイヤ6

2は、厚さ方向zに見て複数（2本）の第1ワイヤ61それぞれの第1端部611に重なっており、当該2つの第1端部611を跨ぐ。なお、図2に示した例と異なり、複数の第1ワイヤ61が非平行に配置される場合においても、たとえば厚さ方向zに見て第2ワイヤ62が複数の第1ワイヤ61それぞれの第1端部611を跨ぐように配置される。

[0038] 第2ワイヤ62の第2端部622は、2本の第1ワイヤ61それぞれの第2端部612に対して、第2方向yのy1側に位置する。第2端部622は、厚さ方向zに見て、各第1ワイヤ61の第2端部612と第1方向xにおいてほぼ同じ位置にある。図2、図6に示すように、2本の第1ワイヤ61それぞれの第2端部612、および第2ワイヤ62の第2端部622は、第2方向yに見て互いに重なっている。

[0039] 本実施形態において、第2リード2の第2端子部22は、パッド部21、複数の第1ワイヤ61、および第2ワイヤ62を介して半導体素子5の第1主面電極51に導通している。本実施形態においては、第2端子部22は、半導体装置A10のソース端子である。

[0040] 第3ワイヤ63は、第2主面電極52と第3リード3とに接合されている。第3ワイヤ63は、第1端部631および第2端部632を有する。第1端部631は、第2主面電極52に接合されている。第2端部632は、第3リード3のパッド部31に接合されている。本実施形態において、第3リード3の第3端子部32は、パッド部31および第3ワイヤ63を介して半導体素子5の第2主面電極52に導通している。本実施形態においては、第3端子部32は、半導体装置A10のゲート端子である。

[0041] 第4ワイヤ64は、第1主面電極51と第4リード4とに接合されている。第4ワイヤ64は、第1端部641および第2端部642を有する。第1端部641は、第1主面電極51に接合されている。第2端部642は、第4リード4のパッド部41に接合されている。本実施形態において、第4リード4の第4端子部42は、パッド部41および第4ワイヤ64を介して半導体素子5の第2主面電極52に導通している。本実施形態においては、第

4端子部42は、ソースセンス端子として機能する。ソースセンス端子は、第1主面電極51（ソース電極）の電位を検出するための端子である。

[0042] 封止樹脂7は、第1リード1、第2リード2、第3リード3および第4リード4の一部ずつと、半導体素子5と、複数のワイヤ6とを覆っている。封止樹脂7は、たとえば黒色のエポキシ樹脂からなる。

[0043] 図1、図3～図5に示すように、封止樹脂7は、樹脂主面71、樹脂裏面72および樹脂側面731～734を有する。樹脂主面71および樹脂裏面72は、厚さ方向zにおいて反対側を向き、且つ互いに離隔している。樹脂主面71は、厚さ方向zのz1側を向いており、素子主面50aおよび第1面11aと同じ側を向く。樹脂裏面72は、厚さ方向zのz2側を向いており、素子裏面50bおよび第2面11bと同じ側を向く。

[0044] 樹脂側面731～734の各々は、樹脂主面71および樹脂裏面72につながるとともに、厚さ方向zにおいて樹脂主面71と樹脂裏面72とに挟まれている。樹脂側面731および樹脂側面732は、第1方向xにおいて互いに反対側を向く。樹脂側面731は第1方向xのx1側を向いており、樹脂側面732は第1方向xのx2側を向いている。樹脂側面733および樹脂側面734は、第2方向yにおいて互いに反対側を向く。樹脂側面733は第2方向yのy1側を向いており、樹脂側面734は第2方向yのy2側を向いている。図1に示すように、樹脂側面731から、第1端子部12、第2端子部22、第3端子部32および第4端子部42の各々の一部が突出している。図示した例では、樹脂側面731～734は、各々、厚さ方向zに対して若干傾斜している。なお、図1、図3～図5に示す封止樹脂7の形状は一例である。封止樹脂7の形状は、例示された形状に限定されない。また、本実施形態において図3～図5に示した例では、ダイパッド11の第2面11bが封止樹脂7に覆われているが、これとは異なり、第2面11bが封止樹脂7に覆われずに封止樹脂7の樹脂裏面72から露出する構成としてもよい。

[0045] 次に、本実施形態の作用について説明する。

[0046] 半導体装置A10において、複数のワイヤ6は、第1ワイヤ61および第2ワイヤ62を含む。第1ワイヤ61の第1端部611および第2ワイヤ62の第1端部621は、半導体素子5の第1主面電極51に接合されている。第2ワイヤ62は、厚さ方向zに見て第1ワイヤ61を跨いでいる。このような構成によれば、比較的小さいサイズの半導体素子5に対し、複数のワイヤ6（第1ワイヤ61および第2ワイヤ62）を効率よく配置することが可能である。

[0047] 本実施形態において、複数のワイヤ6は、複数（2本）の第1ワイヤ61を含み、第2ワイヤ62は、厚さ方向zに見て複数（2本）の第1ワイヤ61を跨いでいる。複数（2本）の第1ワイヤ61それぞれの第1端部611は、第1方向xにおいて異なる位置に配置されている。第2ワイヤ62は、厚さ方向zに見て複数（2本）の第1ワイヤ61それぞれの第1端部611を跨ぐ。このような構成によれば、複数の第1ワイヤ61と第2ワイヤ62との互いの干渉を回避しつつ、これら第1ワイヤ61および第2ワイヤ62を狭いスペースに効率よく配置することができる。

[0048] 本実施形態において図2に示した例では、複数の第1ワイヤ61は、厚さ方向zに見て互いに平行に配置されている。複数（2本）の第1ワイヤ61それぞれの第2端部612、および第2ワイヤ62の第2端部622は、第2方向yに見て互いに重なっている。このような構成は、複数の第1ワイヤ61と第2ワイヤ62との互いの干渉を回避しつつ、これら第1ワイヤ61および第2ワイヤ62を効率よく配置する上でより好ましい。

[0049] 第1実施形態の第1変形例：

図7および図8は、第1実施形態の第1変形例に係る半導体装置A11を示している。図7は、半導体装置A11を示す平面図である。図8は、半導体装置A11を示す右側面図である。図7は、理解の便宜上、封止樹脂7を透過している。図8は、封止樹脂7を透過するとともに、第3リード3および第4リード4と、複数のワイヤ6の一部（第3ワイヤ63および第4ワイヤ64）と、を省略している。なお、図7以降の図面において、上記実施形

態の半導体装置 A 1 0 と同一または類似の要素には、上記実施形態と同一の符号を付しており、適宜説明を省略する。また、各変形例における各部の構成は、技術的な矛盾を生じない範囲において相互に適宜組み合わせ可能である。

[0050] 本変形例の半導体装置 A 1 1 においては、半導体素子 5 の配置、複数の第 1 ワイヤ 6 1、および第 2 ワイヤ 6 2 の配置が、上記実施形態の半導体装置 A 1 0 と異なっている。本変形例では、半導体素子 5 は、ダイパッド 1 1 の第 1 面 1 1 a 上において、第 2 方向 y の y 2 側寄りに配置されている。

[0051] 図 7 に示した例では、複数の第 1 ワイヤ 6 1 は、第 2 方向 y に間隔を隔てて並んでおり、厚さ方向 z に見て互いに平行に配置されている。本変形例では、複数（2 本）の第 1 ワイヤ 6 1 の各々において、第 2 端部 6 1 2 は、第 1 端部 6 1 1 に対して第 2 方向 y の y 1 側に位置する。図 7 に示した 2 本の第 1 ワイヤ 6 1 それぞれの第 1 端部 6 1 1 は、厚さ方向 z に見て第 1 方向 x において異なる位置にある。第 2 方向 y の y 1 側に位置する第 1 ワイヤ 6 1 の第 1 端部 6 1 1 は、第 2 方向 y の y 2 側に位置する第 1 ワイヤ 6 1 の第 1 端部 6 1 1 よりも第 1 方向 x の x 2 側に位置する。2 本の第 1 ワイヤ 6 1 それぞれの第 2 端部 6 1 2 は、厚さ方向 z に見て第 1 方向 x においてほぼ同じ位置にある。なお、図 7 に示した例とは異なり、複数の第 1 ワイヤ 6 1 が厚さ方向 z に見て非平行に配置されてもよい。

[0052] 第 2 ワイヤ 6 2 は、厚さ方向 z に見て概ね第 1 方向 x に沿って延びている。第 2 ワイヤ 6 2 は、厚さ方向 z に見て複数（2 本）の第 1 ワイヤ 6 1 を跨いでいる。第 2 ワイヤ 6 2 の第 1 端部 6 2 1 は、厚さ方向 z に見て、複数の第 1 ワイヤ 6 1 それぞれの第 1 端部 6 1 1 よりも第 1 方向 x の x 2 側に位置する。図 7 に示すように、本変形例においては、第 2 ワイヤ 6 2 は、厚さ方向 z に見て複数（2 本）の第 1 ワイヤ 6 1 それぞれの第 1 端部 6 1 1 に重なっており、当該 2 つの第 1 端部 6 1 1 を跨ぐ。なお、図 7 に示した例とは異なり、複数の第 1 ワイヤ 6 1 が非平行に配置される場合においても、たとえば厚さ方向 z に見て第 2 ワイヤ 6 2 が複数の第 1 ワイヤ 6 1 それぞれの第 1 端

部611を跨ぐように配置される。

- [0053] 第2ワイヤ62の第2端部622は、2本の第1ワイヤ61それぞれの第2端部612に対して、第2方向yのy2側に位置する。第2端部622は、厚さ方向zに見て、各第1ワイヤ61の第2端部612と第1方向xにおいてほぼ同じ位置にある。図7、図8に示すように、2本の第1ワイヤ61それぞれの第2端部612、および第2ワイヤ62の第2端部622は、第2方向yに見て互いに重なっている。
- [0054] 本変形例の半導体装置A11において、第1ワイヤ61の第1端部611および第2ワイヤ62の第1端部621は、半導体素子5の第1主面電極51に接合されている。第2ワイヤ62は、厚さ方向zに見て第1ワイヤ61を跨いでいる。このような構成によれば、比較的小さいサイズの半導体素子5に対し、複数のワイヤ6（第1ワイヤ61および第2ワイヤ62）を効率よく配置することが可能である。
- [0055] 複数のワイヤ6は、複数（2本）の第1ワイヤ61を含み、第2ワイヤ62は、厚さ方向zに見て複数（2本）の第1ワイヤ61を跨いでいる。複数（2本）の第1ワイヤ61それぞれの第1端部611は、第1方向xにおいて異なる位置に配置されている。第2ワイヤ62は、厚さ方向zに見て複数（2本）の第1ワイヤ61それぞれの第1端部611を跨ぐ。このような構成によれば、複数の第1ワイヤ61と第2ワイヤ62との互いの干渉を回避しつつ、これら第1ワイヤ61および第2ワイヤ62を狭いスペースに効率よく配置することができる。
- [0056] 本変形例において図7に示した例では、複数の第1ワイヤ61は、厚さ方向zに見て互いに平行に配置されている。複数（2本）の第1ワイヤ61それぞれの第2端部612、および第2ワイヤ62の第2端部622は、第2方向yに見て互いに重なっている。このような構成は、複数の第1ワイヤ61と第2ワイヤ62との互いの干渉を回避しつつ、これら第1ワイヤ61および第2ワイヤ62を効率よく配置する上でより好ましい。
- [0057] 第1実施形態の第2変形例：

図9および図10は、第1実施形態の第2変形例に係る半導体装置A12を示している。図9は、半導体装置A12を示す平面図である。図10は、半導体装置A12を示す右側面図である。図9は、理解の便宜上、封止樹脂7を透過している。図10は、封止樹脂7を透過するとともに、第3リード3および第4リード4と、複数のワイヤ6の一部（第3ワイヤ63および第4ワイヤ64）と、を省略している。

[0058] 本変形例の半導体装置A12においては、複数のワイヤ6は、複数の第2ワイヤ62を含む。図9に示した例では、複数（本変形例では2本）の第2ワイヤ62は、第2方向yに間隔を隔てて並んでおり、厚さ方向zに見て互いに平行に配置されている。図示した例とは異なり、複数の第2ワイヤ62が厚さ方向zに見て非平行に配置されてもよい。

[0059] 図9に示した例では、複数の第1ワイヤ61は、第2方向yに間隔を隔てて並んでおり、厚さ方向zに見て互いに平行に配置されている。複数（2本）の第1ワイヤ61の各々において、第2端部612は、第1端部611に対して第2方向yのy2側に位置する。第2方向yのy1側に位置する第1ワイヤ61の第1端部611は、第2方向yのy2側に位置する第1ワイヤ61の第1端部611よりも第1方向xのx1側に位置する。2本の第1ワイヤ61それぞれの第2端部612は、厚さ方向zに見て第1方向xにおいてほぼ同じ位置にある。なお、図9に示した例とは異なり、複数の第1ワイヤ61が厚さ方向zに見て非平行に配置されてもよい。

[0060] 複数（2本）の第2ワイヤ62の各々は、厚さ方向zに見て概ね第1方向xに沿って延びている。2本の第2ワイヤ62の各々は、厚さ方向zに見て複数（2本）の第1ワイヤ61を跨いでいる。各第2ワイヤ62の第1端部621は、厚さ方向zに見て、複数の第1ワイヤ61それぞれの第1端部611よりも第1方向xのx2側に位置する。図9に示すように、本変形例においては、第2方向yのy1側に位置する第2ワイヤ62は、厚さ方向zに見て、第2方向yのy1側に位置する第1ワイヤ61の第1端部611に重なっており、当該第1端部611を跨ぐ。

- [0061] 2本の第2ワイヤ62それぞれの第2端部622は、2本の第1ワイヤ61それぞれの第2端部612に対して、第2方向yのy1側に位置する。各第2端部622は、厚さ方向zに見て、各第1ワイヤ61の第2端部612と第1方向xにおいてほぼ同じ位置にある。図9、図10に示すように、2本の第1ワイヤ61それぞれの第2端部612、および2本の第2ワイヤ62それぞれの第2端部622は、第2方向yに見て互いに重なっている。
- [0062] 本変形例の半導体装置A12において、第1ワイヤ61の第1端部611および第2ワイヤ62の第1端部621は、半導体素子5の第1主面電極51に接合されている。第2ワイヤ62は、厚さ方向zに見て第1ワイヤ61を跨いでいる。このような構成によれば、比較的小さいサイズの半導体素子5に対し、複数のワイヤ6（第1ワイヤ61および第2ワイヤ62）を効率よく配置することが可能である。
- [0063] 複数のワイヤ6は、複数（2本）の第1ワイヤ61および複数（2本）の第2ワイヤ62を含む。複数（2本）の第2ワイヤ62の各々は、厚さ方向zに見て複数（2本）の第1ワイヤ61を跨いでいる。複数（2本）の第1ワイヤ61それぞれの第1端部611は、第1方向xにおいて異なる位置に配置されている。1本の第2ワイヤ62（本変形例では第2方向yのy1側に位置する第2ワイヤ62）は、厚さ方向zに見て1本の第1ワイヤ61（第2方向yのy1側に位置する第1ワイヤ61）の第1端部611を跨ぐ。このような構成によれば、複数の第1ワイヤ61と複数の第2ワイヤ62との互いの干渉を回避しつつ、これら第1ワイヤ61および第2ワイヤ62を狭いスペースに効率よく配置することができる。
- [0064] 本変形例において図9に示した例では、複数の第1ワイヤ61は、厚さ方向zに見て互いに平行に配置されている。複数の第2ワイヤ62は、厚さ方向zに見て互いに平行に配置されている。複数（2本）の第1ワイヤ61それぞれの第2端部612、および複数（2本）の第2ワイヤ62のそれぞれの第2端部622は、第2方向yに見て互いに重なっている。このような構成は、複数の第1ワイヤ61と複数の第2ワイヤ62との互いの干渉を回避

しつつ、これら第1ワイヤ61および第2ワイヤ62を効率よく配置する上でより好ましい。

[0065] 第1実施形態の第3変形例：

図11および図12は、第1実施形態の第3変形例に係る半導体装置A13を示している。図11は、半導体装置A13を示す平面図である。図12は、半導体装置A13を示す右側面図である。図11は、理解の便宜上、封止樹脂7を透過している。図12は、封止樹脂7を透過するとともに、第3リード3と、複数のワイヤ6の一部（第3ワイヤ63）と、を省略している。

[0066] 本変形例の半導体装置A13においては、複数のワイヤ6は、複数（4本）の第1ワイヤ61と、複数（2本）の第2ワイヤ62と、を含む。上記実施形態の半導体装置A10において示した2本の第1ワイヤ61と1本の第2ワイヤ62とを1組とする3本のワイヤ6が、第2方向yに間隔を隔てて2組配置されている。また、本変形例の半導体装置A13は、上記実施形態の半導体装置A10と異なり、第4リード4および第4ワイヤ64を備えていない。その一方、第2リード2においては、パッド部21の第2方向yの寸法が大きくされており、このパッド部21につながる2つの第2端子部22が設けられている。これら2つの第2端子部22は、第2方向yに間隔を隔てて配置されている。このような構成によれば、複数（4本）の第1ワイヤ61および複数（2本）の第2ワイヤ62と、これらが接合される第2リード2の2つの第2端子部22とにおいて、主電流が流れる経路の断面積が大きくされており、半導体装置A13の大電流化に適する。また、主電流経路の断面積が増大すると、半導体素子5で発生した熱を効率よく外部に逃がすことが期待でき、半導体装置A13の信頼性の向上を図ることができる。

[0067] 本変形例の半導体装置A13において、第1ワイヤ61の第1端部611および第2ワイヤ62の第1端部621は、半導体素子5の第1主面電極51に接合されている。第2ワイヤ62は、厚さ方向zに見て第1ワイヤ61を跨いでいる。このような構成によれば、比較的小さいサイズの半導体素子

5に対し、複数のワイヤ6（第1ワイヤ61および第2ワイヤ62）を効率よく配置することが可能である。

[0068] 複数のワイヤ6は、複数（4本）の第1ワイヤ61および複数（2本）の第2ワイヤ62を含む。2本の第2ワイヤ62のうち的一方（第2方向yのy1側に位置する第2ワイヤ62）は、厚さ方向zに見て2本の第1ワイヤ61（第2方向yのy1側に位置する2本の第1ワイヤ61）を跨いでいる。上記2本の第1ワイヤ61それぞれの第1端部611は、第1方向xにおいて異なる位置に配置されている。一方の第2ワイヤ62（第2方向yのy1側に位置する第2ワイヤ62）は、厚さ方向zに見て2本の第1ワイヤ61それぞれの第1端部611を跨ぐ。2本の第2ワイヤ62のうち他方（第2方向yのy2側に位置する第2ワイヤ62）は、厚さ方向zに見て他の2本の第1ワイヤ61（第2方向yのy2側に位置する2本の第1ワイヤ61）を跨いでいる。上記他の2本の第1ワイヤ61それぞれの第1端部611は、第1方向xにおいて異なる位置に配置されている。他方の第2ワイヤ62（第2方向yのy2側に位置する第2ワイヤ62）は、厚さ方向zに見て他の2本の第1ワイヤ61それぞれの第1端部611を跨ぐ。このような構成によれば、複数の第1ワイヤ61と複数の第2ワイヤ62との互いの干渉を回避しつつ、これら第1ワイヤ61および第2ワイヤ62を狭いスペースに効率よく配置することができる。

[0069] 本変形例において図11に示した例では、複数の第1ワイヤ61は、厚さ方向zに見て互いに平行に配置されている。複数（4本）の第1ワイヤ61それぞれの第2端部612、および複数（2本）の第2ワイヤ62それぞれの第2端部622は、第2方向yに見て互いに重なっている。このような構成は、複数の第1ワイヤ61と複数の第2ワイヤ62との互いの干渉を回避しつつ、これら第1ワイヤ61および第2ワイヤ62を効率よく配置する上でより好ましい。なお、図11に示した例とは異なり、複数の第1ワイヤ61が厚さ方向zに見て非平行に配置されてもよい。

[0070] 第1実施形態の第4変形例：

図13および図14は、第1実施形態の第4変形例に係る半導体装置A14を示している。図13は、半導体装置A14を示す平面図である。図14は、半導体装置A14を示す右側面図である。図13は、理解の便宜上、封止樹脂7を透過している。図14は、封止樹脂7を透過するとともに、第3リード3と、複数のワイヤ6の一部（第3ワイヤ63）と、を省略している。

[0071] 本変形例の半導体装置A14においては、複数のワイヤ6は、複数（4本）の第1ワイヤ61と、複数（4本）の第2ワイヤ62と、を含む。半導体装置A14においては、上記変形例の半導体装置A13に対して2本の第2ワイヤ62が追加された態様である。追加された2本の第2ワイヤ62の各々は、厚さ方向zに見て2本の第1ワイヤ61を跨いでいる。また、本変形例の半導体装置A14は、上記の半導体装置A13と同様に、第4リード4および第4ワイヤ64を備えていない。第2リード2においては、パッド部21の第2方向yの寸法が大きくされており、このパッド部21につながる2つの第2端子部22が設けられている。これら2つの第2端子部22は、第2方向yに間隔を隔てて配置されている。半導体素子5（第1主面電極51）は、第2方向yの寸法が上記変形例の半導体装置A13よりも大きくされている。このような構成によれば、複数（4本）の第1ワイヤ61および複数（4本）の第2ワイヤ62と、これらが接合される第2リード2の2つの第2端子部22とにおいて、主電流が流れる経路の断面積が大きくされており、半導体装置A14の大電流化に適する。また、主電流経路の断面積が増大すると、半導体素子5で発生した熱を効率よく外部に逃がすことが期待でき、半導体装置A14の信頼性の向上を図ることができる。

[0072] 本変形例の半導体装置A14において、第1ワイヤ61の第1端部611および第2ワイヤ62の第1端部621は、半導体素子5の第1主面電極51に接合されている。第2ワイヤ62は、厚さ方向zに見て第1ワイヤ61を跨いでいる。このような構成によれば、比較的小さいサイズの半導体素子5に対し、複数のワイヤ6（第1ワイヤ61および第2ワイヤ62）を効率

よく配置することが可能である。

[0073] 複数のワイヤ6は、複数（4本）の第1ワイヤ6 1および複数（4本）の第2ワイヤ6 2を含む。第2方向yのy 1側に位置する2本の第2ワイヤ6 2は、厚さ方向zに見て2本の第1ワイヤ6 1（第2方向yのy 1側に位置する2本の第1ワイヤ6 1）を跨いでいる。上記2本の第1ワイヤ6 1それぞれの第1端部6 1 1は、第1方向xにおいて異なる位置に配置されている。第2方向yのy 1側に位置する2本の第2ワイヤ6 2のうち一方の第2ワイヤ6 2（第2方向yのy 1側に位置する第2ワイヤ6 2）は、厚さ方向zに見て2本の第1ワイヤ6 1それぞれの第1端部6 1 1を跨ぐ。第2方向yのy 2側に位置する2本の第2ワイヤ6 2は、厚さ方向zに見て2本の第1ワイヤ6 1（第2方向yのy 2側に位置する2本の第1ワイヤ6 1）を跨いでいる。上記2本の第1ワイヤ6 1それぞれの第1端部6 1 1は、第1方向xにおいて異なる位置に配置されている。第2方向yのy 2側に位置する2本の第2ワイヤ6 2のうち一方の第2ワイヤ6 2（第2方向yのy 1側に位置する第2ワイヤ6 2）は、厚さ方向zに見て2本の第1ワイヤ6 1それぞれの第1端部6 1 1を跨ぐ。このような構成によれば、複数の第1ワイヤ6 1と複数の第2ワイヤ6 2との互いの干渉を回避しつつ、これら第1ワイヤ6 1および第2ワイヤ6 2を狭いスペースに効率よく配置することができる。

[0074] 本変形例において図1 3に示した例では、複数の第1ワイヤ6 1は、厚さ方向zに見て互いに平行に配置されている。複数の第2ワイヤ6 2は、厚さ方向zに見て互いに平行に配置されている。複数（4本）の第1ワイヤ6 1それぞれの第2端部6 1 2、および複数（4本）の第2ワイヤ6 2それぞれの第2端部6 2 2は、第2方向yに見て互いに重なっている。このような構成は、複数の第1ワイヤ6 1と複数の第2ワイヤ6 2との互いの干渉を回避しつつ、これら第1ワイヤ6 1および第2ワイヤ6 2を効率よく配置する上でより好ましい。なお、図1 3に示した例とは異なり、複数の第1ワイヤ6 1が厚さ方向zに見て非平行に配置されてもよく、また、複数の第2ワイヤ

62が厚さ方向zに見て非平行に配置されてもよい。

[0075] 第1実施形態の第5変形例：

図15および図16は、第1実施形態の第5変形例に係る半導体装置A15を示している。図15は、半導体装置A15を示す平面図である。図16は、半導体装置A15を示す右側面図である。図15は、理解の便宜上、封止樹脂7を透過している。図16は、封止樹脂7を透過するとともに、第3リード3および第4リード4と、複数のワイヤ6の一部（第3ワイヤ63）と、を省略している。

[0076] 本変形例の半導体装置A15においては、半導体素子5のサイズが上記実施形態の半導体装置A10よりも小さくされている。具体的には、半導体素子5の第2方向yにおける寸法長さが上記の半導体装置A10よりも小さくされている。これに伴い、第1主面電極51は、第2方向yの寸法が小さくされ、第1方向xを長手方向とする長矩形形状であり、第1主面電極51のサイズは上記実施形態よりも小さくされている。また、複数のワイヤ6は、第4ワイヤ64を含んでいない。第4リード4は、他の部位と導通しておらず、ダミー端子である。複数のワイヤ6は、複数（2本）の第1ワイヤ61と第2ワイヤ62とを含み、これら第1ワイヤ61および第2ワイヤ62の配置は、上記実施形態の半導体装置A10と同様である。

[0077] 本変形例の半導体装置A15において、第1ワイヤ61の第1端部611および第2ワイヤ62の第1端部621は、半導体素子5の第1主面電極51に接合されている。第2ワイヤ62は、厚さ方向zに見て第1ワイヤ61を跨いでいる。このような構成によれば、比較的小さいサイズの半導体素子5に対し、複数のワイヤ6（第1ワイヤ61および第2ワイヤ62）を効率よく配置することが可能である。

[0078] 複数のワイヤ6は、複数（2本）の第1ワイヤ61を含み、第2ワイヤ62は、厚さ方向zに見て複数（2本）の第1ワイヤ61を跨いでいる。複数（2本）の第1ワイヤ61それぞれの第1端部611は、第1方向xにおいて異なる位置に配置されている。第2ワイヤ62は、厚さ方向zに見て複数

(2本)の第1ワイヤ61それぞれの第1端部611を跨ぐ。このような構成によれば、複数の第1ワイヤ61と第2ワイヤ62との互いの干渉を回避しつつ、これら第1ワイヤ61および第2ワイヤ62を狭いスペースに効率よく配置することができる。本変形例の半導体装置A15においては、サイズがより小さい半導体素子5に対し、複数(2本)の第1ワイヤ61と第2ワイヤ62とを効率よく適切に配置することが可能である。

[0079] 本変形例において図15に示した例では、複数の第1ワイヤ61は、厚さ方向zに見て互いに平行に配置されている。複数(2本)の第1ワイヤ61それぞれの第2端部612、および第2ワイヤ62の第2端部622は、第2方向yに見て互いに重なっている。このような構成は、複数の第1ワイヤ61と第2ワイヤ62との互いの干渉を回避しつつ、これら第1ワイヤ61および第2ワイヤ62を効率よく配置する上でより好ましい。なお、図15に示した例とは異なり、複数の第1ワイヤ61が厚さ方向zに見て非平行に配置されてもよい。

[0080] 第2実施形態：

図17および図18は、本開示の第2実施形態に係る半導体装置A20を示している。図17は、半導体装置A20を示す平面図である。図18は、半導体装置A20を示す右側面図である。図17は、理解の便宜上、封止樹脂7を透過している。図18は、封止樹脂7を透過するとともに、第3リード3および第4リード4と、複数のワイヤ6の一部(第3ワイヤ63および第4ワイヤ64)と、を省略している。

[0081] 本実施形態の半導体装置A20においては、複数のワイヤ6は、半導体装置A10と同様に複数(2本)の第1ワイヤ61、第2ワイヤ62、第3ワイヤ63および第4ワイヤ64を含み、これら第1ワイヤ61、第2ワイヤ62、第3ワイヤ63および第4ワイヤ64の配置は、半導体装置A10とほぼ同様である。その一方、本実施形態においては、各第1ワイヤ61の第2端部612、第2ワイヤ62の第2端部622、第3ワイヤ63の第2端部632および第4ワイヤ64の第2端部642は、それぞれボールボンデ

ィングにより形成されたファーストボンディング部である。各第1ワイヤ61の第1端部611、第2ワイヤ62の第1端部621、第3ワイヤ63の第1端部631および第4ワイヤ64の第1端部641は、それぞれセカンドボンディング部である。

[0082] 第2ワイヤ62は、厚さ方向zに見て概ね第1方向xに沿って延びている。第2ワイヤ62は、厚さ方向zに見て複数(2本)の第1ワイヤ61を跨いでいる。第2ワイヤ62の第1端部621は、厚さ方向zに見て、複数の第1ワイヤ61それぞれの第1端部611よりも第1方向xのx2側に位置する。図17に示すように、本実施形態においては、第2ワイヤ62は、厚さ方向zに見て、第2方向yのy2側に位置する第1ワイヤ61の第1端部611に重なっており、当該第1端部611を跨ぐ。

[0083] 第2ワイヤ62の第2端部622は、2本の第1ワイヤ61それぞれの第2端部612に対して、第2方向yのy2側に位置する。第2端部622は、厚さ方向zに見て、各第1ワイヤ61の第2端部612と第1方向xにおいてほぼ同じ位置にある。図17、図18に示すように、2本の第1ワイヤ61それぞれの第2端部612、および第2ワイヤ62の第2端部622は、第2方向yに見て互いに重なっている。

[0084] 本実施形態の半導体装置A20において、第1ワイヤ61の第1端部611および第2ワイヤ62の第1端部621は、半導体素子5の第1主面電極51に接合されている。第2ワイヤ62は、厚さ方向zに見て第1ワイヤ61を跨いでいる。このような構成によれば、比較的小さいサイズの半導体素子5に対し、複数のワイヤ6(第1ワイヤ61および第2ワイヤ62)を効率よく配置することが可能である。

[0085] 複数のワイヤ6は、複数(2本)の第1ワイヤ61を含み、第2ワイヤ62は、厚さ方向zに見て複数(2本)の第1ワイヤ61を跨いでいる。複数(2本)の第1ワイヤ61それぞれの第1端部611は、第1方向xにおいて異なる位置に配置されている。第2ワイヤ62は、厚さ方向zに見て1本の第1ワイヤ61(第2方向yのy2側に位置する第1ワイヤ61)の第1

端部611を跨ぐ。このような構成によれば、複数の第1ワイヤ61と第2ワイヤ62との互いの干渉を回避しつつ、これら第1ワイヤ61および第2ワイヤ62を狭いスペースに効率よく配置することができる。

[0086] 本実施形態において図17に示した例では、複数の第1ワイヤ61は、厚さ方向zに見て互いに平行に配置されている。複数(2本)の第1ワイヤ61それぞれの第2端部612、および第2ワイヤ62の第2端部622は、第2方向yに見て互いに重なっている。このような構成は、複数の第1ワイヤ61と第2ワイヤ62との互いの干渉を回避しつつ、これら第1ワイヤ61および第2ワイヤ62を効率よく配置する上でより好ましい。なお、図17に示した例とは異なり、複数の第1ワイヤ61が厚さ方向zに見て非平行に配置されてもよい。

[0087] 本開示に係る半導体装置は、上述した実施形態に限定されるものではない。本開示に係る半導体装置の各部の具体的な構成は、種々に設計変更自在である。

[0088] 上記実施形態において、第1端子部12、第2端子部22、第3端子部32および第4端子部42の各々の一部が封止樹脂7の樹脂側面731から第1方向xに突出する構成について説明したが、これに限定されない。本開示の半導体装置は、各端子部が封止樹脂の樹脂側面から突出しない構成のパッケージ形式を採用してもよい。

[0089] 本開示は、以下の付記に記載された実施形態を含む。

[0090] 付記1.

厚さ方向の一方側を向く第1面を有する第1リードと、
前記第1面に支持された半導体素子と、
各々が第1端部および第2端部を有する複数のワイヤと、を備え、
前記半導体素子は、前記厚さ方向の一方側を向く素子主面と、前記素子主面に形成された主面電極と、を有し、
前記複数のワイヤの各々は、前記第1端部が前記主面電極に接合されており、

前記複数のワイヤは、1以上の第1ワイヤと、1以上の第2ワイヤと、を含み、

前記1以上の第2ワイヤの少なくともいずれかは、前記厚さ方向に見て前記1以上の第1ワイヤの少なくともいずれかを跨ぐ、半導体装置。

付記2.

前記1以上の第2ワイヤの少なくともいずれかは、前記厚さ方向に見て前記1以上の第1ワイヤの少なくともいずれかの前記第1端部を跨ぐ、付記1に記載の半導体装置。

付記3.

前記複数のワイヤは、複数の前記第1ワイヤを含み、

前記第2ワイヤは、前記厚さ方向に見て複数の前記第1ワイヤを跨ぐ、付記1または2に記載の半導体装置。

付記4.

前記1以上の第2ワイヤの少なくともいずれかは、前記厚さ方向に見て複数の前記第1ワイヤの各々の前記第1端部を跨ぐ、付記3に記載の半導体装置。

付記5.

前記半導体素子に対して前記厚さ方向に直交する第1方向の一方側に配置された1以上の第2リードをさらに備え、

前記1以上の第1ワイヤは、前記第2端部が前記1以上の第2リードに接合されたものを含む、付記1ないし4のいずれかに記載の半導体装置。

付記6.

前記1以上の第2ワイヤは、前記第2端部が前記1以上の第2リードに接合されたものを含む、付記5に記載の半導体装置。

付記7.

前記複数のワイヤは、複数の前記第1ワイヤを含み、

複数の前記第1ワイヤの前記第1端部は、前記第1方向において異なる位置に配置される、付記5または6に記載の半導体装置。

付記 8.

複数の前記第 1 ワイヤは、前記厚さ方向に見て互いに平行に配置される、付記 7 に記載の半導体装置。

付記 9.

前記 1 以上の第 1 ワイヤの前記第 2 端部および前記 1 以上の第 2 ワイヤの前記第 2 端部は、前記厚さ方向および前記第 1 方向の双方に直交する第 2 方向に見て互いに重なる、付記 7 または 8 に記載の半導体装置。

付記 10.

前記半導体素子は、スイッチング素子であり、

前記主面電極は、ソース電極である第 1 主面電極を有し、

前記 1 以上の第 1 ワイヤの各々の前記第 1 端部および前記 1 以上の第 2 ワイヤの各々の前記第 1 端部は、前記第 1 主面電極に接合されている、付記 1 ないし 9 のいずれかに記載の半導体装置。

付記 11.

前記主面電極は、ゲート電極である第 2 主面電極を有し、

前記複数のワイヤは、第 3 ワイヤを含み、

前記第 3 ワイヤの前記第 1 端部は、前記第 2 主面電極に接合されている、付記 10 に記載の半導体装置。

付記 12.

前記半導体素子に対して前記厚さ方向に直交する第 1 方向の一方側に配置された第 3 リードをさらに備え、

前記第 3 ワイヤの前記第 2 端部は、前記第 3 リードに接合されている、付記 11 に記載の半導体装置。

付記 13.

前記複数のワイヤの各々の構成材料は、アルミニウムを含む、付記 1 ないし 12 のいずれかに記載の半導体装置。

付記 14.

前記複数のワイヤと、前記半導体素子と、前記第 1 リードの少なくとも一

部と、を覆う封止樹脂をさらに備える、付記 1 ないし 1 3 のいずれかに記載の半導体装置。

付記 1 5.

前記第 1 リードは、前記第 1 面を有し、且つ少なくとも一部が前記封止樹脂に覆われた基部と、前記基部に対して前記厚さ方向に直交する第 1 方向に延び、且つ前記封止樹脂から露出する第 1 端子部と、を含む、付記 1 4 に記載の半導体装置。

符号の説明

[0091] A 1 0 ~ A 1 5, A 2 0 : 半導体装置

1 : 第 1 リード	1 1 : ダイパッド (基部)	
1 1 a : 第 1 面	1 1 b : 第 2 面	
1 2 : 第 1 端子部	1 3 : 屈曲部	
2 : 第 2 リード	2 1 : パッド部	
2 2 : 第 2 端子部	3 : 第 3 リード	
3 1 : パッド部	3 2 : 第 3 端子部	
4 : 第 4 リード	4 1 : パッド部	
4 2 : 第 4 端子部	5 : 半導体素子	
5 0 : 素子本体	5 0 a : 素子主面	5 0 b : 素子裏面
5 1 : 第 1 主面電極 (主面電極)		
5 2 : 第 2 主面電極 (主面電極)		
5 3 : 裏面電極	5 9 : 導電性接合材	
6 : ワイヤ	6 1 : 第 1 ワイヤ	
6 2 : 第 2 ワイヤ	6 3 : 第 3 ワイヤ	
6 4 : 第 4 ワイヤ	6 1 1, 6 2 1, 6 3 1, 6 4 1 : 第 1 端部	
6 1 2, 6 2 2, 6 3 2, 6 4 2 : 第 2 端部	7 : 封止樹脂	
7 1 : 樹脂主面	7 2 : 樹脂裏面	
7 3 1, 7 3 2, 7 3 3, 7 3 4 : 樹脂側面	x : 第 1 方向	
y : 第 2 方向	z : 厚さ方向	

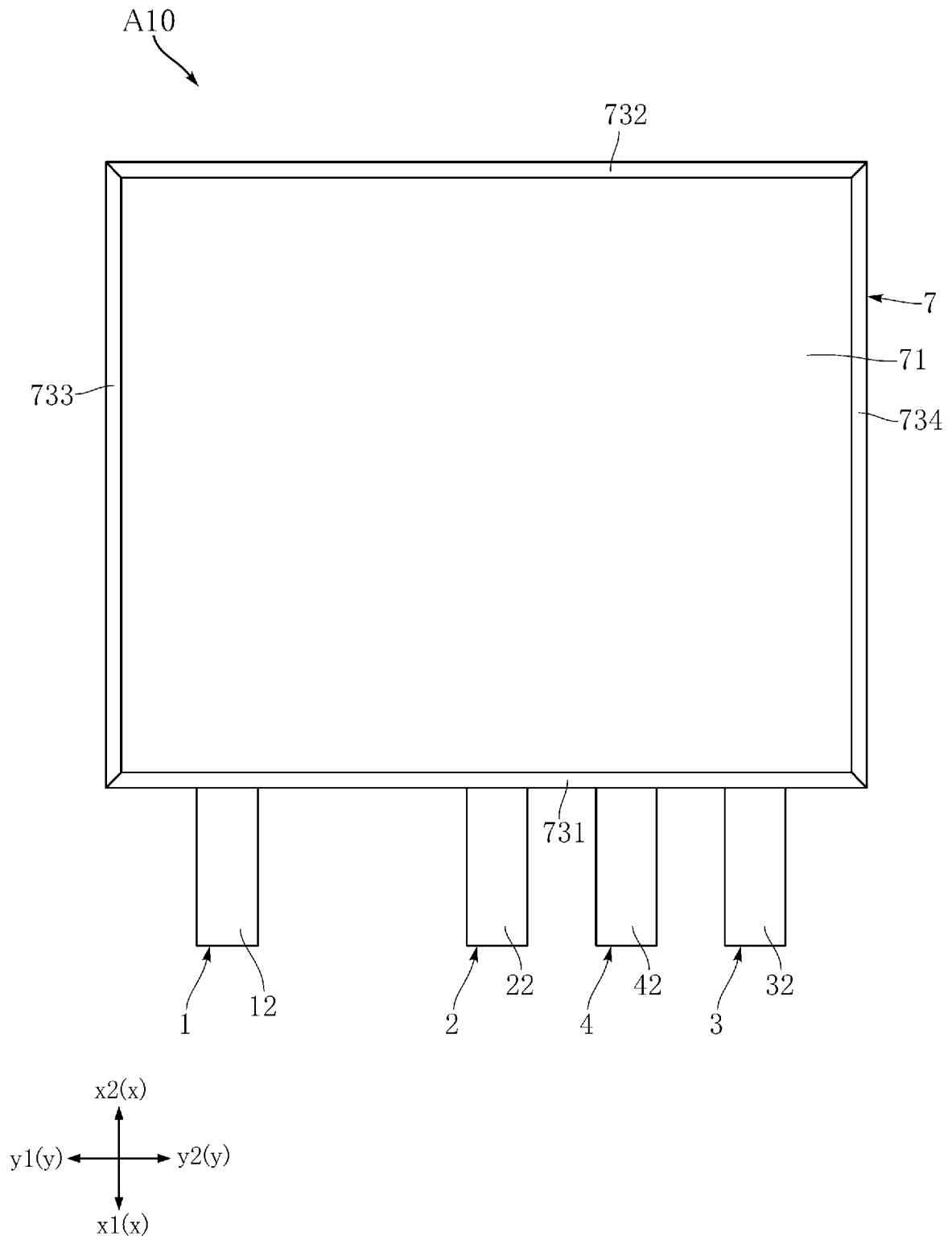
請求の範囲

- [請求項1] 厚さ方向の一方側を向く第1面を有する第1リードと、
前記第1面に支持された半導体素子と、
各々が第1端部および第2端部を有する複数のワイヤと、を備え、
前記半導体素子は、前記厚さ方向の一方側を向く素子主面と、前記素子主面に形成された主面電極と、を有し、
前記複数のワイヤの各々は、前記第1端部が前記主面電極に接合されており、
前記複数のワイヤは、1以上の第1ワイヤと、1以上の第2ワイヤと、を含み、
前記1以上の第2ワイヤの少なくともいずれかは、前記厚さ方向に見て前記1以上の第1ワイヤの少なくともいずれかを跨ぐ、半導体装置。
- [請求項2] 前記1以上の第2ワイヤの少なくともいずれかは、前記厚さ方向に見て前記1以上の第1ワイヤの少なくともいずれかの前記第1端部を跨ぐ、請求項1に記載の半導体装置。
- [請求項3] 前記複数のワイヤは、複数の前記第1ワイヤを含み、
前記第2ワイヤは、前記厚さ方向に見て複数の前記第1ワイヤを跨ぐ、請求項1または2に記載の半導体装置。
- [請求項4] 前記1以上の第2ワイヤの少なくともいずれかは、前記厚さ方向に見て複数の前記第1ワイヤの各々の前記第1端部を跨ぐ、請求項3に記載の半導体装置。
- [請求項5] 前記半導体素子に対して前記厚さ方向に直交する第1方向の一方側に配置された1以上の第2リードをさらに備え、
前記1以上の第1ワイヤは、前記第2端部が前記1以上の第2リードに接合されたものを含む、請求項1ないし4のいずれかに記載の半導体装置。
- [請求項6] 前記1以上の第2ワイヤは、前記第2端部が前記1以上の第2リー

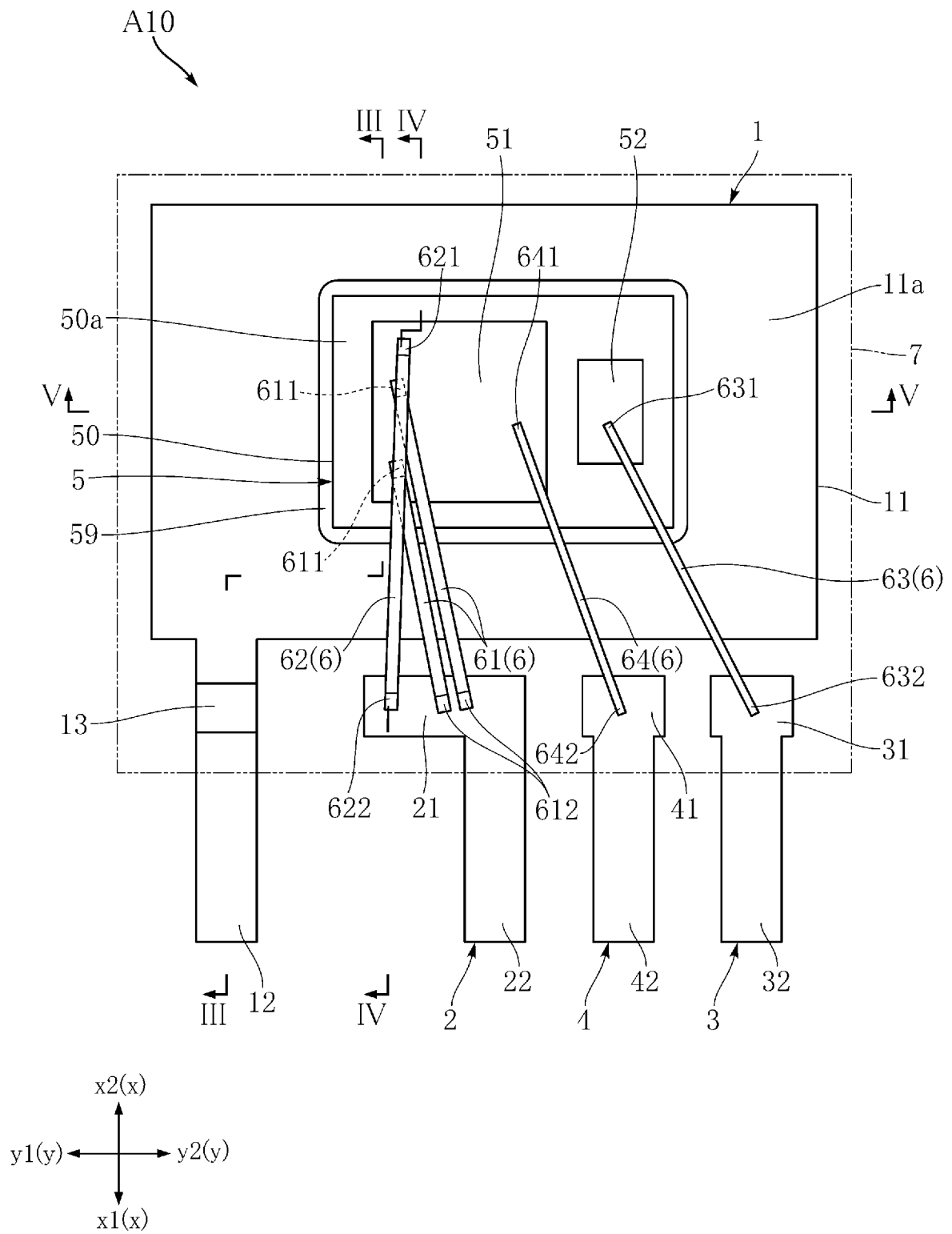
ドに接合されたものを含む、請求項5に記載の半導体装置。

- [請求項7] 前記複数のワイヤは、複数の前記第1ワイヤを含み、
複数の前記第1ワイヤの前記第1端部は、前記第1方向において異なる位置に配置される、請求項5または6に記載の半導体装置。
- [請求項8] 複数の前記第1ワイヤは、前記厚さ方向に見て互いに平行に配置される、請求項7に記載の半導体装置。
- [請求項9] 前記1以上の第1ワイヤの前記第2端部および前記1以上の第2ワイヤの前記第2端部は、前記厚さ方向および前記第1方向の双方に直交する第2方向に見て互いに重なる、請求項7または8に記載の半導体装置。
- [請求項10] 前記半導体素子は、スイッチング素子であり、
前記主面電極は、ソース電極である第1主面電極を有し、
前記1以上の第1ワイヤの各々の前記第1端部および前記1以上の第2ワイヤの各々の前記第1端部は、前記第1主面電極に接合されている、請求項1ないし9のいずれかに記載の半導体装置。
- [請求項11] 前記主面電極は、ゲート電極である第2主面電極を有し、
前記複数のワイヤは、第3ワイヤを含み、
前記第3ワイヤの前記第1端部は、前記第2主面電極に接合されている、請求項10に記載の半導体装置。
- [請求項12] 前記半導体素子に対して前記厚さ方向に直交する第1方向の一方側に配置された第3リードをさらに備え、
前記第3ワイヤの前記第2端部は、前記第3リードに接合されている、請求項11に記載の半導体装置。
- [請求項13] 前記複数のワイヤの各々の構成材料は、アルミニウムを含む、請求項1ないし12のいずれかに記載の半導体装置。
- [請求項14] 前記複数のワイヤと、前記半導体素子と、前記第1リードの少なくとも一部と、を覆う封止樹脂をさらに備える、請求項1ないし13のいずれかに記載の半導体装置。

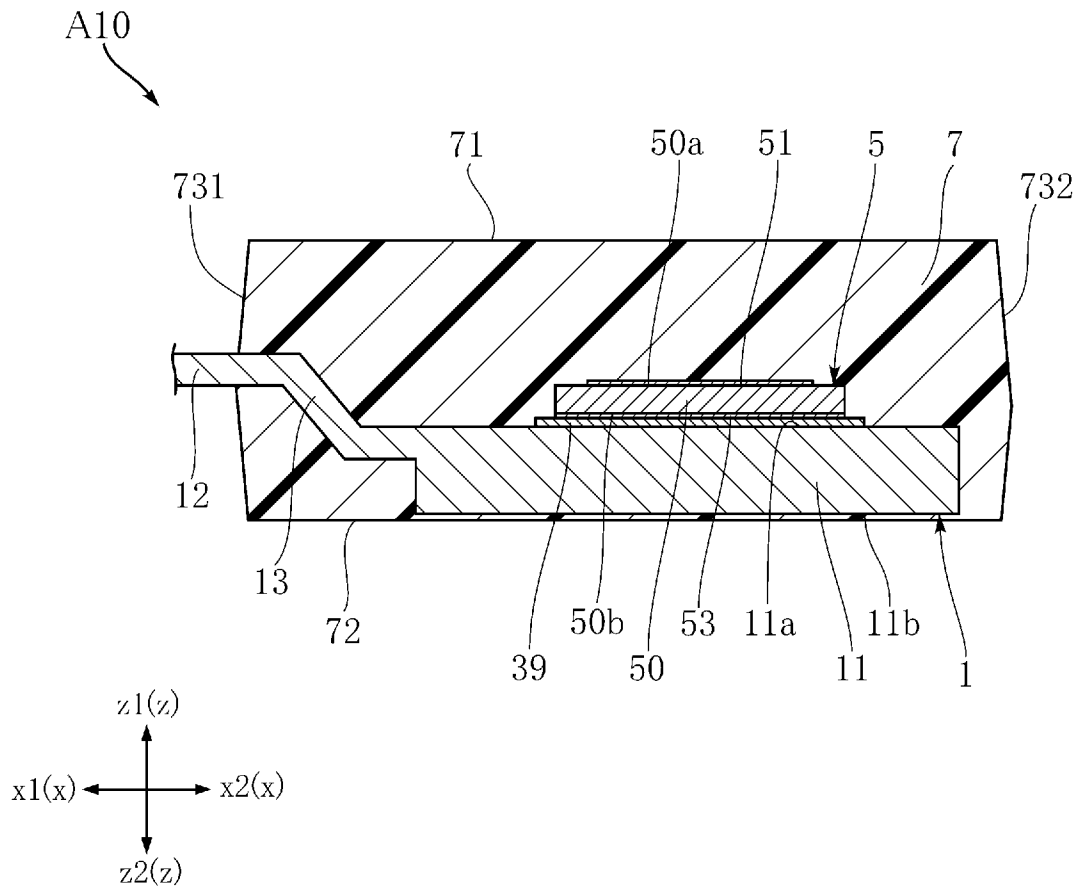
[請求項15] 前記第1リードは、前記第1面を有し、且つ少なくとも一部が前記封止樹脂に覆われた基部と、前記基部に対して前記厚さ方向に直交する第1方向に延び、且つ前記封止樹脂から露出する第1端子部と、を含む、請求項14に記載の半導体装置。

[図1]
FIG.1

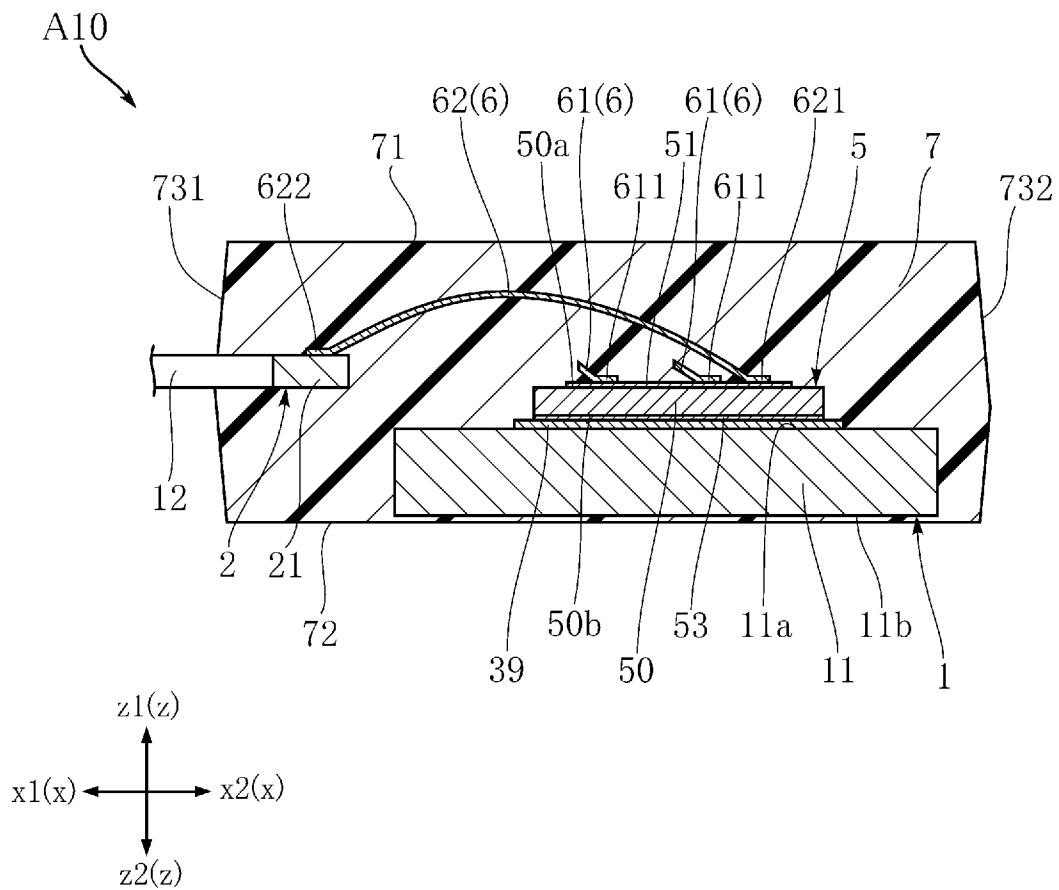
[図2]
FIG.2



【図3】
FIG.3

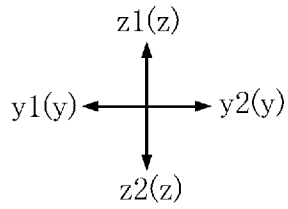
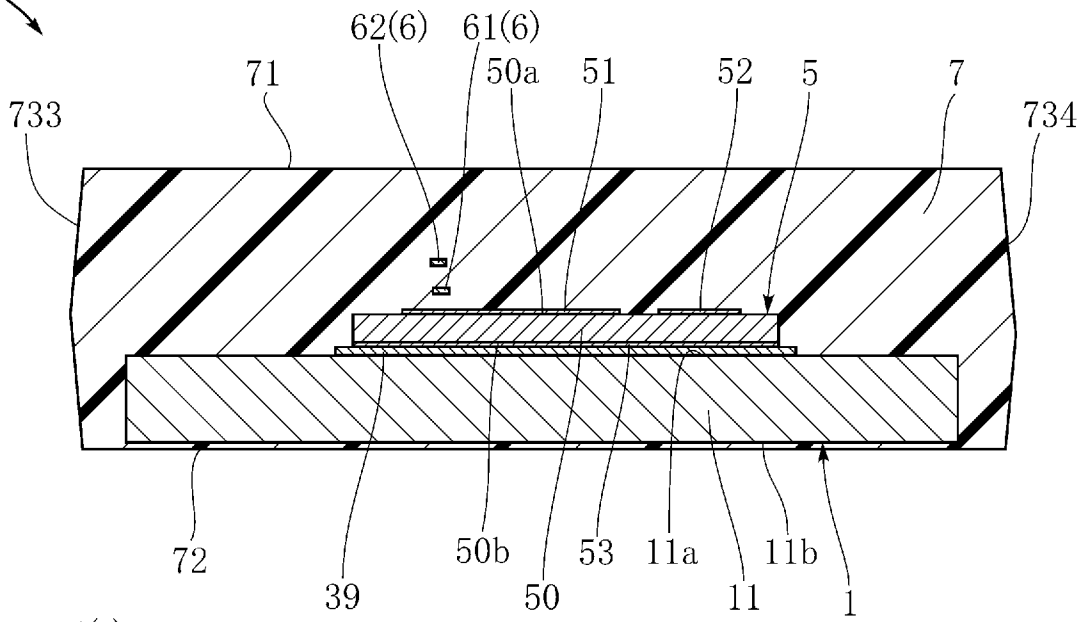


【図4】
FIG.4



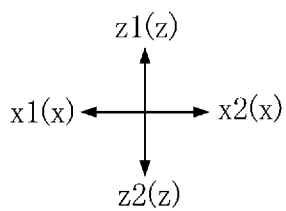
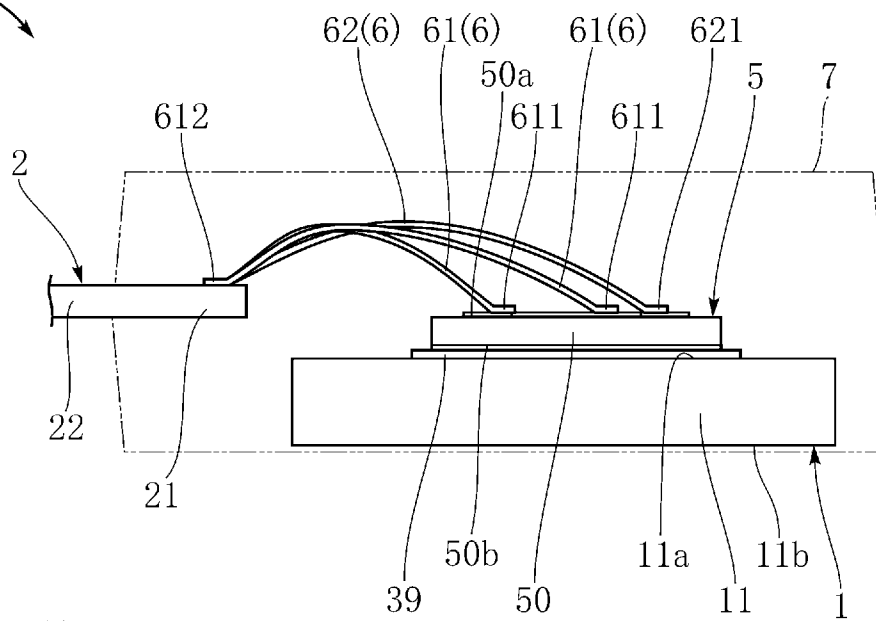
【図5】
FIG.5

A10

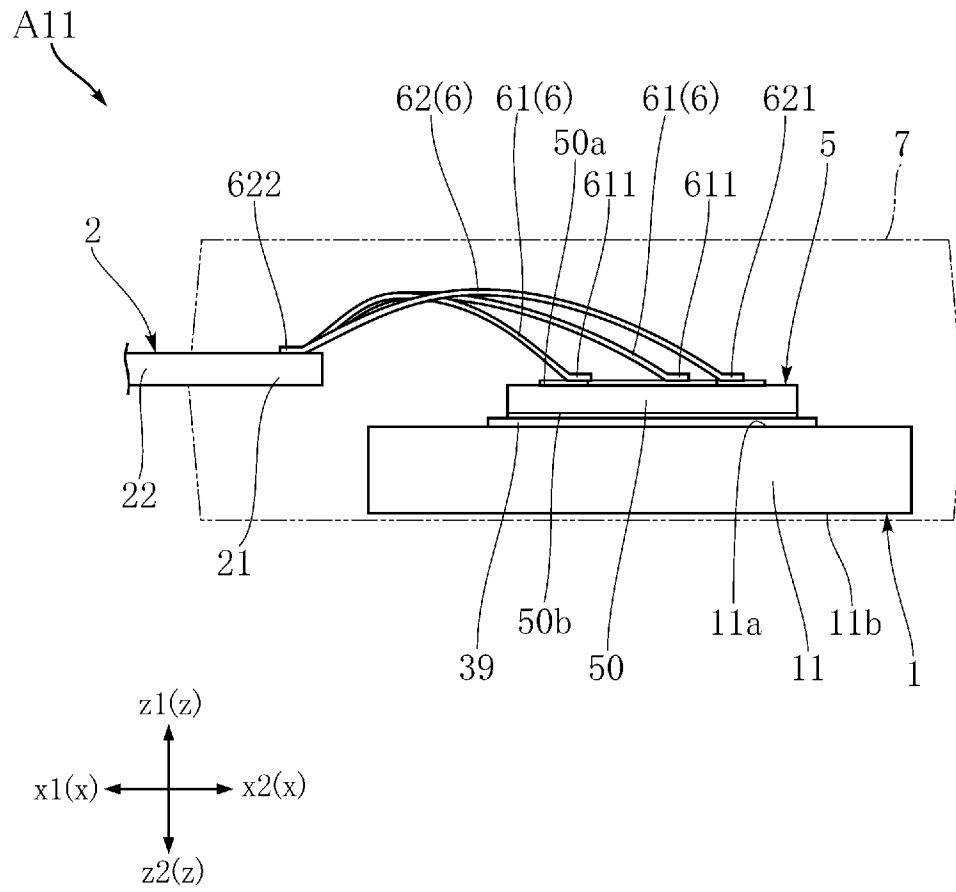


【図6】
FIG.6

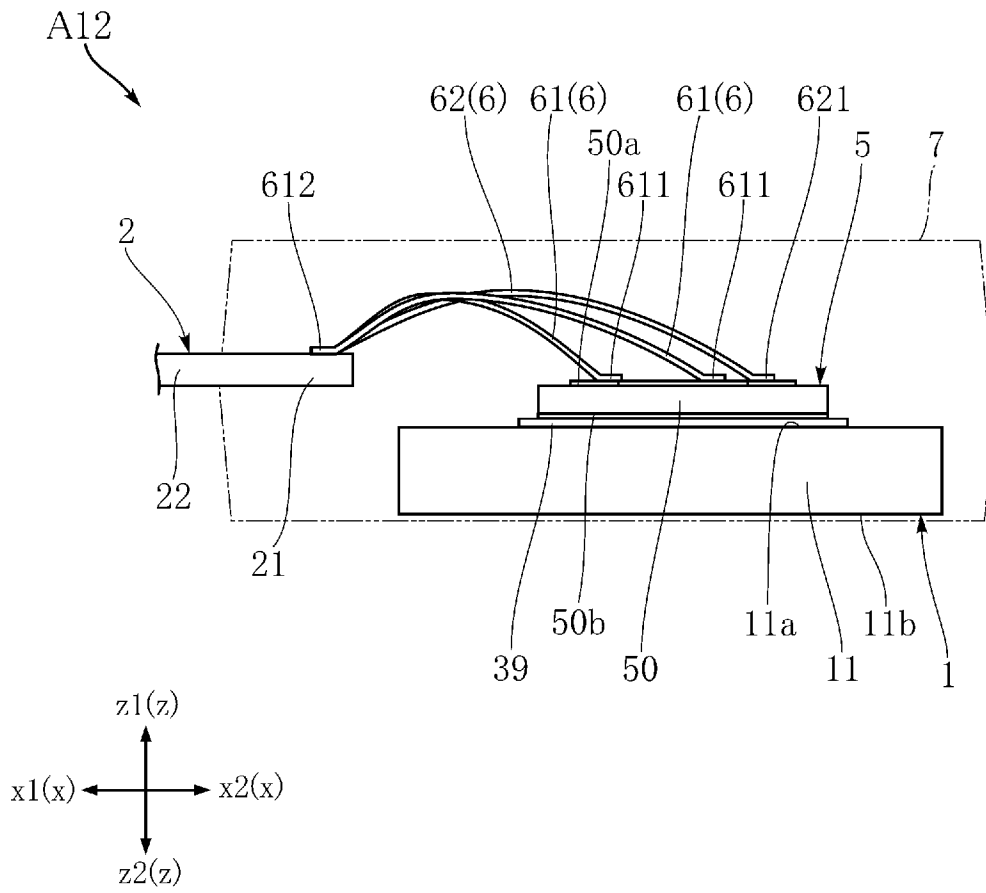
A10



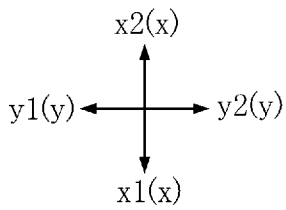
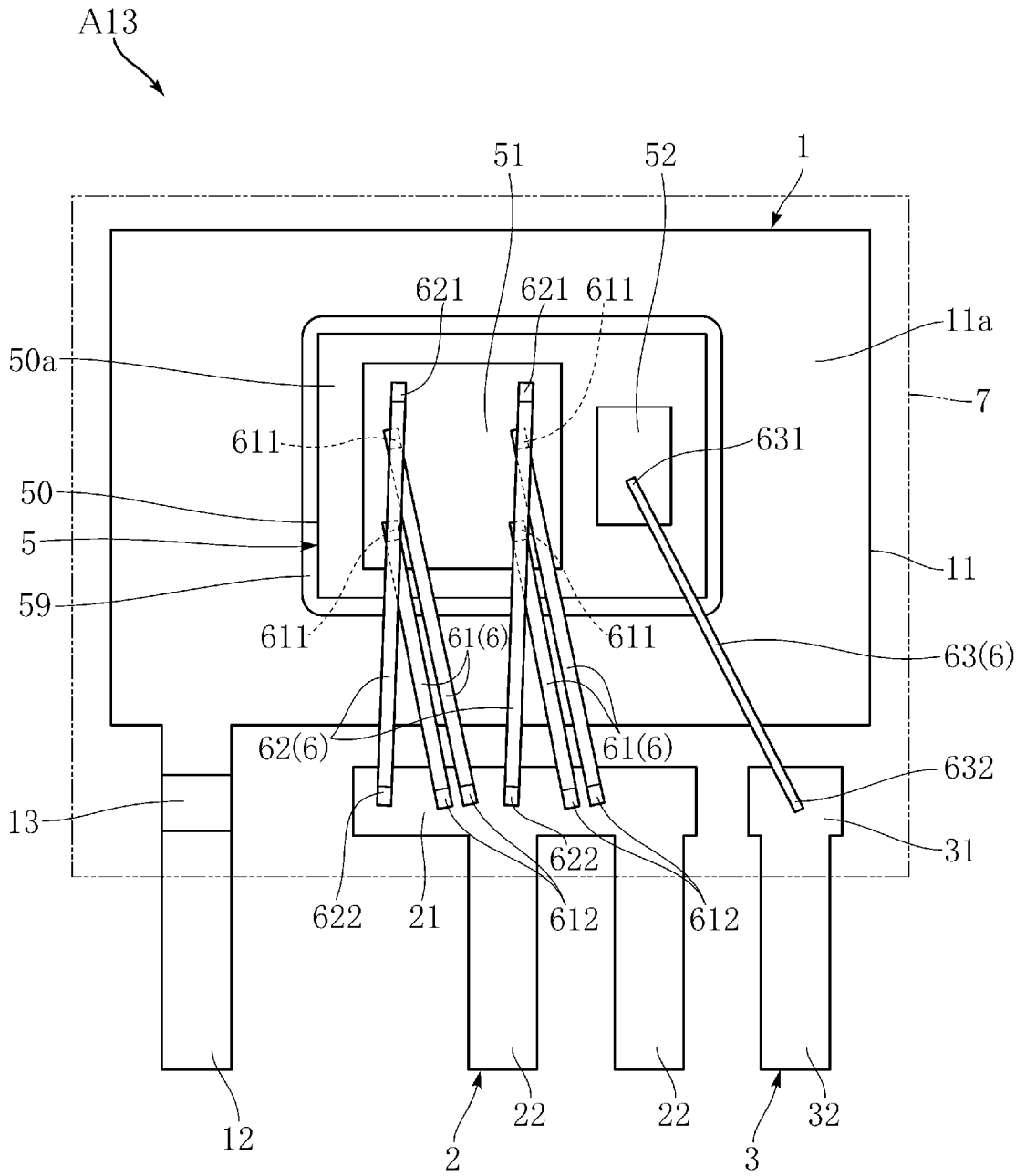
[図8]
FIG.8



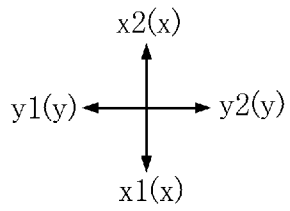
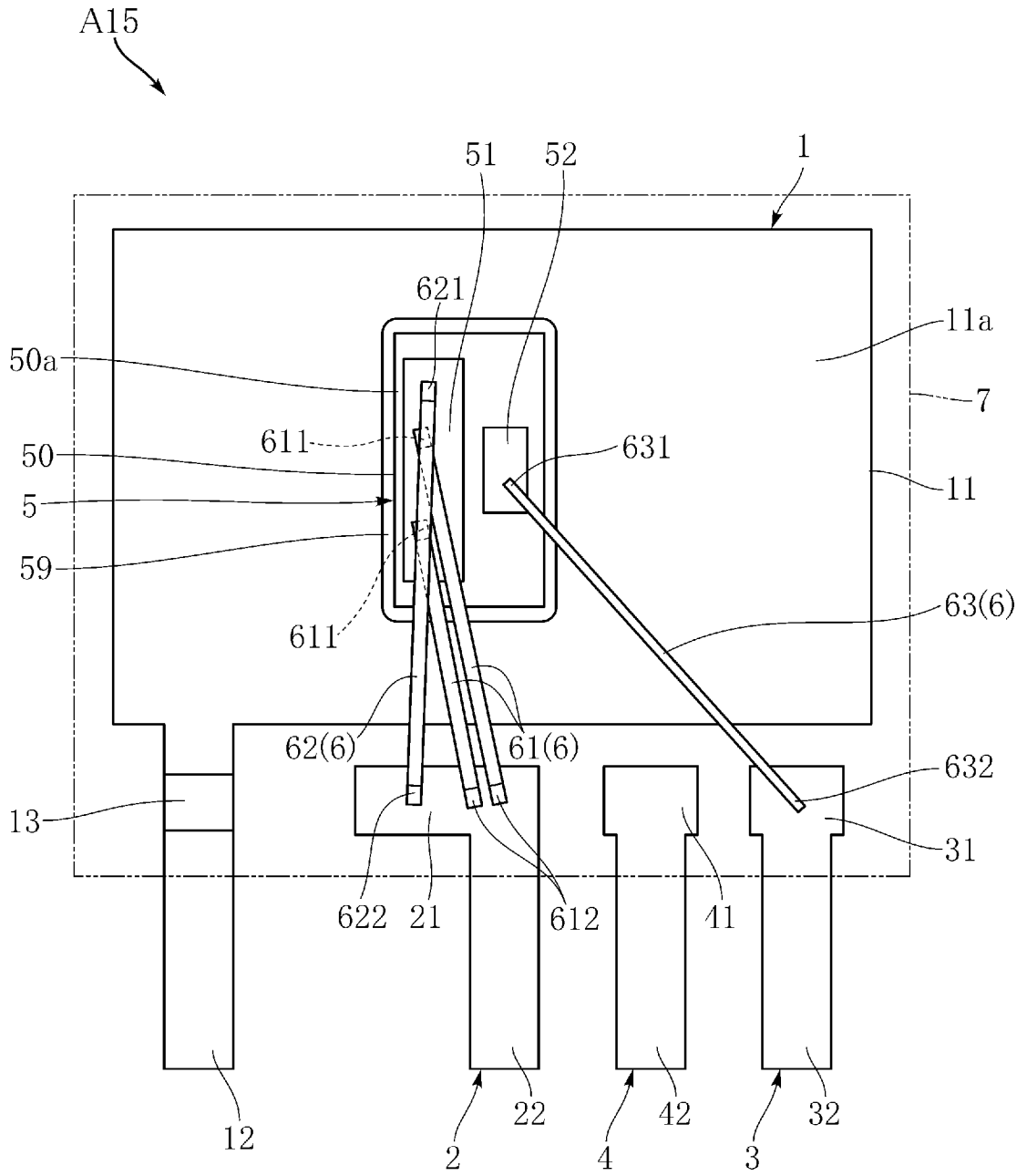
[]10
FIG.10

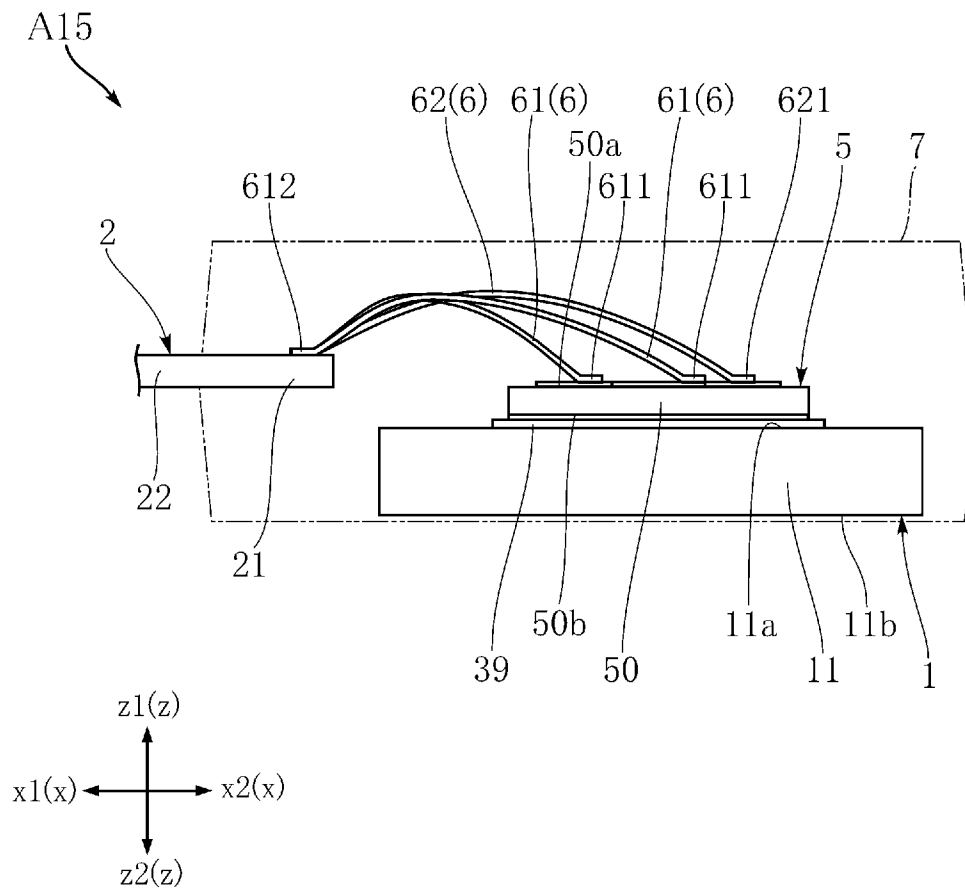


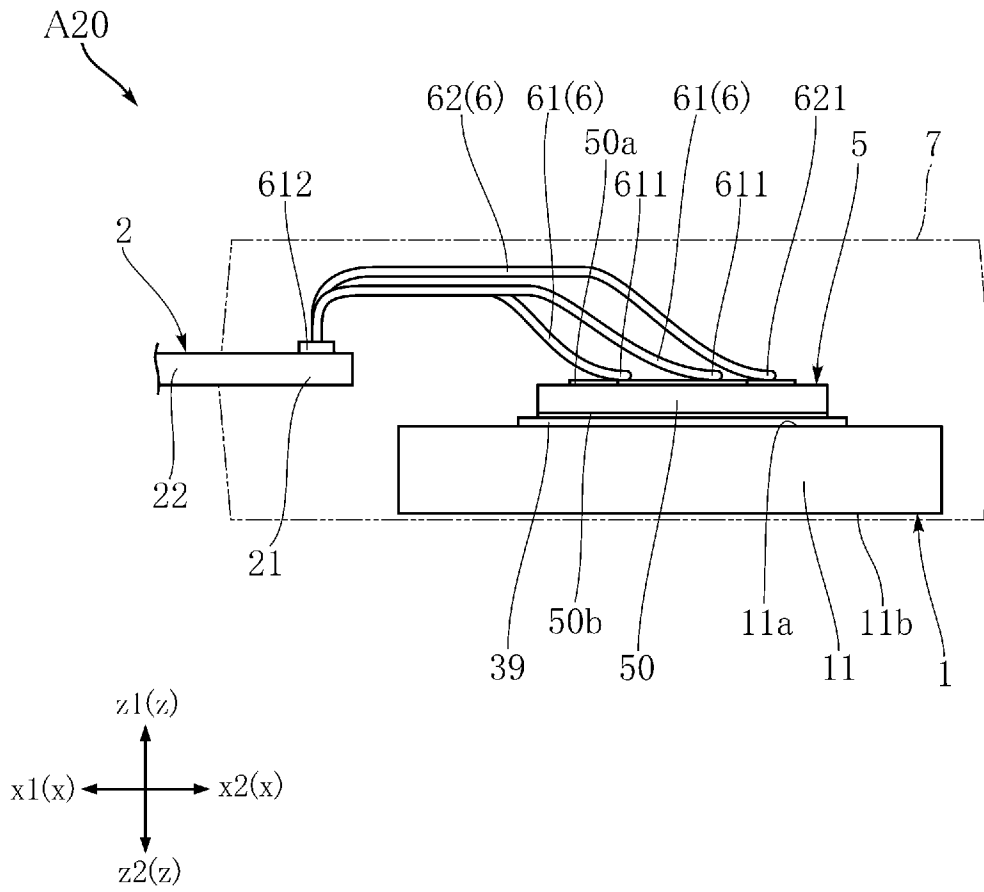
[図11]
FIG.11



[]15
FIG.15



[
FIG.16

[]18]
FIG.18

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/022234

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 21/60</i> (2006.01)i; <i>H01L 23/48</i> (2006.01)i FI: H01L21/60 301B; H01L23/48 H		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L21/60-21/607; H01L23/12-23/15; H01L23/48-23/50; H01L25/00-25/18; H01L29/06; H01L29/739; H01L29/78; H01L29/861-29/885		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-165151 A (MITSUBISHI ELECTRIC CORP) 22 June 2006 (2006-06-22) paragraphs [0002]-[0005], [0014]-[0027], fig. 1-7	1-7, 10-11, 13
Y		2-8, 10-15
A		9
X	WO 2021/261508 A1 (ROHM CO., LTD.) 30 December 2021 (2021-12-30) paragraphs [0015]-[0073], fig. 1-9	1, 3, 5-6, 10-15
Y		2-8, 10-15
A		9
X	WO 2016/143557 A1 (MITSUBISHI ELECTRIC CORP) 15 September 2016 (2016-09-15) paragraphs [0011]-[0033], [0043]-[0050], fig. 1-2, 5-8	1-8, 10-11
Y		2-8, 10-15
A		9
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search 24 August 2023		Date of mailing of the international search report 05 September 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/022234

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/235410 A1 (ROHM CO., LTD.) 26 November 2020 (2020-11-26) paragraphs [0016]-[0070], [0238]-[0250], fig. 1-6, 29	1, 5-6, 10-15
Y		2-8, 10-15
A		9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/022234

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2006-165151	A	22 June 2006	(Family: none)	
WO	2021/261508	A1	30 December 2021	CN	115917742 A
WO	2016/143557	A1	15 September 2016	JP	2018-37684 A
				US	2018/0053737 A1 paragraphs [0020]-[0039], [0049]-[0056], fig. 1-2, 5-8
				CN	107210241 A
WO	2020/235410	A1	26 November 2020	US	2022/0148949 A1 paragraphs [0081]-[0139], [0311]-[0323], fig. 1-6, 29
				DE	212020000633 U1
				CN	113841232 A

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/60(2006.01)i; H01L 23/48(2006.01)i FI: H01L21/60 301B; H01L23/48 H		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/60-21/607; H01L23/12-23/15; H01L23/48-23/50; H01L25/00-25/18; H01L29/06; H01L29/739; H01L29/78; H01L29/861-29/885 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2006-165151 A（三菱電機株式会社）22.06.2006（2006-06-22） 段落[0002]-[0005], [0014]-[0027]及び図1-7	1-7, 10-11, 13 2-8, 10-15 9
X Y A	WO 2021/261508 A1（ローム株式会社）30.12.2021（2021-12-30） 段落[0015]-[0073]及び図1-9	1, 3, 5-6, 10-15 2-8, 10-15 9
X Y A	WO 2016/143557 A1（三菱電機株式会社）15.09.2016（2016-09-15） 段落[0011]-[0033], [0043]-[0050]及び図1-2, 5-8	1-8, 10-11 2-8, 10-15 9
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 24. 08. 2023	国際調査報告の発送日 05. 09. 2023	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 安田 雅彦 5F 9447 電話番号 03-3581-1101 内線 3516	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2020/235410 A1 (ローム株式会社) 26.11.2020 (2020 - 11 - 26) 段落[0016] - [0070], [0238] - [0250]及び図1 - 6, 29	1, 5-6, 10-15
Y		2-8, 10-15
A		9

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/022234

引用文献	公表日	パテントファミリー文献	公表日
JP 2006-165151 A	22.06.2006	(ファミリーなし)	
WO 2021/261508 A1	30.12.2021	CN 115917742 A	
WO 2016/143557 A1	15.09.2016	JP 2018-37684 A US 2018/0053737 A1 段落[0020]－[0039], [0049]－[0056]及び図1－ 2, 5－8 CN 107210241 A	
WO 2020/235410 A1	26.11.2020	US 2022/0148949 A1 段落[0081]－[0139], [0311]－[0323]及び図1－ 6, 29 DE 212020000633 U1 CN 113841232 A	