(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0072616
(43) 공개일자 2010년07월01일

(51) Int. Cl.
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
H01L 21/265 (2006.01) *H01L 21/324* (2006.01)
(21) 출원번호 10-2008-0131068
(22) 출원일자 2008년12월22일
심사청구일자 2008년12월22일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 서천동 1 경희대학교 국제캠퍼스내
(72) 발명자
최석호
경기 수원시 영통구 영통동 989-2 현대아파트 726-1103
김민철
경기 수원시 장안구 정자동 13 기산아파트 909호
(74) 대리인
이덕록

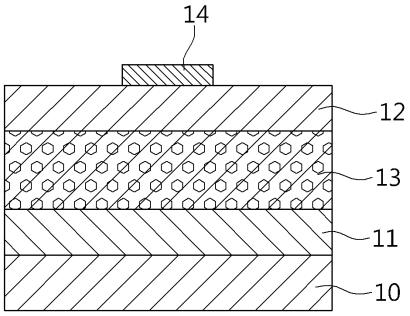
전체 청구항 수 : 총 6 항

(54) A l O - 이온 주입에 의해 A l 2 O 3 에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자 및 그 제조방법

(57) 요 약

본 발명은 Al^- 이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자 및 그 제조방법에 관한 것으로서, 반도체 기판 준비공정(S1 단계)와; 실리콘 산화막(11)을 형성하는 실리콘 산화막 형성공정(S2 단계)와; 알루미늄 산화막(12)을 형성하는 알루미늄 산화막 형성공정(S3 단계)와; 알루미늄 산화막(12) 내에 AlO^- 이온(13)을 주입하는 이온주입공정(S4 단계) 및; 알루미늄 전극(14)을 형성하는 전극형성공정(S5 단계)로 반도체 기판(10)에 형성된 산화막(11)과; 상기 산화막(11)에 형성된 알루미늄 산화막(12)과; 상기 알루미늄 산화막(12) 에 주입된 AlO^- 이온(13) 및; 상기 알루미늄 산화막(12) 상에 형성한 알루미늄 전극(14)을 포함하는 비활성 메모리소자를 제조함으로써 트랩의 농도를 제어할 수 있고, 우수한 쓰기/지우기(program/erase) 및 데이터 보존(retention) 특성을 갖는 비활성 메모리소자를 제조할 수 있을 뿐만 아니라 전체 유전막의 두께를 감소시킬 수 있어 비휘발성 메모리 소자의 저전력 및 고속 동작을 가능하게 하는 각별한 장점이 있는 유용한 발명이다.

대 표 도 - 도1



특허청구의 범위

청구항 1

반도체 기판(10) 상에 형성된 산화막(11)과; 상기 산화막(11) 상부에 형성된 알루미늄 산화막(12)과; 상기 알루미늄 산화막(12) 내부에 주입된 AlO^- 이온(13) 및; 상기 알루미늄 산화막(12) 상에 형성한 알루미늄 전극(14)을 포함하는 것을 특징으로 하는 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자.

청구항 2

실리콘 기판(10)을 준비하는 반도체 기판 준비공정(S1 단계)와; 상기 실리콘 기판(10)의 표면을 산화시켜 실리콘 기판(10)의 표면상에 실리콘 산화막(11)을 형성하는 실리콘 산화막 형성공정(S2 단계)와; 상기 실리콘 산화막(11) 상에 알루미늄 산화막(12)을 형성하는 알루미늄 산화막 형성공정(S3 단계)와; 상기 알루미늄 산화막(12) 내에 AlO^-이온(13)을 주입하는 이온주입공정(S4 단계) 및; 상기 알루미늄 산화막(12) 상에 알루미늄 전극(14)을 형성하는 전극형성공정(S5 단계)로 이루어진 것을 특징으로 하는 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자의 제조방법.

청구항 3

제 2항에 있어서, 상기 실리콘 산화막 형성공정(S2 단계)에서 형성하는 실리콘 산화막(11)의 두께는 4 ~ 6nm인 것을 특징으로 하는 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자의 제조방법.

청구항 4

제 2항에 있어서, 상기 알루미늄 산화막 형성공정(S3 단계)에서 형성하는 알루미늄 산화막(12)은 두께가 35 ~ 45nm인 것을 특징으로 하는 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자의 제조방법.

청구항 5

제 2항에 있어서, 상기 이온주입공정(S4 단계)에서 AlO^-이온(13) 주입시 에너지는 20 ~ 45[keV]가 되도록 하는 것을 특징으로 하는 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자의 제조방법.

청구항 6

제 2항에 있어서, 상기 이온주입공정(S4 단계) 후에 질소(N_2) 분위기에서 50초 내지 60초 동안 750 ~ 850℃로 열처리(annealing) 한 후 전극형성공정(S5 단계)에서 알루미늄 전극(14)을 형성하는 것을 특징으로 하는 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 비휘발성 메모리소자 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 Al_2O_3 물질 내에 AlO^- 이온을 주입하여 인위적으로 트랩층을 에너지 밴드 갭 안에 형성하여 이를 전하 저장 준위로 활용하는 AlO^-이온 주입에

의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로 비휘발성 메모리 소자 중 전기적으로 소거가 가능한 EEPROM (Electrically Erasable Programmable Read Only Memory) 소자는 포울러-노드하임(Fowler-Nordheim) 터널링 현상에 의해 얇은 절연층, 즉 SiO_2와 같은 터널 산화막을 통한 전자의 이동에 의하여 플로팅 게이트에 전하가 저장되고 이 저장된 전하의 양에 따라 트랜지스터가 온 또는 오프되는 소자를 말한다.

[0003] 이러한 비휘발성 메모리 소자는 터널 산화막(tunnel oxide), 플로팅 게이트, 제어 산화막(control oxide) 및 컨트롤 게이트가 적층된 구조를 갖는다. 이 때, 제어 산화막은 플로팅 게이트에서 컨트롤 게이트로의 전하 이동을 방지하는 역할을 하며 전하의 누설을 방지한다.

[0004] 소자의 직접도가 커지면서 소자의 크기가 줄어들면 산화막의 두께도 줄어들게 되는데 너무 얇아지면 플로팅 게이트와 컨트롤 게이트 간의 캐패시턴스를 유지하기가 어려워져 지게 된다. 또한 플로팅게이트에는 전하들이 연속적으로 저장되기 때문에 소자가 작을 경우 누설전류가 발생하여 비휘발성 메모리 소자의 저전력 및 고속 동작이 저하되는 결점이 있었다.

[0005] 그에 따라 차세대 비휘발성 메모리 분야로서 연구되고 있는 CTF(charge trap memory)는 반도체, 금속 나노결정 혹은 질화물 트랩 같은 불연속 형태의 전하 저장 매질을 이용한 연구가 활발히 진행되어 왔다. 이러한 연구는 전하의 이동에 의한 손실을 방지할 수 있어서 저장된 데이터의 보존을 향상시킨다.

[0006] 하지만 Si 나노결정의 경우, 전하 저장 트랩의 밀도는 10^{11} ~ $10^{12}cm^{-2}$의 영역에 머물러 있어 현재 상용화되고 있는 45nm 정도의 소자 또는 다준위(multi-level) 메모리를 구현할 말한 충분한 메모리 윈도우를 제공하지 못한다는 단점을 가지고 있으며 또한 얇은 터널 절연막으로 인한 누설 전류의 증가 등 많은 문제점을 가지고 있었다.

[0007] CTF의 핵심적인 이슈 중의 하나는 쓰기/지우기 속도와 데이터 보존인데 이 두 요소는 서로 상충되는 특성을 가지고 있다. 포울러-노드하임 터널링에서 수 백초 동안 다준위 쓰기를 위해서는 터널 산화막의 두께는 7nm 이하이어야 하는데 이렇게 얇은 두께에서는 10년 이상의 데이터 보존을 기대할 수 없다.

[0008] 이러한 trade-off를 극복하기 위한 방편으로 터널 배리어(tunnel barrier), 전하트랩 층(charge trap layer), 제어 배리어(control barrier) 등의 물질과 구조의 최적화 상태를 필요로 한다.

[0009] CTF 메모리의 성능 향상을 위하여 SiN 와 Al_2O_3 같은 고유전체 물질을 사용하면 절연막 두께의 한계를 극복할 수 있어서 이를 이용한 비휘발성 메모리 연구도 매우 활발하다.

[0010] 최근에 질화물 트랩을 이용한 $Si/SiO_2/SiN/SiO_2/polySi$(SONOS) 또는 $Si/Al_2O_3/TaN$(TANOS) 메모리 소자가 낮은 구동 전압 등의 특성으로 고집적도의 가능성이 높아 주목을 받고 있으나 이 소자들의 경우 자연적으로 형성된 결함준위를 이용하기 때문에 에너지와 농도를 제어하기 어렵고 데이터 보존 특성이 좋지 않은 것으로 알려져 있어서 소자의 향상에 제한적이라는 단점이 있다.

발명의 내용

해결 하고자하는 과제

[0011] 본 발명은 상기한 실정을 감안 하여 종래 비휘발성 메모리소자 및 그 제조방법에서 야기되는 여러 가지 결점 및 문제점 들을 해결하고자 발명한 것으로서, 그 목적은 Al_2O_3에 AlO^-이온을 주입하여 불연속적인 깊은 트랩 준위를 에너지 밴드 갭 안에 인위적으로 형성하여 이를 전하 저장 준위로 활용함으로써 트랩의 농도를 제어할 수 있는 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자 및 그 제조방법을 제공함에 있다.

[0012] 본 발명의 다른 목적은 Al_2O_3에 AlO^-이온을 주입하여 불연속적인 깊은 트랩 준위를 에너지 밴드 갭 안에 인위적으로 형성하여 이를 전하 저장 준위로 활용함으로써 우수한 쓰기/지우기 및 데이터 보존 특성을 갖는 AlO^-이온

주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자 및 그 제조방법을 제공하는 데 있다.

[0013] 본 발명의 또 다른 목적은 Al_2O_3에 AlO^-이온을 주입하여 불연속적인 깊은 트랩 준위를 에너지 밴드 갭 안에 인위적으로 형성하여 이를 전하 저장 준위로 활용함으로써 유전막의 유효 산화막 두께(effective oxide thickness)를 유지시켜 비휘발성 메모리 소자의 저전력 및 고속 동작을 가능하게 하는 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자 및 그 제조방법을 제공하는 데 있다.

과제 해결수단

[0014] 상기한 목적을 달성하기 위한 본 발명 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자는 반도체 기판(10) 상에 형성된 산화막(11)과; 상기 산화막(11) 상부에 형성된 알루미늄 산화막(12) 및; 상기 알루미늄 산화막(12) 내부에 주입된 AlO^- 이온(13)을 포함하는 구성으로 이루어진 것을 특징으로 한다.

효 과

[0015] 본 발명은 Al_2O_3에 AlO^-이온을 주입하여 불연속적인 깊은 트랩 준위를 에너지 밴드 갭 안에 인위적으로 형성하여 이를 전하 저장 준위로 활용함으로써 트랩의 농도를 제어할 수 있고, 우수한 쓰기/지우기 및 데이터 보존 특성을 갖는 비활성 메모리소자를 제조할 수 있을 뿐만 아니라 전체 유전막의 두께를 감소시킬 수 있어 비휘발성 메모리 소자의 저전력 및 고속 동작을 가능하게 하는 각별한 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0016] 이하, 첨부 도면을 참조하여 본 발명 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자 및 그 제조방법의 바람직한 실시예를 상세하게 설명한다.

[0017] 도 1은 본 발명의 방법으로 제조된 비휘발성 메모리소자의 단면 구성도, 도 2a 내지 도 2e는 본 발명의 방법으로 비휘발성 메모리소자를 제조하는 공정단계를 나타낸 도면, 도 3은 본 발명 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자의 제조공정 순서도, 도 4는 본 발명의 제조방법으로 제조된 비휘발성 메모리소자의 광전도도를 나타낸 그래프, 도 5는 본 발명의 제조방법으로 제조된 비휘발성 메모리소자에서 알루미늄 산화막 밴드갭 내의 트랩의 에너지 준위를 나타낸 도면, 도 6a 내지 도 6c는 본 발명의 제조방법으로 제조된 비휘발성 메모리소자의 인가전압에 따른 전기용량-전압(capacitance-voltage) 특성곡선의 이동을 나타낸 그래프, 도 7a 내지 도 7d는 본 발명의 제조방법으로 제조된 비휘발성 메모리소자의 pulse 인가에 따른 메모리 쓰기/지우기 속도 그래프, 도 8a 내지 도 8b는 본 발명의 제조방법으로 제조된 비휘발성 메모리소자의 데이터 보존 특성을 나타낸 그래프로서, 본 발명 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자는 반도체 기판(10) 상에 형성된 산화막(11)과; 상기 산화막(11) 상부에 형성된 알루미늄 산화막(12)과; 상기 알루미늄 산화막(12) 내부에 주입된 AlO^- 이온(13) 및; 상기 알루미늄 산화막(12) 상에 형성한 알루미늄 전극(14)을 포함하는 구성으로 이루어져 있다.

[0018] 또한 본 발명 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자의 제조방법은 실리콘 기판(10)을 준비하는 반도체 기판 준비공정(S1 단계)와; 상기 실리콘 기판(10)의 표면을 산화시켜 실리콘 기판(10)의 표면상에 실리콘 산화막(11)을 형성하는 실리콘 산화막 형성공정(S2 단계)와; 상기 실리콘 산화막(11) 상에 알루미늄 산화막(12)을 형성하는 알루미늄 산화막 형성공정(S3 단계)와; 상기 알루미늄 산화막(12) 내에 AlO^-이온(13)을 주입하는 이온주입공정(S4 단계) 및; 상기 알루미늄 산화막(12) 상에 알루미늄 전극(14)을 형성하는 전극형성공정(S5 단계)로 이루어져 있다.

[0019] 상기 실리콘 산화막 형성공정(S2 단계)에서 형성하는 실리콘 산화막(11)은 두께가 4 ~ 6㎚, 상기 알루미늄 산화막 형성공정(S3 단계)에서 형성하는 알루미늄 산화막(12)은 두께가 35 ~ 45㎚가 되도록 하는 것이 바람직하

고, 이온주입공정(S4 단계)에서 AlO^-이온(13) 주입시 에너지는(e)는 20 ~ 45[keV]가 되도록 하는 것이 바람직하다.

[0020] 또한 상기 이온주입공정(S4 단계) 후에 질소(N_2) 분위기에서 50초 내지 60초 동안 750 ~ 850℃로 열처리(annealing) 한 후 전극형성공정(S5 단계)에서 알루미늄 전극(14)을 형성하는 것이 바람직하다.

[0021] 실시예

[0022] 본 발명의 방법으로 비휘발성 메모리소자를 제조하고, 제조된 비휘발성 메모리소자의 특성을 측정하였다.

[0023] 먼저 S1 단계의 반도체 기판의 준비공정에서 도 2a에 도시한 바와 같이 p형 실리콘 기판(10)을 준비하고, S2 단계의 실리콘 산화막 형성공정에서 열산화(thermal oxidation) 방법으로 실리콘 기판(10)의 표면을 산화시켜 실리콘 기판(10)의 표면상에 도 2b에 도시한 바와 같이 실리콘 산화막(11)을 형성 5nm 두께로 형성하였다.

[0024] 다음으로 S3 단계의 알루미늄 산화막 형성공정에서 ALD 증착(atomic layer deposition) 방법으로 실리콘 산화막(11) 상에 도 2c에 도시한 바와 같이 알루미늄 산화막(12)을 형성 40nm 두께로 형성하고, S4 단계의 이온주입공정에서 도 2d에 도시한 바와 같이 알루미늄 산화막(12) 내에 AlO^-이온(13)을 주입하여 질소(N_2) 분위기에서 1분 동안 800℃로 열처리(annealing) 하였다.

[0025] 마지막으로 S5 단계의 전극형성공정에서 도 2e에 나타낸 바와 같이 상기 알루미늄 산화막(12) 상에 지름이 200㎛ 인 알루미늄 전극(14)을 형성함으로써 도 1에 도시한 바와 같은 비휘발성 메모리소자가 제조되었다.

[0026] 상기 S4 단계의 이온주입공정에서 주입되는 AlO^-이온(13)의 량을 $10^{14}cm^{-2}$ 와 $10^{15}cm^{-2}$로 하여 비휘발성 메모리소자를 제조하고 제조된 비휘발성 메모리소자의 광전도도를 측정하고 밴드갭 내의 트랩 에너지 준위를 분석하여, 그 결과를 도 4 및 도 5에 각각 나타냈다.

[0027] 도 4와 도 5로부터 광전도도(e) 측정결과 AlO^-이온(13)의 주입량을 $10^{14}cm^{-2}$ 로한 경우 전도대 밑, 2.13, 4.10eV에서 두 개의 트랩 에너지의 준위가 측정되었으며, AlO^-이온(13)의 주입량을 $10^{15}cm^{-2}$로 한 경우 2.13, 3.86eV에서 두 개의 트랩 에너지의 준위가 측정되었으며 각 시료에 대해 두 트랩 준위의 밀도는 서로 정반대의 특성을 나타냄을 확인할 수 있었다.

[0028] 또한 S4 단계의 이온주입공정에서 주입되는 AlO^-이온(13)의 량을 $10^{14}cm^{-2}$ 와 $10^{15}cm^{-2}$로 하여 비휘발성 메모리소자를 제조하고 제조된 비휘발성 메모리소자의 메모리 특성을 측정하고 그 결과를 도 6a 내지 도 6c에 각각 나타냈다.

[0029] 도 6a 내지 도 6c로부터 AlO^-이온 주입에 따른 메모리 특성은 이온 주입을 하지 않은 시료의 경우 수십 mV의 작은 메모리 윈도우를 보이지만 각각 10^{14}, 10^{15} cm^{-2}의 이온을 주입한 경우, 메모리 윈도우가 인가전압에 비례하여 최대 6.82V가 측정되었으며, 주입양에 따른 변화는 보이지 않음을 알 수 있었다.

[0030] S4 단계의 이온주입공정에서 주입되는 AlO^-이온(13)의 량을 $10^{14}cm^{-2}$ 와 $10^{15}cm^{-2}$로 하여 비휘발성 메모리소자를 제조하고 제조된 비휘발성 메모리소자의 pulse 인가에 따른 메모리 쓰기/지우기 특성을 측정하고 그 결과를 도 7a 내지 도 7d에 각각 나타냈다.

[0031] 측정은 Agilent 4284A CV meter와 Agilent 8114A pulse generator를 이용하여 pulse 인가시간에 따른 메모리 윈도우의 증가 및 감소를 측정한 결과이다.

[0032] Full program/erase의 전압을 각각 [+12/-12 V , 1s] 로 정하고 측정한 결과 인가 전압이 증가함에 따라 보다 넓은 메모리 윈도우가 나타났다.

[0033] 쓰기의 경우 [+11V, 10ms], 지우기의 경우 [-11V, 20ms]의 상태에서 충분한 메모리 윈도우를 확보하여 각각의 상태를 쓰기 및 지우기 조건으로 정의하고, 비휘발성 메모리소자의 메모리 데이터 보존 특성을 측정하였다.

[0034] 도 7a 내지 도 7d로부터 이온 주입량에 따른 메모리 윈도우를 측정한 결과 $10^{14}cm^{-2}$를 주입한 시료가 $10^{15}cm^{-2}$를 주입한 시료와 비교하여 볼 때 빠른 쓰기 속도를 가짐을 확인할 수 있었다. 하지만 지우기 속도의 경우는 $10^{15}cm^{-2}$ 를 주입한 시료가 $10^{14}cm^{-2}$ 을 주입한 시료보다 약간 빠른 경향을 보였다.

[0035] 한편 Full program/erase의 전압을 각각 [+12/-12V, 1s]로 정하고 쓰기 시간을 10ms, 지우기 시간을 20ms로 한 경우에는 도 8a, 도 8b와 같은 데이터 보존특성을 나타냈다.

[0036] 지금까지 실시한 본 발명의 제조방법으로 제조한 비활성 메모리소자의 데이터 보존특성을 요약하여 표로 나타내면, 하기 표 1과 같다.

표 1

[0037] 이온주입량 및 측정온도에 따른 비활성 메모리소자의 특성

이온 주입량 (cm^{-2})	측정온도 (℃)	메모리 윈도우		전하손실률 (%)
		최초측정(ΔV)	10^4초 후 측정(ΔV)	
10^{14}	22	2.2	1.75	20.5
	85	4.75	3.5	22.2
	125	5.55	3.05	45.1
10^{15}	22	1.7	1.4	17.7
	85	4.9	3.7	24.5
	125	5.95	3.95	33.7

[0038] 한편 Full program/erase의 전압을 각각 [+12/-12V, 1s]로 정하고 쓰기 시간을 10ms, 지우기 시간을 20ms로 하여 측정한 상기 표1의 결과로부터 $10^{14}cm^{-2}$ 시료의 경우 온도가 증가함에 따라서 전하손실률이 20%에서 45%로 감소하는 반면에 $10^{15}cm^{-2}$ 시료의 경우는 감소율이 약 17%에서 33%로 더 낮음을 알 수 있었다. 이러한 비활성 메모리소자의 데이터 보존 특성은 기존 비활성 메모리소자의 특성과 비교할 때 매우 우수한 결과임을 알 수 있었다.

[0039] 지금까지 본 발명을 바람직한 실시예로서 설명하였으나, 본 발명은 이에 한정되지 않고 발명의 요지를 이탈하지 않는 범위 내에서 다양하게 변형하여 실시할 수 있음은 물론이다.

도면의 간단한 설명

[0040] 도 1은 본 발명의 방법으로 제조된 비휘발성 메모리소자의 단면 구성도,

[0041] 도 2a 내지 도 2e는 본 발명의 방법으로 비휘발성 메모리소자를 제조하는 공정단계를 나타낸 도면,

[0042] 도 3은 본 발명 AlO^-이온 주입에 의해 Al_2O_3에 형성한 트랩을 전하 저장준위로 이용한 비휘발성 메모리소자의 제조공정 순서도,

[0043] 도 4는 본 발명의 제조방법으로 제조된 비휘발성 메모리소자의 광전도도(e)를 나타낸 그래프,

[0044] 도 5는 본 발명의 제조방법으로 제조된 비휘발성 메모리소자에서 알루미늄 산화막의 밴드 갭 내에 형성된 트랩 에너지 준위를 나타낸 도면,

[0045] 도 6a 내지 도 6c는 본 발명의 제조방법으로 제조된 비휘발성 메모리소자의 인가전압에 따른 전기용량-전압 특성곡선의 이동을 나타낸 그래프,

[0046] 도 7a 내지 도 7d는 본 발명의 제조방법으로 제조된 비휘발성 메모리소자의 pulse 인가에 따른 쓰기/지우기 속도 그래프,

[0047] 도 8a 내지 도 8b는 본 발명의 제조방법으로 제조된 비휘발성 메모리소자의 데이터 보존특성을 나타낸 그래프이다.

[0048] 〈도면의 주요 부분에 대한 부호의 설명〉

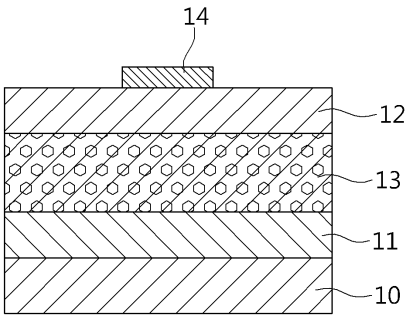
[0049] 10 : 반도체 기판 11 : 실리콘 산화막

[0050] 12 : 알루미늄 산화막 13 : AlO^- 이온

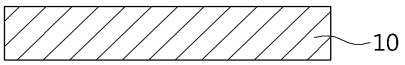
[0051] 14 : 알루미늄 전극

도면

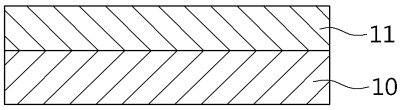
도면1



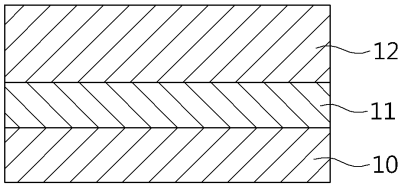
도면2a



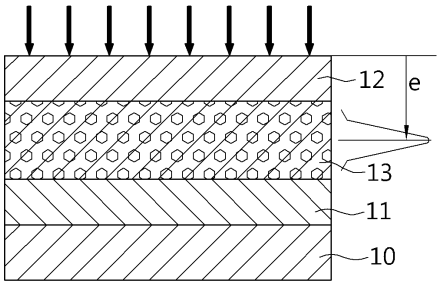
도면2b



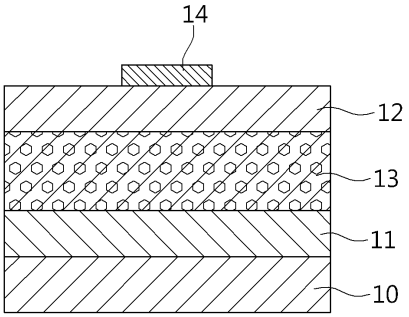
도면2c



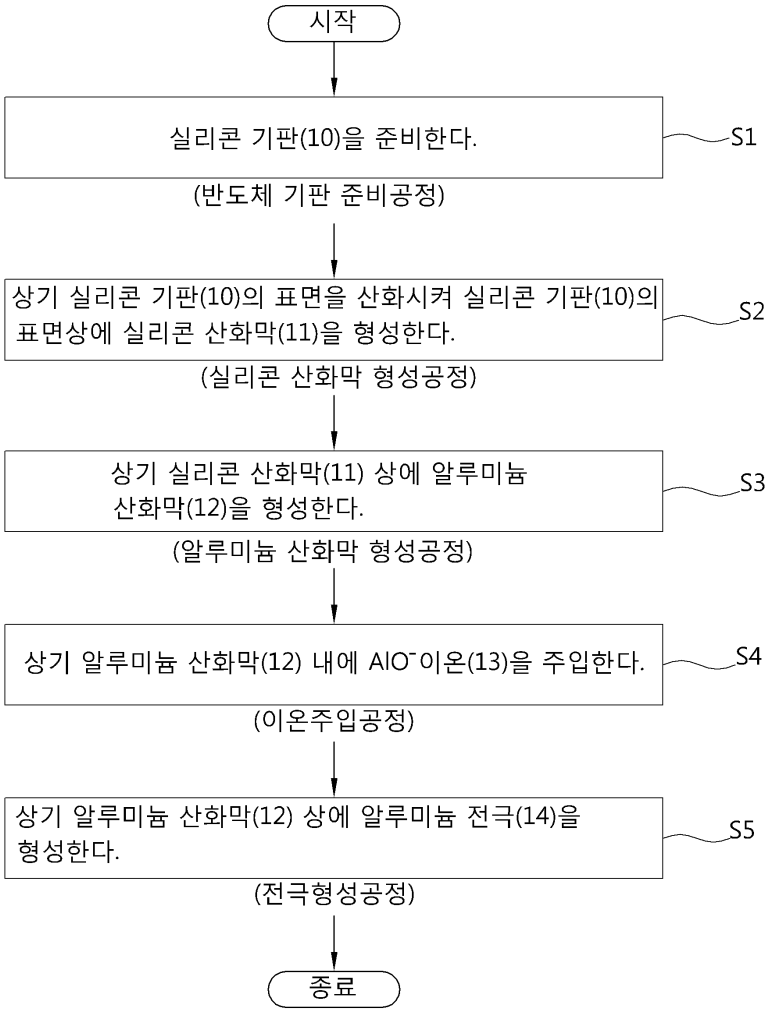
도면2d



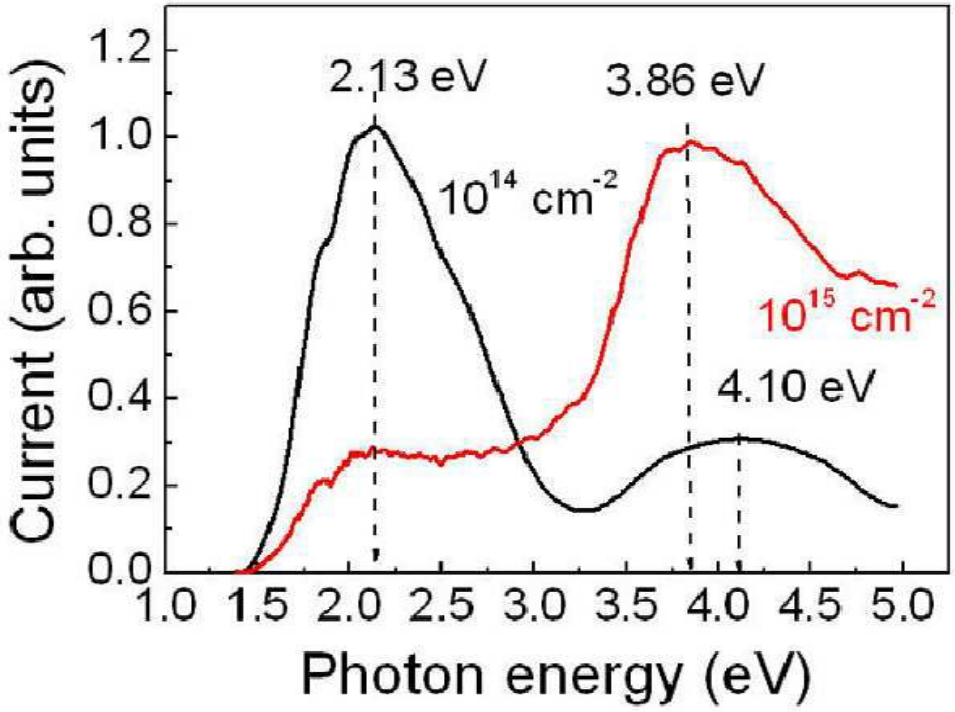
도면2e



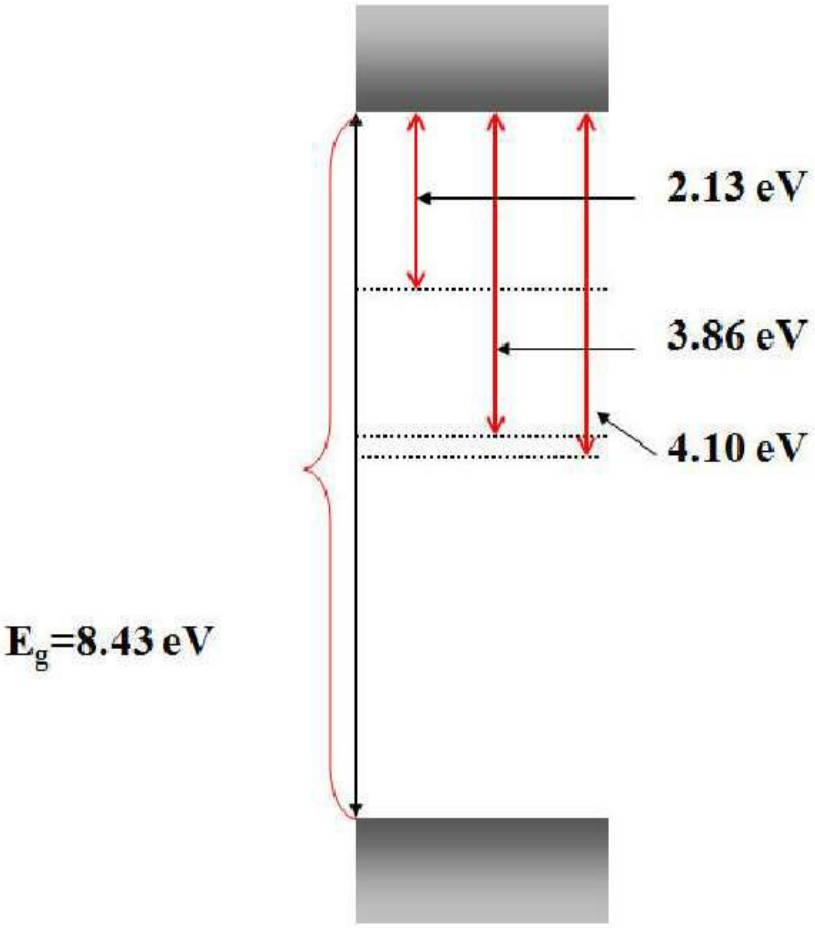
도면3


시작
실리콘 기판(10)을 준비한다.
S1
(반도체 기판 준비공정)
상기 실리콘 기판(10)의 표면을 산화시켜 실리콘 기판(10)의 표면상에 실리콘 산화막(11)을 형성한다.
S2
(실리콘 산화막 형성공정)
상기 실리콘 산화막(11) 상에 알루미늄 산화막(12)을 형성한다.
S3
(알루미늄 산화막 형성공정)
상기 알루미늄 산화막(12) 내에 AlO⁻이온(13)을 주입한다.
S4
(이온주입공정)
상기 알루미늄 산화막(12) 상에 알루미늄 전극(14)을 형성한다.
S5
(전극형성공정)
종료

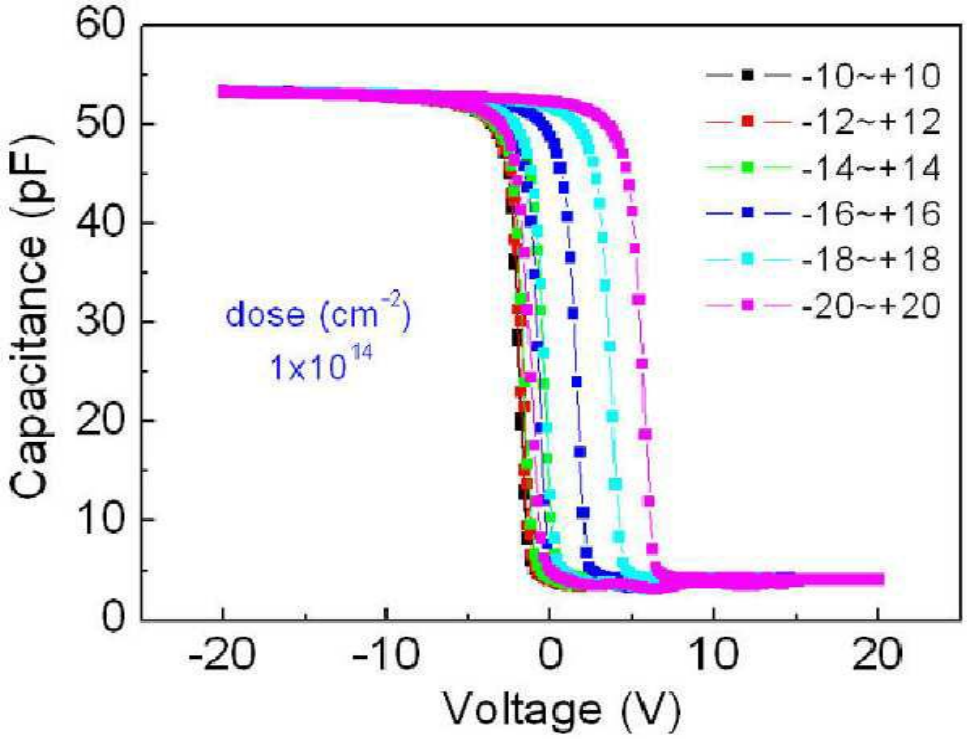
도면4


2.13 eV
3.86 eV
10^{14} cm^{-2}
10^{15} cm^{-2}
4.10 eV
Current (arb. units)
Photon energy (eV)
0.0
0.2
0.4
0.6
0.8
1.0
1.2
1.0
1.5
2.0
2.5
3.0
3.5
4.0
4.5
5.0

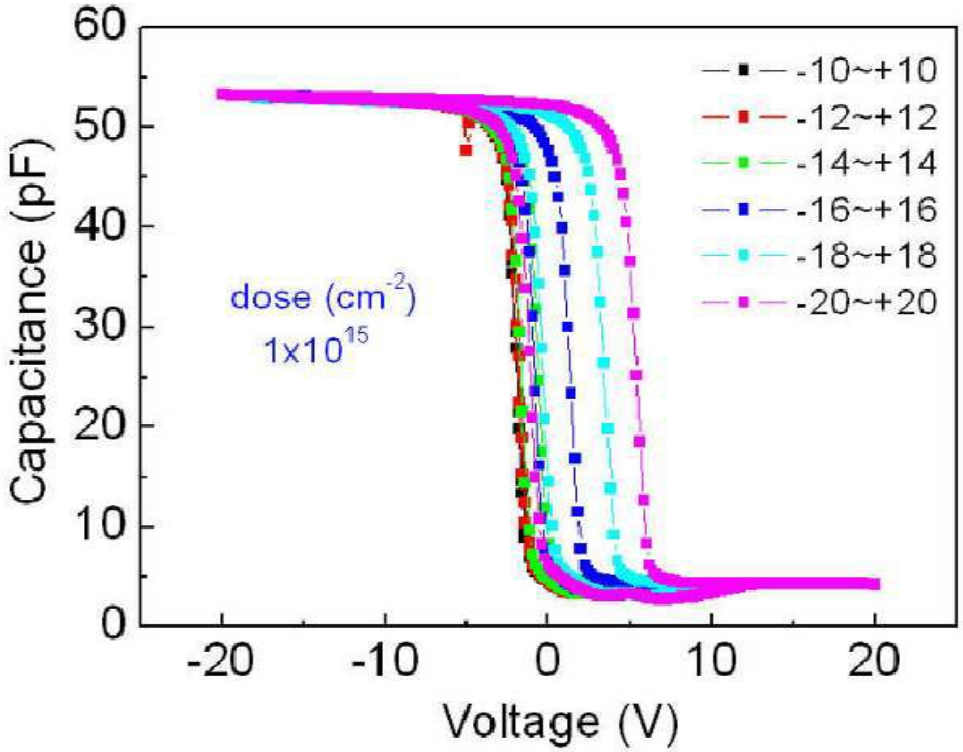
도면5



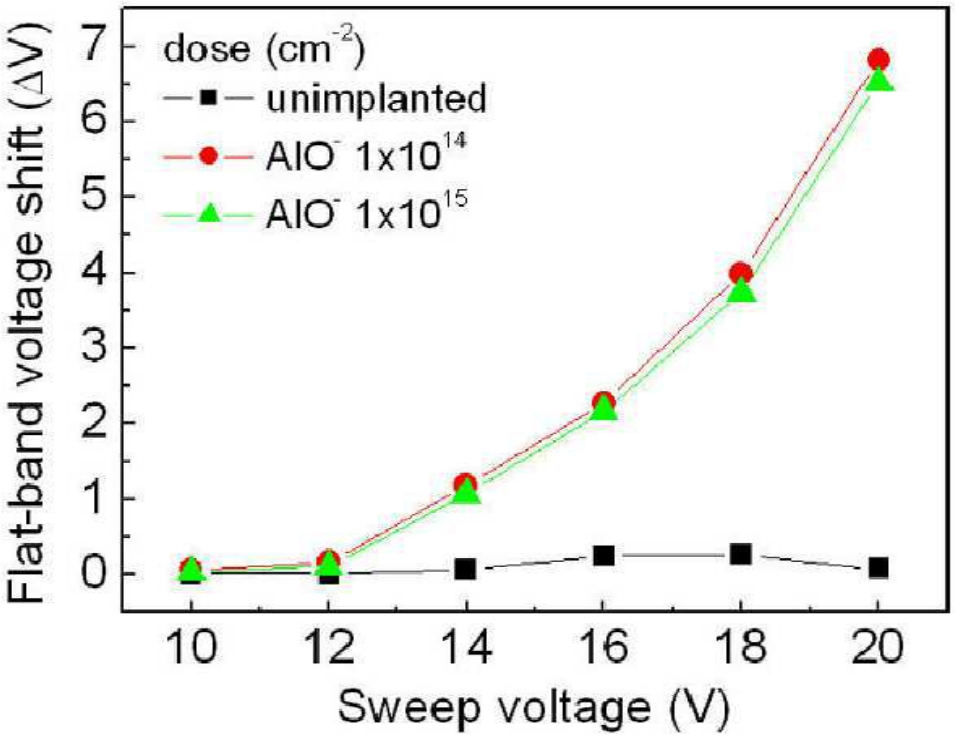
도면6a


Capacitance (pF)
Voltage (V)
dose (cm-2)
1x10^14
-10~+10
-12~+12
-14~+14
-16~+16
-18~+18
-20~+20

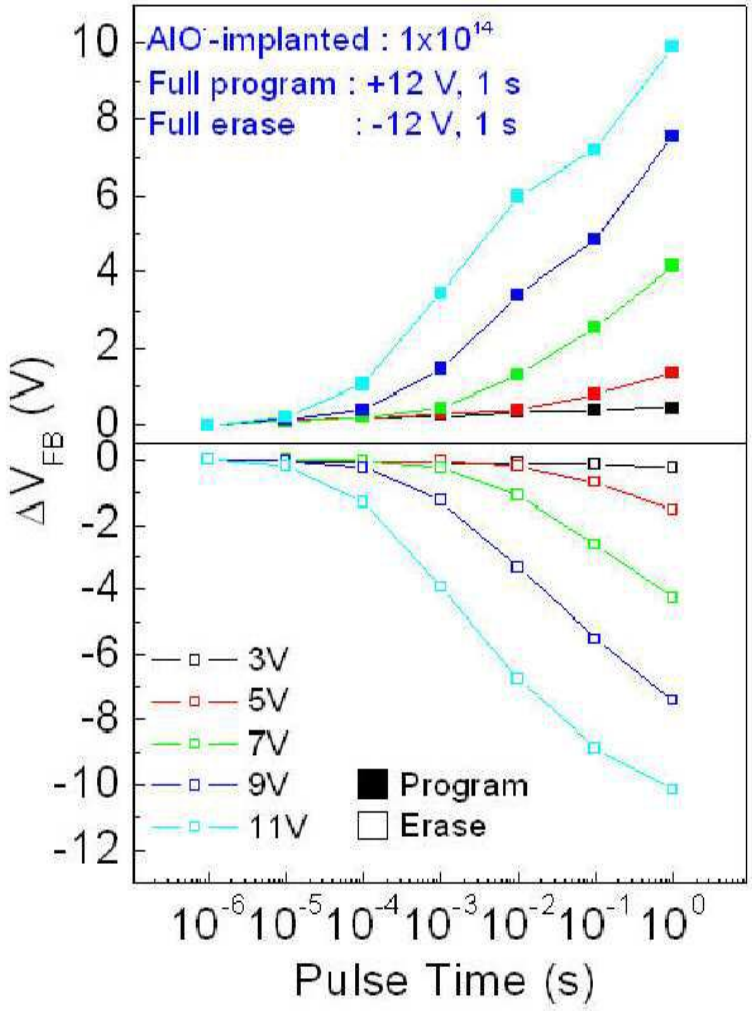
도면6b


Capacitance (pF)
Voltage (V)
dose (cm-2)
1x10^15
-10~+10
-12~+12
-14~+14
-16~+16
-18~+18
-20~+20

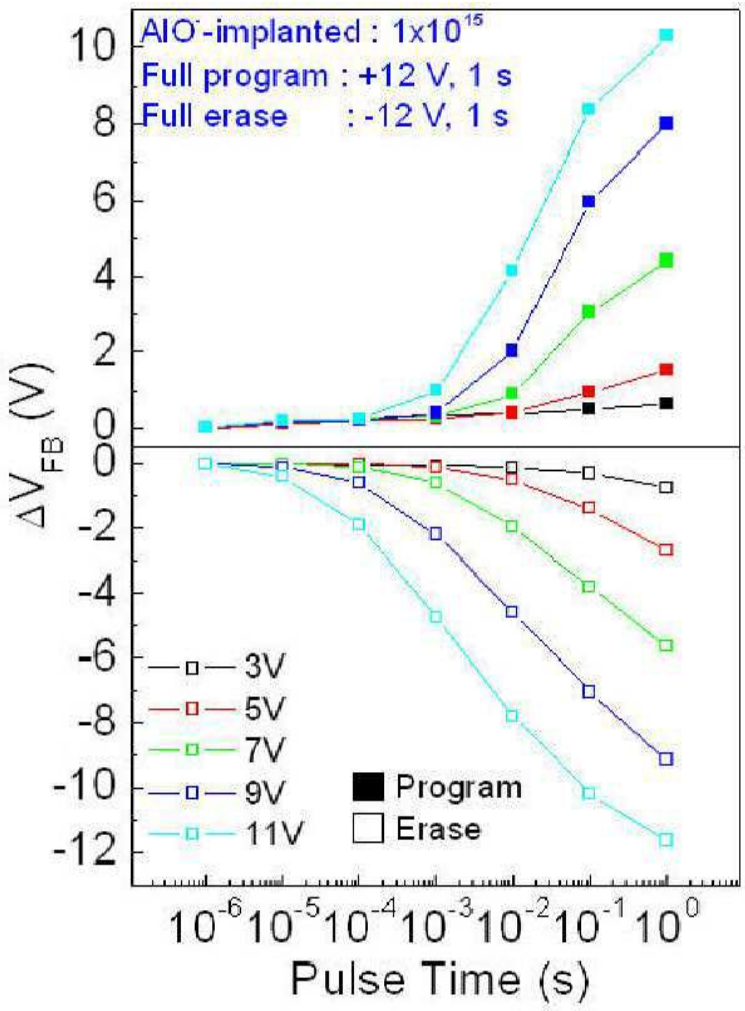
도면6c


dose (cm-2)
unimplanted
AlO- 1x10^14
AlO- 1x10^15
Flat-band voltage shift (ΔV)
0
1
2
3
4
5
6
7
10
12
14
16
18
20
Sweep voltage (V)

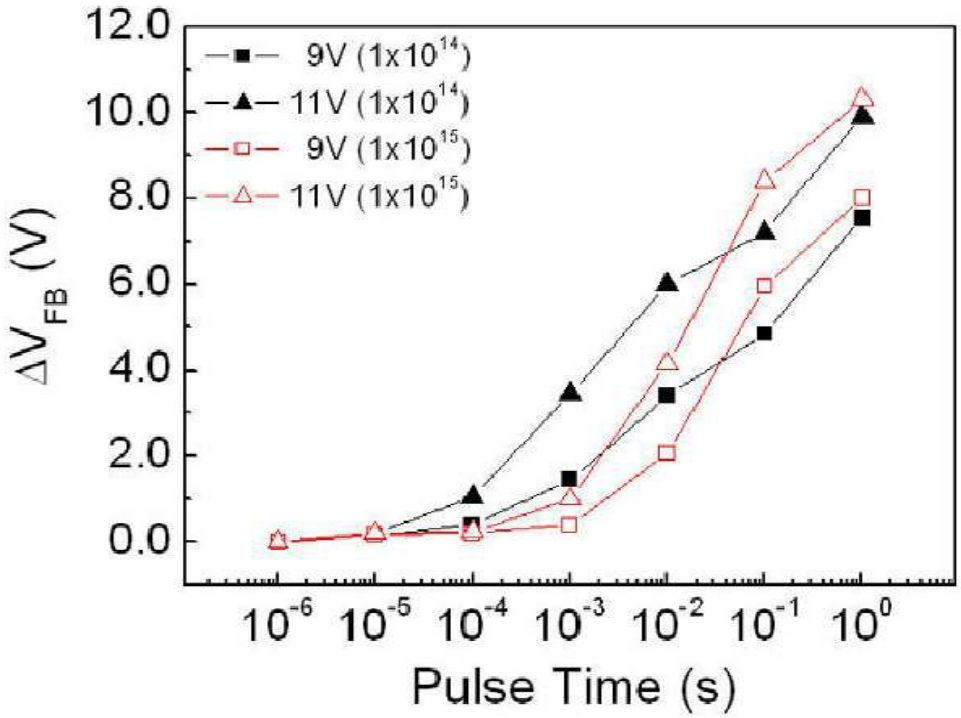
도면7a


AlO-implanted : 1x10^14
Full program : +12 V, 1 s
Full erase : -12 V, 1 s
ΔV_FB (V)
10
8
6
4
2
0
-2
-4
-6
-8
-10
-12
3V
5V
7V
9V
11V
Program
Erase
10^-6 10^-5 10^-4 10^-3 10^-2 10^-1 10^0
Pulse Time (s)

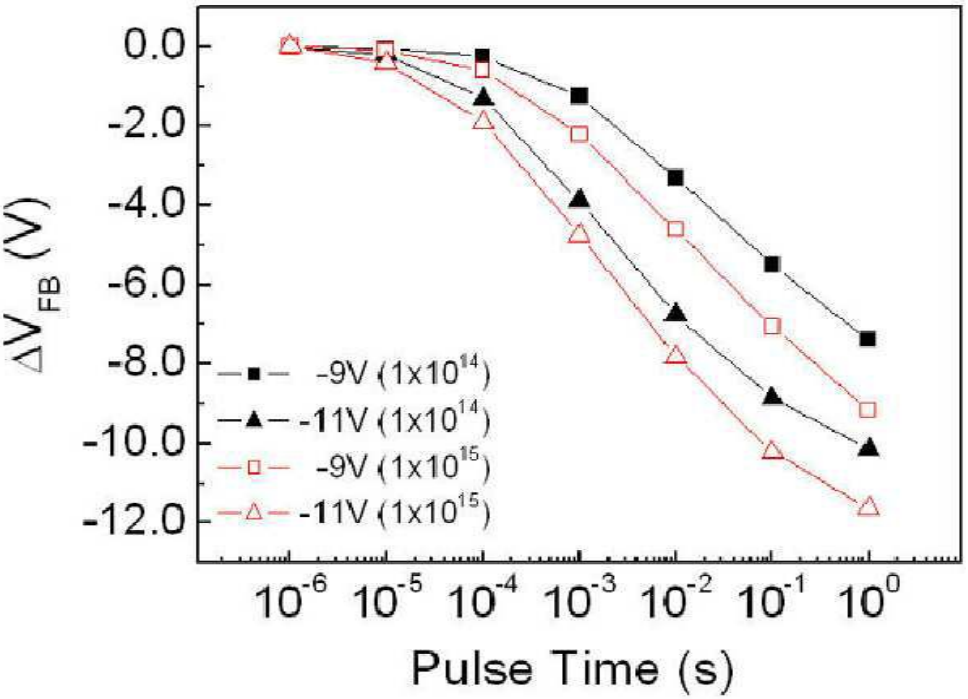
도면7b


AlO-implanted : 1x10^15
Full program : +12 V, 1 s
Full erase : -12 V, 1 s
ΔV_FB (V)
10
8
6
4
2
0
0
-2
-4
-6
-8
-10
-12
3V
5V
7V
9V
11V
Program
Erase
10^-6 10^-5 10^-4 10^-3 10^-2 10^-1 10^0
Pulse Time (s)

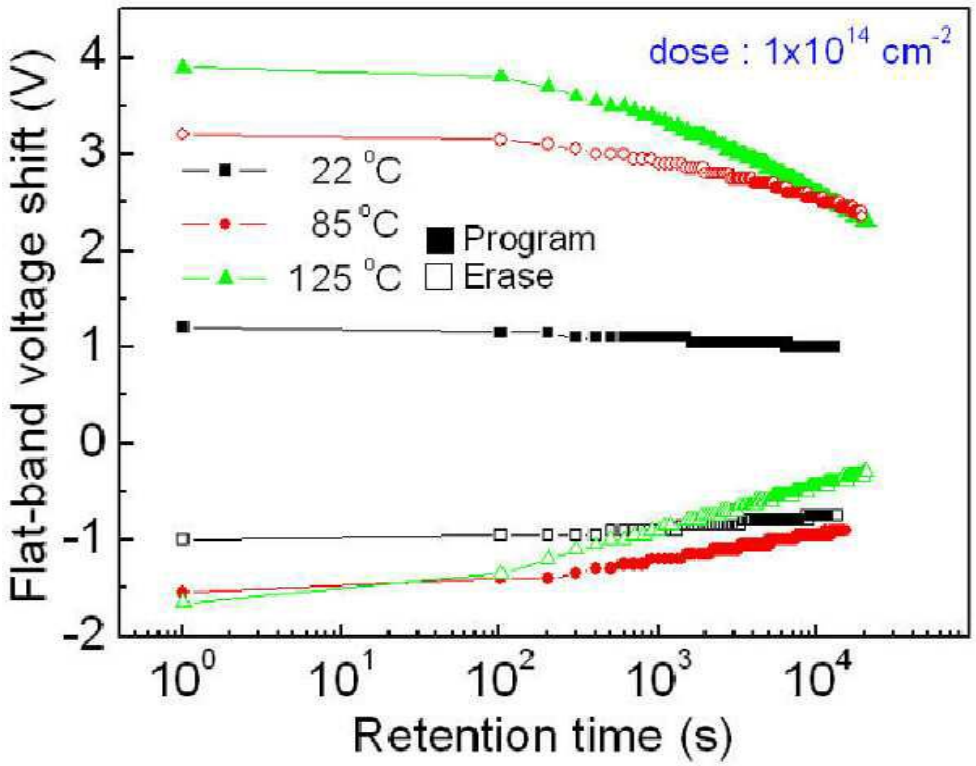
도면7c


12.0
10.0
8.0
6.0
4.0
2.0
0.0
ΔV_FB (V)
9V (1x10^14)
11V (1x10^14)
9V (1x10^15)
11V (1x10^15)
10^-6 10^-5 10^-4 10^-3 10^-2 10^-1 10^0
Pulse Time (s)

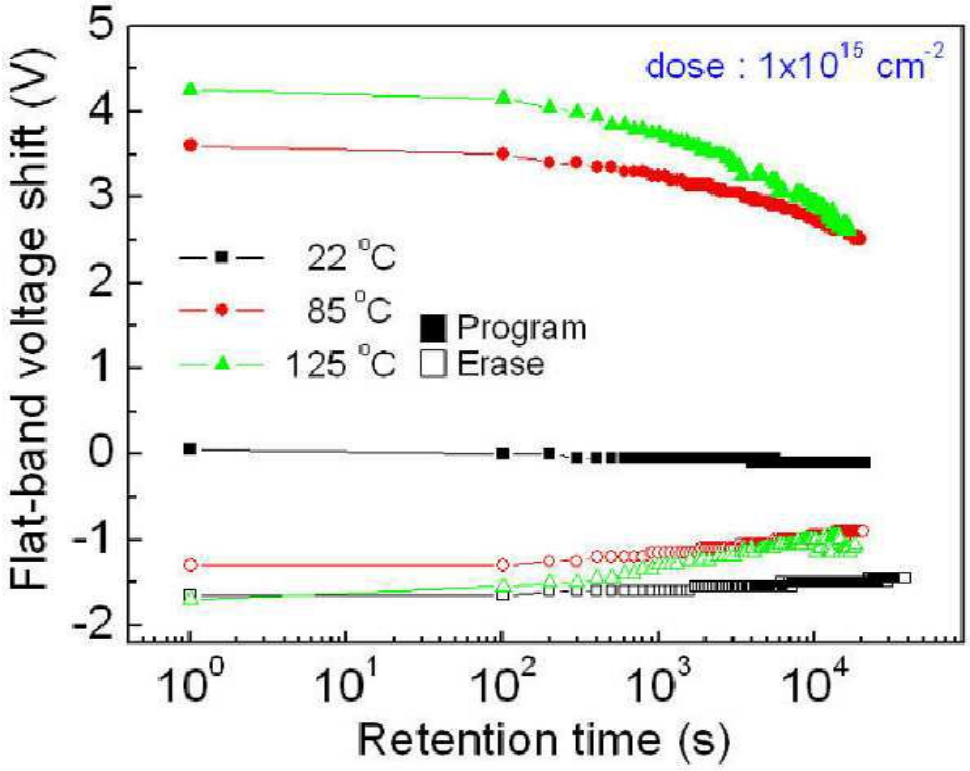
도면7d


0.0
-2.0
-4.0
-6.0
-8.0
-10.0
-12.0
ΔV_FB (V)
-9V (1x10^14)
-11V (1x10^14)
-9V (1x10^15)
-11V (1x10^15)
10^-6 10^-5 10^-4 10^-3 10^-2 10^-1 10^0
Pulse Time (s)

도면8a


dose : 1x10^14 cm^-2
22 °C
85 °C
125 °C
Program
Erase
Flat-band voltage shift (V)
Retention time (s)

도면8b


dose : 1x10^15 cm^-2
22 °C
85 °C
125 °C
Program
Erase
Flat-band voltage shift (V)
Retention time (s)