

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2002年5月16日 (16.05.2002)

PCT

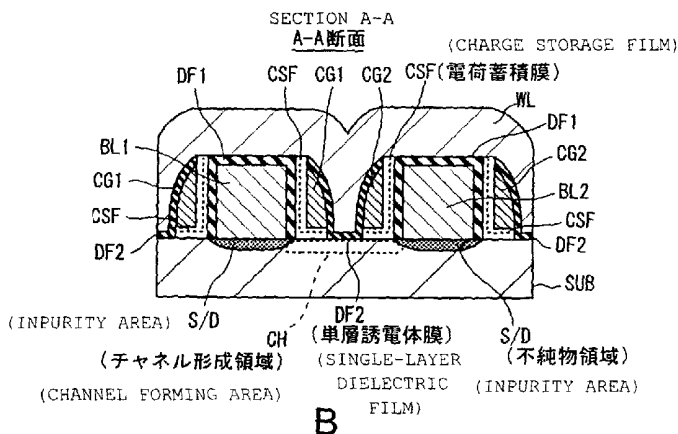
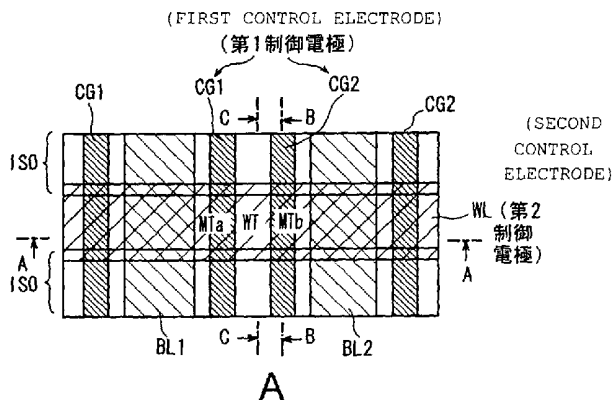
(10) 国際公開番号  
WO 02/39502 A1

- (51) 国際特許分類: H01L 29/792, 27/115, 21/8247
- (52) 国際出願番号: PCT/JP01/09390
- (53) 国際出願日: 2001年10月25日 (25.10.2001)
- (54) 国際出願の言語: 日本語
- (55) 国際公開の言語: 日本語
- (56) 優先権データ:  
特願2000-328127 2000年10月27日 (27.10.2000) JP  
特願2001-106309 2001年4月4日 (04.04.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 Tokyo (JP).
- (72) 発明者; および
- (73) 発明者/出願人 (米国についてのみ): 守屋博之 (MORIYA, Hiroyuki) [JP/JP]. 小林敏夫 (KOBAYASHI, Toshio) [JP/JP]; 〒141-0001 東京都品川区北品川6丁目7番35号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 佐藤隆久 (SATO, Takahisa); 〒111-0052 東京都台東区柳橋2丁目4番2号 宮木ビル4階 創造国際特許事務所 Tokyo (JP).
- (81) 指定国 (国内): DE, IL, US.

[続葉有]

(54) Title: NONVOLATILE SEMICONDUCTOR STORAGE DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 不揮発性半導体記憶装置およびその製造方法



(57) Abstract: To prevent the occurrence of conductive residues that may short-circuit between word lines. A memory cell comprises a channel forming area (CH), charge storage films (CSF) each consisting of a plurality of laminated dielectric films, two storage units consisting of charge storage film (CSF) regions superposed on the opposite ends of the channel forming areas (CH), single-layer dielectric films (DF2) in contact with the top of the channel forming area (CH) between the storage units, auxiliary layers (e.g., bit line (BL1, BL2)) respectively formed on two impurity areas (S/D), two first control electrodes (CG1, CG2) formed on the auxiliary layers via dielectric films and positioned on the storage units, and second control electrode (WL) embedded in a space therebetween insulated from the first control electrodes (CG1, CG2) and in contact with the top of the single-layer dielectric film (DF2). Since the main areas of the facing surfaces of the first control electrodes (CG1, CG2) form forward tapers, no conductive residues remain when the second control electrode (WL) is worked.

[続葉有]



WO 02/39502 A1



添付公開書類：  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

---

(57) 要約:

本発明は、ワード線間を短絡するような導電性残渣の発生を防止する。メモリセルが、チャンネル形成領域CHと、積層された複数の誘電体膜からなる電荷蓄積膜CSFと、チャンネル形成領域CHの両端部上に重なる電荷蓄積膜CSFの領域からなる2つの記憶部と、記憶部間でチャンネル形成領域CH上に接した単層の誘電体膜DF2と、2つの不純物領域S/D上に各々形成された補助層（たとえばビット線BL1、BL2）と、補助層に誘電体膜を介在させて形成され記憶部上に位置する2つの第1制御電極CG1、CG2と、その間のスペースに第1制御電極CG1、CG2と絶縁された状態で埋め込まれ、かつ単層の誘電体膜DF2上に接した第2制御電極WLとを有している。第1制御電極CG1、CG2の対向面の主な領域は順テーパとなるため第2制御電極WLの加工時に導電性の残渣が残らない。

## 明 細 書

### 不揮発性半導体記憶装置およびその製造方法

#### 技術分野

本発明は、チャンネル形成領域の両端部に、複数の誘電体膜を積層させた電荷蓄積膜からなる2つの記憶部を有し、当該記憶部に対し2ビット情報を独立に記憶可能な不揮発性半導体記憶装置と、その製造方法とに関する。

#### 背景技術

従来より、いわゆるMONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) 型など、複数の誘電体膜を積層させた電荷蓄積膜を有し、この電荷蓄積膜内の電荷トラップに蓄積する電荷量を制御することで情報の記憶を行う不揮発性半導体記憶素子が知られている。

最近になって、従来のCHE (Channel Hot Electron) 注入方式によって電荷を離散的な電荷トラップの分布領域の一部に注入できることに注目して、電荷蓄積膜のソース側とドレイン側に2値情報を独立に書き込むことにより、1メモリセル当たり2ビットを独立に記憶可能な技術が報告された。

たとえば“2000 Symposium on VLSI Technology, pp.122-123”では、ソース側とドレイン側に電荷蓄積膜を分離して設け、電荷蓄積膜上に制御電極を設け、かつ、制御電極間のチャンネル中央部に電荷保持能力を有しない単層の誘電体膜を介在させた状態でワードゲート電極を設けている。ワードゲート電極はワード線に接続され、制御電極はワード線と直交する方向に配線されて、ワードゲート電極とは独立に制御される。このため、電荷注入の位置の制御性および電荷注入効率を上げることができ、その結果、高速書き込みを達成している。

このメモリセルはツインMONOSセルと称せられ、行方向に一定間隔で繰り返

返したワードゲート電極を有し、その行方向両側の壁面にサイドウォール形の導電層を有している。このサイドウォール形の導電層の直下にONO(Oxide-Nitride-Oxide)膜、すなわち電荷保持能力を有した電荷蓄積膜を有している。これに対し、ワードゲート電極の直下には単層の誘電体膜が形成され、そのため、この部分は電荷保持能力を有しない。

サイドウォール形の導電層とワードゲート電極をマスクとして、隣接するサイドウォール形の導電層間に表出する基板箇所にはN型不純物を導入し、ソースまたはドレインとなるN<sup>+</sup>不純物領域を形成している。

#### 発明の開示

前記した論文には具体的な製造方法は開示されていないが、このツインMONOSセルは、以下に示す製造上および構造上の問題点がある。

このツインMONOSセルでは、ワードゲート電極を形成した後、その側面にサイドウォール形の導電層を形成する。そのため、その後、ワードゲート電極をワード線と接続する工程が必要である。

また、このツインMONOSセルにおけるワードゲート電極は、最初は、列方向に長い平行ライン状にパターンニングする必要がある。このとき、通常、ワードゲート電極材料を堆積した後、その上にレジストのパターンを形成し、このレジストをマスクとして異方性が強いエッチング方法、たとえばRIE(Reactive Ion Etching)によりワードゲート電極材料を加工する。レジストパターンの断面形状は側面が順テーパとなるのが普通であり、またエッチング時のレジストが多少なりとも後退するため、加工後のワードゲート電極の側面も順テーパとなる。また、レジストを用いないでエッチング時に後退しない材料を用いても、エッチング時の側壁付着物の影響等により、加工後のワードゲート電極の側面に多少なりとも順テーパが出来やすい。

このワードゲート電極は、その後、たとえばワード線をパターンニングする際

に同時に加工しセル間で分離する必要がある。ところが、このとき既にワードゲート電極の側壁に対し絶縁膜を介在させた状態で制御電極が形成されているため台形状の断面形状を有した穴を掘りながら、ワードゲート電極を選択的にエッチングにより除去しなければならない。したがって、このエッチング時に逆テーパ状の制御電極の側面の下部側がエッチングされ難く、この部分に制御電極に沿って導電性の残渣が生じやすい。導電性の残渣が生じると、ワード線間のショート不良となる。

また、サイドウォール形の導電層は、ワードゲート電極となるライン状の導電層の周囲を一周して環状に形成される。このままサイドウォール形の導電層を制御電極とすると、ソース側の制御電極とドレイン側の制御電極は電氣的に短絡した状態となる。したがって、ソース側の制御電極とドレイン側の制御電極とに異なる電圧を印加するには、両制御電極を分離しなければならない。この分離は他の工程、たとえばワード線加工時に一括して行うことができないため、たとえばワードゲート電極となるライン状の導電層の両端部側のみ開口したエッチングマスクを形成し、この開口部を通してサイドウォール形の導電層を覆う絶縁膜を除去してから導電層をエッチングにより切断する工程が必要となる。

さらに、ツインMONOSセルではサイドウォール形の導電層の直下にONO膜を形成しているため、チャンネル形成領域に接するONO膜は、サイドウォール形の導電層に沿って列方向に長く延びている。動作時に、チャンネルと交差するONO膜領域（以下、記憶部という）に電荷を注入して書き込みが行われ、また、この記憶部に対し、蓄積電荷を基板側に引き抜いたり逆導電型の電荷を注入することによって消去が行われる。この書き換え動作を何度も繰り返すうちに、記憶部の隣接領域に電荷が定常的に溜まりやすくなる。そして、この電荷によってチャンネルの外側にリークパスができやすくなる。蓄積された電荷を電子でチャンネル全面から引き抜いて消去する場合は、記憶部と同様に、その隣接領域も制御電極の支配下にあり、隣接領域に溜まった電子も同時に引き抜きかれるので余り問題

とならない。ところが、とくに蓄積された電荷を消去するため逆極性の電荷を記憶部に注入する場合に、チャンネルをオンする方向の極性をもった電荷、たとえばN型チャンネルの場合の正孔が記憶部の隣接領域に溜まるとリークパスが生じやすくなるため、これによるリーク特性の低下が問題となる。

本発明の第1の目的は、ワードゲート電極をワード線（第2制御電極）と一体として形成することを構造上可能にすることによって、ワードゲート電極とワード線を接続する工程を不要とすることにある。

本発明の第2の目的は、ワード線間を短絡するような導電性残渣の発生を防止し、また、同一セル内の2つの制御電極間を切断するための工程を構造上不要にすることにある。

本発明の第3の目的は、記憶部に対し制御電極に沿った方向の隣接領域あるいは記憶部間に不要な電荷が溜まることを防止し、リーク電流が発生しない構造とすることにある。

#### 図面の簡単な説明

図1Aは、実施形態に係るメモリセルの平面図である。図1Bは図1AのA-A線に沿った断面図である。

図2Aは実施形態に係るメモリセルにおいて、図1AのB-B線に沿った断面図である。図2Bは図1AのC-C線に沿った断面図である。

図3は、実施形態に係る不揮発性メモリにおいて、制御ゲートの電極引き出し用のパッドを含めて示すメモリセルアレイの平面図である。

図4は、実施形態に係る図1Aのメモリセルの主要部分を拡大して示す断面図である。

図5は、実施形態に係るメモリセルの製造において、犠牲層の成膜後の断面図である。

図6は、実施形態に係るメモリセルの製造において、犠牲層等にビット線のパ

ターンを開口した後の断面図である。

図7は、実施形態に係るメモリセルの製造において、ビット線形成後の断面図である。

図8は、実施形態に係るメモリセルの製造において、ビット線の表面を熱酸化した後の断面図である。

図9は、実施形態に係るメモリセルの製造において、電荷蓄積膜を形成した後の断面図である。

図10は、実施形態に係るメモリセルの製造において、制御ゲート形成後の断面図である。

図11は、実施形態に係るメモリセルの製造において、制御ゲートをマスクとした電荷蓄積膜の一部を除去後の断面図である。

図12Aは、実施形態の比較例に係るメモリセルの構造を示す概略断面図である。図12Bは実施形態の比較例に係る2つのメモリセルを中心としたメモリセルアレイの平面図である。

図13は、実施形態の比較例に係るメモリセルアレイと制御パッドの平面図である。

図14は、実施形態の制御ゲート形状の変形例を示す、図1AのA-A線に沿った断面図である。

図15は、変形例の制御ゲートを形成する第1の方法に関し、レジストパターンの形成後の断面図である。

図16は、変形例の制御ゲートを形成する第1の方法に関し、制御ゲートのエッチング後の断面図である。

図17は、変形例の制御ゲートを形成する第1の方法に関し、電荷蓄積膜のエッチング後の断面図である。

図18は、変形例の制御ゲートを形成する第2の方法に関し、レジストの埋込後の断面図である。

図19は、変形例の制御ゲートを形成する第2の方法に関し、酸化阻止膜の一部除去後の断面図である。

図20は、変形例の制御ゲートを形成する第2の方法に関し、誘電体膜の形成後の断面図である。

図21は、変形例の制御ゲートを形成する第2の方法に関し、残りの酸化阻止膜の除去後の断面図である。

図22は、変形例の制御ゲートを形成する第2の方法に関し、制御ゲートのエッチング後の断面図である。

### 発明を実施するための最良の形態

本発明の好適実施の形態を添付図面を参照して述べる。

#### 第1の実施の形態

上記第1および第2の目的を達成するために、本発明の第1の観点に係る不揮発性半導体記憶装置は、メモリセルを有し、当該メモリセルが、半導体からなるチャンネル形成領域と、積層された複数の誘電体膜からなり電荷保持能力を有した電荷蓄積膜と、上記チャンネル形成領域の両端部上に重なる上記電荷蓄積膜の領域からなる2つの記憶部と、上記記憶部間で上記チャンネル形成領域上に接した単層の誘電体膜と、互いに対向する面の主な領域が順テーパ状となるように上記記憶部の各々の上に1つずつ形成された2つの第1制御電極と、上記2つの第1制御電極間のスペースに各第1制御電極と絶縁された状態で埋め込まれ、かつ上記単層の誘電体膜上に接した第2制御電極とを有している。

また、上記メモリセルが、上記チャンネル形成領域と逆導電型の半導体からなりチャンネル形成領域を挟んで互いに離間する2つの不純物領域と、上記2つの不純物領域上に各々形成され、上記第1制御電極の、上記メモリセルの外側に面したそれぞれの面に近接した2つの補助層とをさらに有している。

上記補助層は、好適に、誘電体膜を介在させた状態で上記第1制御電極に近接



し、導電層もしくは、上記不純物領域と同じ導電型の不純物が導入された多結晶珪素または非晶質珪素の層からなる。あるいは、上記補助層は、上記第1制御電極に近接した誘電体層からなる。

複数のメモリセルを行列状に配置した構成において、行方向に隣接した2つのメモリセル間で共有された上記補助層を幅方向両側から挟む2つの上記第1制御電極は、その形状をサイドウォール形としてもよいし、補助層の上方で互いに接続された形状としてもよい。後者の形状の第1制御電極は、上記補助層の2つの側面と上面とを覆う導電層からなり、サイドウォール形と比べて配線抵抗が低い。

上記第3の目的を達成するために、本発明の第2の観点に係る不揮発性半導体記憶装置は、複数のメモリセルを有し、各メモリセルが、第1導電型半導体からなるチャンネル形成領域と、第2導電型半導体からなり上記チャンネル形成領域を挟んで互いに離間した第1および第2不純物領域と、上記第1および第2不純物領域の離間方向と直交する方向に長く配置されて複数のメモリセルで共有された制御電極と、上記制御電極の直ぐ下の層に形成された複数の誘電体膜からなり、上記チャンネル形成領域上に重なった部分に情報を記憶する電荷蓄積膜とを有し、上記第1および第2不純物領域の離間方向と直交する方向に隣接するメモリセルが誘電体分離層によって電氣的に分離され、上記誘電体分離層によって分離された上記隣接メモリセルの上記第1不純物領域同士および上記第2不純物領域同士が、それぞれ導電層により接続されている。

上記第1および第2の目的を達成するために、本発明の第3の観点に係る不揮発性半導体記憶装置の製造方法は、第1導電型半導体からなるチャンネル形成領域と、上記チャンネル形成領域を挟んで離間し第2導電型半導体からなる2つの不純物領域と、上記2つの不純物領域に近い上記チャンネル形成領域の両端部上に複数の誘電体膜からなる電荷蓄積膜を介在させた状態で形成された2つの第1制御電極と、上記第1制御電極間の上記チャンネル形成領域上に単層の誘電体膜を介在さ

せた状態で対面し、上記不純物領域の離間方向に長く配置された第2制御電極とを有した不揮発性半導体記憶装置の製造方法であって、上記製造方法が以下の諸工程、すなわち、上記不純物領域の離間方向と直交する方向に長いライン形状を有した補助層を上記不純物領域上または上記不純物領域が形成される半導体領域上に形成し、上記補助層の表面と上記チャネル形成領域の表面との上に上記電荷蓄積膜を形成し、上記電荷蓄積膜を介在させた状態で上記補助層に沿って上記第1制御電極を形成し、上記第1制御電極をマスクとしたエッチングにより電荷蓄積膜の一部を除去し、上記電荷蓄積膜の除去により露出した上記チャネル形成領域の表面と上記第1制御電極の表面とに単層の誘電体膜を形成し、上記単層の誘電体膜と上記補助層とに上記第2制御電極を形成する各工程を含む。

上記第3の目的を達成するために、前記した第3の観点に係る不揮発性半導体記憶装置の製造方法において、一方向に長い平行ライン状の誘電体分離層を第1導電型の半導体に形成し、不純物が導入された多結晶珪素または非晶質珪素からなる補助層を、上記誘電体分離層と直交する方向に長い平行ライン状に形成し、上記誘電体分離層の間で上記補助層の配置領域と重なる半導体箇所、第2導電型の上記不純物領域を形成する各工程をさらに含む。

本発明の第1の観点に係る不揮発性半導体記憶装置、および第3の観点に係る不揮発性半導体記憶装置の製造方法によれば、1メモリセルを構成する2つの第1制御電極の対向面の主な領域が順テーパ状となるため、第2制御電極を加工する際に、第2制御電極間をショートするような導電物質の残渣が発生しない。また、第2制御電極を加工するだけでワード線の形成が終了する。

本発明の第2の観点に係る不揮発性半導体記憶装置によれば、記憶部となる電荷蓄積膜部分に対し第1制御電極の長手方向両側に隣接した電荷蓄積膜の領域が、チャネル形成領域間の誘電体分離層上に乗り上げている。誘電体分離層の厚さをたとえば数十nm程度とするだけで、この隣接領域に電荷が蓄積された場合でも、その電荷の、誘電体分離層直下の半導体に対する影響が従来より格段に弱め

られる。

以下、本発明の実施の形態を、N型チャンネルのメモリセルを用い、メモリセルアレイ方式がVG (Vertual Ground)型の不揮発性メモリを例として、図面を参照しながら説明する。

図1Aはメモリセルの平面図であり、図1Bは図1AのA-A線に沿った断面図である。また、図2Aは図1AのB-B線に沿った断面図、図2Bは図1AのC-C線に沿った断面図である。

これらの図において、符号SUBは、P型の半導体基板、P型のウエルまたはSOI (Silicon On Insulator)層などP型の各種の半導体層を示している。便宜上、以下、基板SUBという。

基板SUB上に、図の横方向（行方向）に長い平行ストライプ状の誘電体分離層ISOが形成されている。誘電体分離層ISOは、LOCOS (Local Oxidation of Silicon)法、STI (Shallow Trench Isolation)法あるいはフィールドアイソレーション (Field Isolation) 法の何れかによって形成される。ここでは、フィールドアイソレーション法が採用され、数10nm程度の厚さの誘電体膜（誘電体分離層ISO）が基板SUB上に形成されている。この誘電体分離層ISO間の行方向に長いライン状の領域が、当該メモリセルの半導体活性領域である。

半導体活性領域内で、所定間隔をおいて、N型不純物が導入されたソース・ドレイン領域S/Dが形成されている。ソース・ドレイン領域S/D間の半導体活性領域がトランジスタのチャンネル形成領域CHである。

N型不純物が高濃度に導入された多結晶珪素からなるビット線BL1, BL2が、行方向と直交する図の縦方向（列方向）に長い平行ライン状のパターンにて形成されている。ビット線BL1, BL2は、誘電体分離層ISO上を横切りながら、列方向のメモリセルのソース・ドレイン領域S/D上に接触し、これらのメモリセルに共通のソース電圧またはドレイン電圧を供給する。ビット線BL1

、BL2を構成する多結晶珪素の厚さは、たとえば100nm～500nm程度である。この多結晶珪素の表面は、誘電体膜DF1により覆われている。

複数の誘電体膜からなる電荷蓄積膜CSFが、このビット線BL1、BL2の側面の誘電体膜DF1とチャンネル形成領域の端部上とに接した状態で形成されている。電荷蓄積膜CSFは断面L字形状を有し、その底部上にサイドウォール形状の第1制御電極（以下、制御ゲートという）CG1、CG2が形成されている。制御ゲートCG1、CG2は、電荷蓄積膜CSFとともにビット線BL1、BL2に沿って列方向に長く配置されている。制御ゲートCG1、CG2は、詳細は後述するが、たとえば、ビット線BL1、BL2の表面を誘電体膜DF1および電荷蓄積膜CSFで覆った状態で多結晶珪素の膜を堆積し、これをエッチバックすることにより形成される。制御ゲートCG1、CG2は、ビット線BL1、BL2の側面に誘電体膜を介在させた状態で支持されている。したがって、ビット線BL1、BL2は、制御ゲートCG1、CG2に対しては“補助層”として機能する。また、制御電極CG1、CG2とチャンネル形成領域CHとに挟まれた電荷蓄積膜部分、すなわち電荷蓄積膜CSFの底部が、電荷が注入蓄積されて情報の記憶が行われる“記憶部”となる。

制御ゲートCG1、CG2間の対向面の主な領域が順テーパとなっている。この対向面が順テーパとなっていることの利点は後述する。制御ゲートCG1、CG2の対向面上およびチャンネル形成領域CH上に、単層の誘電体膜DF2が形成されている。

この制御ゲート間の空間を埋める導電物質により、ワード線WLが形成されている。ワード線WLは、ビット線BL1、BL2上の誘電体膜DF1上を横切りながら半導体活性領域とほぼ同じパターンにて形成されている。また、ワード線WLの幅方向両側の側面に、導電物質からなるサイドウォールWL'が形成されている。

サイドウォールWL'を設けた理由は、次の通りである。

列方向のセルサイズを最小にするには、誘電体分離層 I S O のラインとスペース、ワード線 W L のラインとスペースを、ともにフォトリソグラフィの解像限界等で決まる最小線幅 F で形成することが望ましい。その場合、必然的に、誘電体分離層 I S O のスペース幅である半導体活性領域の幅は、ワード線 W L の幅とほぼ一致し、両者の間に合わせ余裕がとれなくなる。したがって、図 2 ( B ) に示す制御ゲート C G 1 , C G 2 間の対向スペースにおいて、半導体活性領域 ( チャネル形成領域 C H ) に対し、ワード線 W L が幅方向にずれると、チャネル形成領域 C H の一部でワード線 W L に重ならない領域ができてしまう。この領域はワード線 W L による電界の支配を受けないため、ソースとドレイン間のリークパスとなり、その結果、チャネルをオフ状態にすることができなくなる。とくに、ワード線が幅方向にずれることによって、記憶部端にホットエレクトロンが注入されない領域が出来る。ところがホットホール注入を用いて消去を行う場合、この記憶部端は制御ゲートの電界支配下にあるためホットホールが注入され、その直下の半導体部分のしきい値電圧のみが大きく低下し、そこを通してリーク電流が増大してしまう。

また、ワード線 W L の位置ずれによってチャネル幅が減少するという問題がある。ワード線幅の減少は読み出し電流の低下につながり、リーク電流の増大と相まって、読み出し信号の S / N 比の低下を加速するという不利益をともなう。

本実施形態では、ワード線 W L の側面に、ワード線 W L の幅を実質的に拡張するサイドウォール W L ' を設けることにより、ワード線 W L を最小線幅 F で形成しながらも上記したリークパスの形成およびチャネル幅の減少を防止することが可能となる。なお、この目的を達成するために、サイドウォール W L ' の幅はフォトリソグラフィの合わせ余裕と同じか、それ以上必要である。また、この目的を達成するためには、ワード線 W L を加工する際に、その下地の誘電体膜 D F 2 まで連続してエッチングしないことが重要となる。なぜなら、誘電体膜 D F 2 がチャネル形成領域 C H の表面を完全に覆っていないと、図 2 ( B ) においてワー

ド線WLが幅方向にずれた場合にサイドウォールWL'が直接チャンネル形成領域CHの表面に接触してしまうことから、このような事態を避けるためである。

このような構成のメモリセルにおいては、ワード線WLをゲートとする中央のワードトランジスタWTと、ワードトランジスタWTを挟んで両側に位置し制御ゲートCG1またはCG2をゲートとする2つのメモリトランジスタMTa, MTbとが直列接続されて形成されている。すなわち、動作時に、ワードトランジスタWTを、2つのメモリトランジスタMTa, MTbのチャンネルをソースとドレインとして機能させ、メモリトランジスタMTa, MTbを、ソース・ドレイン領域S/Dの何れか一方とワードトランジスタWTのチャンネルとをソースとドレインとして機能させる。

図3は、制御ゲートの電極引き出し用のパッドを含めて示すメモリセルアレイの平面図である。

この図示例は、ビット線両側の制御ゲートCG1同士、制御ゲートCG2同士、および制御ゲートCG3同士を同電位で制御する制御方法に対応する。本実施形態では、制御ゲートがビット線の周囲に形成されるサイドウォール形の導電層からなるため、1つのメモリセル内における2つの制御ゲート、すなわち制御ゲートCG1とCG2、あるいは制御ゲートCG2とCG3は、制御ゲート形成時に既に分離されている。したがって、1つのメモリセル内における2つの制御ゲートを切断する必要がない。

制御パッドCP1, CP2, CP3を形成するには、制御ゲート形成時に、制御ゲートとなる導電膜を堆積した後、制御パッドCP1, CP2, CP3を形成する領域に面積の大きな矩形パターンのエッチング保護層を形成し、その後、エッチバックを行う。エッチバック後にエッチング保護層を除去すると、その部分に制御パッドCP1, CP2, CP3が残される。図3は、環状の制御ゲートの短辺に接続するように制御パッドを形成した例である。

なお、行方向のメモリセル間でシリアルアクセスの自由度を高めるために、隣

接するセル間で制御ゲートに独立に異なる電圧を印加させたい場合は、ビット線両側の制御ゲートを切断する工程が必要となり、また、切断した制御ゲートに対し個々に制御パッドの形成が必要となる。

図4は、メモリセルの主要部分を拡大して示す断面図である。

この図4に示すように、電荷蓄積膜CSFは、たとえば3層の誘電体膜から構成される。最下層のボトム膜BTMおよび最上層のトップ膜TOPは、たとえば、二酸化珪素、酸化窒化珪素(silicon oxynitride)または電荷トラップが少ない窒化珪素などからなる。ボトム膜BTMは基板との間で電位障壁として機能し、トップ膜TOPは、蓄積電荷がゲート側に抜けたり不要な電荷がゲート側から電荷が入ることを防止する膜として機能する。中間の膜CSには電荷トラップが多く含まれ、主として電荷蓄積を担う膜として機能する。中間の膜CSは、電荷トラップを多く含む窒化珪素や酸化窒化珪素、あるいは金属酸化物からなる絶縁性物質(誘電体)などにより構成される。

書き込み時に、記憶部1に電荷注入を行う場合は、ビット線BL1に正のドレイン電圧、ビット線BL2に基準電圧を印加し、制御ゲートCG1、CG2に個別に最適化された正電圧を印加し、ワード線WLにチャンネルを形成する程度の正電圧を印加する。このとき、ビット線BL2に接続されたソース・ドレイン領域S/Dからチャンネルに供給された電子がチャンネル内を加速され、ビット線BL1に接続されたソース・ドレイン領域S/D側で高いエネルギーを得て、ボトム膜BTMの電位障壁を越えて記憶部1に注入され、蓄積される。

記憶部2に電荷を注入する場合は、制御ゲートCG1、CG2間の電圧を切り替え、かつビット線BL1、BL2間の電圧を切り替える。これにより、電子の供給側と電子がエネルギー的にホットになる側が上記の場合と反対となり、電子が記憶部2に注入される。

読み出し時には、読み出し対象のビットが書き込まれた記憶部側がソースとなるようにビット線BL1、BL2間に所定の読み出しドレイン電圧を印加する。

また、チャンネルをオンさせ得るがメモリトランジスタMTa, MTbのしきい値電圧を変化させない程度に低く、かつ、それぞれ最適化された正の電圧を、制御ゲートCG1, CG2とワード線WLに印加する。このとき、読み出し対象の記憶部の蓄積電荷量、あるいは電荷の有無の違いによってチャンネルの導電率が有効に変化し、その結果、記憶情報がドレイン側の電流量あるいは電位差に変換されて読み出される。

もう一方のビットを読み出す場合は、そのビットが書き込まれた記憶部側がソースとなるように、ビット線電圧を切り替え、また制御ゲート電圧を切り替えることにより、上記と同様に読み出しを行う。

消去時には、チャンネル形成領域CHとソース・ドレイン領域S/D側が高く、制御ゲート電極CG1および/またはCG2側が低くなるように、上記書き込み時とは逆方向の消去電圧を印加する。これにより、記憶部の一方または双方から蓄積電荷が基板SUB側に引き抜かれ、メモリトランジスタが消去状態に戻る。なお、他の消去方法としては、ソース・ドレイン領域S/D側または基板内部の図示しないPN接合付近で発生し蓄積電荷とは逆極性の高エネルギー電荷を、制御ゲートの電界により引き寄せることによって記憶部に注入する方法も採用可能である。

つぎに、メモリセルの製造方法を、図5から図11に示す断面図を参照しながら説明する。

まず、基板SUB上に、図1Aおよび図3に示すように、列方向に長い平行ストライプ状の誘電体分離層ISOを形成する。誘電体分離層ISO上および誘電体分離層ISO間の半導体活性領域上の全面に、図5に示すように、パッド層PAD, 酸化阻止層OSおよび犠牲層SFを順次形成する。酸化阻止層OSは酸化されにくい緻密な膜であり、たとえば50nm程度の窒化珪素の膜からなる。その下のパッド層PADは、酸化阻止層OSの基板SUBに対する密着性向上および応力緩和を目的として必要に応じて形成される薄い膜であり、たとえば5nm



～8 nm程度の二酸化珪素の膜からなる。犠牲層SFは、酸化阻止層OSに対してエッチング時の選択性が高い材料の膜、たとえば二酸化珪素膜からなり、その膜厚はビット線の高さに応じて決められる。

この積層膜PAD、OSおよびSFを、レジスト等をマスクにパターンニングし、列方向に長い平行ストライプ状の開口部を形成する。この開口部内に、その長手方向に沿って誘電体分離層ISOと半導体活性領域とが交互に並んで露出する。

N型不純物が高濃度にドーパされた多結晶珪素を厚く堆積し、これを表面から研磨またはエッチバックすることにより、犠牲層SF表面で分離する。これにより、図7に示すように、積層膜PAD、OSおよびSFの開口部に埋め込まれたビット線BL1、BL2が形成される。ビット線BL1、BL2により、開口部内の底面に表出していた半導体活性領域が電氣的に接続される。

犠牲層SFを選択的に除去した後、表出したビット線BL1、BL2の面を熱酸化して、たとえば数10 nm程度の誘電体膜DF1を形成する。誘電体膜DF1と酸化阻止層OSの膜厚を最適化することにより、酸化阻止層OSの端面側でも酸化が十分に進み、十分な厚さの誘電体膜DF1によりビット線BL1、BL2の表面を完全に覆うことができる。また、この加熱工程で、ビット線BL1、BL2を構成する多結晶珪素を固相拡散源としてN型不純物が半導体活性領域に拡散し、その結果、ソース・ドレイン領域S/Dが形成される。なお、この拡散のみではソース・ドレイン領域S/Dの深さおよび不純物濃度が不十分な場合は、追加の加熱をするか、あるいは、先の図6の工程で、開口部を通したイオン注入により必要な濃度の不純物を予め半導体活性領域に導入しておくといよい。

酸化阻止層OSおよびパッド層PADを順次除去し、表出したチャネル形成領域CHと誘電体膜DF1の表面とを含む全面に、電荷蓄積膜CSFを形成する。なお、電荷蓄積膜CSFが図4に示す3層構造でボトム膜BTMを熱酸化により形成する場合は、ボトム膜BTMはチャネル形成領域CH表面にのみ形成される

。不純物が十分にドーピングされた多結晶珪素を厚く堆積し、図3に例示し前述した制御パッドCP1, CP2, CP3...を形成するためのエッチング保護層を多結晶珪素上の必要な箇所に形成した後、多結晶珪素をエッチバックする。これにより、ビット線BL1, BL2の両側面に対し、誘電体膜DF1, CSFを介在させた状態でサイドウォール形状の制御ゲートCG1, CG2が形成される。また、同時に、制御ゲートCG1, CG2, CG3, ...に適直接続された制御パッドCP1, CP2, CP3...が形成される。このときの不純物が十分にドーピングされた多結晶珪素の厚さは、制御ゲート幅を決めるので厳密に制御される。

その後、エッチング保護層を除去する。

図1Bの構造とするために、まず、制御ゲートCG1, CG2をマスクとして電荷蓄積膜CSFをエッチングする。これにより、制御電極CG1, CG2間のチャネル形成領域CH上の電荷蓄積膜部分と、ビット線BL1, BL2の上方の電荷蓄積膜部分とが除去される。つぎに、熱酸化して、制御電極CG1, CG2表面と、制御ゲートCG1, CG2間に露出したチャネル形成領域CHの表面とに二酸化珪素膜を形成する。これにより、多結晶珪素または単結晶珪素の表面に単層の誘電体膜DF2が形成されるが、他の部分は誘電体膜であるため殆ど熱酸化されない。なお、ドーピング多結晶珪素の熱酸化膜厚は、単結晶珪素の熱酸化膜厚の2倍ほどとなるので中央のMOSトランジスタのゲート酸化膜厚が薄い場合でも配線間の絶縁性は十分確保される。

続いて、全面にワード線WLとなる導電材料を厚く堆積し、その上に行方向に長い平行ストライプ状のレジスト等のパターンを形成する。このパターンをマスクとしたRIE等の異方性が強いエッチングにより導電材料を加工して、ワード線WLを形成する。また、図2Bに示すワード線WLのサイドウォールWL'を形成する。以上により、メモリセルの基本構造が完成する。

つぎに、本実施形態に係るメモリセル構造の、従来技術を示す前記論文に記載

されたメモリセル構造に対する利点を説明する。なお、以下の説明では、上記論文に記載された断面構造において制御ゲートを2つのサイドウォールに分割した場合を比較例とするが、本発明の利点は制御ゲートを分割しない場合でも同じである。

図12Aは、上記論文に記載されたセルの断面構造において、さらに制御ゲートを2つに分割した場合の行方向に沿った断面図である。図12Bは2メモリセルを中心に描いた平面図、図13は制御パッドも含めたメモリセルアレイの平面図である。なお、これらの図において、本実施形態と共通する構成を指示する符号は、本実施形態で用いたものに統一している。

この比較例のメモリセルは、ワードトランジスタWTと、これを挟んで2つのメモリトランジスタMTa, MTbとが直列接続されている点を含む基本的なセル構成は本実施形態のメモリセルと共通している。

ただし、比較例のメモリセルは、ワード線WLに接続されるワードゲートWGを有し、その側面に電荷蓄積膜CSFを介在させた状態でサイドウォール状の制御ゲートCG1, CG2, CG3を形成している点と、列方向のセル間分離を行う誘電体分離層ISOを有していない点で、本実施形態のメモリセルと構造上、大きく異なる。制御ゲートCG1, CG2, CG3は列方向に長く形成する必要から、少なくとも、その形成時に補助層となるワードゲートWGも列方向に長い平行ストライプ状に形成する必要がある。しかし、その一方で、ワード線WL間を電氣的に分離するためには、ストライプ状のワードゲートWGを各セルごとの孤立パターンに分断する必要がある。以上の点は、セル構造上明らかである。

以下、比較例のセル構造から予想される製造方法を、順を追って簡潔に述べる。

まず、単層の誘電体膜DFとワードゲートWGとなる導電膜を基板SUB上に積層させ、これらをパターンニングして列方向に長い平行ストライプ状のパター

ンを形成する。このパターン表面および基板SUB表面を含む全面に、ONO膜からなる電荷蓄積膜CSFを形成する。この状態で、ワードゲートWGとなる導電層間を埋め込むように不純物がドーピングされた多結晶珪素を厚く堆積し、たとえば図13に示す制御パッドCP1, CP2, CP3, …の位置など必要な箇所にエッチング保護層を形成し、その状態で、多結晶珪素を異方性の強い条件でエッチバックする。その結果、ワードゲートWGとなる導電層の両側面に電荷蓄積膜CSFを介在させた状態で多結晶珪素からなるサイドウォールが、制御ゲートCG1, CG1, CG2, CG2, CG3, CG3, …として形成される。また、同時に制御パッドCP1, CP2, CP3, …が形成される。多結晶珪素からなるサイドウォール（ポリサイドウォール）の表面を熱酸化法により酸化した後、ポリサイドウォールおよびワードゲートWGとなる導電層をマスクとし、かつポリサイドウォール間の電荷蓄積膜CSFをスルー膜としたイオン注入により、ポリサイドウォール間の基板表面領域にN型不純物を導入しソース・ドレイン領域S/Dを形成する。その後、ポリサイドウォール間のスペースを二酸化珪素などの誘電体で埋め込んだ後、研磨またはエッチバックにより、その表面高さがほぼワードゲートWGとなる導電層の高さと等しくなるように誘電体の表面を平坦化する。この平坦化は、ワードゲートWGとなる導電層表面が露出するが、ポリサイドウォール表面は熱酸化膜の存在により露出しない程度で止める。続いて、平坦化面上にワード線WLとなる導電物質を堆積し、その上に行方向に長い平行ストライプ状のレジストを形成する。レジストをマスクとして導電体をエッチングしワード線WL間を分離する。また、連続してワード線WL間の下地に露出した導電層をエッチングにより分断する。これにより、ワードゲートWGがセルごとに孤立したパターンにて形成される。

この比較例の第1の問題は、最終工程で、ワードゲートWGとなる導電層をセルごとのパターンに分断する際に多結晶珪素の残渣が生じやすいことである。すなわち、前記したようにワードゲートWGとなる導電層の断面が台形状であるこ

とに起因して、これを分断する際には逆テーパ状の側面を有した穴を掘ることとなり、その結果、表面の開口部から見て影となる部分の最も奥まった箇所、すなわち図12Bに示すように側面の下辺に沿った部分に筋状に多結晶珪素が残りやすい。このような多結晶珪素の残渣は、ワードゲートWG間を電氣的にショートさせるため、このメモリセルアレイはワード線ショート不良となる。

本実施形態に係るセル構造においては、ワードゲートWGとなる導電層を有していないため、これを分断する必要がない。また、ワード線WLを分離する際にエッチング除去する箇所の下地にはサイドウォール形の制御ゲート形状を反映して順テーパの側面を有している。したがって、この部分に導電物質が残り難いという利点がある。

比較例の第2の問題点は、本実施形態のように誘電体分離層ISOを有していないため、書き換え動作を何度も繰り返すうちに記憶部に隣接した電荷蓄積膜CSFの領域に電荷が定常的に溜まりやすくなることである。とくに書き換え動作で注入だけが行われる電荷、たとえば消去のために注入される逆極性の電荷（正孔）は、注入だけされて意図的に引き抜かれることがないため、この領域に徐々に溜まりやすい。その結果、チャンネルの外側にリークパスができやすくなる。図12Bは、この電荷の残留領域とリークパスの方向を示す。

本実施形態では、図2(A)においてチャンネル形成領域CHに接した電荷蓄積膜CSFの部分が記憶部となるが、その記憶部の隣接領域は誘電体分離層ISO上に乗り上げている。したがって、この隣接領域に電荷が定常的に溜まることであっても、その電荷によってチャンネルが影響を受けず、リークパスが生じないという利点がある。なお、誘電体分離層をLOCOS法やSTI法により形成した場合は、基板表面領域が絶縁化されるため更にリーク電流が発生しにくい。

比較例の第3の問題点として、図13に示すように、制御ゲートがワードゲートWGとなる導電層の周囲を一周したに環状に形成されるため、この制御ゲートを、たとえば導電層の短辺側で2か所切断する必要がある。なぜなら、1メモリ

セル内の2つの制御ゲートCG1とCG2, CG2とCG3, …は、独立に異なる電圧を印加できないと効率良く2ビット記憶動作させることが困難だからである。

本実施形態のセル構造では、1メモリセル内の2つの制御ゲートCG1とCG2, CG2とCG3, …は、図3に示すように、形成時点で既に分離されている。したがって、本実施形態では、隣接する制御ゲートCG1とCG1, CG2とCG2, …を同電位で用いる限りは制御ゲートを切断するための工程は不要であるという利点がある。なお、VGセルアレイのシリアルアクセス動作の自由度を高めるために制御ゲートの全てを独立に制御させたい場合は、図3において制御ゲートCG1とCG1, CG2とCG2, …をそれぞれ切断する必要が生じ、制御ゲートの切断箇所が比較例と異なるだけで、切断する箇所の数は同じとなる。

その他、本実施形態では、補助層が導電物質（たとえば不純物をドーピングした多結晶珪素）からなり、ビット線を半導体内に埋め込まれた不純物領域のみで形成した比較例と比べビット線BL1, BL2, …の抵抗が低減されている。

また、本実施形態では、ワードトランジスタWTのチャンネル長を最小線幅Fより小さくすることができる。ワードトランジスタWTのソースとドレインはメモリトランジスタMTa, MTbのチャンネルであることから、ワードトランジスタWTのチャンネル長を微細化してもパンチスルーが問題となり難い。

本実施形態では、本発明の技術的思想の範囲内で種々の改変が可能である。

たとえば、制御ゲートを形成する対象となる補助層は、多結晶珪素に限らず非晶質珪素、その他の導電体から構成することもでき、また誘電体から構成することも可能である。その場合、誘電体分離層ISOの下にソース・ドレイン領域を埋め込んで形成するか、誘電体分離層ISOを記憶部の両側までとしソース・ドレイン領域S/D上で切断する必要がある。その結果、ソース・ドレイン領域S/Dが列方向に長いライン状に形成され、このソース・ドレイン領域S/Dをビ

ット線として用いる。

また、図8の工程において多結晶珪素の表面に熱酸化による誘電体膜DF1を形成せずに、図9の工程の電荷蓄積膜SCFの形成を行ってもよい。その場合、図11の工程において、電荷蓄積膜SCFのエッチングによりビット線BL1, BL2, …となる多結晶珪素の上面が露出するが、その後、制御ゲートCG1, CG2, …の表面を熱酸化する際に、このビット線となる多結晶珪素の上面にも熱酸化され二酸化珪素膜が形成されることから、ワード線との絶縁分離膜は十分になされる。この方法では、図5におけるパッド層PADおよび酸化阻止層OSの成膜工程と、その後の除去工程、および図8における熱酸化工程が不要であり、その分、工程が簡略化される利点がある。

さらに、制御ゲートCG1, CG2, …の形状は、導電体または誘電体からなる補助層（上記説明では、ビット線BL1, BL2, …）の側面に形成されたサイドウォール形状に限定されない。たとえば、図14に示すように、制御ゲートCG1, CG2, …を、ビット線BL1, BL2, …の側面および上面を覆う形状としてもよい。ただし、この形状は、ビット線を挟んで異なるセルに属する制御ゲートを電気的に同電位で用いる用途に限定される。

また、この構成では、必然的に、電荷蓄積膜CSFも、ビット線BL1, BL2, …の側面および上面を覆う形状となっている。先に説明した図11の電荷蓄積膜CSFの分離工程において、ビット線上の電荷蓄積膜部分は、制御ゲートCG1, CG2, …により保護されるからである。

以下、この制御ゲートCG1, CG2, …の形成方法を2例、図面を参照しながら説明する。

第1の方法を、図15～図17に示す。この製造方法は、先に説明し図10に示すサイドウォール形の制御ゲートの形成工程を、図15と図16に示す工程で置き換えることで実施できる。

図5～図9と同じ工程を経て、ビット線BL1, BL2、ソース・ドレイン領

域S/D、誘電体DF 1および電荷蓄積膜CSFの形成を行った後、図15に示すように、全面に、たとえば多結晶珪素または非晶質珪素などからなる導電膜CGFを形成する。また、ビット線BL 1, BL 2上に位置する導電膜CGF部分の上に、フォトリソグラフィによりレジストパターンR 1を形成する。

このレジストパターンR 1をマスクとしたエッチングにより、導電膜CGFをパターンニングする。これにより、図16に示すように、チャンネル形成領域の中央部の上方で分離した制御ゲートCG 1, CG 2が形成される。

このときのエッチングは、異方性が適度に強く、レジストパターンR 1がやや後退する条件が望ましい。エッチング中にレジストパターンR 1が膜減りすることとともに、レジストパターンR 1のエッジが後退し、その結果、制御ゲートCG 1, CG 2の側面の主な領域が順テーパとなるからである。なお、エッジの後退を容易化するために、たとえば比較的高温のポストベークなどによって、レジストパターンR 1のエッジを予めラウンドさせておいてもよい。

図17に示すように、この制御ゲートCG 1, CG 2をマスクとしたエッチングを行い、電荷蓄積膜CSFを分離する。また、図14の構造とするために、前記したと同様な方法によって、誘電体膜DF 2およびワード線WLを形成し、当該メモリセルの基本構造を完成させる。

第2の方法は、導電膜CGFの加工時のマスク層を下地形状に対し自己整合的に形成する方法である。第2の方法を、図18～図22に示す。この製造方法は、先に説明し図10に示すサイドウォール形の制御ゲートの形成工程を、図18～図22に示す工程で置き換えることで実施できる。

図5～図9と同じ工程を経て、ビット線BL 1, BL 2、ソース・ドレイン領域S/D、誘電体DF 1および電荷蓄積膜CSFの形成を行った後、図18に示すように、全面に、たとえば多結晶珪素または非晶質珪素などからなる導電膜CGFを形成する。続いて、たとえば窒化珪素などからなる酸化阻止膜OSFを導電膜CGF表面に薄く形成する。また、レジストを塗布しベーキング後にエッチ



バックして、表面の凹部をレジストR2により埋め込む。

この状態でレジストR2をマスクとしたエッチングにより、図19に示すように、ビット線BL1、BL2の上方に位置する酸化阻止膜OSFの一部を除去する。

レジストR2を除去後、酸化阻止膜OSFの周囲に露出した導電膜CGFを選択的に熱酸化して、図20に示すように、ビット線BL1、BL2の上方に誘電体膜DF2を形成する。

図21に示すように、酸化阻止膜OSFを除去する。

誘電体膜DF2をマスクとしたエッチングにより、導電膜CGFをパターンニングする。これにより、図22に示すように、チャンネル形成領域の中央部の上方で分離した制御ゲートCG1、CG2が形成される。

このときのエッチングは、異方性が適度に強く、誘電体膜DF2がやや後退する条件が望ましい。誘電体膜DF2は、酸化阻止膜OSFをマスクとした選択酸化により形成することから、いわゆるLOCOSのパーズビークと同様に、そのエッジ部分において先端ほど膜厚が薄くなっている。したがって、制御ゲートのエッチング中に誘電体膜DF2が膜減りすると、それにもなって誘電体膜DF2のエッジが後退し、その結果、制御ゲートCG1、CG2の側面の主な領域が順テーパとなる。

その後、この制御ゲートCG1、CG2をマスクとしたエッチングを行い、電荷蓄積膜CHSを分離する。また、図14の構造とするために、前記したと同様な方法によって、制御ゲートCG1、CG2の側面に誘電体膜DF2を形成し、ワード線WLを形成し、当該メモリセルの基本構造を完成させる。

#### 産業上の利用可能性

本発明に係る不揮発性半導体記憶装置およびその製造方法によれば、従来例のようにワードゲート電極とワード線を接続する工程が不要であり、また第2制御

電極を加工する際に、第2制御電極間をショートするような導電物質の残渣が発生しない。

第1制御電極に沿った方向で記憶部より外側の近接領域に制御できない電荷が定常的に溜まる場合でも、誘電体分離層の存在により、その電荷のチャンネルへの影響が格段に弱められ、その結果、書き換え動作を繰り返してもリーク特性が劣化しない。

1メモリセル内の2つの第1制御電極を形成する時点で既に両者が分離されており、これを独立に制御するために分離する工程が不要である。

補助層が導電物質からなる場合、ビット線を半導体内に埋め込まれた不純物領域のみで構成した場合に比べビット線の抵抗が格段に低減された。また、第1制御電極を補助層の側面と上面を覆う形状とした場合、第1制御電極の抵抗がサイドウォール形に比べ低減された。

さらに、第2制御電極のラインとスペースの幅をリソグラフィの最小限界値で形成しても、第2制御電極の合わせずれによりリーク電流が増大したりチャンネル幅が減少することがなく、その結果、読み出し信号のS/N比が低下しない。

## 請求の範囲

1. メモリセルを有し、  
当該メモリセルが、半導体からなるチャンネル形成領域と、  
積層された複数の誘電体膜からなり電荷保持能力を有した電荷蓄積膜と  
、  
上記チャンネル形成領域の両端部上に重なる上記電荷蓄積膜の領域からなる2つの記憶部と、  
上記記憶部間で上記チャンネル形成領域上に接した単層の誘電体膜と、  
互いに対向する面の主な領域が順テーパ状となるように上記記憶部の各々の上に1つずつ形成された2つの第1制御電極と、  
上記2つの第1制御電極間のスペースに各第1制御電極と絶縁された状態で埋め込まれ、かつ上記単層の誘電体膜上に接した第2制御電極と  
を有した不揮発性半導体記憶装置。
2. 上記メモリセルが、上記チャンネル形成領域と逆導電型の半導体からなりチャンネル形成領域を挟んで互いに離間する2つの不純物領域と、  
上記2つの不純物領域上に各々形成され、上記第1制御電極の、上記メモリセルの外側に面したそれぞれの面に近接した2つの補助層と  
をさらに有した請求項1記載の不揮発性半導体記憶装置。
3. 上記補助層は、誘電体膜を介在させた状態で上記第1制御電極の外側面に近接した導電層からなる  
請求項2記載の不揮発性半導体記憶装置。
4. 上記導電層は、上記不純物領域と同じ導電型の不純物が導入された多結晶珪素または非晶質珪素の層からなる  
請求項3記載の不揮発性半導体記憶装置。
5. 上記補助層は、上記第1制御電極の外側面に近接した誘電体層からなる

請求項 2 記載の不揮発性半導体記憶装置。

6. 上記チャネル形成領域、上記 2 つの記憶部、上記第 1 および第 2 制御電極、上記 2 つの補助層および上記 2 つの不純物領域を有したメモリセルが行列状に複数配置されてメモリセルアレイが構成され、

上記 2 つの補助層のそれぞれが、列方向に長く配置されて複数のメモリセルで共有され、かつ行方向に隣接した 2 つのメモリセルで共有され、

上記 2 つの第 1 制御電極が、上記 2 つの補助層に沿って配置されて複数のメモリセルで共有され、

上記第 2 制御電極が、行方向に長く配置されて複数のメモリセルで共有された

請求項 2 記載の不揮発性半導体記憶装置。

7. 行方向に隣接した 2 つのメモリセルで共有された上記補助層を幅方向両側から挟む 2 つの上記第 1 制御電極が電氣的に導通している

請求項 6 記載の不揮発性半導体記憶装置。

8. 上記第 1 制御電極が、上記補助層の幅方向両側に形成されたサイドウォール形状の導電層からなり、

上記サイドウォール形状を有した 2 つの第 1 制御電極が、上記メモリセルアレイの外側で互いに接続された

請求項 7 記載の不揮発性半導体記憶装置。

9. 上記第 1 制御電極は、上記補助層の 2 つの側面と上面とを覆う導電層からなる 請求項 7 記載の不揮発性半導体記憶装置。

10. 列方向に隣接したメモリセル間で上記チャネル形成領域を電氣的に分離する誘電体分離層が、少なくとも上記第 2 制御電極間の上記半導体の表面領域に形成された

請求項 6 記載の不揮発性半導体記憶装置。

- 1 1. 上記第 2 制御電極は、その幅方向両側にサイドウォールを有し、  
当該サイドウォールのそれぞれが上記誘電体分離層の縁部上に重なった  
  
請求項 1 0 記載の不揮発性半導体記憶装置。
- 1 2. 複数のメモリセルを有し、  
各メモリセルが、  
第 1 導電型半導体からなるチャンネル形成領域と、  
第 2 導電型半導体からなり上記チャンネル形成領域を挟んで互いに離間し  
た第 1 および第 2 不純物領域と、  
上記第 1 および第 2 不純物領域の離間方向と直交する方向に長く配置さ  
れて複数のメモリセルで共有された制御電極と、  
上記制御電極の直ぐ下の層に形成された複数の誘電体膜からなり、上記  
チャンネル形成領域上に重なった部分に情報を記憶する電荷蓄積膜とを有し、  
上記第 1 および第 2 不純物領域の離間方向と直交する方向に隣接するメ  
モリセルが誘電体分離層によって電氣的に分離され、  
上記誘電体分離層によって分離された上記隣接メモリセルの上記第 1 不  
純物領域同士および上記第 2 不純物領域同士が、それぞれ導電層により接続され  
た  
  
不揮発性半導体記憶装置。
- 1 3. 第 1 導電型半導体からなるチャンネル形成領域と、上記チャンネル形成領域  
を挟んで離間し第 2 導電型半導体からなる 2 つの不純物領域と、上記 2 つの不純  
物領域に近い上記チャンネル形成領域の両端部上に複数の誘電体膜からなる電荷蓄  
積膜を介在させた状態で形成された 2 つの第 1 制御電極と、第 1 制御電極間の上  
記チャンネル形成領域上に単層の誘電体膜を介在させた状態で対面し、上記不純物  
領域の離間方向に長く配置された第 2 制御電極とを有した不揮発性半導体記憶装  
置の製造方法であって、

上記製造方法が以下の諸工程、すなわち、

上記不純物領域の離間方向と直交する方向に長いライン形状を有した補助層を上記不純物領域上または上記不純物領域が形成される半導体領域上に形成し、

上記補助層の表面と上記チャネル形成領域の表面との上に上記電荷蓄積膜を形成し、

上記電荷蓄積膜を介在させた状態で上記補助層に沿って上記第1制御電極を形成し、

上記第1制御電極をマスクとしたエッチングにより電荷蓄積膜の一部を除去し、

上記電荷蓄積膜の除去により露出した上記チャネル形成領域の表面と上記第1制御電極の表面とに単層の誘電体膜を形成し、

上記単層の誘電体膜と上記補助層との上に上記第2制御電極を形成する

各工程を含む不揮発性半導体記憶装置の製造方法。

14. 上記補助層は、誘電体層からなる

請求項13記載の不揮発性半導体記憶装置の製造方法。

15. 上記補助層は、導電層からなる

請求項13記載の不揮発性半導体記憶装置の製造方法。

16. 上記補助層は、第2導電型不純物が導入された多結晶珪素または非晶質珪素からなる

請求項15記載の不揮発性半導体記憶装置の製造方法。

17. 上記補助層を拡散源とした固相拡散により上記第2導電型の不純物領域を形成する工程をさらに含む

請求項16記載の不揮発性半導体記憶装置の製造方法。

18. 上記第2制御電極と上記補助層との間を絶縁するために、上記補助層を

なす多結晶珪素または非晶質珪素の表面を選択的に熱酸化する工程をさらに含む

請求項 16 記載の不揮発性半導体記憶装置の製造方法。

19. 上記補助層の形成工程が以下の諸工程、すなわち、

パッド酸化膜、窒化膜および犠牲層をこの順で積層して積層膜を形成し

、  
上記積層膜の一部をエッチングにより除去し、

第2導電型不純物が導入された多結晶珪素または非晶質珪素を上記積層膜の除去した部分に埋め込んで上記補助層を形成し、

上記犠牲層を除去し、

上記窒化膜を酸化阻止膜として上記多結晶珪素または非晶質珪素の表面を熱酸化する

各工程を含む請求項 18 記載の不揮発性半導体記憶装置の製造方法。

20. 上記多結晶珪素または非晶質珪素の表面を熱酸化する際に、上記多結晶珪素または非晶質珪素を拡散源とした固相拡散により第2導電型の上記不純物領域を形成する

請求項 19 記載の不揮発性半導体記憶装置の製造方法。

21. 上記補助層の形成工程が以下の諸工程、すなわち、

上記補助層のパターンにて上記積層膜に開口部を形成し、

上記開口部を通して第2導電型不純物を導入して、上記開口部底面に露出する半導体領域に第2導電型の上記不純物領域を形成し、

不純物が導入された多結晶珪素または非晶質珪素を上記開口部内に埋め

込む

各工程をさらに含む請求項 19 記載の不揮発性半導体記憶装置の製造方法。

22. 上記第1制御電極の形成工程では、導電膜を堆積しエッチバックするこ

とにより上記補助層の幅方向両側にサイドウォール形状の第1制御電極を形成する

請求項13記載の不揮発性半導体記憶装置の製造方法。

23. 上記第1制御電極の形成工程が、

導電膜を堆積し、

上記補助層の上方に位置する導電膜上にエッチング保護層を形成し、

補助層の上方部分をエッチング保護層により保護しながら上記導電膜をエッチングし、上記チャネル形成領域の中央部の上方に位置する部分で上記導電膜を分離する

各工程をさらに含む請求項13記載の不揮発性半導体記憶装置の製造方法。

24. 上記エッチング保護層の形成工程が、

上記補助層の形状を反映してできた上記導電膜の凹部の内壁に酸化阻止膜を形成し、

酸化阻止膜に覆われていない上記補助層の上方に位置する導電膜部分の表面を熱酸化して上記エッチング保護層を形成し、

上記酸化阻止膜を除去する

各工程をさらに含む請求項23記載の不揮発性半導体記憶装置の製造方法。

25. 一方向に長い平行ライン状の誘電体分離層を第1導電型の半導体に形成し、不純物が導入された多結晶珪素または非晶質珪素からなる補助層を、上記誘電体分離層と直交する方向に長い平行ライン状に形成し、

上記誘電体分離層の間で上記補助層の配置領域と重なる半導体箇所、第2導電型の上記不純物領域を形成する

各工程をさらに含む請求項13記載の不揮発性半導体記憶装置の製造方法。



26. 上記第1制御電極を形成する工程が以下の諸工程、すなわち、  
上記第1制御電極となる導電膜を堆積し、  
上記第1制御電極の引き出し領域となる導電膜部分の上にエッチング保護層を形成し、  
上記導電膜をエッチバックする  
各工程を含む請求項13記載の不揮発性半導体記憶装置の製造方法。

FIG.1A

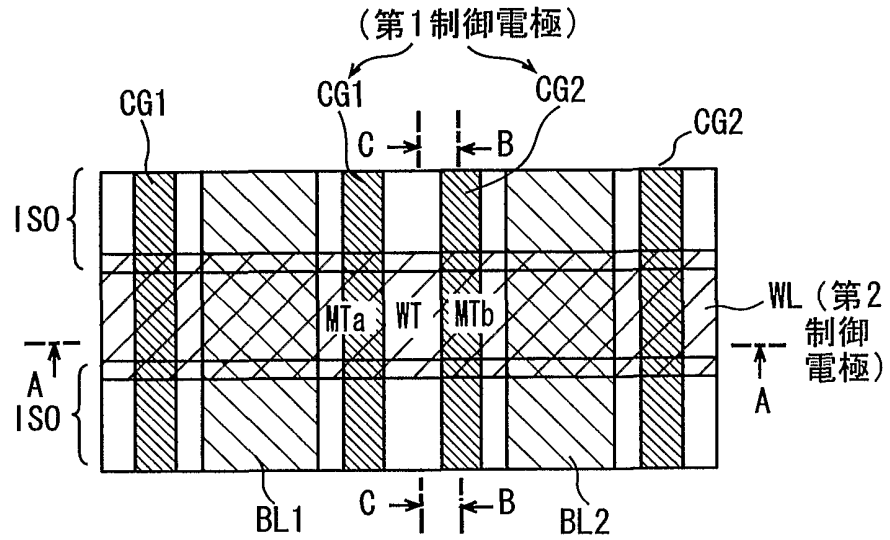


FIG.1B

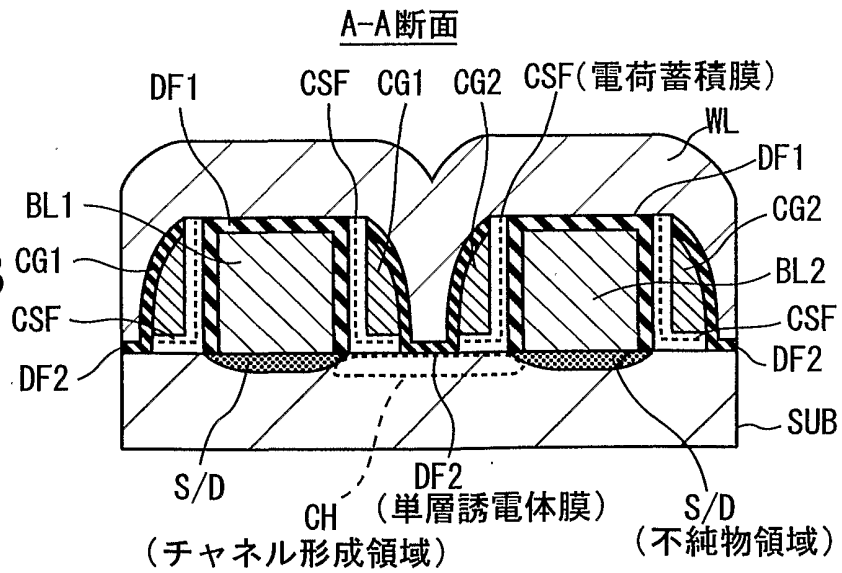


FIG.2A

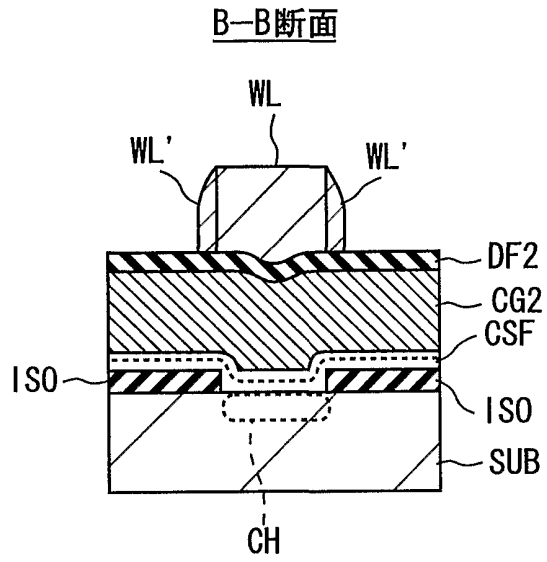


FIG.2B

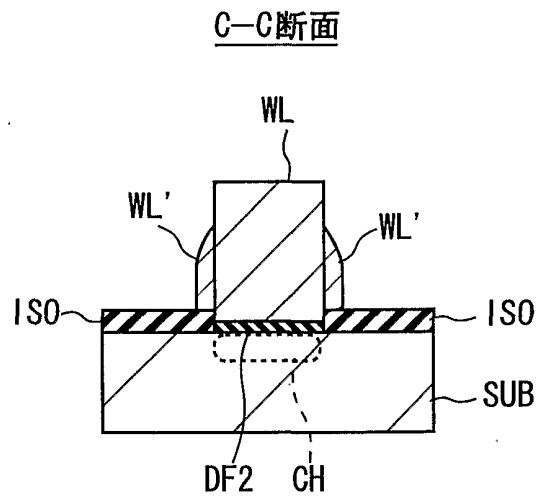




FIG.4

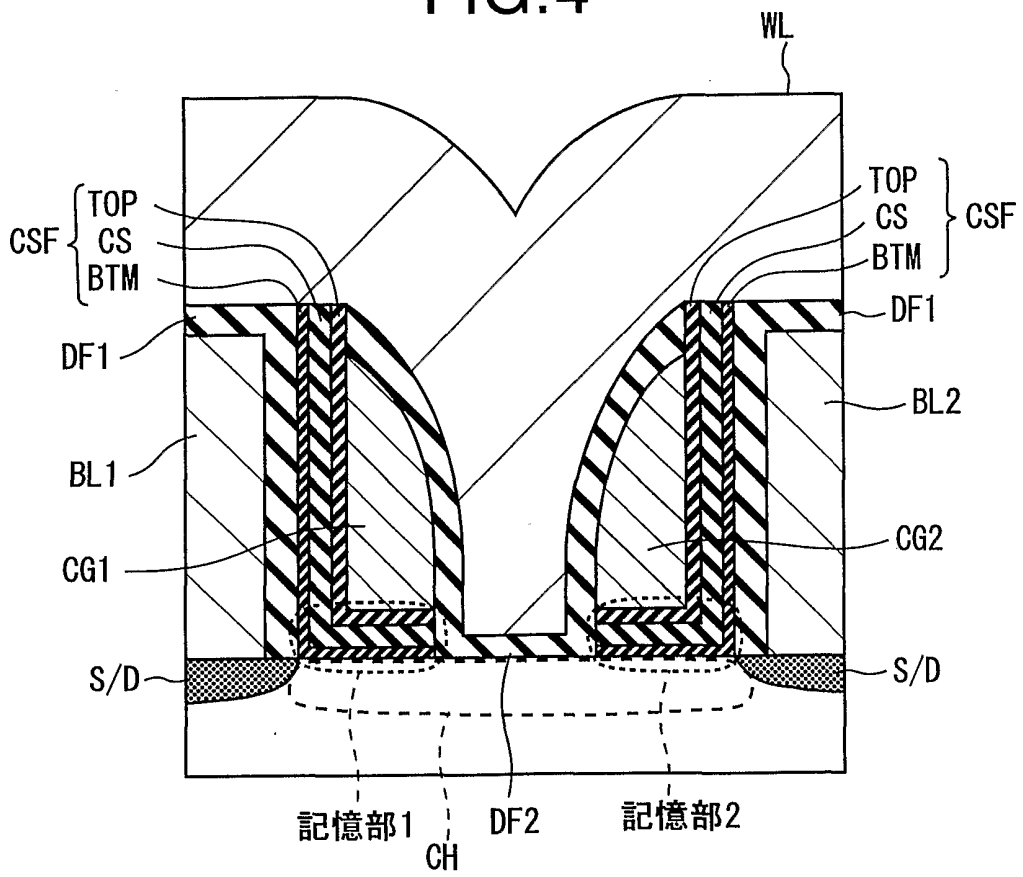


FIG.5

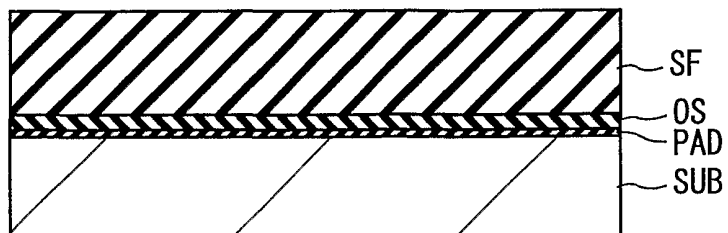


FIG.6

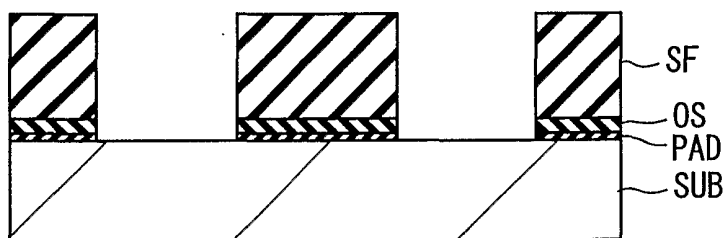


FIG.7

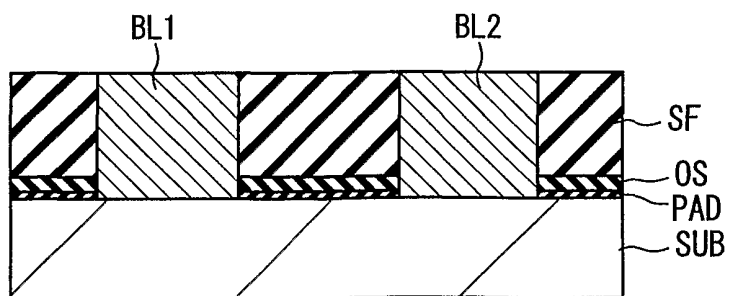


FIG.8

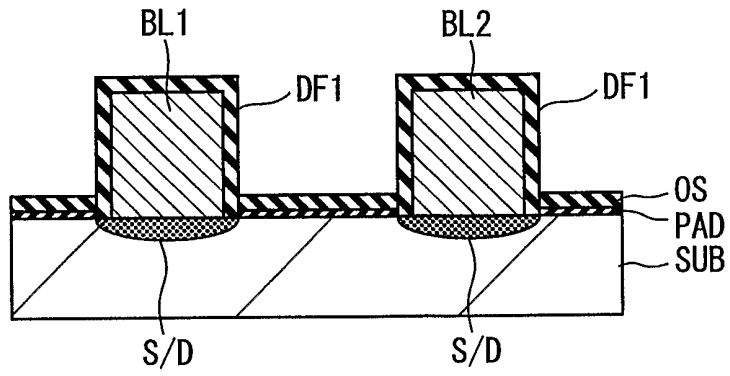


FIG.9

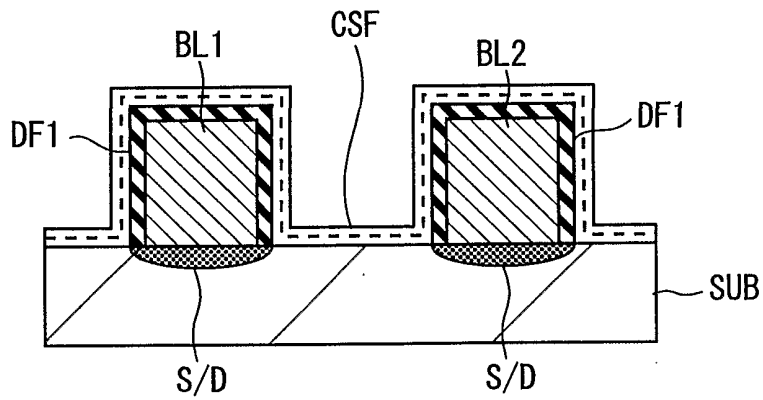


FIG.10

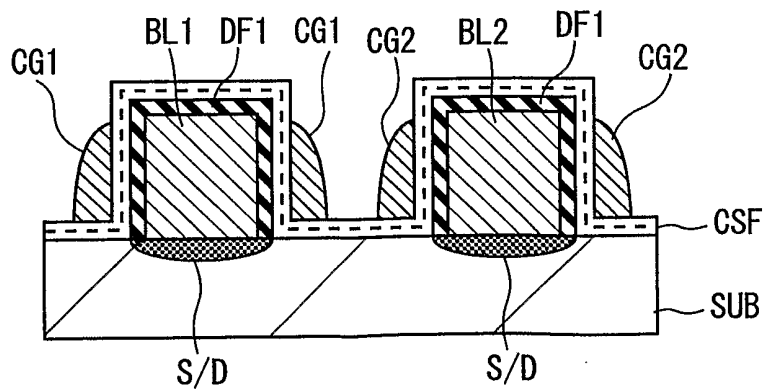


FIG.11

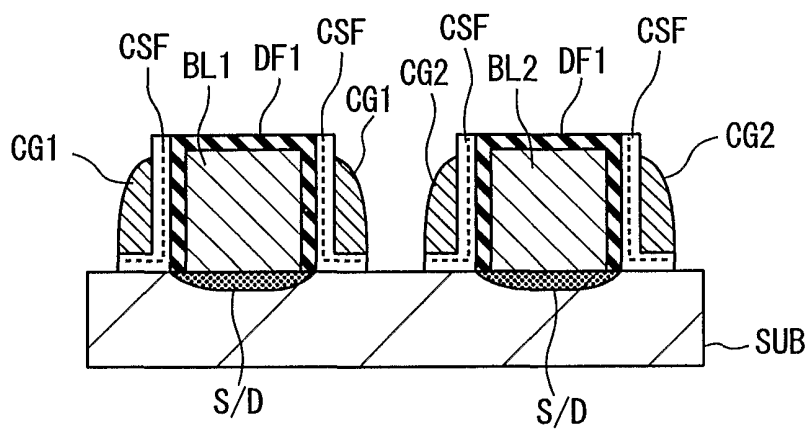




FIG.12A

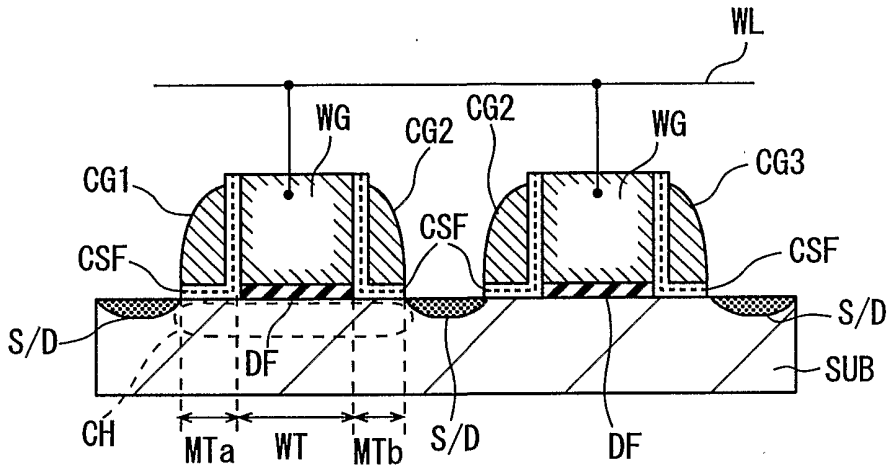


FIG.12B

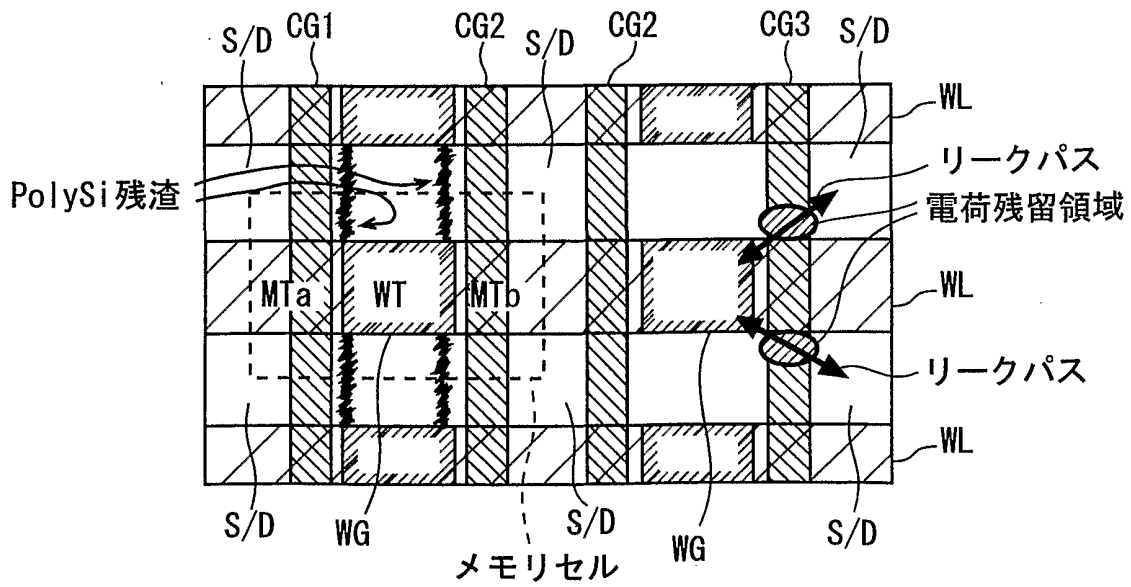


FIG.13

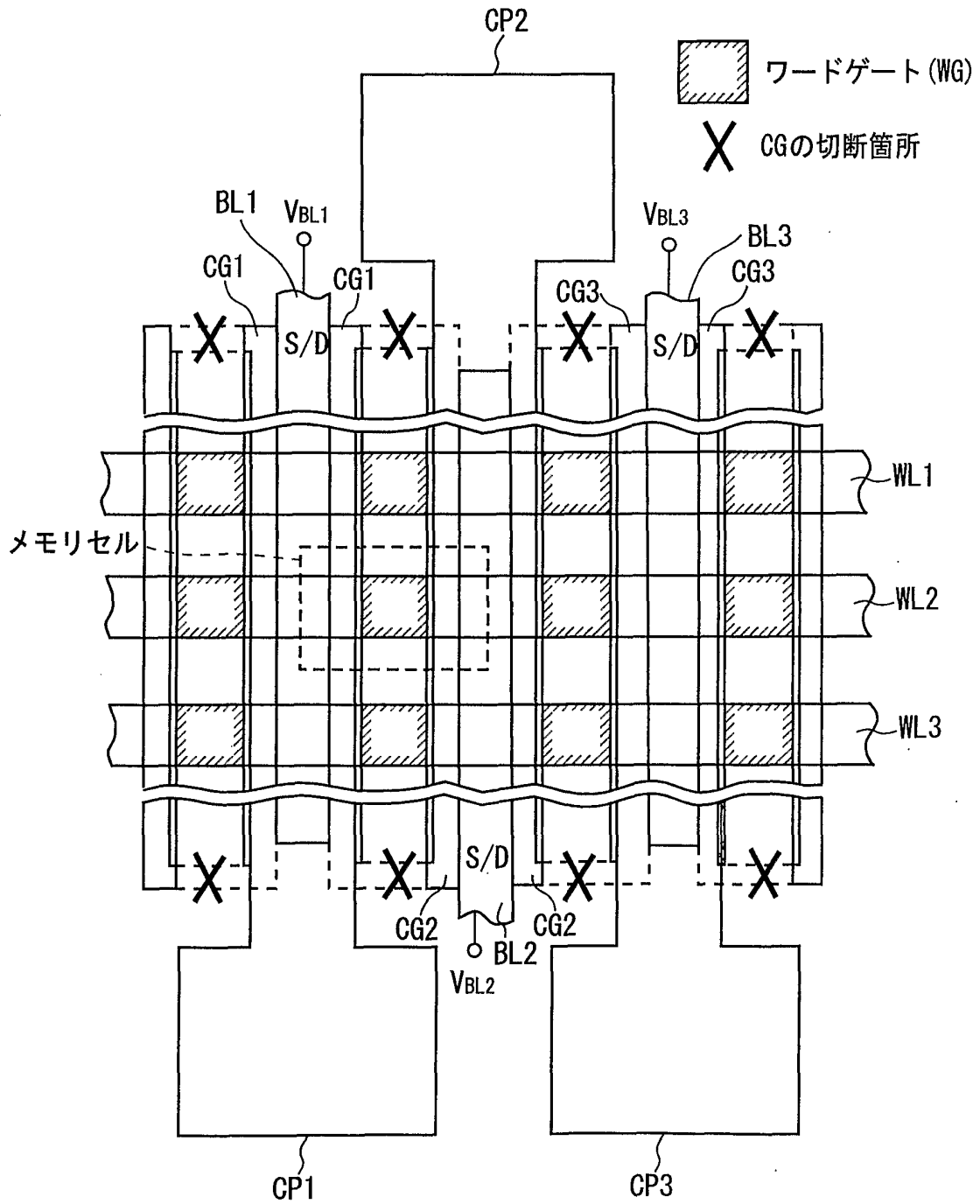


FIG.14

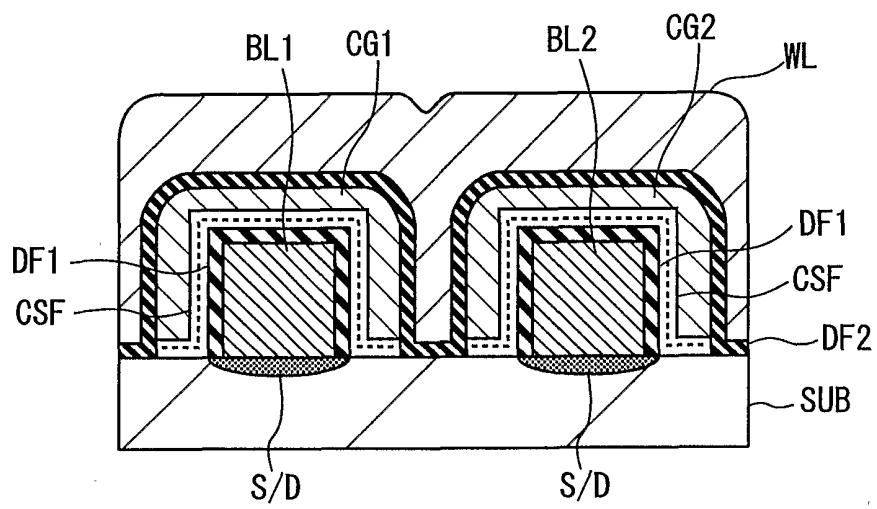


FIG.15

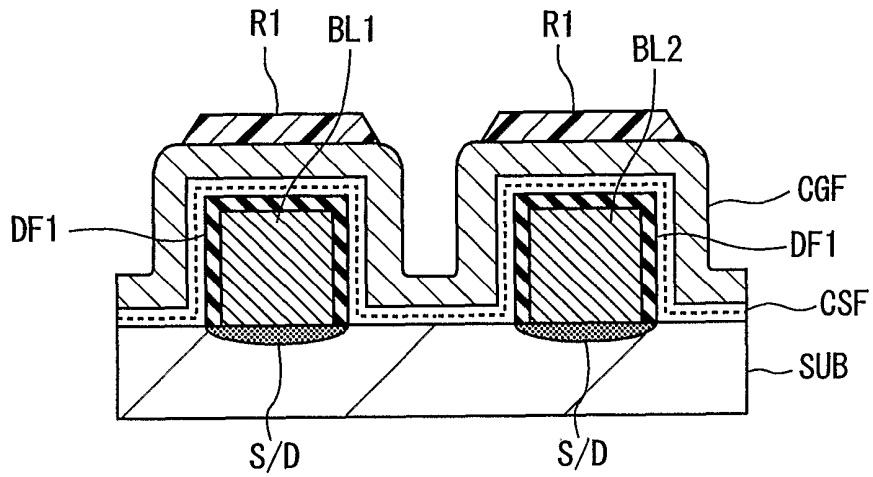


FIG.16

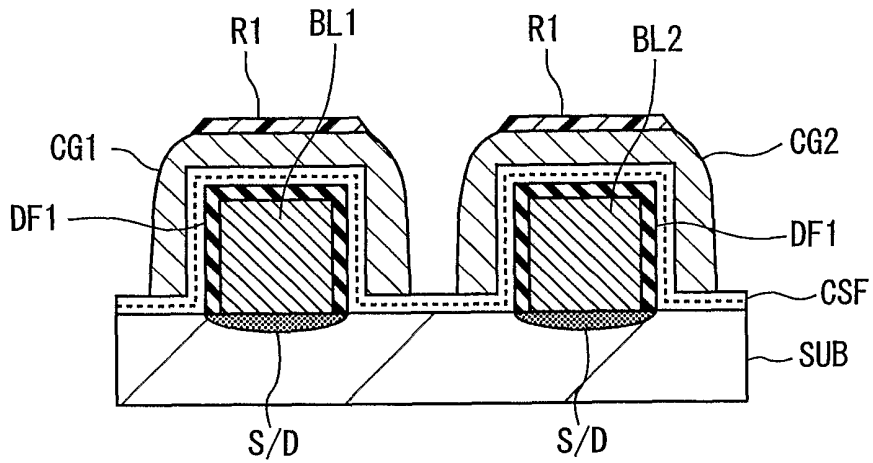


FIG.17

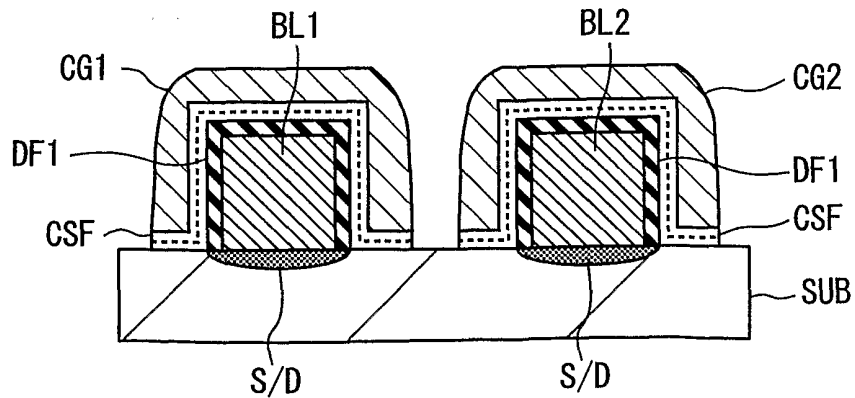


FIG.18

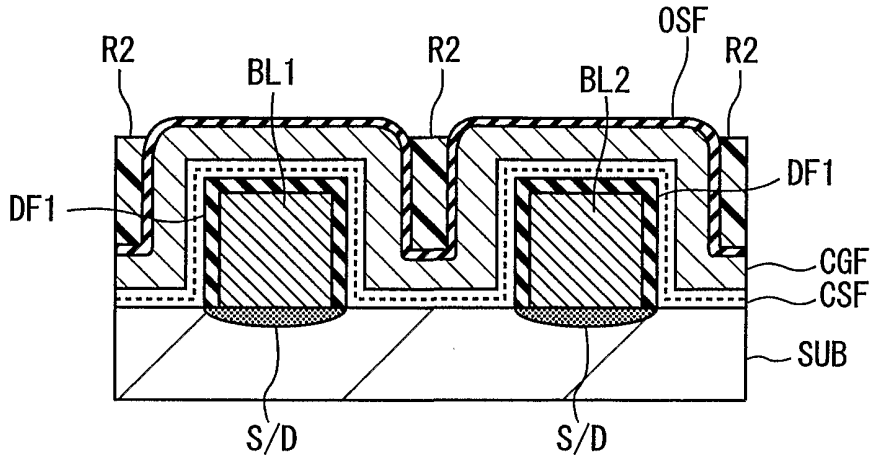


FIG.19

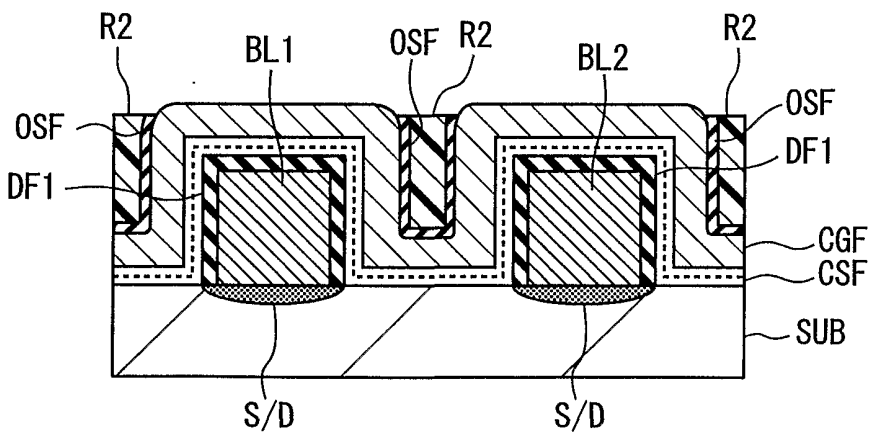


FIG.20

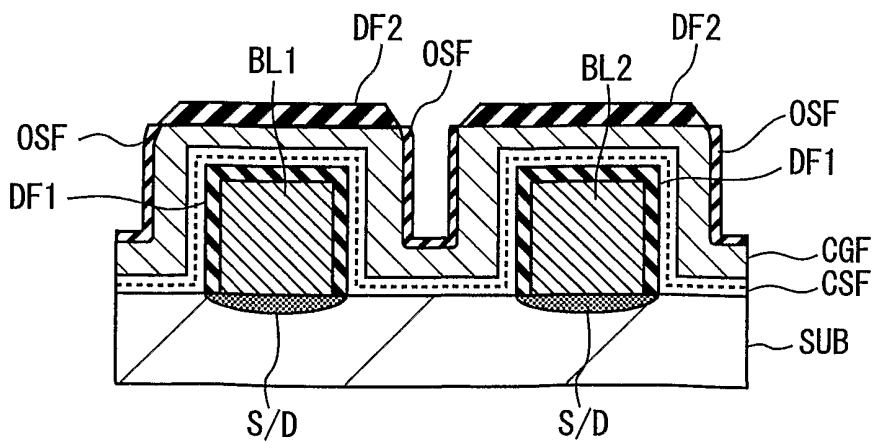


FIG.21

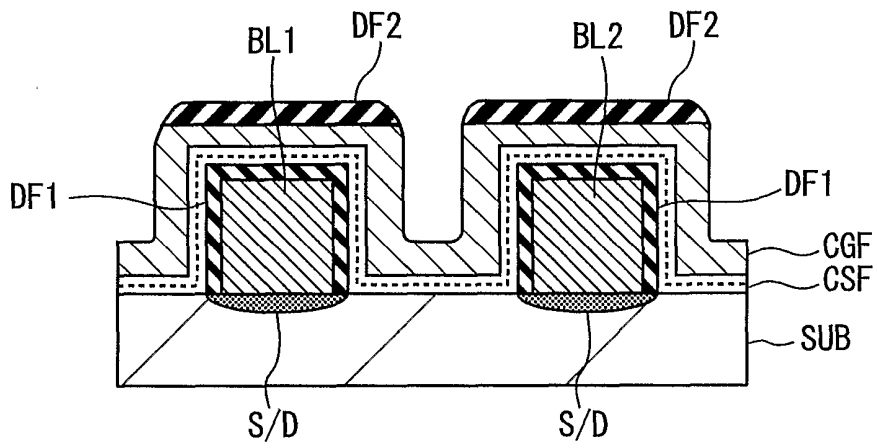
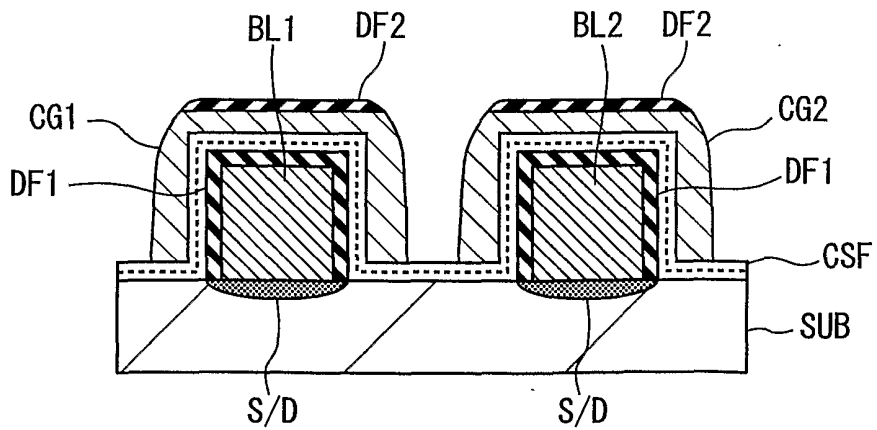


FIG.22



## 符号の説明

MT a, MT b…メモリトランジスタ  
WT…ワードトランジスタ  
WL, WL 1, WL 2, WL 3…ワード線 (第 2 制御電極)  
WL' …サイドウォール  
BL 1, BL 2, BL 3…ビット線  
CG 1, CG 2 1, CG 3…制御ゲート (第 1 制御電極)  
ISO…誘電体分離層  
SUB…基板 (半導体)  
S/D…ソース・ドレイン領域 (不純物領域)  
CH…チャネル形成領域  
DF 1…誘電体膜  
DF 2…単層の誘電体膜  
CSF…電荷蓄積膜  
CP 1, CP 2, CP 3…制御パッド (第 1 制御電極の引き出し領域)  
BTM…ボトム膜  
CS…中間の電荷蓄積膜  
TOP…トップ膜  
PAD…パッド層  
OS…酸化阻止層  
SF…犠牲層  
WG…ワードゲート  
OSF…酸化阻止膜  
R 1, R 2…レジスト

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09390

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl.<sup>7</sup> H01L 29/792 H01L 27/115 H01L 21/8247

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> H01L 29/792  
 H01L 27/112-27/115  
 H01L 21/8246-21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002  
 Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEEExplore  
 ISI Web of SCIENCE

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5654568 A (Rohm Co. Ltd.), 05 August, 1997 (05.08.1997), Column 6, line 43 to Column 7, line 4; Column 9, line 13 to Column 10, line 21; Figs. 3 to 6	12
A	JP 5-190863 A, 30 July, 1993 (30.07.1993), Par. Nos. [0025] to [0027], [0042] to [0049]; Figs. 1 to 3	1-11
A		13-26
PX	JP 2001-156188 A (Toshiba Corporation), 08 June, 2001 (08.06.2001), Par. Nos. [0017]-[0027]; Figs. 1-9 (Family: none)	1-5, 12
A	JP 62-291970 A (Sony Corporation), 18 December, 1987 (18.12.1987), page 3, upper right column, line 9 to page 4, lower left column, line 16; Fig. 1 (Family: none)	1-26
A	Hayashi, Y. et al. Twin MONOS Cell with Dual Control Gates, 2000 Symposium on VLSI Technology Digest of Technical Papers, June 2000, pp.122-123.	1-26

Further documents are listed in the continuation of Box C.       See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&amp;" document member of the same patent family</p>
--	---

Date of the actual completion of the international search  
 18 January, 2002 (18.01.02)

Date of mailing of the international search report  
 29 January, 2002 (29.01.02)

Name and mailing address of the ISA/  
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int. Cl<sup>7</sup> H01L 29/792 H01L 27/115 H01L 21/8247

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L 29/792  
 H01L 27/112-27/115  
 H01L 21/8246-21/8247

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2002年  
 日本国登録実用新案公報 1994-2002年  
 日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

IEEE explore  
 ISI Web of SCIENCE

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 5654568 A (Rohm Co. Ltd.) 1997. 8. 5,	12
A	第6欄第43行-第7欄第4行, 第9欄第13行-第10欄第21	1-11
A	行, 第3-6図 & JP 5-190863 A, 1993. 7. 30, 【0025】-【0027】段落, 【0042】-【0049】段 落, 第1-3図	13-26
PX	JP 2001-156188 A, (株式会社 東芝) 2001. 6. 8,	1-5, 12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日  
18. 01. 02

国際調査報告の発送日  
29.01.02

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 小川 将之  
 電話番号 03-3581-1101 内線 3461

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	【0017】 - 【0027】 段落, 第1-9図 (ファミリーなし)	
A	JP 62-291970 A, (ソニー株式会社) 1987. 12. 18, 第3頁右上欄第9行-第4頁左下欄第16行, 第1図 (ファミリーなし)	1-26
A	Hayashi, Y. et. al. Twin MONOS Cell with Dual Control Gates, 2000 Symposium on VLSI Technology Digest of Technical Paper s, June 2000, pp. 122-123.	1-26