

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6804364号
(P6804364)

(45) 発行日 令和2年12月23日(2020.12.23)

(24) 登録日 令和2年12月4日(2020.12.4)

(51) Int.Cl. F I
HO2M 7/12 (2006.01) HO2M 7/12 F
 HO2M 7/12 C

請求項の数 13 (全 15 頁)

<p>(21) 出願番号 特願2017-64664 (P2017-64664) (22) 出願日 平成29年3月29日 (2017. 3. 29) (65) 公開番号 特開2018-170822 (P2018-170822A) (43) 公開日 平成30年11月1日 (2018. 11. 1) 審査請求日 令和1年12月2日 (2019. 12. 2)</p>	<p>(73) 特許権者 520233375 富士通セミコンダクターメモリソリューション株式会社 神奈川県横浜市港北区新横浜三丁目9番1号 (74) 代理人 100099759 弁理士 青木 篤 (74) 代理人 100133835 弁理士 河野 努 (74) 代理人 100135976 弁理士 宮本 哲夫 (74) 代理人 100107766 弁理士 伊東 忠重</p>
---	---

最終頁に続く

(54) 【発明の名称】 整流回路および電子装置

(57) 【特許請求の範囲】

【請求項1】

交流の入力電圧の接続および遮断をスイッチ素子により制御して出力電圧を生成する整流回路であって、

前記スイッチ素子は、nチャネル型MOSトランジスタであり、

前記整流回路は、さらに、

前記nチャネル型MOSトランジスタのしきい値電圧よりも高い電圧のゲート制御信号を生成し、前記nチャネル型MOSトランジスタのゲートに印加する昇圧回路と、

前記nチャネル型MOSトランジスタの接続および遮断を制御する制御信号を生成して、前記昇圧回路に出力する制御信号生成部と、を有し、

前記入力電圧のピーク部分で前記スイッチ素子の接続を行い、

前記制御信号生成部は、

アナログパルスを発生するパルス発生器と、

クロックを発生するオシレータと、

前記クロックに基づいてデジタル信号を生成するデジタルタイマと、を有する、

ことを特徴とする整流回路。

【請求項2】

前記制御信号生成部は、さらに、

前記出力電圧および前記制御信号を受け取り、前記制御信号を遅延した信号を生成して前記昇圧回路に出力するタイミング制御回路を有する、

ことを特徴とする請求項 1 に記載の整流回路。

【請求項 3】

前記制御信号生成部は、さらに、

参照電圧を発生する参照電圧発生器と、

前記入力電圧と前記参照電圧を比較するコンパレータと、を有し、

前記パルス発生器は、前記出力電圧および前記コンパレータの出力信号に基づいて前記アナログパルスを発生し、

前記デジタルタイマは、前記クロックと共に、前記出力電圧および前記コンパレータの出力信号に基づいて前記デジタル信号を生成する、

ことを特徴とする請求項 1 または請求項 2 に記載の整流回路。

10

【請求項 4】

前記デジタルタイマは、さらに、

前記制御信号の生成を、前記アナログパルスに基づいて行うか、或いは、前記デジタル信号に基づいて行うかを規定するイネーブル信号を生成する、

ことを特徴とする請求項 3 に記載の整流回路。

【請求項 5】

前記制御信号生成部は、さらに、

前記イネーブル信号に基づいて、電源の立ち上がり直後では、前記アナログパルスに基づいて前記制御信号を生成し、前記オシレータの発振周波数が安定した後では、前記デジタル信号に基づいて前記制御信号を生成するように切り替える切り替え回路を有する、

ことを特徴とする請求項 4 に記載の整流回路。

20

【請求項 6】

前記デジタル信号に基づくデジタル制御は、前記アナログパルスに基づくアナログ制御よりも、前記入力電圧のピークに近い部分で前記 n チャンネル型 MOS トランジスタを接続する、

ことを特徴とする請求項 5 に記載の整流回路。

【請求項 7】

前記デジタルタイマは、

前記オシレータで発生した前記クロックをカウントするカウンタを有し、

前記カウンタによるカウント値に基づいて、前記デジタル信号を生成する、

ことを特徴とする請求項 6 に記載の整流回路。

30

【請求項 8】

前記参照電圧発生器は、複数の電圧レベルに切り替えて前記参照電圧を発生する、

ことを特徴とする請求項 3 乃至請求項 7 のいずれか 1 項に記載の整流回路。

【請求項 9】

前記参照電圧発生器は、前記出力電圧の上昇に伴って、前記出力電圧に近い電圧レベルに切り替えて前記参照電圧を発生する、

ことを特徴とする請求項 8 に記載の整流回路。

【請求項 10】

前記昇圧回路は、

前記出力電圧および前記制御信号を遅延した信号に基づいて、前記ゲート制御信号を生成する、

ことを特徴とする請求項 1 乃至請求項 9 のいずれか 1 項に記載の整流回路。

40

【請求項 11】

さらに、

前記出力電圧を平滑化する容量を有する、

ことを特徴とする請求項 1 乃至請求項 10 のいずれか 1 項に記載の整流回路。

【請求項 12】

請求項 1 乃至請求項 11 のいずれか 1 項に記載の整流回路を有する、

ことを特徴とする電子装置。

50

【請求項 13】

前記電子装置は、RFIDタグであり、
前記入力電圧は、リーダが発する電波に基づく電圧である、
ことを特徴とする請求項 12 に記載の電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、整流回路および電子装置に関する。

【背景技術】

【0002】

近年、低電圧で動作する整流回路の重要性が増してきている。例えば、RFID(Radio Frequency Identification)タグや非接触ICカードは、電池を持たずに、リーダ(リーダライタ)が発する電波(例えば、13.56MHzの搬送波)から電力を取り出す。ところで、このようなRFIDタグのような電波から電力を取り出して動作する電子装置において、整流回路には、一般的に、PN(PN接合)ダイオードやMOS(Metal-Oxide-Semiconductor)トランジスタが使用されている。

10

【0003】

例えば、ダイオード接続したMOSトランジスタによる整流回路では、トランジスタのゲート-ソース間の電圧(V_{gs})がトランジスタのしきい値電圧(V_{th})よりも大きいと、トランジスタがオンしてドレインからソースに電流が流れる。一方、ゲート-ソース間の電圧がトランジスタのしきい値電圧よりも小さいと、トランジスタはオフして電流は流れない。なお、ダイオードでは、アノードの電圧がカソードの電圧に対して順方向電圧(V_f)以上になったとき電流が流れる。

20

【0004】

ところで、従来、低電圧で動作する整流回路としては、様々な提案がなされている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特表2001-504676号公報

【特許文献2】特開平03-218264号公報

【特許文献3】特開2008-085818号公報

【特許文献4】特開2006-101670号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

前述したように、整流回路では、スイッチ(トランジスタ、ダイオード)を接続および遮断(オン/オフ)するしきい値電圧が存在するため、整流時の導通損失が生じる。この導通損失は、しきい値電圧を小さくすることで改善することができる。

【0007】

ここで、しきい値電圧を小さくするには、ダイオードでは順方向電圧の低いショットキーダイオードを使用し、また、MOSトランジスタでは低いしきい値電圧を有するMOSトランジスタを使用する。しかしながら、例えば、低いしきい値電圧を有するMOSトランジスタを製造するには、さらなるプロセス(製造工程)を追加することになり、製造コストの上昇を招くといった課題がある。

40

【課題を解決するための手段】

【0008】

一実施形態によれば、交流の入力電圧の接続および遮断をスイッチ素子により制御して出力電圧を生成する整流回路であって、前記スイッチ素子は、nチャネル型MOSトランジスタである整流回路が提供される。前記整流回路は、さらに、昇圧回路と、制御信号生成部と、を有する。

50

【 0 0 0 9 】

前記昇圧回路は、前記 n チャンネル型 MOS トランジスタのしきい値電圧よりも高い電圧のゲート制御信号を生成し、前記 n チャンネル型 MOS トランジスタのゲートに印加する。前記制御信号生成部は、前記 n チャンネル型 MOS トランジスタの接続および遮断を制御する制御信号を生成して、前記昇圧回路に出力し、前記入力電圧のピーク部分で前記スイッチ素子の接続を行う。前記制御信号生成部は、アナログパルスを発生するパルス発生器と、クロックを発生するオシレータと、前記クロックに基づいてデジタル信号を生成するデジタルタイマと、を有する。

【 発明の効果 】

【 0 0 1 0 】

開示の整流回路および電子装置は、さらなる製造工程を追加することなく、導通損失を低減することができるという効果を奏する。

【 図面の簡単な説明 】

【 0 0 1 1 】

【 図 1 】 図 1 は、整流回路の一例を説明するための図である。

【 図 2 】 図 2 は、整流回路の他の例を説明するための図である。

【 図 3 】 図 3 は、整流回路の一実施例を示すブロック図である。

【 図 4 】 図 4 は、図 3 に示す整流回路の動作を説明するためのタイミングチャートである。

。

【 図 5 】 図 5 は、図 4 に示すタイミングチャートの一部を拡大して詳述するための図である。

【 図 6 】 図 6 は、図 3 に示す整流回路におけるデジタルタイマの一例を示すブロック図である。

【 図 7 】 図 7 は、図 6 に示すデジタルタイマの動作を説明するためのタイミングチャートである。

【 図 8 】 図 8 は、図 3 に示す整流回路における参照電圧発生器の一例を示す回路図である。

。

【 図 9 】 図 9 は、図 8 に示す参照電圧発生器の出力に基づいたコンパレータの動作を説明するための図である。

【 図 1 0 】 図 1 0 は、図 3 に示す整流回路におけるタイミング制御回路の一例を示す回路図である。

【 図 1 1 】 図 1 1 は、整流回路の一実施例が適用される電子装置の一例を示すブロック図である。

【 発明を実施するための形態 】

【 0 0 1 2 】

まず、整流回路および電子装置の実施例を詳述する前に、図 1 および図 2 を参照して、整流回路の例およびその課題を説明する。図 1 は、整流回路の一例を説明するための図であり、ダイオード接続した p チャンネル型 MOS (p MOS) トランジスタ M_0 による整流回路 200 を説明するためのものである。

【 0 0 1 3 】

図 1 に示されるように、例えば、ダイオード接続した p MOS トランジスタ M_0 による整流回路 200 では、トランジスタ M_0 のゲート - ソース間の電圧 V_{gs} がトランジスタのしきい値電圧 V_{th} よりも大きいと、トランジスタ M_0 がオンする。すなわち、トランジスタ M_0 は、ソース電圧 V_a (入力電圧 V_{in}) がゲート電圧 (ドレイン電圧 V_b : 出力電圧 V_{out}) に対してしきい値電圧 V_{th} だけ高くなったときにオンし、ドレインからソースに向かって電流が流れる。

【 0 0 1 4 】

一方、ゲート - ソース間の電圧 V_{gs} がしきい値電圧 V_{th} よりも小さいと、トランジスタ M_0 はオフして電流は流れない。なお、ダイオードでは、アノードの電圧がカソードの電圧に対して、順方向電圧 (V_f) 以上になったとき電流が流れることになる。なお、入力電

10

20

30

40

50

圧 V_{in} は、例えば、整流回路 200 が搭載される RFID タグや非接触 IC カード等に対して、リーダ等から与えられる電波を、アンテナ(コイル)を介して受け取って得られた信号である。

【0015】

図 2 は、整流回路の他の例を説明するための図であり、図 2 (a) は、整流回路の他の例を示し、図 2 (b) は、図 2 (a) に示す整流回路におけるしきい値電圧発生器の一例をより詳細に示すものである。図 2 (a) に示されるように、整流回路の他の例 300 は、例えば、pMOS トランジスタ M1 のゲート(ノード N3) とドレイン(ノード N1) の間にしきい値電圧発生器 10 を設けるようになっている。

【0016】

ここで、図 2 (b) に示されるように、しきい値電圧発生器 10 は、ダイオード接続された pMOS トランジスタ M2, 抵抗 R1 および容量 C10 を含む。トランジスタ M2 および抵抗 R1 は、ノード N1 と N4 の間に直列に接続され、また、容量 C10 の両端は、ノード N1 および N4 に接続されている。この容量 C10 は、整流されたトランジスタ M1 のドレイン電圧 V_b を一定に保つ(平滑化する)ためのものである。

【0017】

これにより、トランジスタ M1 のゲート(ノード N3) には、トランジスタ M1 のドレイン(ノード N1) の電圧 V_b を基準としたしきい値近傍の電圧が印加され、ソース - ドレイン間を電流が流れ始めるしきい値電圧 (V_{thp1}) を小さくすることができる。すなわち、さらなるプロセスを追加する(さらなる製造工程の追加による製造コストの上昇を招く)ことなく、しきい値電圧を小さくして整流時の導通損失を低減するようになっている。なお、図 2 (b) に示す整流回路は、1つの半導体集積回路として形成することができる。

【0018】

ここで、トランジスタ M1 のしきい値電圧 V_{thp1} は、トランジスタ M2 のしきい値電圧 V_{thp2} よりも少し大きくなるように(電圧 V_{thp} だけ大きくなるように)、ゲート長およびゲート幅を調整して形成(製造)される。すなわち、トランジスタ M1 および M2 は、しきい値電圧 V_{thp1} および V_{thp2} の値を大きく異ならせなくてもよいため、ゲート長およびゲート幅も大きく異ならせずに、同一のプロセスで形成することが可能である。

【0019】

なお、ノード N4 には、トランジスタ M2 をオンするようにノード N1 よりも低い電圧が印加される。これによって、ノード N1 からノード N4 に向かって電流が流れ、ノード N3 の電圧は、ダイオード接続されたトランジスタ M2 により、ノード N1 に対してトランジスタ M2 のしきい値電圧 V_{thp2} だけ低くなる。

【0020】

すなわち、トランジスタ M1 のゲートには、ノード N1 に対してトランジスタ M2 のしきい値電圧 V_{thp2} 分だけ低い電圧が印加される。そして、ノード N2 の電圧 V_a (入力電圧 V_{in}) がノード N1 の電圧 V_b (出力電圧 V_{out}) よりも、電圧 V_{thp} だけ高くなったとき、ノード N2 とトランジスタ M1 のゲート間に、しきい値電圧 V_{thp1} に相当する電位差が生じ、トランジスタ M1 はオンする。このように、図 2 (a) および図 2 (b) に示す整流回路 300 は、トランジスタ M1 のしきい値電圧 V_{thp1} を、小さな電圧 V_{thp} にすることができる。

【0021】

しかしながら、トランジスタ M1 の導通時において、トランジスタ M1 のゲート - ソース間電圧 V_{gs} は、pMOS トランジスタのしきい値電圧 V_{th} 付近になる。そのため、ノード N1 および N2 間の電位差は大きく、導通損失は、例えば、 $100 \mu A$ で $0.3 V$ 程度と依然として大きいままになってしまう。

【0022】

以下、整流回路および電子装置の実施例を、添付図面を参照して詳述する。図 3 は、整流回路の一実施例を示すブロック図であり、図 4 は、図 3 に示す整流回路の動作を説明するためのタイミングチャートである。図 5 は、図 4 に示すタイミングチャートの一部を拡

10

20

30

40

50

大して詳述するための図であり、オシレータの発振周波数が安定した後における整流回路の動作を説明するためのものである。なお、本実施例の整流回路100は、入力端子INに与えられた交流の入力電圧 V_{in} を整流して、出力電圧 V_{out} として出力端子OUTから出力するものである。

【0023】

図3に示されるように、整流回路100は、 n チャネル型MOS(n MOS)トランジスタ Q_1 、容量 C_1 、制御信号生成部500および昇圧回路7を含む。制御信号生成部500は、制御信号 SS_{in} を生成してタイミング制御回路6に出力し、昇圧回路7を介して n MOSトランジスタ Q_1 の接続および遮断(オン/オフ)を制御する。

【0024】

制御信号生成部500は、参照電圧発生器1、オシレータ2、コンパレータ3、デジタルタイマ4、パルス発生器(アナログタイマ)5、タイミング制御回路6、インバータI1、ノアゲートNOR1、オアゲートOR1、アンドゲートAND1を含む。ここで、NOR1およびOR1は、パルス発生器5からのパルス信号PULSEによるアナログ制御と、デジタルタイマ4の出力(デジタル信号)GCTdによるデジタル制御を、イネーブル信号CEBLに基づいて切り替える切り替え回路8として機能する。

【0025】

なお、デジタル信号GCTdによるデジタル制御は、パルス信号PULSEによるアナログ制御よりも、交流の入力電圧 V_{in} において、より高い電圧の期間で n MOSトランジスタ Q_1 をオンさせることが可能となっている。また、容量 C_1 は、整流された出力電圧 V_{out} (V_{DD})を平滑化(一定に保つ)ためのものである。

【0026】

n MOSトランジスタ Q_1 は、入力端子INと出力端子OUTの間に設けられ、その制御電極(ゲート)には、昇圧回路7により昇圧されたゲート制御信号GCTLが入力されている。すなわち、トランジスタ Q_1 は、スイッチ素子として機能し、ゲート制御信号GCTLに基づいてオン/オフ制御され、交流の入力電圧 V_{in} を整流して出力電圧 V_{out} を生成する。ここで、スイッチ素子として n MOSトランジスタ Q_1 を用いるのは、 p MOSトランジスタを用いた場合に比べて、サイズを小さくすることができ、より多くの電流を流すことが可能だからである。また、トランジスタ Q_1 のソース-ドレイン間には、ダイオードD1が接続されているが、後述するように、トランジスタ Q_1 がオンするタイミングは、交流の入力電圧 V_{in} の最大電圧(ピーク)部分になり、ダイオードD1による導通損失は無視することができる。

【0027】

パルス発生器5は、交流の入力電圧 V_{in} において、できるだけ高い電圧の期間(最大電圧の周辺)で n MOSトランジスタ Q_1 をオンさせるように、パルス信号(アナログパルス)PULSEを発生する回路である。ここで、パルス発生器5は、例えば、本実施例の整流回路100がRFIDタグ(電子装置150)に適用される場合、リーダからの電波が既知(例えば、13.56MHz)であれば、そのリーダからの電波に対応した信号PULSEを発生するようになっている。

【0028】

デジタルタイマ4は、オシレータ2からのクロックCLK、電源電圧 V_{DD} (出力電圧 V_{out})およびコンパレータ3の出力信号SS1を受け取り、イネーブル信号CEBLおよびデジタル信号GCTdを生成して出力する。ここで、デジタルタイマ4は、パルス発生器5からのアナログパルスPULSEよりも、交流の入力電圧 V_{in} における最大電圧に近い範囲(狭い期間)を規定する信号を生成し、 n MOSトランジスタ Q_1 のオン期間の精度を向上させるためのものである。

【0029】

切り替え回路8は、例えば、電源の立ち上がり直後等ではパルス発生器5のアナログパルスPULSEに基づくアナログ制御を行って、 n MOSトランジスタ Q_1 のオン/オフ制御を行う。さらに、切り替え回路8は、例えば、内部のオシレータ2の発振周波数が安

10

20

30

40

50

定したら、上記アナログ制御から、デジタルタイマ4のデジタル信号(カウント値)GCTdに基づくデジタル制御に切り替えて、nMOSトランジスタQ1のオン/オフ制御を行う。

【0030】

図4に示されるように、例えば、電源の立ち上がり直後において、デジタルタイマ4からのイネーブル信号CEBLは、低レベル『L』になっている。これにより、切り替え回路8(オアゲートOR1)の出力は、パルス発生器5からのアナログパルスPULSEをインバータI1およびNORゲートNOR1で2回反転した信号(PULSE)になる。

【0031】

次に、オシレータ2の発振周波数が安定した後、イネーブル信号CEBLは、『L』から高レベル『H』に変化し、切り替え回路8の出力は、オアゲートOR1を介したデジタルタイマ4のデジタル信号GCTdになる。その結果、アンドゲートAND1の出力(制御信号)SSinは、コンパレータ3の出力信号SS1が『H』の期間、切り替え回路8の出力と同じ論理の信号になる。

【0032】

これにより、nMOSトランジスタQ1のオン/オフ制御を行うゲート制御信号GCTLは、電源の立ち上がり直後ではアナログパルスPULSEに基づいた信号になり、オシレータ2の発振周波数が安定した後ではデジタル信号GCTdに基づいた信号になる。すなわち、図4におけるVoutで示されるように、オシレータの発振周波数が安定した後では、電源の立ち上がり直後よりも高い出力電圧Voutを生成することができる。なお、図4では、図1および図2を参照して説明した整流回路200および300による出力電圧Vout'も比較のために示している。すなわち、本実施例の整流回路100によれば、図1および図2の出力電圧Vout'よりも、オシレータの発振周波数が安定した後だけでなく、電源の立ち上がり直後においても、高い出力電圧Voutを生成することが可能なのが分かる。

【0033】

昇圧回路7は、タイミング制御回路6からの遅延信号DELAY、容量制御用信号CTLおよび昇圧用信号BST、並びに、電源電圧VDD(出力電圧Vout)を受け取り、昇圧したゲート制御信号GCTLを、nMOSトランジスタQ1のゲートに出力する。図3に示されるように、昇圧回路7は、レベルシフタ71、レギュレータ72、pMOSトランジスタQ2、容量C2、インバータI2、I3、および、ダイオードD2を含む。

【0034】

昇圧回路7は、例えば、2V程度の信号レベルを、nMOSトランジスタQ1のしきい値電圧(Vthn)よりも高い(十分に高い)3~4V程度に昇圧し、nMOSトランジスタQ1を確実にオンさせて導通損失を抑えるためのものである。容量C2は、レギュレータ72により制御されるインバータI3の出力信号BOOSTの電荷を蓄え、pMOSトランジスタQ2を介した遅延信号DELAYを昇圧してゲート制御信号GCTLを生成するためのものである。

【0035】

レベルシフタ71は、容量制御用信号CTLを受け取ってレベルシフトを行い、pMOSトランジスタQ2のオン/オフ制御を行う容量制御信号CCTLを生成する。ここで、トランジスタQ2のソース-ドレイン間には、ダイオードD2が接続されている。また、昇圧信号BOOSTは、昇圧用信号BSTをインバータI2およびレギュレータ72で制御されるインバータI3を介して生成される。なお、図3に示す昇圧回路7は、単なる例であり、様々な変形および変更が可能なのはいうまでもない。

【0036】

図5に示されるように、オシレータ2の発振周波数が安定した後(CEBLが『L』から『H』に変化した後)、交流の入力電圧Vinが参照電圧VREFを超えると、コンパレータ3の出力信号SS1が『L』から『H』に変化する。ここで、タイミング制御回路6に入力されるタイミング信号SSinは、デジタルタイマ4からのデジタル信号GCTdに

10

20

30

40

50

基づく信号になっている。タイミング制御回路6は、後に、図10を参照して詳述するように、3つの遅延回路61～63により遅延信号DELA Y，容量制御用信号CTLおよび昇圧用信号BSTを生成する。

【0037】

遅延信号DELA Yは、pMOSトランジスタQ2がオンすることで、nMOSトランジスタQ1のゲート(容量C2の一端)に印加され、さらに、容量C2の他端に印加される昇圧信号BOOSTにより昇圧され、ゲート制御信号GCTLとして生成される。このゲート制御信号GCTLは、nMOSトランジスタQ1のしきい値電圧 V_{thn} よりも高い電圧まで昇圧されており、整流時の導通損失を低減しつつ、トランジスタQ1のオン/オフ制御が行われる。

10

【0038】

図6は、図3に示す整流回路におけるデジタルタイマの一例を示すブロック図であり、図7は、図6に示すデジタルタイマの動作を説明するためのタイミングチャートである。ここで、デジタルタイマ4は、オシレータ2からのクロックCLKおよびコンパレータ3からの信号SS1を受け取って、イネーブル信号CEBLおよびデジタル信号GCTdを生成する。

【0039】

図6に示されるように、デジタルタイマ4は、フリップフロップ(FF)41, 43, 44、カウンタ42、および、コンパレータ45, 46を含む。前述したように、例えば、オシレータ2の発振周波数は、電源を立ち上げた後、安定するまで所定の時間がかかる。そこで、デジタルタイマ4は、オシレータが安定したことを検出してイネーブル信号CEBLを出力する機能と、デジタル制御によりnMOSトランジスタQ1のゲート制御信号GCTLを生成するためのデジタル信号GCTdを出力する機能を有している。

20

【0040】

フリップフロップ41は、D(データ)端子に入力された信号SS1をクロックCLKで取り込んで保持し、Q端子から信号SS2として出力する。ここで、図7に示されるように、信号SS2は、信号SS1をクロックCLKの1周期だけ遅延させた信号に相当する。信号SS2は、カウンタ42に入力され、クロックCLKによりカウントし、カウント値COUNT, および、信号SS2の立ち上がりを示す遷移信号EDGEを生成する。

30

【0041】

カウンタ42からのカウント値COUNTおよび遷移信号EDGEは、フリップフロップ43のD端子およびEN(イネーブル)端子に入力される。なお、カウント値COUNTは、コンパレータ46にも入力され、また、遷移信号EDGEは、フリップフロップ44のEN端子にも入力される。すなわち、フリップフロップ43は、遷移信号EDGEが『H』の時、D端子に入力されたカウント値COUNTをクロックCLKで取り込んで保持し、Q端子から信号Bとして出力する。

【0042】

フリップフロップ43からの信号Bは、フリップフロップ44のD端子およびコンパレータ45に入力される。フリップフロップ44は、1つ前の遷移信号EDGEが『H』の時における、D端子に入力された信号BをクロックCLKで取り込んで保持し、Q端子から信号Aとして出力する。コンパレータ45は、フリップフロップ43からの信号Bと共に、フリップフロップ44からの信号Aを受け取り、信号Aおよび信号Bの比較を行う。

40

【0043】

ここで、コンパレータ45は、信号Aおよび信号Bを取り込んで比較を行い、例えば、 $A = B$, $A = B + 1$, または、 $A = B - 1$ の時に、イネーブル信号CEBLを『H』にする。すなわち、周期が一定の入力信号SS1をオシレータ2からのクロックCLKでカウントし、1周期前後のカウント値COUNTを比較して、カウント数の差が ± 1 以内に収まれば、安定したとして、イネーブル信号CEBLを『H』にする。コンパレータ45からのイネーブル信号CEBLは、コンパレータ46にも入力され、カウンタ42からのカウント値COUNTと比較される。

50

【 0 0 4 4 】

そして、コンパレータ46は、イネーブル信号CEBLが『H』になってから所定のクロックCLKのサイクル後に、所定のカウンタ値(例えば、COUNT = 2)のデジタル信号GCTdを出力する。すなわち、図7は、カウンタ値COUNTが『2』になっている間、イネーブル信号CEBLが『H』になる例を示している。なお、オシレータ2の発振周波数(CLKの周波数)は、高い方がnMOSトランジスタQ1を制御する精度を向上させることができるが、入力電圧Vinの周波数(例えば、RFIDタグの搬送波の周波数: 13.56MHz)の8倍~16倍程度であれば問題ない。また、図6および図7を参照して説明したデジタルタイマ4は、単なる例であり、様々な変形および変更が可能なのもちろんである。

10

【 0 0 4 5 】

図8は、図3に示す整流回路における参照電圧発生器の一例を示す回路図である。図8に示されるように、参照電圧発生器1は、参照電圧VREFを、 $1/2 \times VDD$ から $3/4 \times VDD$ に切り替える機能を有し、抵抗R11~R16、スイッチSW1、バンドギャップリファレンス回路(BGR)11およびオペアンプ12を含む。

【 0 0 4 6 】

ここで、抵抗R11およびR12は、例えば、電源電圧VDD(出力電圧Vout)が所望の電圧(例えば、2V)になった時に、ノードNaが、バンドギャップリファレンス回路11の出力電圧BGR0と同じになるように抵抗分割されている。また、スイッチSW1は、オペアンプ12の出力SCTLにより制御され、電源電圧VDDが2V以下では、SCTLが『L』になって $1/2 \times VDD$ を選択し、VDDが2Vよりも高くなると、SCTLが『H』になって $3/4 \times VDD$ を選択するようになっている。

20

【 0 0 4 7 】

図9は、図8に示す参照電圧発生器の出力に基づいたコンパレータの動作を説明するための図である。ここで、図9(a)は、参照電圧発生器1の出力(参照電圧)VREFが、 $VREF = 1/2 \times VDD$ の場合におけるコンパレータ3の比較動作を示し、図9(b)は、 $VREF = 3/4 \times VDD$ の場合におけるコンパレータ3の比較動作を示す。また、コンパレータ3は、参照電圧VREFと入力電圧Vin(例えば、13.56MHzの高周波信号による交流電圧)との電圧レベルの比較を行う。

30

【 0 0 4 8 】

なお、図9(a)に示されるように、例えば、電源電圧VDD(出力電圧Vout)が2V以下では、参照電圧VREFとして $1/2 \times VDD$ が選択されるものとする。また、図9(b)に示されるように、例えば、電源電圧VDDが2Vよりも高くなると、参照電圧VREFとして $3/4 \times VDD$ が選択されるものとする。

【 0 0 4 9 】

図9(a)と図9(b)の比較から明らかなように、図9(a)の $VREF = 1/2 \times VDD$ の場合に比べて、図9(b)の $VREF = 3/4 \times VDD$ の場合の方が、パルス信号PULSEのオン時間を入力電圧Vinの最大電圧(ピーク)に近づけることができるのが分かる。すなわち、VDD(Vout)が所定レベル以上になったらVREFを高くすることで、コンパレータ3は、Vinのピークに近づけて信号SS1を出力することができ、出力電圧Vout(VDD)をより高い電圧にすることが可能になる。

40

【 0 0 5 0 】

なお、図8および図9を参照して説明した参照電圧発生器1は、参照電圧VREFを、 $1/2 \times VDD$ と $3/4 \times VDD$ の2つの電圧レベルに切り替え可能となっているが、これに限定されるものではない。すなわち、例えば、VREFを、VDDの電圧レベルに基づいて、 $1/2 \times VDD$ 、 $5/8 \times VDD$ 、 $3/4 \times VDD$ および $7/8 \times VDD$ といった4つの電圧レベルに切り替えることもできる。

【 0 0 5 1 】

図10は、図3に示す整流回路におけるタイミング制御回路の一例を示す回路図である。図10に示されるように、タイミング制御回路6は、制御信号SSin(アンドゲートA

50

N D 1 の出力)を受け取って、遅延信号 D E L A Y , 容量制御用信号 C T L および昇圧用信号 B S T を生成する 3 つの遅延回路 6 1 ~ 6 3 を含む。遅延回路 6 1 は、インバータ 6 1 1 , 6 1 2 , 6 1 6 , 6 1 7、抵抗 6 1 3、ダイオード 6 1 4 および容量 6 1 5 を含む。遅延回路 6 2 は、インバータ 6 2 1 , 6 2 2 , 6 2 6 , 6 2 7、抵抗 6 2 3 および容量 6 2 5 を含む。遅延回路 6 3 は、インバータ 6 3 1 , 6 3 6 , 6 3 7 , 6 3 8、抵抗 6 3 3、ダイオード 6 3 4 および容量 6 3 5 を含む。

【 0 0 5 2 】

遅延回路 6 1 ~ 6 3 は、それぞれ抵抗 6 1 3 , 6 2 3 , 6 3 3 および容量 6 1 5、6 2 5、6 3 5 でフィルタを形成し、そのフィルタの時定数により遅延時間を調整するようになっている。ここで、遅延回路 6 1 および 6 3 において、抵抗 6 1 3 および 6 3 3 と並列にダイオード 6 1 4 および 6 3 4 が接続されているが、これは、遅延信号 D E L A Y および昇圧用信号 B S T では、立ち上りのみ遅延させるためである。また、遅延回路 6 2 において、容量制御用信号 C T L は、立ち上りおよび立ち下りの両方を遅延させるように、それぞれ所望の遅延時間となるように、抵抗 6 2 3 および容量 6 2 5 の値を設定する。なお、タイミング制御回路 6 の構成も、図 1 0 に示すものに限定されないのはいうまでもない。

【 0 0 5 3 】

図 1 1 は、整流回路の一実施例が適用される電子装置の一例を示すブロック図であり、R F I D タグの一例を示すものである。図 1 1 に示されるように、R F I D タグ 1 5 0 は、アンテナ(コイル) 1 5 1、上述した実施例の整流回路 1 0 0、シャント回路 1 5 2、復調回路 1 5 3、変調回路 1 5 4、クロック生成回路 1 5 5、ロジック回路 1 5 6 およびメモリ回路 1 5 7 を含む。ここで、R F I D タグ 1 5 0 は、例えば、温度センサや湿度センサを始めとする様々なセンサを有し、そのセンサからのデータをメモリ回路 1 5 7 に格納しておき、リーダライタ(リーダ)からの要求に応じて送信するものであってもよい。

【 0 0 5 4 】

R F I D タグ 1 5 0 は、例えば、リーダライタが発する高周波(R F)信号をアンテナ 1 5 1 で受け、アンテナ 1 5 1 の端子 R F + , R F - からの交流信号(入力電圧 V_{in})を整流回路 1 0 0 に入力する。すなわち、入力電圧 V_{in} は、リーダ(リーダライタ)が発する電圧に基づく電圧である。整流回路 1 0 0 では、上述したように、交流の入力電圧 V_{in} を直流電圧(出力電圧 V_{out} , 電源電圧 V_{DD})に変換し、シャント回路(シャントレギュレータ) 1 5 2 で、電源電圧 V_{DD} を一定レベルに制御する。

【 0 0 5 5 】

シャント回路 1 5 2 で安定化された電源電圧 V_{DD} は、例えば、復調回路 1 5 3、変調回路 1 5 4、クロック生成回路 1 5 5、ロジック回路 1 5 6 およびメモリ回路 1 5 7 等に与えられ、それぞれ所定の動作を行うことになる。すなわち、復調回路 1 5 3 は、アンテナ 1 5 1 (R F + , R F -)からの受信信号を復調し、クロック生成回路 1 5 5 で生成したクロックにより、ロジック回路 1 5 6 を動作させ、また、メモリ回路 1 5 7 の読み出し/書き込みを行う。また、変調回路 1 5 4 は、例えば、メモリ回路 1 5 7 に保持されたデータ等を変調し、アンテナ 1 5 1 を介してリーダライタにデータを返信するために使用される。

【 0 0 5 6 】

なお、本実施例の整流回路 1 0 0 は、図 1 1 に示す R F I D タグ 1 5 0 への適用に限定されるものではなく、例えば、非接触 I C カードを始めとする、低消費電力が求められる様々な電子装置に対して幅広く適用することができる。

【 0 0 5 7 】

以上、実施形態を説明したが、ここに記載したすべての例や条件は、発明および技術に適用する発明の概念の理解を助ける目的で記載されたものであり、特に記載された例や条件は発明の範囲を制限することを意図するものではない。また、明細書のそのような記載は、発明の利点および欠点を示すものでもない。発明の実施形態を詳細に記載したが、各種の変更、置き換え、変形が発明の精神および範囲を逸脱することなく行えることが理解されるべきである。

10

20

30

40

50

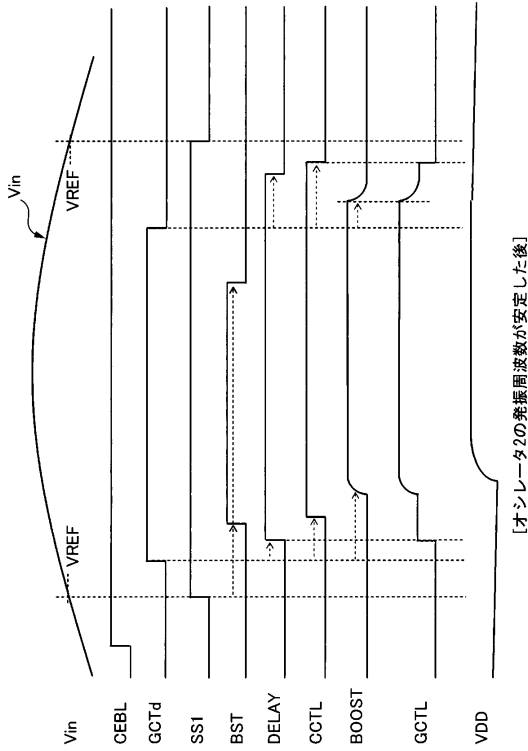
【符号の説明】

【0058】

1	参照電圧発生器	
2	オシレータ	
3	コンパレータ	
4	デジタルタイマ	
5	パルス発生器	
6	タイミング制御回路	
7	昇圧回路	
8	切り替え回路	10
100, 200, 300	整流回路	
150	R F I D タグ	
151	アンテナ	
152	シャント回路	
153	復調回路	
154	変調回路	
155	クロック生成回路	
156	ロジック回路	
157	メモリ回路	
500	制御信号生成部	20
C 1 , C 2 , C 1 0	容量	
M 0 , M 1 , M 2 , Q 2	pチャネル型MOS (p M O S) トランジスタ	
Q 1	nチャネル型MOS (n M O S) トランジスタ	
V D D	電源電圧	
V in	入力電圧	
V out , V out '	出力電圧	

【図5】

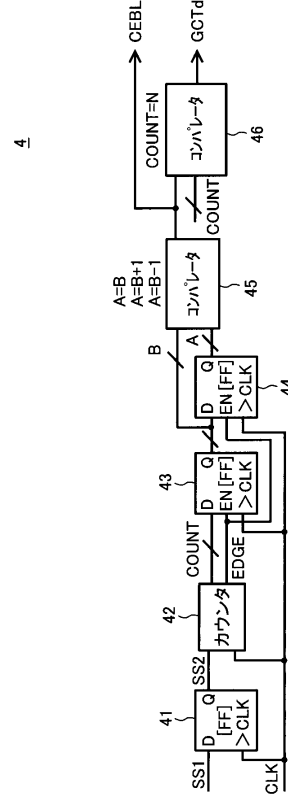
図5



[オシレータ2の発振周波数が安定した後]

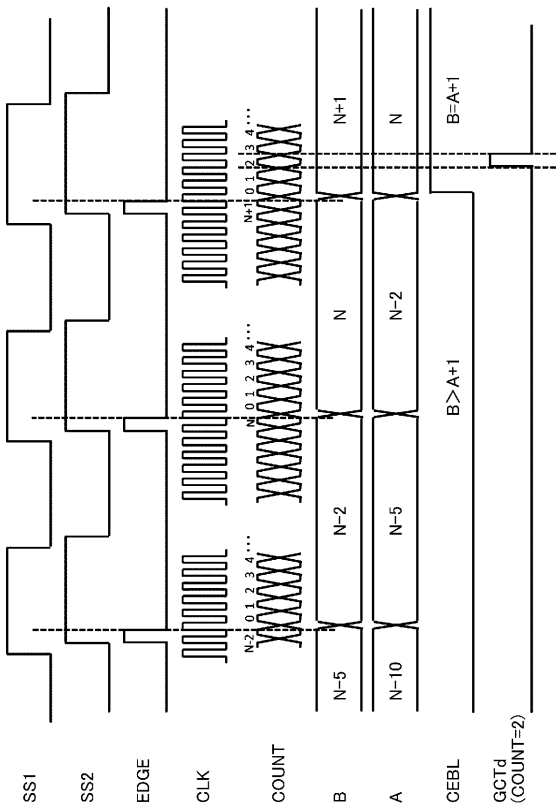
【図6】

図6



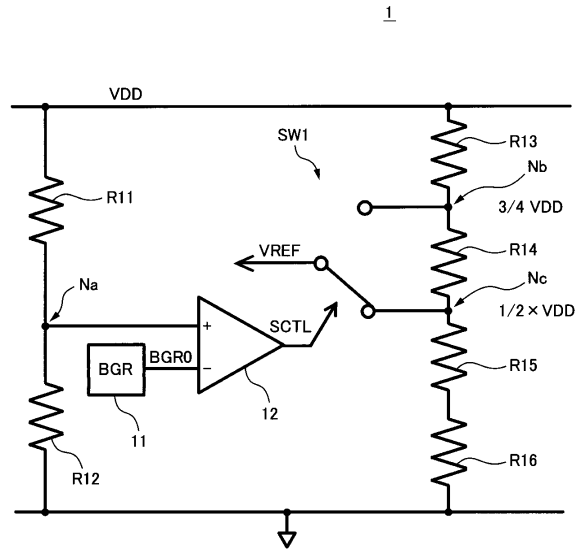
【図7】

図7



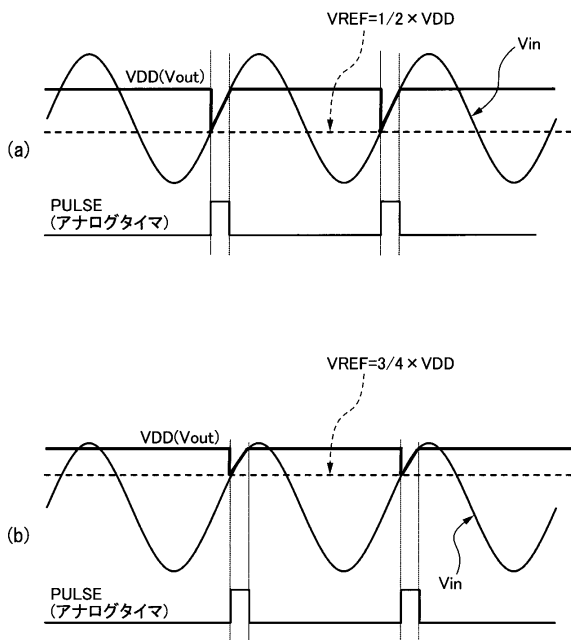
【図8】

図8



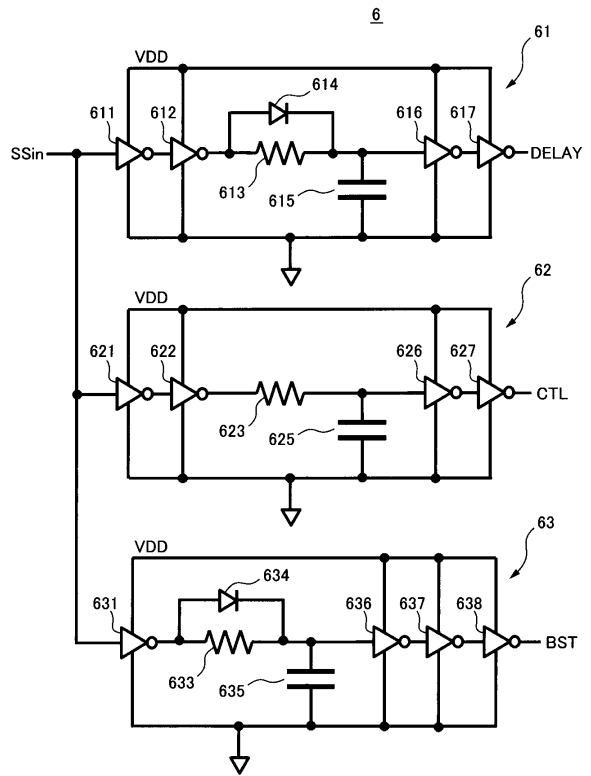
【 図 9 】

図9



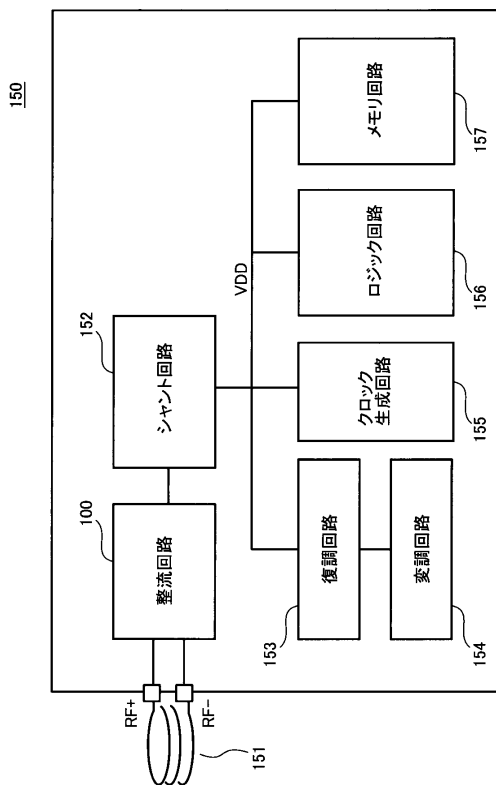
【 図 10 】

図10



【 図 1 1 】

図11



フロントページの続き

(72)発明者 山田 聡

神奈川県横浜市港北区新横浜二丁目100番45 富士通セミコンダクター株式会社内

審査官 栗栖 正和

(56)参考文献 特開2014-011916(JP,A)

特開2008-085818(JP,A)

実開昭63-058898(JP,U)

米国特許出願公開第2015/0263534(US,A1)

(58)調査した分野(Int.Cl., DB名)

H02M 7/12