

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/768 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200480033777.2

[43] 公开日 2006 年 12 月 20 日

[11] 公开号 CN 1883045A

[22] 申请日 2004.10.8

[21] 申请号 200480033777.2

[30] 优先权

[32] 2003.11.8 [33] US [31] 10/705,631

[86] 国际申请 PCT/US2004/033417 2004.10.8

[87] 国际公布 WO2005/048342 英 2005.5.26

[85] 进入国家阶段日期 2006.5.16

[71] 申请人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 D·M·霍珀 H·木下 C·吴

[74] 专利代理机构 北京纪凯知识产权代理有限公司
代理人 戈 泊 程 伟

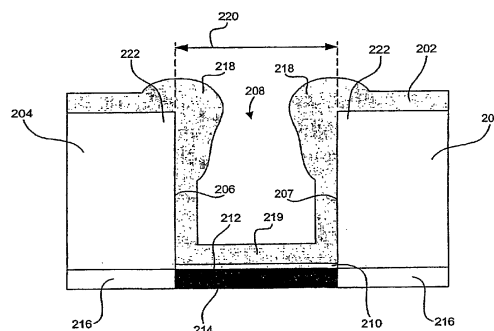
权利要求书 2 页 说明书 8 页 附图 9 页

[54] 发明名称

于接触形成中防止接触孔宽度增加的方法

[57] 摘要

依照一个范例实施例，一种在半导体芯片中的硅化物层(214)之上形成接触的方法，包括步骤：在接触孔(208)侧壁(206、207)上和位于接触孔(208)底部的自生氧化物层(210)上沉积阻挡层(202)，其中该侧壁(206、207)由介电层(204)中的接触孔(208)所界定。该沉积(150)阻挡层(202)于接触孔(208)的侧壁(206、207)和于自生氧化物层(210)上的步骤(150)能够最优化，而使得阻挡层(202)在接触孔(208)的顶部具有较在该接触孔(208)的底部厚的厚度。依照此范例实施例，本方法还包括移除(152)阻挡层(202)的一部分(219)和位于在接触孔(208)底部的自生氧化物层(210)，以暴露硅化物层(214)的步骤。



1. 一种在位于半导体芯片中的硅化物层(214)上形成接触的方法，该方法包括以下步骤：

在接触孔(208)的侧壁(206、207)上以及在位于该接触孔(208)底部的自生氧化物层(210)上沉积(150)阻挡层(202)，该侧壁(206、207)由介电层(204)中的该接触孔(208)所界定；

移除(152)该阻挡层(202)的一部分(219)和位于该接触孔(208)底部的该自生氧化物层(210)，以暴露该硅化物层(214)。

2. 如权利要求1所述的方法，其中移除(152)该阻挡层(202)的一部分(219)和位于该接触孔(208)底部的该自生氧化物层(210)的该步骤包括利用溅射蚀刻工艺。

3. 如权利要求1所述的方法，其中该介电层(204)包括邻接该接触孔(208)的顶角区域(222)，其中该介电层(204)的该顶角区域(222)于移除(152)该阻挡层(202)的一部分(219)和位于该接触孔(208)底部的该自生氧化物层(210)的该步骤期间并未被蚀刻。

4. 如权利要求2所述的方法，其中该接触孔(208)具有电接触宽度(220)，其中该电接触宽度(220)并不被该溅射蚀刻工艺所增大。

5. 一种在位于半导体芯片的硅化物层(414)上形成接触的方法，该方法包括以下步骤：

通过使用反应氢预清洁工艺(430)而移除(350)位于接触孔(408)底部的该硅化物层(414)上的自生氧化物层(410)，该侧壁(406、407)由介电层(404)中的该接触孔(408)所界定，该介电层(404)具有邻接该接触孔(408)的顶角区域(422)；

沉积(352)阻挡层(432)于该接触孔(408)的该侧壁(406、407)上和该硅化物层(414)之上。

6. 如权利要求 5 所述的方法，其中该反应氢预清洁工艺(430)并不蚀刻该介电层(404)的该顶角区域(422)。

7. 如权利要求 5 所述的方法，其中该接触孔(408)具有电接触宽度(420)，其中该电接触宽度(420)并不被该反应氢预清洁工艺(430)所增大。

8. 一种在位于半导体芯片的硅化物层(614)上形成接触的方法，该方法包括以下步骤：

在接触孔(608)的侧壁(606、607)上以及在位于该接触孔(608)底部的自生氧化物层(610)上沉积(550)阻挡层(602)，该侧壁(606、607)由介电层(604)中的该接触孔(608)所界定，该自生氧化物层(610)位于该硅化物层(614)上；

通过使用溅射蚀刻/沉积工艺移除(552)位于该接触孔(608)底部的该硅化物层(614)上的该自生氧化物层(610)。

9. 如权利要求 8 所述的方法，其中移除(552)位于该接触孔(608)底部的该硅化物层(614)上的该自生氧化物层(610)的该步骤包括同步溅射蚀刻该阻挡层(602)和该自生氧化物层(610)，并沉积钛/氮化钛于该阻挡层(602)上。

10. 如权利要求 8 所述的方法，其中该接触孔(608)具有电接触宽度(620)，其中该电接触宽度(620)并不被该溅射蚀刻/沉积工艺所增大。

于接触形成中防止接触孔宽度增加的方法

技术领域

本发明大体上系关于半导体装置制造的领域。详言之，本发明系在半导体芯片中中半导体装置的接触形成的领域。

背景技术

相关其它各事项，接触系用以提供半导体芯片中的晶体管区域之间的连接和位于晶体管区域上方的互连接金属层。为了达到高电路密度，这些通常有高纵横比(aspect ratio)的接触必须配置在半导体芯片中的小区域内而不互相接触，否则就会互相干扰。因此，在接触形成中控制接触孔洞的宽度以达到足够小的接触宽度是很重要的。

在习知的接触工艺中，接触孔一般由微影术所界定，并于氧化层中蚀刻，该等接触孔能位于例如半导体芯片中的晶体管区域上。结果可在硅化物层上形成接触孔，该硅化物层可连接到例如半导体芯片中的晶体管区域中的源极或汲极区域。接触孔接着用包含譬如钛金属的阻挡层衬里，并填满譬如钨的金属，而形成接触。然而在阻挡层能沉积于接触孔的侧壁和沉积于位在接触孔的底部的硅化物层之前，首先须移除在硅化物层上原本形成的氧化物层。在习知的接触工艺中，通常系使用包含氩气的喷溅蚀刻工艺来移除原有的氧化物层。

然而在喷溅蚀刻工艺中，除了原有的氧化物层外，亦蚀刻的后界定接触孔的氧化层顶角部分，如此使得接触孔顶部宽度增加。结果，接触孔在充满钨后形成接触，与最初图案化的接触孔宽度相比较，增加了所不期望的宽度。

因此，在此技术方面需要有一种方法能在半导体芯片中的晶体管区域上形成接触，并于接触形成期间避免不期望增加的接触孔宽度。

发明内容

本发明系关于在接触形成期间防止接触孔宽度增加的方法。本发

明提出并解决了对于在半导体芯片中的晶体管区域之上形成接触，并防止于接触形成期间产生不期望增加的接触孔宽度的方法的技术方面需要。

依照一个范例实施例，一种在位于半导体芯片中的硅化物层上形成接触的方法，包括步骤：在接触孔的侧壁上和在位于接触孔底部的自生氧化物层上沉积阻挡层，其中该侧壁由介电层中的接触孔所界定。例如，阻挡层可以是钛/氮化钛而介电层可以是 PECVD 氧化物。该沉积阻挡层于接触孔的侧壁和于自生氧化物层上的步骤能够最优化，而使得阻挡层在接触孔顶部的厚度较在该接触孔底部的厚度厚。

依照此范例实施例，本方法复包括移除阻挡层之一部分和位于在接触孔底部的自生氧化物层，以暴露硅化物层的步骤。例如，能利用喷溅蚀刻工艺来移除阻挡层的该部分和位于接触孔底部的自生氧化物层。接触孔包含电接触宽度，喷溅蚀刻工艺不会增加电接触宽度。介电层包括位于邻接接触孔的顶角区域，其中该介电层的顶角区域于移除阻挡层的一部分和位于在接触孔底部的自生氧化物层步骤期间并未被蚀刻。对熟悉此项技术者而言于阅读下列的详细说明及所附图式后，对本发明的其它的特征与优点将变得更容易了解。

附图说明

图 1 为对应于依照本发明的一个实施例的范例方法步骤流程图。

图 2A 显示依照本发明的实施例，对应于图 1 中流程图的某些步骤，处理晶圆部分的剖面图。

图 2B 显示依照本发明的实施例对应于图 1 中流程图的某些步骤，处理晶圆部分的剖面图。

图 3 为对应于依照本发明的一实施例的范例方法步骤流程图。

图 4A 显示依照本发明的实施例对应于图 3 中流程图的某些步骤，处理晶圆部分的剖面图。

图 4B 显示依照本发明的实施例对应于图 3 中流程图的某些步骤，处理晶圆部分的剖面图。

图 5 为对应于依照本发明的一个实施例的范例方法步骤流程图。

图 6A 显示依照本发明的实施例对应于图 5 中流程图的某些步骤，

处理晶圆部分的剖面图。

图 6B 显示依照本发明的实施例对应于图 5 中流程图的某些步骤，处理晶圆部分的剖面图。

具体实施方式

本发明系关于在半导体芯片中中于接触形成期间防止接触孔宽度增加的方法。下列的说明包含关于施行本发明的特定信息。熟悉此项技术者将了解到可以许多与本申请案中所详细讨论方法不同的方法来实施本发明。而且，为了不致于模糊了本发明的焦点，并不讨论本发明的某些特别详细内容。

于本申请案中各图式以及其伴随的详细说明仅系关于本发明的范例实施例。为了保持简洁，本发明的其它实施例于本申请案中并未详细说明，并且亦未由该等图标详细显示。

图 1 显示依照本发明的一实施例于半导体芯片中中晶体管区域上方形成接触的范例方法流程图。某些详细说明和特征对于熟悉此项技术者而言乃显而易见，因此并未示出于流程图 100 中。例如，一个步骤可由一个或多个次步骤组成，或可包含于此技术方面已知的特定的装备或材料。指示于流程图 100 中的步骤 150 和 152 可充分说明本发明的一实施例，本发明的其它实施例可使用不同于流程图 100 中所示的步骤。应值得注意的是流程图 100 中所示的工艺步骤系施行于晶圆上，于步骤 150 之前，该晶圆包括了形成于介电层中的接触孔和在位于硅化物层上于接触孔底部的自生氧化物层，其中介电层和硅化物层能位于基板的晶体管区域上(未显示于任何图中)。于图 2A 和图 2B 中的结构 250 和 252 分别显示了施行流程图 100 的步骤 150 和 152，于上述讨论的结构包括形成位于基板的晶体管区域之上的介电层中接触孔结构(未显示于任何图中)的结果。

兹参照图 1 中的步骤 150 和图 2A 中的结构 250，于流程图 100 的步骤 150，阻挡层 202 沉积于介电层 204 之上、于接触孔 208 的侧壁 206 和 207 上、以及于位于接触孔 208 底部 212 且亦位于硅化物层 214 上的自生氧化物层 210 上。如图 2A 中所示，介电层 204 位于介电层 216 上，该介电层 216 位于基板(图 2A 中未显示)的晶体管区域上。介

电层 204 能包括二氧化硅，该二氧化硅例如以电浆增强化学气相沉积 (PECVD) 工艺沉积。于本申请案中用 PECVD 工艺沉积的二氧化硅亦称之为“PECVD”氧化物。自生氧化物层 210 位于接触孔 208 底部 212 的硅化物层 214 上，并可包括热生长氧化物。举例而言，自生氧化物层 210 能够具有 10.0 埃()至 50.0 埃之间的厚度。阻挡层 202 能够以此技术已知方式沉积于接触孔 208 的侧壁 206 和 207 上、在原有的氧化物层 210 之上、以及于介电层 204 上，并能够包括钛/氮化钛(Ti/TiN)。于其它实施例中，阻挡层 202 可包括不同金属的组合，或为适当的单一金属。于本实施例中，沉积的阻挡层 202 可最优化，而使得位于邻接接触孔 208 顶部的顶角区域 222 的阻挡层 202 的部分 218 具有较位于接触孔 208 底部 212 的阻挡层 202 的部分 219 有较厚的厚度。结果，阻挡层 202 的部分 218 于后续的溅射蚀刻工艺期间提供介电层 204 的顶角区域 222 的充分的保护。接触孔 208 的侧壁 206 和 207 之间距离的接触孔宽度 220 于本申请案中亦称之为“电接触宽度”。兹参照图 2A，藉由结构 250 而显示流程图 100 的步骤 150 的结果。继续于图 1 的步骤 152 和图 2B 的结构 252，于流程图 100 的步骤 152，移除阻挡层 202 的部分 219 和位于接触孔 208 的底部 212 的自生氧化物层 210，以曝露硅化物层 214。能藉由使用包含氩气的喷溅蚀刻工艺来移除位于接触孔 208 底部 212 的阻挡层 202 部分 219 和自生氧化物层 210。喷溅蚀刻工艺亦移除位于侧壁 206 和 207 顶部的阻挡层 202 部分。然而，因为阻挡层 202(图 2A 中所示)的部分 218 具有充分厚度保护介电层 204 的顶角区域 222，因此顶角区域 222 于溅射蚀刻工艺期间并不被蚀刻。结果，接触孔宽度 220 于溅射蚀刻工艺期间并不增加。接触孔 208 于后续的步骤中能填满譬如钨的金属，以完成接触形成。参照图 2B，藉由结构 252 而显示流程图 100 的步骤 152。

因此，于图 1 中本发明的实施例，藉由于施行溅射蚀刻工艺以移除自生氧化物层 210 之前形成阻挡层 202，并最优化形成的阻挡层 202，本发明避免了蚀刻介电层 204 的顶角区域 222。结果，本发明有利地完成了具有于接触形成工艺期间不增加接触孔宽度的接触。

图 3 显示依照本发明的一实施例在晶圆的晶体管区域上形成接触的范例方法流程图。某些详细说明和特征对于熟悉此项技术者而言乃

显而易见，因此并未示出于流程图 300 中。例如，一个步骤可由一个或多个次步骤组成，或可包含于此技术方面已知的特定的装备或材料。指示于流程图 300 中的步骤 350 和 352 可充分说明本发明的一实施例，本发明的其它实施例可使用不同于流程图 300 中所示的步骤。应值得注意的是流程图 300 中所示的工艺步骤系施行于晶圆上，于步骤 350 之前，该晶圆包括了形成于介电层中的接触孔和在位于硅化物层上于接触孔底部的自生氧化物层上的接触孔，其中介电层和硅化物层能位于基板的晶体管区域上(于任何图中未显示)。于图 4A 和图 4B 中的结构 350 和 352 分别显示了施行流程图 300 的步骤 350 和 352，于上述讨论的结构包括形成于基板的晶体管区域上的介电层中接触孔结构(于任何图中未显示)的结果。

兹参照图 3 中的步骤 350 和图 4A 中的结构 450，于流程图 300 的步骤 350，藉由使用反应氢预清洁(reactive hydrogen pre-clean)430，移除于接触孔 408 的底部 412 的自生氧化物层 410。值得注意的是，虽然于步骤 350 移除了自生氧化物层 410，但是自生氧化物层 410 显示于图 4A 中作为本发明所呈现实施例的较佳显示。于图 4A 中，于结构 450 中的介电层 404 和 416、侧壁 406 和 407、接触孔 408、原有氧化层 410、和硅化物层 414，分别对应于图 2A 中于结构 250 中的介电层 204 和 216、侧壁 206 和 207、接触孔 208、原有氧化层 210、和硅化物层 214。于本实施例中，介电层 404 包括 PECVD 氧化物，该 PECVD 氧化物于沉积后可于退火工艺中变坚固。因此，介电层 404 较包含于室温热生长氧化硅的自生氧化物层 410 更坚固。结果，当原有的氧化物层 410 藉由反应氢预清洁(亦即反应氢预清洁 430)而蚀刻掉(亦即，移除)时，并未蚀刻位于侧壁 406 顶部介电层 404 的顶角区域 422。因此，于施行反应氢预清洁 430 后，接触孔 408 的侧壁 406 与 407 之间距离的接触孔宽度 420 并未增加。接触孔宽度 420 相似于图 2A 中的接触孔宽度 220，并于本申请案中亦称之为“电接触宽度”。参照图 4A，藉由结构 450 而显示流程图 300 的步骤 350 的结果。

继续于图 3 中的步骤 352 和图 4B 中的结构 452，于流程图 300 的步骤 352，阻挡层 432 沉积于接触孔 408 的侧壁 406 和 407 上、位于接触孔 408 的底部 412 的硅化物层 414 上、和介电层 404 的上。能够用

于此技术方面已知方式来沉积阻挡层 432，并能包括 Ti/TiN。于其它的实施例中，阻挡层 432 可包括不同金属的组合，或为适当的单一金属。接触孔 408 于后续的步骤中能填满譬如钨的金属，以完成接触形成。参照图 4B，藉由结构 452 而显示流程图 300 步骤 352 的结果。

因此，于图 3 中本发明的实施例，于沉积阻挡层于接触孔的前，藉由使用反应氢预清洁工艺以移除于接触孔底部的自生氧化物层，故本发明有利地提供了具有于接触形成工艺期间不增加接触孔宽度的接触。

图 5 显示依照本发明的实施例在晶圆晶体管区域上形成接触的范例方法流程图。某些详细说明和特征对于熟悉此项技术者而言乃显而易见，因此并未示出于流程图 500 中。例如，一个步骤可由一个或多个次步骤组成，或可包含于此技术方面已知的特定的装备或材料。指示于流程图 500 中的步骤 550 和 552 可充分说明本发明的一实施例，本发明的其它实施例可使用不同于流程图 500 中所示的步骤。应值得注意的是流程图 500 中所示的工艺步骤系施行于晶圆上，于步骤 550 之前，该晶圆包括了形成于介电层中的接触孔和在位于硅化物层上于接触孔的底部的原有硅化物层，其中介电层和硅化物层能位于基板的晶体管区域上(于任何图中未显示)。于图 6A 和图 6B 中的结构 550 和 552 分别显示了施行流程图 500 的步骤 550 和 552，于上述讨论的结构包括形成位于基板的晶体管区域之上的介电层中接触孔结构(于任何图中未显示)的结果。

兹参照图 5 中的步骤 550 和图 4A 中的结构 450，于流程图 500 的步骤 550，阻挡层 602 沉积于接触孔 608 的侧壁 606 和 607 上、于接触孔 608 底部 612 的自生氧化物层 610 上、和于介电层 616 上介电层 604 之上。图 5 中的步骤 550 对应于图 3 中的步骤 350。详言之，图 6A 中的结构 650 中的阻挡层 602、介电层 604 和 616、侧壁 606 和 607、接触孔 608、自生氧化物层 610、底部 612、硅化物层 614、部分 618、部分 619、接触孔宽度 620、以及顶角区域 622 分别对应于图 2A 中的阻挡层 202、介电层 204 和 216、侧壁 206 和 207、接触孔 208、自生氧化物层 210、底部 212、硅化物层 214、部分 218、部分 219、接触孔宽度 220、以及顶角区域 222。因此，相似于图 2A 中的接触孔宽度 220，

接触孔宽度 620 于本申请案中亦称之为“电接触宽度”。相似于图 2A 中的阻挡层 202，阻挡层 602 的沉积于本实施例中能最优化，而使得位于邻接于接触孔 608 顶部的顶角部分 222 的阻挡层 602 的部分 618 具有较之位于接触孔 608 之底部 612 的阻挡层 602 的部分 619 有较厚的厚度。参照图 6A，藉由结构 650 显示流程图 500 的步骤 550 的结果。

继续图 5 中的步骤 552 和图 6B 中的结构 652，于流程图 500 的步骤 552，同步溅射蚀刻/沉积工艺以移除位于接触孔 608 底部 612 的硅化物层 614 上的自生氧化物层 610。于此同步溅射蚀刻/沉积工艺中，使用氩气于溅射蚀刻，及可使用例如溅射沉积技术将 Ti/TiN 沉积于接触孔 608 的侧壁 606 和底部 612。同步溅射蚀刻/沉积工艺能使用适当的溅射蚀刻/沉积率，而能蚀刻掉(亦即，移除)自生氧化物层 610。举例而言，可选择氩气和 Ti/TiN 分子的比例，以达成 1.0 至 2.0 之间的溅射蚀刻/沉积比。因此，藉由使用溅射蚀刻/沉积比大于 1.0，本实施例藉由沉积 Ti/TiN 回到接触孔 608 的侧壁 606 和 607，而达到移除自生氧化物层 610，并同时保护介电层 604 的顶角区域 622。接触孔 608 于后续步骤能填满譬如钨的金属，而完成接触形成。参照图 6B，藉由结构 652 而说明流程图 500 步骤 552 的结果。

因此，于图 5 中本发明的实施例中，藉由使用同步溅射蚀刻/沉积工艺，本发明达成移除位于硅化物层之上且接触孔底部处的自生氧化物层，并同时防止于接触形成期间不期望的接触孔宽度增加。

因此，如上的讨论，于图 1、3、5 中本发明的实施例中，藉由适当地选择用于喷溅蚀刻和阻挡层沉积工艺的序列和技术，本发明达成移除接触孔底部处的自生氧化物层，并同时防止于接触形成期间不期望的接触孔宽度增加。反之，习知的接触形成工艺，在阻挡层沉积之前使用氩喷溅蚀刻移除自生氧化物层，得到不期望的接触孔宽度增加。

从上述的本发明的范例实施例，很显然的可使用各种技术来执行本发明的概念而不会偏离本发明的范围。而且，虽然已特别参照某些实施例而说明本发明，但是熟悉此项技术者应了解到，该等实施例于形式和细部上可作各种改变，而不会偏离本发明的精神和范围。所说明的范例实施例于所有相关方面系为描述性，而不是用为限制性。亦应了解到本发明并不限于此处所描述的特别范例实施例，而是能够作

许多的再配置、修饰、和替代，且不会偏离本发明的范围。

因此，如上说明于接触形成期间可防止接触孔宽度增加的方法。

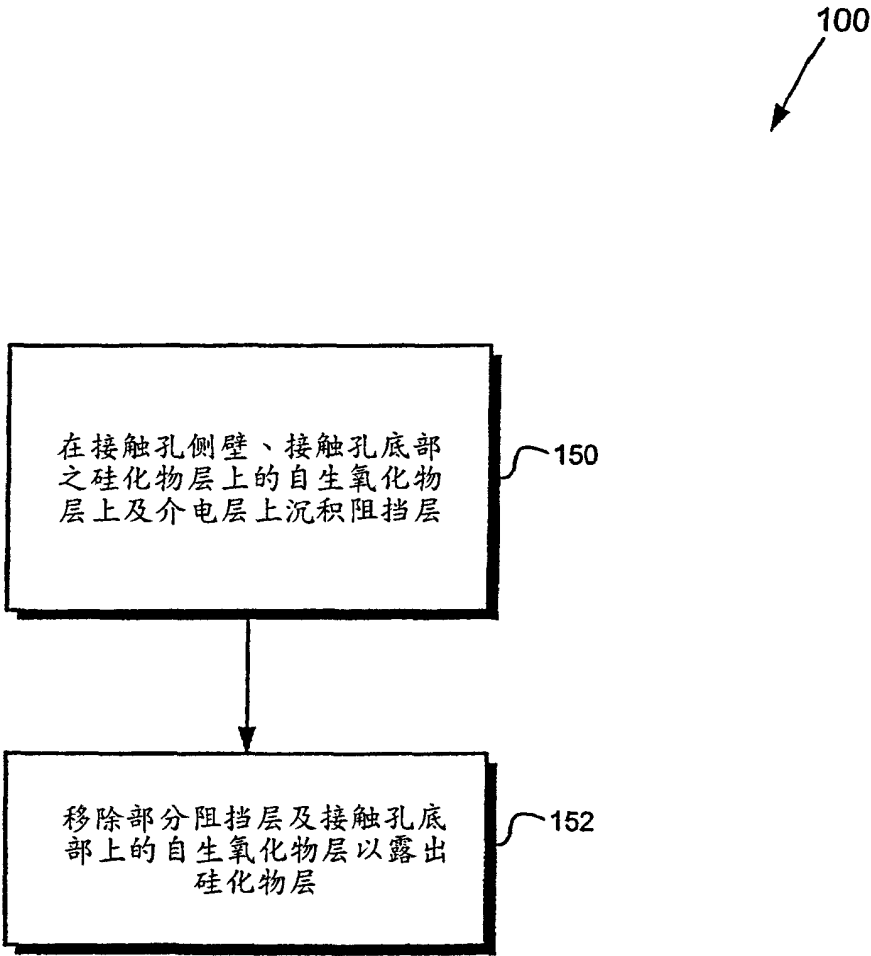


图1

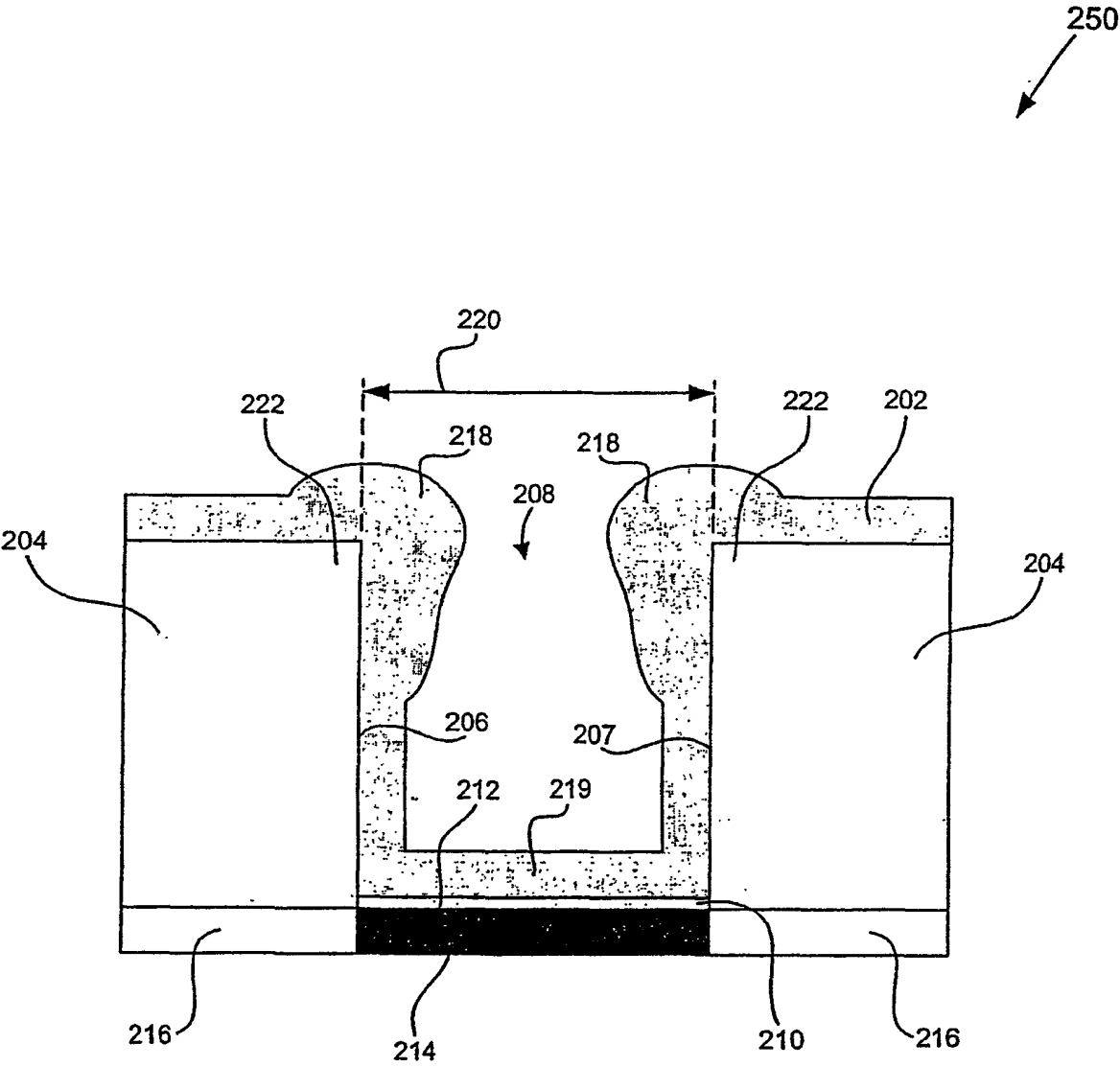


图2A

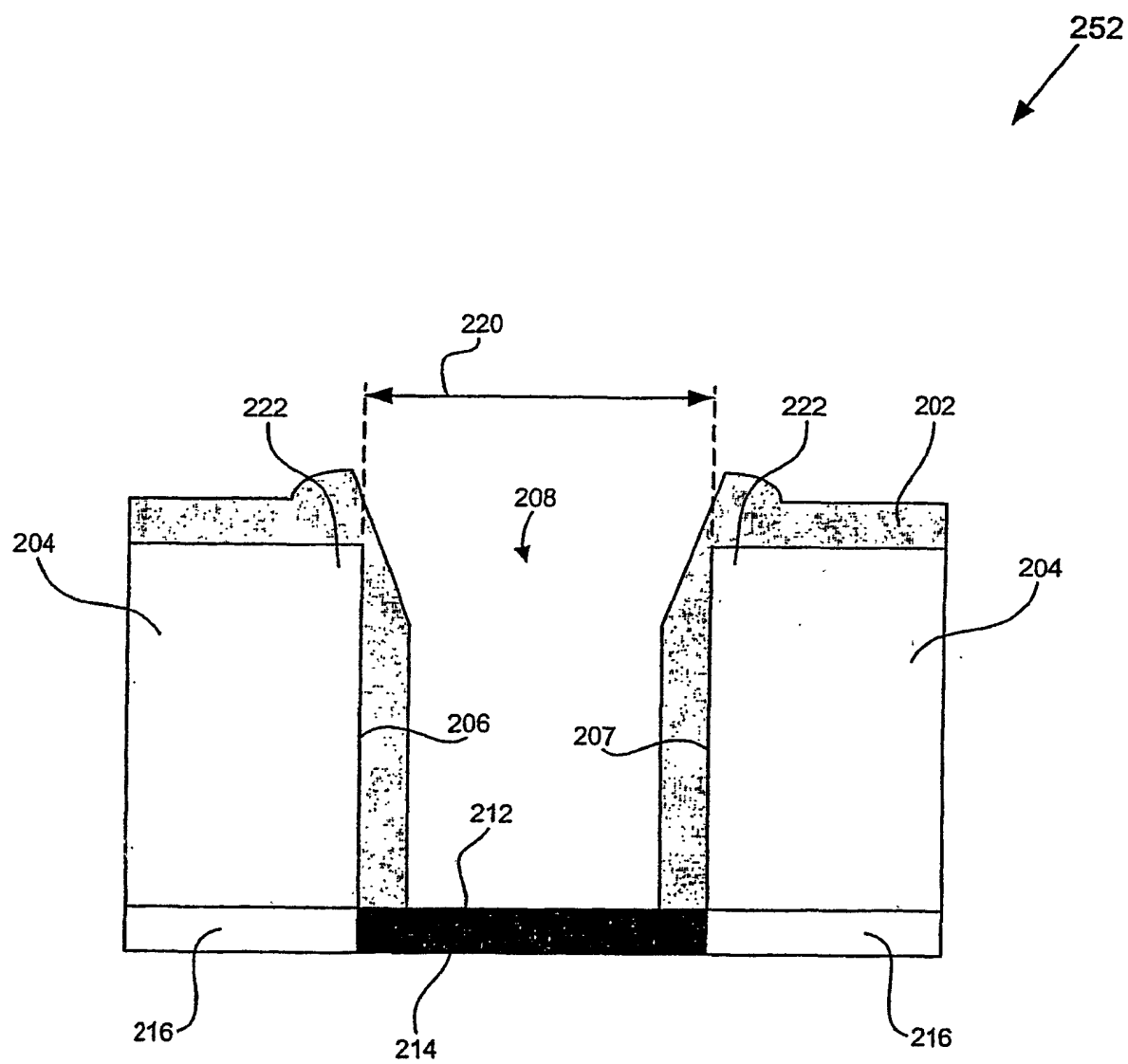


图2B

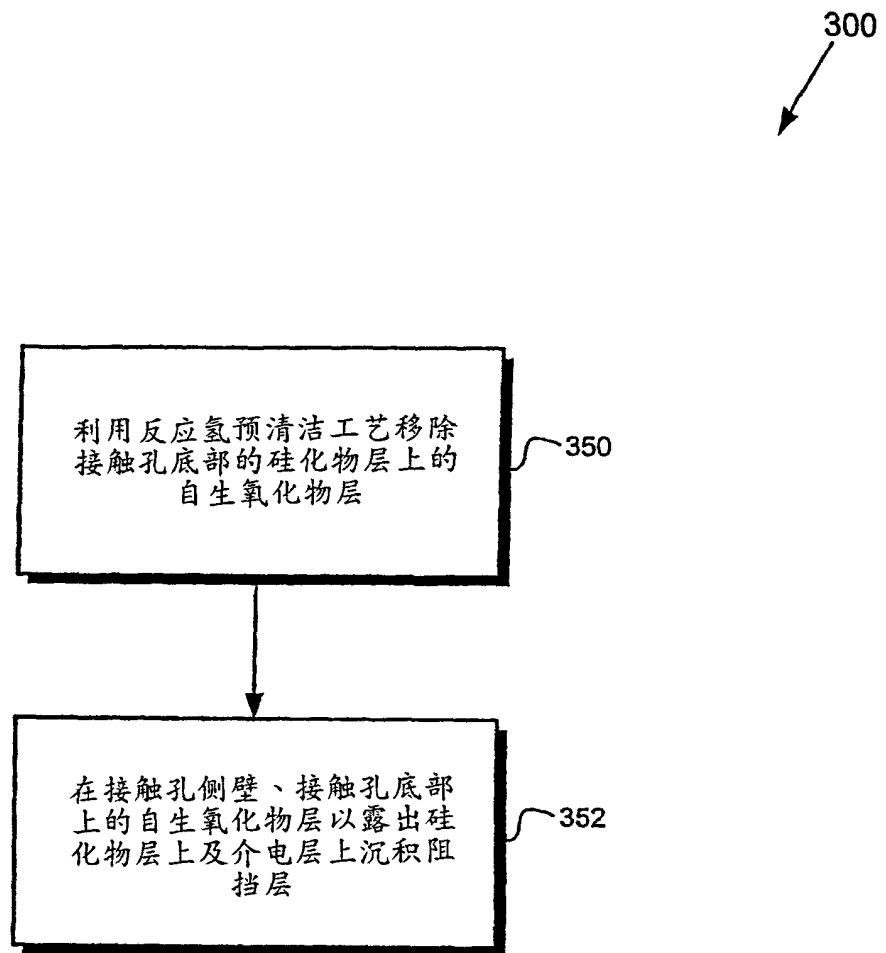


图3

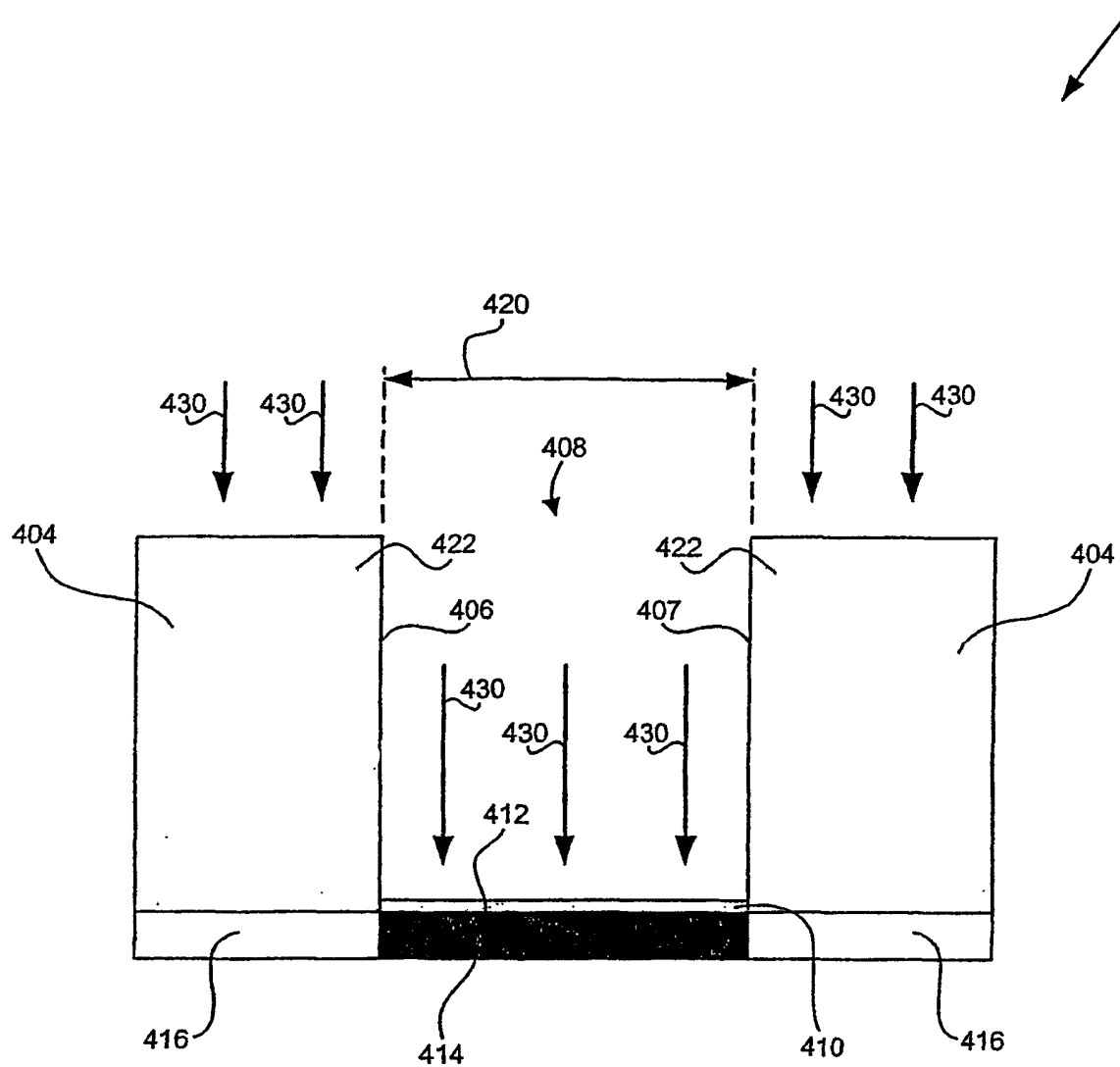


图4A

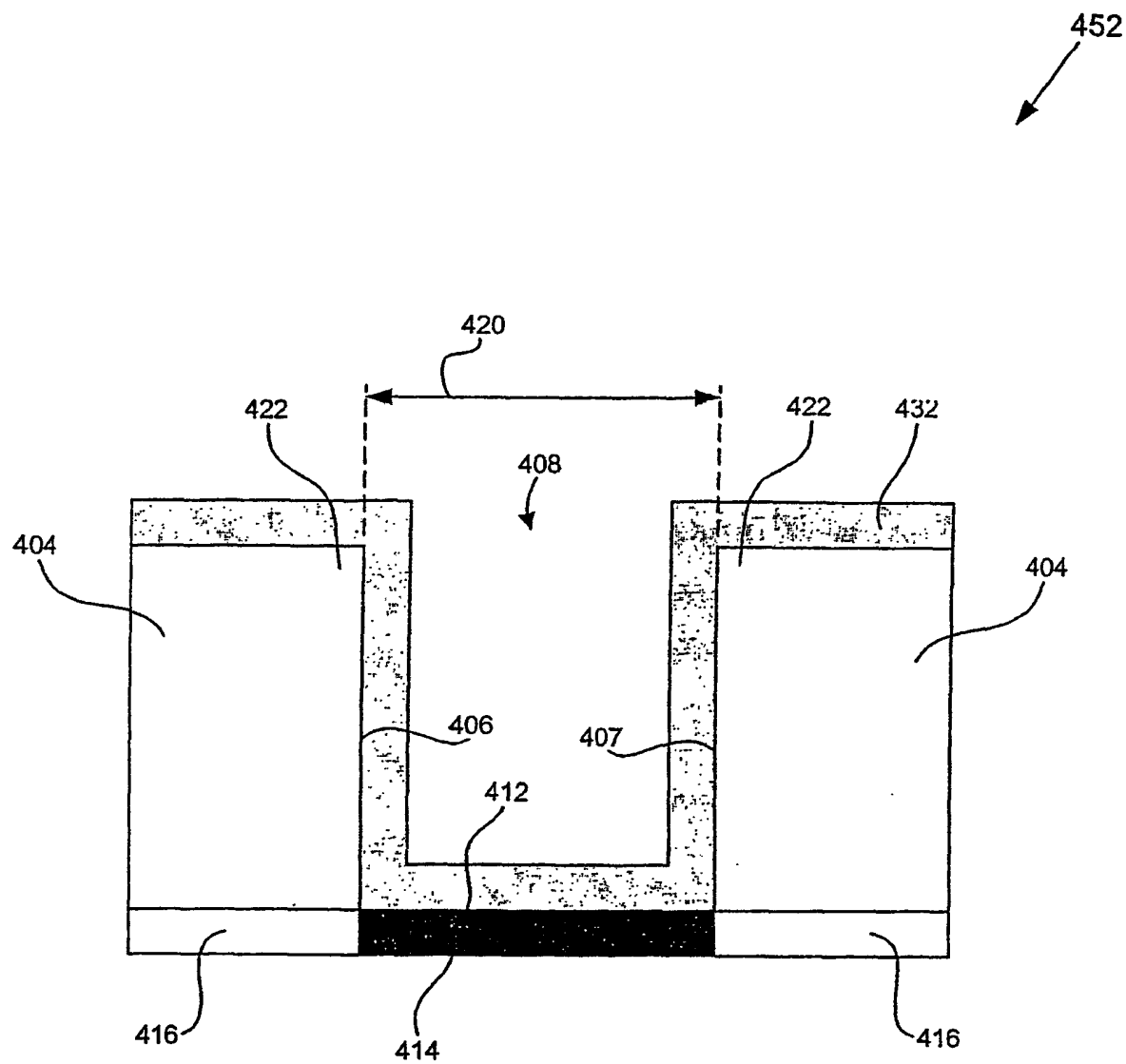


图 4B

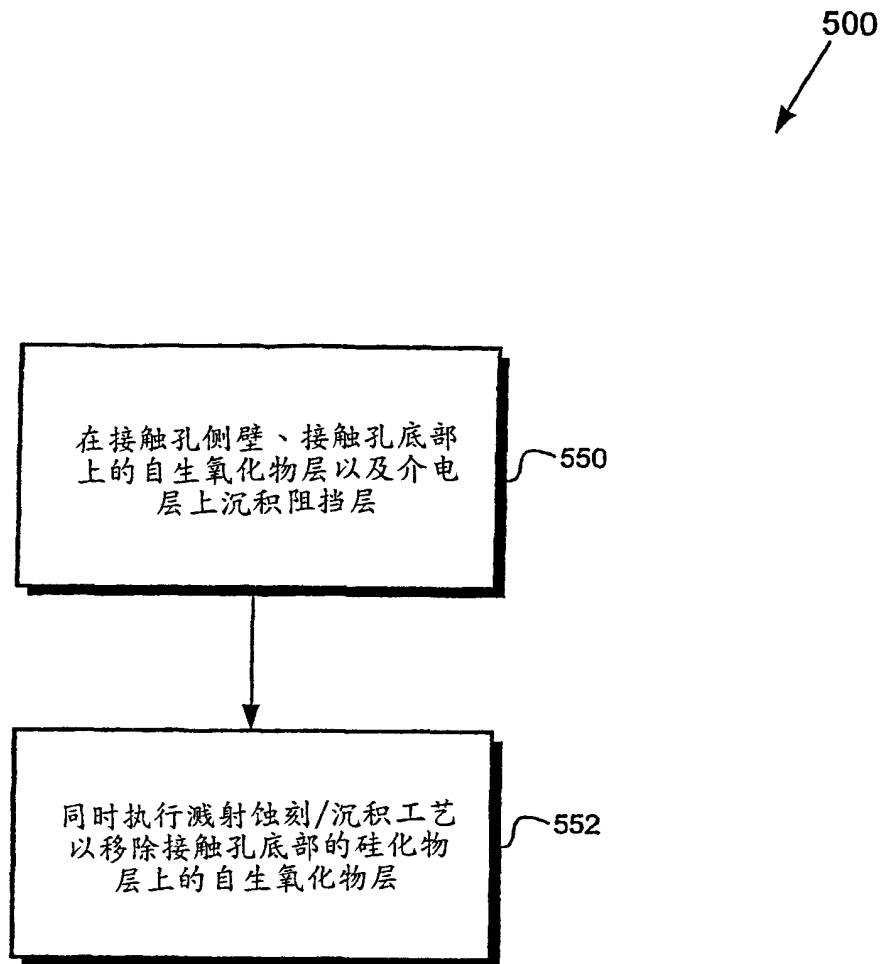


图5

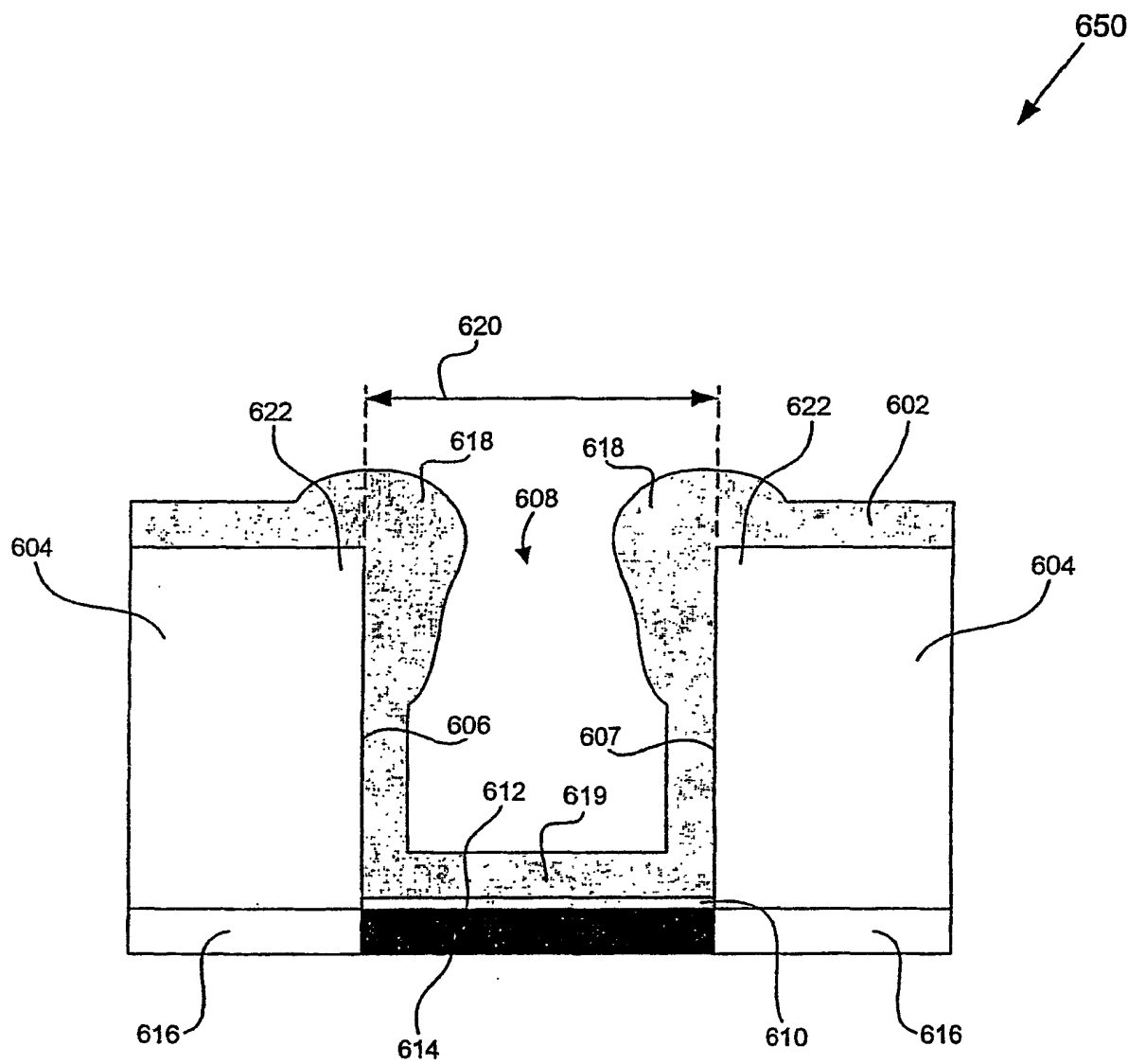


图 6A

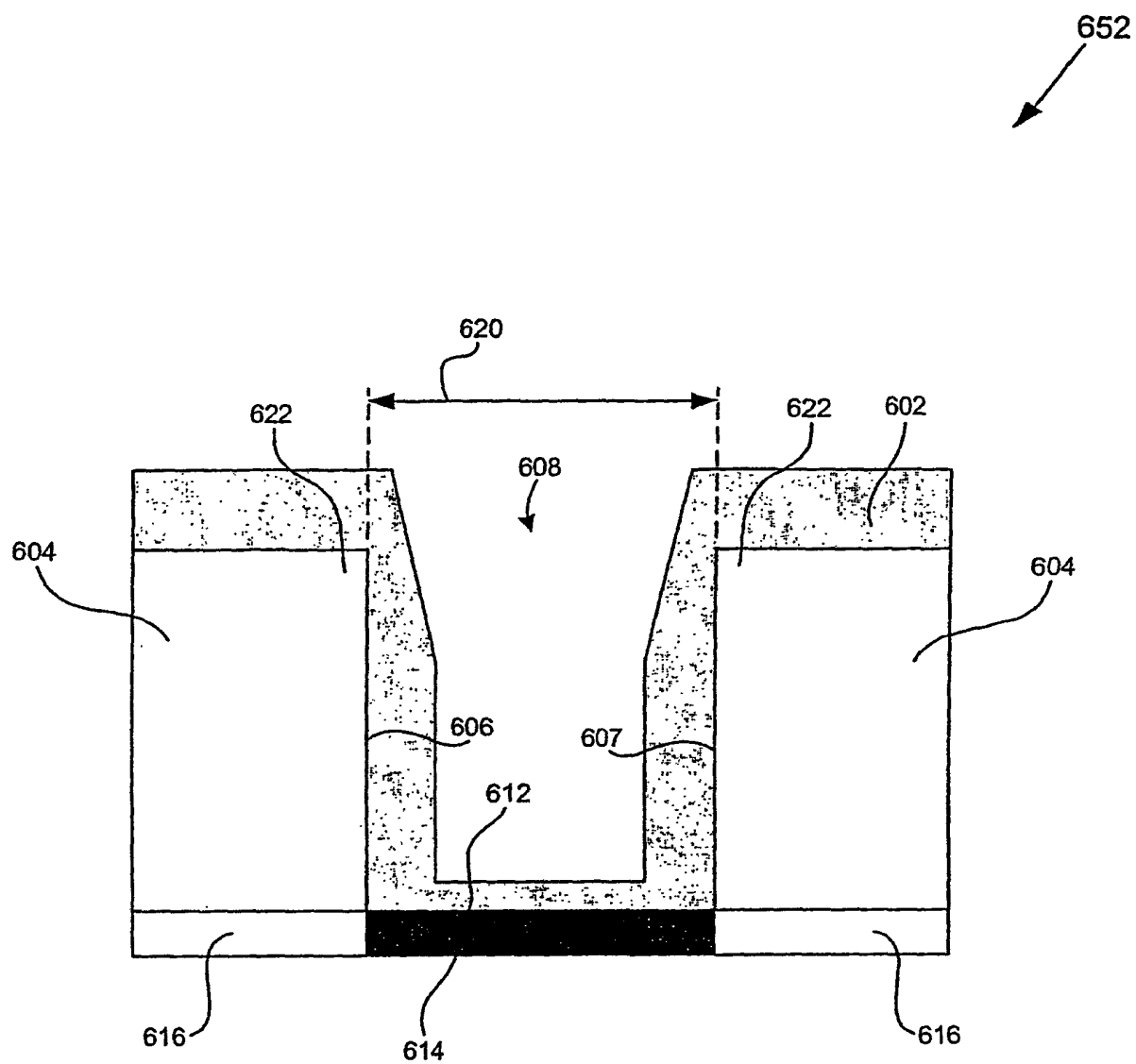


图 6B