

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-108976

(P2010-108976A)

(43) 公開日 平成22年5月13日(2010.5.13)

(51) Int.Cl.

**H01L 21/8247 (2006.01)**  
**H01L 27/115 (2006.01)**  
**H01L 29/788 (2006.01)**  
**H01L 29/792 (2006.01)**

F 1

H01L 27/10 4 3 4  
H01L 29/78 3 7 1

テーマコード(参考)

5 F 0 8 3  
5 F 1 O 1

審査請求 未請求 請求項の数 20 O L (全 42 頁)

(21) 出願番号  
(22) 出願日特願2008-276620 (P2008-276620)  
平成20年10月28日 (2008.10.28)

(71) 出願人 503121103  
株式会社ルネサステクノロジ  
東京都千代田区大手町二丁目6番2号  
100080001  
弁理士 筒井 大和  
川嶋 祥之  
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内  
舟山 幸太  
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内  
橋本 孝司  
東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内

最終頁に続く

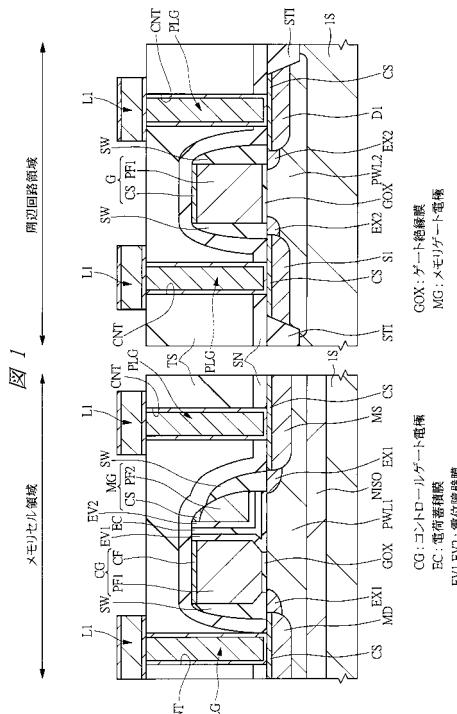
(54) 【発明の名称】半導体装置およびその製造方法

## (57) 【要約】

【課題】不揮発性半導体記憶装置(メモリ)を構成するスプリットゲート型トランジスタで発生するディスタークスを抑制して、半導体装置の信頼性を向上することができる技術を提供する。

【解決手段】メモリセル領域に形成されているメモリセルには、コントロールゲート電極C Gの側壁に電位障壁膜E V 1、電荷蓄積膜E C および電位障壁膜E V 2を介して、サイドウォール形状のメモリゲート電極M Gが形成されている。このとき、メモリセルのコントロールゲート電極C Gは矩形形状をしており、ゲート絶縁膜G O Xに接する辺の端部に形成される角部が逆テープ形状に加工されている点に特徴がある。

【選択図】図1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板のメモリセル形成領域に形成されるメモリセルと、前記半導体基板の周辺回路形成領域に形成されるM I S F E Tとを有し、

前記メモリセルは、

- ( a 1 ) 前記半導体基板上に形成された第 1 ゲート絶縁膜と、
- ( a 2 ) 前記第 1 ゲート絶縁膜上に形成されたコントロールゲート電極と、
- ( a 3 ) 前記コントロールゲート電極の側壁に形成されたメモリゲート電極と、
- ( a 4 ) 前記コントロールゲート電極と前記メモリゲート電極の間、および、前記メモリゲート電極と前記半導体基板の間に形成された積層絶縁膜と、
- ( a 5 ) 前記コントロールゲート電極と前記メモリゲート電極とに整合して前記半導体基板内に形成された第 1 ソース領域および第 1 ドレイン領域とを備え、

前記M I S F E Tは、

- ( b 1 ) 前記半導体基板上に形成された第 2 ゲート絶縁膜と、
- ( b 2 ) 前記第 2 ゲート絶縁膜上に形成されたゲート電極と、
- ( b 3 ) 前記ゲート電極に整合して前記半導体基板内に形成された第 2 ソース領域および第 2 ドレイン領域とを備える半導体装置であって、

前記メモリセルの前記コントロールゲート電極は矩形形状をしており、前記第 1 ゲート絶縁膜に接する辺の端部に形成される角部は逆テー<sup>バ</sup>形状に加工され、かつ、前記M I S F E Tの前記ゲート電極は矩形形状をしており、前記第 2 ゲート絶縁膜に接する辺の端部に形成される角部は逆テー<sup>バ</sup>形状に加工されていないことを特徴とする半導体装置。

## 【請求項 2】

請求項 1 記載の半導体装置であって、  
前記積層絶縁膜は、第 1 電位障壁膜と、前記第 1 電位障壁膜上に形成された電荷蓄積膜と、前記電荷蓄積膜上に形成された第 2 電位障壁膜とを有することを特徴とする半導体装置。

## 【請求項 3】

請求項 2 記載の半導体装置であって、  
前記第 1 電位障壁膜と前記第 2 電位障壁膜は酸化シリコン膜から形成され、かつ、前記電荷蓄積膜は窒化シリコン膜から形成されていることを特徴とする半導体装置。

## 【請求項 4】

請求項 2 記載の半導体装置であって、  
前記コントロールゲート電極と前記メモリゲート電極の間に形成されている前記第 1 電位障壁膜の膜厚は、前記メモリゲート電極と前記半導体基板の間に形成されている前記第 1 電位障壁膜の膜厚よりも厚いことを特徴とする半導体装置。

## 【請求項 5】

請求項 4 記載の半導体装置であって、  
前記コントロールゲート電極と前記メモリゲート電極の間に形成されている前記第 1 電位障壁膜において、前記コントロールゲート電極の側壁上部に形成されている前記第 1 電位障壁膜の膜厚を a とし、前記コントロールゲート電極の側壁下部に形成されている前記第 1 電位障壁膜の膜厚を b とする場合、 $a < b$  の関係が成立していることを特徴とする半導体装置。

## 【請求項 6】

請求項 4 記載の半導体装置であって、  
前記メモリセルの前記コントロールゲート電極と、前記M I S F E Tの前記ゲート電極はともにポリシリコン膜を有し、前記ポリシリコン膜内に同一導電型の導電型不純物が導入されており、

前記コントロールゲート電極に導入されている導電型不純物の不純物濃度は、前記ゲート電極に導入されている導電型不純物の不純物濃度よりも大きいことを特徴とする半導体装置。

10

20

30

40

50

**【請求項 7】**

請求項 6 記載の半導体装置であって、  
前記コントロールゲート電極に導入されている導電型不純物と、前記ゲート電極に導入  
されている導電型不純物は、ともに、リンであることを特徴とする半導体装置。

**【請求項 8】**

請求項 1 記載の半導体装置であって、  
前記コントロールゲート電極の側壁に形成された前記メモリゲート電極は、サイドウォ  
ール形状をしていることを特徴とする半導体装置。

**【請求項 9】**

請求項 1 記載の半導体装置であって、  
前記コントロールゲート電極の側壁に形成された前記メモリゲート電極は、その一部が  
前記コントロールゲート電極上に乗り上げていることを特徴とする半導体装置。 10

**【請求項 10】**

半導体基板のメモリセル形成領域に形成されるメモリセルとを有し、  
前記メモリセルは、  
( a 1 ) 前記半導体基板上に形成された第 1 ゲート絶縁膜と、  
( a 2 ) 前記第 1 ゲート絶縁膜上に形成されたコントロールゲート電極と、  
( a 3 ) 前記コントロールゲート電極の側壁に形成されたメモリゲート電極と、  
( a 4 ) 前記コントロールゲート電極と前記メモリゲート電極の間、および、前記メモ  
リゲート電極と前記半導体基板の間に形成された積層絶縁膜と、  
( a 5 ) 前記コントロールゲート電極と前記メモリゲート電極とに整合して前記半導体  
基板内に形成された第 1 ソース領域および第 1 ドレイン領域とを備え、 20

前記積層絶縁膜は、第 1 電位障壁膜と、前記第 1 電位障壁膜上に形成された電荷蓄積膜  
と、前記電荷蓄積膜上に形成された第 2 電位障壁膜とを含む半導体装置であって、

前記コントロールゲート電極と前記メモリゲート電極の間に形成された前記第 1 電位障  
壁膜の膜厚は、前記メモリゲート電極と前記半導体基板の間に形成された前記第 1 電位障  
壁膜の膜厚よりも厚く、

前記コントロールゲート電極の側壁上部に形成されている前記第 1 電位障壁膜の膜厚を  
a とし、前記コントロールゲート電極の側壁下部に形成されている前記第 1 電位障壁膜の  
膜厚を b とする場合、 a < b の関係が成立することを特徴とする半導体装置。 30

**【請求項 11】**

請求項 10 記載の半導体装置であって、  
前記第 1 電位障壁膜および前記第 2 電位障壁膜は酸化シリコン膜から形成され、かつ、  
前記電荷蓄積膜は窒化シリコン膜から形成されていることを特徴とする半導体装置。

**【請求項 12】**

半導体基板のメモリセル形成領域にメモリセルを形成し、前記半導体基板の周辺回路形  
成領域に M I S F E T を形成する半導体装置の製造方法であって、

( a ) 前記メモリセル形成領域の前記半導体基板上に第 1 ゲート絶縁膜を形成し、かつ  
、前記周辺回路形成領域の前記半導体基板上に第 2 ゲート絶縁膜を形成する工程と、

( b ) 前記第 1 ゲート絶縁膜上および前記第 2 ゲート絶縁膜上に第 1 導電膜を形成する  
工程と、 40

( c ) 前記メモリセル形成領域の前記第 1 導電膜を加工することにより、前記メモリセ  
ル形成領域に矩形形状のコントロールゲート電極を形成する工程と、

( d ) 前記コントロールゲート電極を形成後、さらに、前記コントロールゲート電極に  
対してオーバエッチング処理を実施することにより、前記第 1 ゲート絶縁膜に接する辺の  
端部に形成される角部を逆テープ形状に加工する工程と、

( e ) 前記コントロールゲート電極を覆う前記半導体基板上に第 1 電位障壁膜を形成す  
る工程と、

( f ) 前記第 1 電位障壁膜上に電荷蓄積膜を形成する工程と、

( g ) 前記電荷蓄積膜上に第 2 電位障壁膜を形成する工程と、 50

- ( h ) 前記第 2 電位障壁膜上に第 2 導電膜を形成する工程と、
- ( i ) 前記第 2 導電膜に対して異方性エッチングを施すことにより、前記コントロールゲート電極の側壁にメモリゲート電極を形成する工程と、
- ( j ) 前記周辺回路形成領域の前記第 1 導電膜を加工することにより、前記周辺回路形成領域に矩形形状のゲート電極を形成する工程と、
- ( k ) 前記メモリセル形成領域では、前記コントロールゲート電極と前記メモリゲート電極に整合して前記半導体基板内に第 1 ソース領域および第 1 ドレイン領域を形成し、前記周辺回路形成領域では、前記ゲート電極に整合して前記半導体基板内に第 2 ソース領域および第 2 ドレイン領域を形成する工程とを備えることを特徴とする半導体装置の製造方法。

10

**【請求項 1 3】**

請求項 1 2 記載の半導体装置の製造方法であって、  
前記 ( d ) 工程で実施される前記オーバエッチング処理は等方性エッチング処理であることを特徴とする半導体装置の製造方法。

**【請求項 1 4】**

請求項 1 3 記載の半導体装置の製造方法であって、  
前記第 1 導電膜および前記第 2 導電膜はポリシリコン膜であり、  
前記第 1 電位障壁膜および前記第 2 電位障壁膜は酸化シリコン膜であり、  
前記電荷蓄積膜は窒化シリコン膜であることを特徴とする半導体装置の製造方法。

**【請求項 1 5】**

請求項 1 2 記載の半導体装置の製造方法であって、さらに、  
( l ) 前記 ( b ) 工程後、前記 ( c ) 工程前に、前記メモリセル形成領域の前記第 1 導電膜内に導入される導電型不純物の不純物濃度を、前記周辺回路形成領域の前記第 1 導電膜内に導入される導電型不純物の不純物濃度よりも大きくなるように、前記第 1 導電膜内に導電型不純物を導入する工程とを有し、  
前記 ( l ) 工程を経ることにより、前記メモリセル形成領域に形成される前記コントロールゲート電極に導入されている導電型不純物の不純物濃度は、前記周辺回路形成領域に形成される前記ゲート電極に導入されている導電型不純物の不純物濃度よりも大きくなることを特徴とする半導体装置の製造方法。

20

**【請求項 1 6】**

請求項 1 5 記載の半導体装置の製造方法であって、  
前記 ( l ) 工程よりも後に前記 ( e ) 工程を実施することにより、前記コントロールゲート電極の側壁に形成される前記第 1 電位障壁膜の膜厚を、前記半導体基板上に形成される前記第 1 電位障壁膜の膜厚よりも大きくすることを特徴とする半導体装置の製造方法。

**【請求項 1 7】**

半導体基板のメモリセル形成領域にメモリセルを形成する半導体装置の製造方法であって、

( a ) 前記メモリセル形成領域の前記半導体基板上に第 1 ゲート絶縁膜を形成する工程と、

( b ) 前記第 1 ゲート絶縁膜上に第 1 導電膜を形成する工程と、

( c ) 前記メモリセル形成領域の前記第 1 導電膜を加工することにより、前記メモリセル形成領域に矩形形状のコントロールゲート電極を形成する工程と、

( d ) 前記コントロールゲート電極を覆う前記半導体基板上に第 1 絶縁膜を形成する工程と、

( e ) 前記第 1 絶縁膜に対して異方性エッチング処理を施すことにより、前記コントロールゲート電極の側壁にサイドウォールを形成する工程と、

( f ) 前記コントロールゲート電極を覆う前記半導体基板の主面上に第 2 絶縁膜を形成することにより、前記コントロールゲート電極の側壁では前記サイドウォールと前記第 2 絶縁膜とを合わせた膜からなり、かつ、前記半導体基板上では前記第 2 絶縁膜からなる第 1 電位障壁膜を形成する工程と、

40

50

(g) 前記第1電位障壁膜上に電荷蓄積膜を形成する工程と、  
 (h) 前記電荷蓄積膜上に第2電位障壁膜を形成する工程と、  
 (i) 前記第2電位障壁膜上に第2導電膜を形成する工程と、  
 (j) 前記第2導電膜に対して異方性エッチャリングを施すことにより、前記コントロールゲート電極の側壁にメモリゲート電極を形成する工程と、  
 (k) 前記メモリセル形成領域では、前記コントロールゲート電極と前記メモリゲート電極に整合して前記半導体基板内に第1ソース領域および第1ドレイン領域を形成する工程とを備えることを特徴とする半導体装置の製造方法。

#### 【請求項18】

請求項17記載の半導体装置の製造方法であって、  
 前記第1絶縁膜および前記第2絶縁膜は酸化シリコン膜から形成されていることを特徴とする半導体装置の製造方法。 10

#### 【請求項19】

請求項18記載の半導体装置の製造方法であって、  
 前記(f)工程後、前記コントロールゲート電極の側壁に形成されている前記第1電位障壁膜の膜厚は、前記半導体基板に形成されている前記第1電位障壁膜の膜厚よりも大きいことを特徴とする半導体装置の製造方法。 20

#### 【請求項20】

請求項19記載の半導体装置の製造方法であって、  
 前記(e)工程で形成される前記サイドウォールは、前記コントロールゲート電極の側壁上部に形成される前記サイドウォールの膜厚をaとし、前記コントロールゲート電極の側壁下部に形成される前記サイドウォールの膜厚をbとする場合、 $a < b$ の関係が成立することを特徴とする半導体装置の製造方法。 30

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、半導体装置およびその製造技術に関し、特に、スプリットゲート型の不揮発性メモリを含む半導体装置およびその製造技術に適用して有効な技術に関するものである。

#### 【背景技術】

#### 【0002】

特開2005-259843号公報(特許文献1)には、選択ゲート電極のメモリゲート電極が形成される側壁全体にわたって、オーバーハング形状とする技術が記載されている。この構造をとることにより、選択ゲート電極の側壁全体に窒化シリコン膜が形成されないようにすることができるとしている。

#### 【0003】

特開2005-123518号公報(特許文献2)には、選択ゲート電極のメモリゲート電極が形成される側壁をリセスさせて形成することにより、ゲート電極のシリサイド化を安定して行なう技術が開示されている。

#### 【0004】

特開2004-343014号公報(特許文献3)には、ゲート電極に窪みを設け、この窪み内を含むゲート電極の側壁に電荷保持部を形成する技術が記載されている。このとき、電荷保持部は、散逸防止絶縁体で挟まれているとしている。

#### 【特許文献1】特開2005-259843号公報

#### 【特許文献2】特開2005-123518号公報

#### 【特許文献3】特開2004-343014号公報

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0005】

電気的に書き込み・消去が可能な不揮発性半導体記憶装置として、EEPROM(Elec

trically Erasable and Programmable Read Only Memory) やフラッシュメモリが広く使用されている。現在広く用いられている EEPROM やフラッシュメモリに代表されるこれらの不揮発性半導体記憶装置(メモリ)は、MOS (Metal Oxide Semiconductor) トランジスタのゲート電極下に、酸化シリコン膜で囲まれた導電性の浮遊ゲート電極やトラップ性絶縁膜など電荷蓄積膜を有しており、浮遊ゲート電極やトラップ性絶縁膜での電荷蓄積状態によってトランジスタのしきい値が異なることを利用して情報を記憶する。

#### 【0006】

このトラップ性絶縁膜とは、電荷の蓄積可能なトラップ準位を有する絶縁膜をいい、一例として、窒化シリコン膜等があげられる。トラップ性絶縁膜を有する不揮発性半導体記憶装置では、トラップ性絶縁膜への電荷の注入・放出によって MOS トランジスタのしきい値をシフトさせ記憶素子として動作させる。このようなトラップ性絶縁膜を電荷蓄積膜とする不揮発性半導体記憶装置を MONOS (Metal Oxide Nitride Oxide Semiconductor) 型トランジスタと呼んでおり、電荷蓄積膜に導電性の浮遊ゲート電極を使用する場合に比べ、離散的なトラップ準位に電荷を蓄積するためにデータ保持の信頼性に優れる。また、データ保持の信頼性に優れているためにトラップ性絶縁膜上下の酸化シリコン膜の膜厚を薄膜化でき、書き込み・消去動作の低電圧化が可能である等の利点を有する。

#### 【0007】

MONOS型トランジスタの中には、例えば、コントロールゲート電極とメモリゲート電極を隣接して配置したスプリットゲート型トランジスタがある。このスプリットゲート型トランジスタは、ソースサイド・ホットエレクトロン注入方式による書き込み動作や、バンド間トンネリング (Band to Band Tunneling) により発生したホットホールによる消去動作を使用することにより、高速動作が実現可能となっている。

#### 【0008】

しかし、スプリットゲート型トランジスタでは、書き込み動作や消去動作時に、選択しているメモリセルだけでなく、非選択メモリセルにも高電圧が印加される。例えば、スプリットゲート型トランジスタからなるメモリセルでは、コントロールゲート電極やメモリゲート電極およびソース領域に所定の電圧を印加して書き込み動作を行なっている。このとき、メモリセルの選択は、ドレイン領域に印加する電圧を調整することで行なっている。すなわち、ドレイン領域とコントロールゲート電極の電位差を所定電圧以上にすることで、選択トランジスタがオンし、これにより特定のメモリセルが選択される。一方、非選択メモリセルでも、コントロールゲート電極やメモリゲート電極およびソース領域に所定の高電圧を印加した状態になっているものがあり、ドレイン領域とコントロールゲート電極の電位差を所定電圧以下にすることで、選択トランジスタをオフし、これによりメモリセルを非選択としている。

#### 【0009】

したがって、非選択メモリセルでも、コントロールゲート電極やメモリゲート電極に電圧が印加されており、このコントロールゲート電極に印加される電圧とメモリゲート電極に印加される電圧との電位差により、高電界が発生する。この高電界によって、非選択メモリセルにおいても、誤書き込みや誤消去などのディスターブと呼ばれる現象が発生する。特に、コントロールゲート電極とメモリゲート電極の間に、コントロールゲート電極とソース領域の間に同時に高電界が印加された場合、コントロールゲート電極とメモリゲート電極の境界直下の半導体基板内(チャネル領域)で発生する接合リーキ起因のホットキャリアが原因となって上述したディスターブが生じやすくなる問題点がある。

#### 【0010】

本発明の目的は、不揮発性半導体記憶装置(メモリ)を構成するスプリットゲート型トランジスタで発生するディスターブを抑制して、半導体装置の信頼性を向上することができる技術を提供することにある。

#### 【0011】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【課題を解決するための手段】**

**【0012】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

**【0013】**

代表的な実施の形態による半導体装置は、半導体基板のメモリセル形成領域に形成されるメモリセルと、前記半導体基板の周辺回路形成領域に形成されるMISFETとを有している。ここで、前記メモリセルは、(a1)前記半導体基板上に形成された第1ゲート絶縁膜と、(a2)前記第1ゲート絶縁膜上に形成されたコントロールゲート電極と、(a3)前記コントロールゲート電極の側壁に形成されたメモリゲート電極とを有する。さらに、(a4)前記コントロールゲート電極と前記メモリゲート電極の間、および、前記メモリゲート電極と前記半導体基板の間に形成された積層絶縁膜と、(a5)前記コントロールゲート電極と前記メモリゲート電極とに整合して前記半導体基板内に形成された第1ソース領域および第1ドレイン領域とを備える。一方、前記MISFETは、(b1)前記半導体基板上に形成された第2ゲート絶縁膜と、(b2)前記第2ゲート絶縁膜上に形成されたゲート電極と、(b3)前記ゲート電極に整合して前記半導体基板内に形成された第2ソース領域および第2ドレイン領域とを備える。ここで、前記メモリセルの前記コントロールゲート電極は矩形形状をしており、前記第1ゲート絶縁膜に接する辺の端部に形成される角部は逆テープ形状に加工される。一方、前記MISFETの前記ゲート電極は矩形形状をしており、前記第2ゲート絶縁膜に接する辺の端部に形成される角部は逆テープ形状に加工されていないものである。10

**【0014】**

また、代表的な実施の形態による半導体装置の製造方法は、半導体基板のメモリセル形成領域にメモリセルを形成し、前記半導体基板の周辺回路形成領域にMISFETを形成するものである。このとき、代表的な実施の形態による半導体装置の製造方法は、(a)前記メモリセル形成領域の前記半導体基板上に第1ゲート絶縁膜を形成し、かつ、前記周辺回路形成領域の前記半導体基板上に第2ゲート絶縁膜を形成する工程と、(b)前記第1ゲート絶縁膜上および前記第2ゲート絶縁膜上に第1導電膜を形成する工程とを備える。そして、(c)前記メモリセル形成領域の前記第1導電膜を加工することにより、前記メモリセル形成領域に矩形形状のコントロールゲート電極を形成する工程と、(d)前記コントロールゲート電極を形成後、さらに、前記コントロールゲート電極に対してオーバエッチング処理を実施することにより、前記第1ゲート絶縁膜に接する辺の端部に形成される角部を逆テープ形状に加工する工程とを備える。さらに、(e)前記コントロールゲート電極を覆う前記半導体基板上に第1電位障壁膜を形成する工程と、(f)前記第1電位障壁膜上に電荷蓄積膜を形成する工程と、(g)前記電荷蓄積膜上に第2電位障壁膜を形成する工程と、(h)前記第2電位障壁膜上に第2導電膜を形成する工程とを備える。続いて、(i)前記第2導電膜に対して異方性エッチングを施すことにより、前記コントロールゲート電極の側壁にメモリゲート電極を形成する工程と、(j)前記周辺回路形成領域の前記第1導電膜を加工することにより、前記周辺回路形成領域に矩形形状のゲート電極を形成する工程とを備える。最後に、(k)前記メモリセル形成領域では、前記コントロールゲート電極と前記メモリゲート電極に整合して前記半導体基板内に第1ソース領域および第1ドレイン領域を形成し、前記周辺回路形成領域では、前記ゲート電極に整合して前記半導体基板内に第2ソース領域および第2ドレイン領域を形成する工程とを備えるものである。20

**【発明の効果】**

**【0015】**

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

**【0016】**

不揮発性半導体記憶装置(メモリ)を構成するスプリットゲート型トランジスタで発生30

10

20

30

40

50

するディスターブを抑制することができる。この結果、半導体装置の信頼性を向上することができる。

**【発明を実施するための最良の形態】**

**【0017】**

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。

**【0018】**

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

10

**【0019】**

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。

20

**【0020】**

同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうではないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

20

**【0021】**

また、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。なお、図面をわかりやすくするために平面図であってもハッチングを付す場合がある。

30

**【0022】**

（実施の形態1）

まず、本実施の形態1における不揮発性半導体記憶装置の構成について説明する。図1は、本実施の形態1における不揮発性半導体記憶装置の断面を示す図である。図1では、メモリセル領域と周辺回路領域が図示されており、メモリセルアレイ領域には、1つのメモリセルが示されている。一方、周辺回路領域には、周辺回路を構成するMISFET（Metal Insulator Semiconductor Field Effect Transistor）の1つが図示されている。

30

**【0023】**

図1に示すように、メモリセル領域においては、半導体基板1Sにウェル分離層NISOが形成されており、このウェル分離層NISO上にp型ウェルPWL1が形成されている。一方、周辺回路領域においては、半導体基板1Sに素子分離領域STIが形成されており、この素子分離領域STIで区画された活性領域（アクティブ領域）にp型ウェルPWL2が形成されている。素子分離領域STIは、半導体基板1Sに形成した溝に酸化シリコン膜などの絶縁膜を埋め込むことにより形成されている。

40

**【0024】**

まず、素子分離領域STIで区画された周辺回路領域に形成されているMISFETの構成について説明する。周辺回路領域とは周辺回路が形成されている領域を示している。具体的には、不揮発性半導体記憶装置は、メモリセルがアレイ状（行列状）に形成されたメモリセル領域と、このメモリセル領域に形成されているメモリセルを制御する周辺回路から構成されている。そして、この周辺回路には、メモリセルのコントロールゲート電極などに印加する電圧を制御するワードドライバや、メモリセルからの出力を増幅するセンスアンプや、ワードドライバやセンスアンプを制御する制御回路などから構成されている。したがって、図1に示す周辺回路領域には、例えば、ワードドライバ、センスアンプあるいは制御回路などを構成するMISFETの1つが図示されている。以下に、この周辺回路を構成するnチャネル型MISFETについて説明する。

50

**【0025】**

図1に示すように、周辺回路領域では、半導体基板1S上にp型ウェルPWL2が形成されている。p型ウェルPWL2は、ボロン(B)などのp型不純物を半導体基板1Sに導入したp型半導体領域から形成されている。

#### 【0026】

次に、p型ウェルPWL2(半導体基板1S)上にはゲート絶縁膜GDXが形成されており、このゲート絶縁膜GDX上にゲート電極Gが形成されている。ゲート絶縁膜GDXは、例えば、酸化シリコン膜から形成され、ゲート電極Gは、例えば、ポリシリコン膜PF1とこのポリシリコン膜PF1の表面に形成されたコバルトシリサイド膜CSから形成されている。ゲート電極Gを構成するポリシリコン膜PF1には、ゲート電極Gの空乏化を抑えるために、例えば、リンなどのn型不純物が導入されている。ゲート電極の一部を構成するコバルトシリサイド膜CSはゲート電極Gの低抵抗化のために形成されている。10

#### 【0027】

ゲート電極Gの両側の側壁には、例えば、酸化シリコン膜からなるサイドウォールSWが形成されており、このサイドウォールSW直下の半導体基板1S(p型ウェルPWL2)内には浅い低濃度不純物拡散領域EX2が形成されている。この浅い低濃度不純物拡散領域EX2はn型半導体領域であり、ゲート電極Gに整合して形成されている。そして、この浅い低濃度不純物拡散領域EX2の外側には深い高濃度不純物拡散領域S1、D1が形成されている。この深い高濃度不純物拡散領域S1、D1もn型半導体領域であり、サイドウォールSWに整合して形成されている。深い高濃度不純物拡散領域S1、D1の表面には低抵抗化のためのコバルトシリサイド膜CSが形成されている。浅い低濃度不純物拡散領域EX2と深い高濃度不純物拡散領域S1によりソース領域が形成され、浅い低濃度不純物拡散領域EX2と深い高濃度不純物拡散領域D1によりドレイン領域が形成される。このようにして、周辺回路領域にMISFETが形成されている。20

#### 【0028】

なお、図1に図示はしていないが、周辺回路を構成するMISFETには、nチャネル型MISFETだけでなく、pチャネル型MISFETもある。このpチャネル型MISFETの構成も、図1に示すnチャネル型MISFETの構成とほぼ同様である。異なる点は、半導体領域の導電型が逆導電型となっていることである。具体的には、図1に示すnチャネル型MISFETは、p型ウェルPWL2上に形成されているが、pチャネル型MISFETはn型ウェル上に形成される。そして、nチャネル型MISFETでは、ソース領域やドレイン領域を浅いn型不純物拡散領域EX2と深いn型不純物拡散領域S1、D1で構成しているのに対し、pチャネル型MISFETでは、ソース領域やドレイン領域を浅いp型不純物拡散領域と深いp型不純物拡散領域で構成している。30

#### 【0029】

続いて、周辺回路領域に形成されているMISFETと接続する配線構造について説明する。MISFET上には、MISFETを覆うように酸化シリコン膜からなる層間絶縁膜が形成されている。層間絶縁膜は、例えば、窒化シリコン膜SNと、酸化シリコン膜TSの積層膜から形成されている。この層間絶縁膜には、層間絶縁膜を貫通してソース領域やドレイン領域を構成するコバルトシリサイド膜CSに達するコンタクトホールCNTが形成されている。コンタクトホールCNTの内部には、バリア導体膜であるチタン/窒化チタン膜が形成され、コンタクトホールを埋め込むようにタンゲステン膜が形成されている。このように、コンタクトホールCNTにチタン/窒化チタン膜およびタンゲステン膜を埋め込むことにより、導電性のプラグPLGが形成されている。そして、層間絶縁膜上には、配線L1が形成されており、この配線L1とプラグPLGが電気的に接続されている。配線L1は、例えば、チタン/窒化チタン膜、アルミニウム膜およびチタン/窒化チタン膜の積層膜から形成されている。40

#### 【0030】

次に、メモリセル領域に形成されているメモリセルの構成について説明する。図1に示すように、メモリセル領域において、半導体基板1S上にn型半導体領域からなるウェル分離層NISOが形成されており、このウェル分離層NISO上にp型ウェルPWL1が50

形成されている。そして、このp型ウェルPWL1上にメモリセルが形成されている。このメモリセルは、メモリセルを選択する選択部と情報を記憶する記憶部から構成されている。

#### 【0031】

始めに、メモリセルを選択する選択部の構成について説明する。メモリセルは、半導体基板1S(p型ウェルPWL1)上に形成されたゲート絶縁膜GDXを有しており、このゲート絶縁膜GDX上にコントロールゲート電極(制御電極)CGが形成されている。ゲート絶縁膜GDXは、例えば、酸化シリコン膜から形成されており、コントロールゲート電極CGは、例えば、ポリシリコン膜PF1とポリシリコン膜PF1上に形成されているコバルトシリサイド膜CSから形成されている。コバルトシリサイド膜CSは、コントロールゲート電極CGの低抵抗化のために形成されている。このコントロールゲート電極CGは、メモリセルを選択する機能を有している。つまり、コントロールゲート電極CGによって特定のメモリセルを選択し、選択したメモリセルに対して書き込み動作や消去動作あるいは読み出し動作をするようになっている。10

#### 【0032】

次に、メモリセルの記憶部の構成について説明する。コントロールゲート電極CGの片側の側壁には絶縁膜からなる積層絶縁膜を介してメモリゲート電極MGが形成されている。メモリゲート電極MGは、コントロールゲート電極CGの片側の側壁に形成されたサイドウォール状の形状をしており、ポリシリコン膜PF2とポリシリコン膜PF2上に形成されているコバルトシリサイド膜CSから形成されている。コバルトシリサイド膜CSは、メモリゲート電極MGの低抵抗化のために形成されている。20

#### 【0033】

コントロールゲート電極CGとメモリゲート電極MGの間およびメモリゲート電極MGと半導体基板1Sとの間には、積層絶縁膜が形成されている。この積層絶縁膜は、半導体基板1S上に形成されている電位障壁膜EV1と、電位障壁膜EV1上に形成されている電荷蓄積膜ECと、電荷蓄積膜EC上に形成されている電位障壁膜EV2から構成されている。電位障壁膜EV1は、例えば、酸化シリコン膜から形成されており、メモリゲート電極MGと半導体基板1Sとの間に形成されるゲート絶縁膜として機能する。この酸化シリコン膜からなる電位障壁膜は、トンネル絶縁膜としての機能も有する。例えばメモリセルの記憶部は、半導体基板1Sから電位障壁膜EV1を介して電荷蓄積膜ECに電子を注入したり、電荷蓄積膜ECに正孔を注入したりして情報の記憶や消去を行なうため、電位障壁膜EV1は、トンネル絶縁膜として機能する。30

#### 【0034】

そして、この電位障壁膜EV1上に形成されている電荷蓄積膜ECは、電荷を蓄積する機能を有している。具体的に、本比較例では、電荷蓄積膜ECを窒化シリコン膜から形成している。本実施の形態1におけるメモリセルの記憶部は、電荷蓄積膜ECに蓄積される電荷の有無によって、メモリゲート電極MG下の半導体基板1S内を流れる電流を制御することにより、情報を記憶するようになっている。つまり、電荷蓄積膜ECに蓄積される電荷の有無によって、メモリゲート電極MG下の半導体基板1S内を流れる電流のしきい値電圧が変化することを利用して情報を記憶している。40

#### 【0035】

本実施の形態1では、電荷蓄積膜ECとしてトラップ準位を有する絶縁膜を使用している。このトラップ準位を有する絶縁膜の一例として窒化シリコン膜が挙げられるが、窒化シリコン膜に限らず、例えば、酸化アルミニウム膜(アルミナ)、酸化ハフニウム膜または酸化タンタル膜など、窒化シリコン膜よりも高い誘電率を有する高誘電率膜を使用してもよい。電荷蓄積膜ECとしてトラップ準位を有する絶縁膜を使用する場合、電荷は絶縁膜に形成されているトラップ準位に捕獲される。このようにトラップ準位に電荷を捕獲することにより、絶縁膜中に電荷を蓄積するようになっている。

#### 【0036】

従来、電荷蓄積膜ECとしてポリシリコン膜が主に使用されてきたが、電荷蓄積膜EC

10

20

30

40

50

としてポリシリコン膜を使用した場合、電荷蓄積膜 E C を取り囲む電位障壁膜 E V 1 あるいは電位障壁膜 E V 2 のどこか一部に欠陥があると、電荷蓄積膜 E C が導体膜であるため、異常リークにより電荷蓄積膜 E C に蓄積された電荷がすべて抜けてしまうことが起こりうる。

#### 【 0 0 3 7 】

そこで、電荷蓄積膜 E C として、絶縁体である窒化シリコン膜が使用されてきている。この場合、データ記憶に寄与する電荷は、窒化シリコン膜中に存在する離散的なトラップ準位（捕獲準位）に蓄積される。したがって、電荷蓄積膜 E C を取り巻く電位障壁膜 E V 1 や電位障壁膜 E V 2 中の一部に欠陥が生じても、電荷は電荷蓄積膜 E C の離散的なトラップ準位に蓄積されているため、すべての電荷が電荷蓄積膜 E C から抜け出してしまうことがない。このため、データ保持の信頼性向上を図ることができる。10

#### 【 0 0 3 8 】

このような理由から、電荷蓄積膜 E C として、窒化シリコン膜に限らず、離散的なトラップ準位を含むような膜を使用することにより、データ保持の信頼性を向上することができる。さらに、本実施の形態 1 では、電荷蓄積膜 E C としてデータ保持特性に優れた窒化シリコン膜を使用している。このため、電荷蓄積膜 E C からの電荷の流出を防止するために設けられている電位障壁膜 E V 1 および電位障壁膜 E V 2 の膜厚を薄くすることができる。これにより、メモリセルを駆動する電圧を低電圧化することができる利点も有していることになる。

#### 【 0 0 3 9 】

次に、コントロールゲート電極 C G の側壁のうち、一方の片側にはメモリゲート電極 M G が形成されているが、もう一方の片側には、酸化シリコン膜よりなるサイドウォール S W が形成されている。同様に、メモリゲート電極 M G の側壁のうち、一方の片側にはコントロールゲート電極 C G が形成されており、もう一方の片側にも酸化シリコン膜よりなるサイドウォール S W が形成されている。20

#### 【 0 0 4 0 】

サイドウォール S W の直下にある半導体基板 1 S 内には、n 型半導体領域である一対の浅い低濃度不純物拡散領域 E X 1 が形成されており、この一対の浅い低濃度不純物拡散領域 E X 1 に接する外側の領域に一対の深い高濃度不純物拡散領域 M S 、 M D が形成されている。この深い高濃度不純物拡散領域 M S 、 M D も n 型半導体領域であり、高濃度不純物拡散領域 M S 、 M D の表面にはコバルトシリサイド膜 C S が形成されている。一対の低濃度不純物拡散領域 E X 1 と一対の高濃度不純物拡散領域 M S 、 M D によって、メモリセルのソース領域あるいはドレイン領域が形成される。ソース領域とドレイン領域を低濃度不純物拡散領域 E X 1 と高濃度不純物拡散領域 M S 、 M D で形成することにより、ソース領域とドレイン領域を L D D (Lightly Doped Drain) 構造とすることができる。ここで、ゲート絶縁膜 G O X およびゲート絶縁膜 G O X 上に形成されたコントロールゲート電極 C G および上述したソース領域とドレイン領域によって構成されるトランジスタを選択トランジスタと呼ぶことにする。一方、電位障壁膜 E V 1 、電荷蓄積膜 E C および電位障壁膜 E V 2 からなる積層絶縁膜とこの積層絶縁膜上に形成されているメモリゲート電極 M G 、上述したソース領域とドレイン領域によって構成されるトランジスタをメモリトランジスタと呼ぶことにする。これにより、メモリセルの選択部は選択トランジスタから構成され、メモリセルの記憶部はメモリトランジスタから構成されているということができる。このようにして、メモリセルが構成されている。30

#### 【 0 0 4 1 】

続いて、メモリセルと接続する配線構造について説明する。メモリセル上には、メモリセルを覆うように窒化シリコン膜 S N および酸化シリコン膜 T S からなる層間絶縁膜が形成されている。この層間絶縁膜には、層間絶縁膜を貫通してソース領域やドレイン領域を構成するコバルトシリサイド膜 C S に達するコンタクトホール C N T が形成されている。コンタクトホール C N T の内部には、バリア導体膜であるチタン / 窒化チタン膜が形成され、コンタクトホール C N T を埋め込むようにタンゲステン膜が形成されている。このよ40

うに、コンタクトホールC N Tにチタン／窒化チタン膜およびタンゲステン膜を埋め込むことにより、導電性のプラグP L Gが形成されている。そして、層間絶縁膜上には、配線L 1が形成されており、この配線L 1とプラグP L Gが電気的に接続されている。配線L 1は、例えば、チタン／窒化チタン膜、アルミニウム膜およびチタン／窒化チタン膜の積層膜から形成されている。

#### 【0042】

以上のようにして、半導体基板1 S上にメモリセルと、周辺回路を構成するM I S F E Tが形成されている。

#### 【0043】

次に、本実施の形態1における特徴点について説明する。本実施の形態1における特徴点はメモリセルの構造にある。具体的には、図1に示すように、コントロールゲート電極C Gの角部が削られて逆テープ形状になっている点が本実施の形態1の特徴である。つまり、メモリセルのコントロールゲート電極C Gは矩形形状をしており、ゲート絶縁膜G O Xに接する辺の端部に形成される角部が逆テープ形状に加工されている。

10

#### 【0044】

これにより、コントロールゲート電極C Gとメモリゲート電極M Gとの半導体基板1 S側の距離を実効的に離すことができる。例えば、メモリセルに対して書き込み動作や消去動作を行なう場合、非選択メモリセルであっても、コントロールゲート電極C Gとメモリゲート電極M Gには、それぞれ異なる高電位が印加されるため、コントロールゲート電極C Gとメモリゲート電極M Gの間には電位差により電界が生じる。この電界は、コントロールゲート電極C Gとメモリゲート電極M Gとの距離が近いほど大きくなる。コントロールゲート電極C Gとメモリゲート電極M G間に発生した電界は、半導体基板1 S内にも入り込む。この結果、半導体基板1 S内に発生しているp n接合を流れるリーク電流に影響を及ぼして、ホットキャリアを発生させる。そして、このホットキャリアが電荷蓄積膜E Cに注入されるのである。つまり、非選択メモリセルであっても、コントロールゲート電極C Gとメモリゲート電極M G間に高電界が発生し、この高電界が半導体基板1 S内に入り込むことにより、半導体基板1 S内に予期しないホットキャリアが発生する。このホットキャリアが誤って電荷蓄積膜E Cに注入されると、非選択メモリセルにおいて、誤書き込みや誤消去が生じることになる。

20

#### 【0045】

そこで、本実施の形態1では、メモリセルのコントロールゲート電極C Gにおいて、ゲート絶縁膜G O Xに接する辺の端部に形成される角部を逆テープ形状に加工しているのである。これにより、コントロールゲート電極C Gとメモリゲート電極M Gとの半導体基板に近い側の距離を実効的に大きくすることができる。この結果、半導体基板1 S内の電界強度を弱めることができ、非選択メモリセルにおいて、ホットキャリアの発生を抑制することができる。つまり、本実施の形態1では、非選択メモリセルでの誤書き込みや誤消去を抑制できる顕著な効果を奏するのである。

30

#### 【0046】

特に、メモリセルのコントロールゲート電極C Gにおいて、ゲート絶縁膜G O Xに接する辺の端部に形成される角部を逆テープ形状に加工することに意味がある。すなわち、本実施の形態1では、半導体基板1 S内で発生する電界の電界強度を弱める必要があることから、コントロールゲート電極C Gの角部のうち、半導体基板1 Sに近い側の角部（言い換えれば、ゲート絶縁膜G O Xに接する辺の端部に形成される角部）であって、かつ、メモリゲート電極M G側の角部を逆テープ形状にすることが重要である。このように構成することにより、コントロールゲート電極C Gとメモリゲート電極M Gの半導体基板1 S上の距離を実効的に離すことができるので、結果として、半導体基板1 S内の電界強度を弱めることができるるのである。

40

#### 【0047】

図2は、コントロールゲート電極C Gにおいて、ゲート絶縁膜G O Xに接する辺の端部に形成される角部がそのまま形成されている構造を示す図である。図2に示すように、こ

50

の場合、コントロールゲート電極 C G とメモリゲート電極 M G との半導体基板に近い側の距離が距離 S A となっている。

#### 【 0 0 4 8 】

これに対し、図 3 は、本実施の形態 1 におけるコントロールゲート電極 C G において、ゲート絶縁膜 G O X に接する辺の端部に形成される角部が逆テーパ形状に加工されている構造を示す図である。図 3 に示すように、ゲート絶縁膜 G O X に接する辺の端部に形成される角部を逆テーパ形状に加工することにより、コントロールゲート電極 C G とメモリゲート電極 M G との半導体基板に近い側の距離を距離 S A よりも大きな距離 S B とすることができますことがわかる。すなわち、本実施の形態 1 では、コントロールゲート電極 C G とメモリゲート電極 M G 間の半導体基板に近い側の距離を実効的に広げることができるので、半導体基板内での電界強度を抑制できることがわかる。10

#### 【 0 0 4 9 】

ここで、本明細書で逆テーパ形状とは図 3 に示す形状であり、ゲート絶縁膜 G O X に接するコントロールゲート電極 C G の底辺と角部とのなす角  $\theta$  が鋭角である形状をいう。別の言い方をすれば、逆テーパ形状とは、コントロールゲート電極 C G のゲート絶縁膜 G O X と接する底辺が、コントロールゲート電極 C G のメモリゲート電極 M G と接する側辺（詳細には、コントロールゲート電極 C G と電位障壁膜 E V 1 が接する辺）よりも内側で終端しており、かつ、側辺も底辺よりも高い位置で終端している状態において、この底辺の終端部 T E 1 と側辺の終端部 T E 2 を結ぶ線分で形成される形状をいうものとする。

#### 【 0 0 5 0 】

本実施の形態 1 におけるメモリセルは上記のように構成されており、以下に、メモリセルの動作について説明する。ここで、図 4 に示すように、コントロールゲート電極に印加する電圧を  $V_{c g}$ 、メモリゲート電極に印加する電圧を  $V_{m g}$  としている。さらに、ソース領域とドレイン領域のそれぞれに印加する電圧を  $V_s$ 、 $V_d$  とし、半導体基板（p 型ウェル）に印加する電圧を  $V_{s u b}$  としている。電荷蓄積膜である窒化シリコン膜への電子の注入を「書き込み」、窒化シリコン膜への正孔（ホール）の注入を「消去」と定義する。20

#### 【 0 0 5 1 】

まず、書き込み動作について説明する。書き込み動作は、いわゆるソースサイド注入方式（ソースサイドインジェクション方式）と呼ばれるホットエレクトロン書き込みによって行なわれる。書き込み電圧としては、例えば、ソース領域に印加する電圧  $V_s$  を 5 V、メモリゲート電極に印加する電圧  $V_{m g}$  を 10 V、コントロールゲート電極に印加する電圧  $V_{c g}$  を 1 V とする。そして、ドレイン領域に印加する電圧  $V_d$  は書き込み時のチャネル電流がある設定値となるように制御する。このときの電圧  $V_d$  はチャネル電流の設定値とコントロールゲート電極を有する選択トランジスタのしきい値電圧によって決まり、例えば、0.5 V 程度となる。p 型ウェル P W L（半導体基板）に印加される電圧  $V_{s u b}$  は 0 V である。本明細書では、書き込み動作時に高電圧を印加する半導体領域をソース領域と呼び、書き込み動作時に低電圧を印加する半導体領域をドレイン領域と統一して呼ぶことにする。例えば、図 1 を参照すると、メモリゲート電極 M G 側の深い高濃度不純物拡散領域 M S と浅い低濃度不純物拡散領域 E X 1 からなる半導体領域がソース領域であり、コントロールゲート電極 C G 側の深い高濃度不純物拡散領域 M D と浅い低濃度不純物拡散領域 E X 1 からなる半導体領域がドレイン領域となる。30

#### 【 0 0 5 2 】

このような電圧を印加して書き込み動作を行なう際の電荷の動きを示す。上述したように、ソース領域に印加する電圧  $V_s$  とドレイン領域に印加する電圧  $V_d$  の間に電位差を与えることにより、ソース領域とドレイン領域との間に形成されるチャネル領域を電子（エレクトロン）が流れる。チャネル領域を流れる電子は、コントロールゲート電極とメモリゲート電極との境界付近下のチャネル領域（ソース領域とドレイン領域との間）で加速されてホットエレクトロンになる。そして、メモリゲート電極に印加した正電圧 ( $V_{m g} = 10 V$ ) による垂直方向電界で、メモリゲート電極下の窒化シリコン膜（電荷蓄積膜）中40

にホットエレクトロンが注入される。注入されたホットエレクトロンは、窒化シリコン膜中のトラップ準位に捕獲され、その結果、窒化シリコン膜に電子が蓄積されてメモリトランジスタのしきい値電圧が上昇する。このようにして書き込み動作が行なわれる。

#### 【0053】

続いて、消去動作について説明する。消去動作は、例えば、バンド間トンネリング現象を使用したB T B T (Band to Band Tunneling) 消去で行なわれる。B T B T 消去では、例えば、メモリゲート電極に印加する電圧  $V_{m g}$  を -6 V、ソース領域に印加する電圧  $V_s$  を 6 V、コントロールゲート電極に印加する電圧  $V_{c g}$  を 0 V とし、ドレイン領域はオープンとする。これにより、ソース領域とメモリゲート電極との間にかかる電圧によってソース領域端部においてバンド間トンネリング現象で生成された正孔が、ソース領域に印加されている高電圧によって加速されてホットホールとなる。そして、ホットホールの一部がメモリゲート電極に印加された負電圧に引き寄せられ、窒化シリコン膜中に注入される。注入されたホットホールは、窒化シリコン膜内のトラップ準位に捕獲され、メモリトランジスタのしきい値電圧が低下する。このようにして消去動作が行なわれる。

10

#### 【0054】

次に、読み出し動作について説明する。読み出しは、ドレイン領域に印加する電圧  $V_d$  を  $V_{d d}$  (1 V)、ソース領域に印加する電圧  $V_s$  を 0 V、コントロールゲート電極に印加する電圧  $V_{c g}$  を  $V_{d d}$  (1.5 V)、メモリゲート電極に印加する電圧  $V_{m g}$  を 0 V とし、書き込み時と逆方向に電流を流して行う。ドレイン領域に印加する電圧  $V_d$  とソース領域に印加する電圧  $V_s$  を入れ替え、それぞれ 0 V、1 V として、書き込み時と電流の方向が同じ読み出しを行ってもよい。このとき、メモリセルが書き込み状態にありしきい値電圧が高い場合には、メモリセルに電流が流れない。一方、メモリセルが消去状態にあり、しきい値電圧が低い場合には、メモリセルに電流が流れる。

20

#### 【0055】

このようにメモリセルが書き込み状態にあるか、あるいは、消去状態にあるかをメモリセルに流れる電流の有無を検出することで判別することができる。具体的には、センスアンプによってメモリセルに流れる電流の有無を検出する。例えば、メモリセルに流れる電流の有無を検出するために、基準電流（リファレンス電流）を使用する。つまり、メモリセルが消去状態にある場合、読み出し時に読み出し電流が流れるが、この読み出し電流と基準電流とを比較する。基準電流は、消去状態の読み出し電流よりも低く設定されており、読み出し電流と基準電流とを比較した結果、基準電流よりも読み出し電流が大きい場合、メモリセルは消去状態にあると判断できる。一方、メモリセルが書き込み状態にある場合、読み出し電流は流れない。すなわち、読み出し電流と基準電流とを比較した結果、基準電流よりも読み出し電流が小さい場合、メモリセルは書き込み状態にあると判断できる。このようにして読み出し動作を行なうことができる。

30

#### 【0056】

以上の通りメモリセルを動作させることができるが、上述したメモリセルの動作は、選択メモリセルの動作である。不揮発性半導体記憶装置には複数のメモリセルが存在し、動作対象となっているメモリセル（選択メモリセル）を選択している場合、動作対象とならないメモリセル（非選択メモリセル）を非選択とする必要がある。以下では、例えば、選択メモリセルの書き込み動作を対象として、このときに非選択となる非選択メモリセルに印加される電圧条件について説明する。

40

#### 【0057】

図4に示すように、非選択メモリセルに印加される電圧としては、例えば、ソース領域に印加する電圧  $V_s$  を 5 V、メモリゲート電極に印加する電圧  $V_{m g}$  を 10 V、コントロールゲート電極に印加する電圧  $V_{c g}$  を 1 V とする。そして、ドレイン領域に印加する電圧  $V_d$  は、例えば、1.5 V 程度となり、p型ウェルPWL（半導体基板）に印加される電圧  $V_{s u b}$  は 0 V である。

#### 【0058】

このとき、図4に示すように、選択メモリセルに印加される電圧条件と非選択メモリセ

50

ルに印加される電圧条件の相違点は、ドレイン領域に印加される電圧  $V_d$  の値である。それ以外の構成要素に印加される電圧は、選択メモリセルと非選択メモリセルで同条件となっている。選択メモリセルと非選択メモリセルでは、ドレイン領域に印加する電圧  $V_d$  を変えることで、選択 / 非選択を切り替えている。

#### 【0059】

具体的に、選択メモリセルでは、コントロールゲート電極に印加される電圧  $V_{c_g}$  を 1 V とし、ドレイン領域に印加する電圧  $V_d$  を 0.5 V としている。このことは、ドレイン領域に印加する電圧  $V_d$  を基準とすると、コントロールゲート電極に印加される電圧  $V_{c_g}$  は +0.5 V となる。つまり、選択メモリセルでは、ドレイン領域に印加されている  $V_d$  に対してコントロールゲート電極に印加されている電圧  $V_{c_g}$  が正電圧となっている。このため、選択メモリセルの選択トランジスタがオンし、書き込み動作が可能な状態となる。

10

#### 【0060】

これに対し、非選択メモリセルでは、コントロールゲート電極に印加される電圧  $V_{c_g}$  を 1 V とし、ドレイン領域に印加する電圧  $V_d$  を 1.5 V としている。このことは、ドレイン領域に印加する電圧  $V_d$  を基準とすると、コントロールゲート電極に印加される電圧  $V_{c_g}$  は -0.5 V となる。つまり、選択メモリセルでは、ドレイン領域に印加されている  $V_d$  に対してコントロールゲート電極に印加されている電圧  $V_{c_g}$  が負電圧となっている。このため、選択メモリセルの選択トランジスタがオフし、書き込み動作が行なわれないようになっている。

20

#### 【0061】

このように本実施の形態 1 では、選択メモリセルと非選択メモリセルとをドレイン領域に印加することにより選択 / 非選択を切り替えていることがわかる。このことは、別の見方をすれば、非選択メモリセルにおいて、ドレイン領域に印加される電圧  $V_d$  以外の電圧  $V_{m_g}$ 、 $V_{c_g}$ 、 $V_s$ 、 $V_{sub}$  は、選択メモリセルと同様の電圧が印加されることを意味する。このことから、非選択メモリセルにおいては、例えば、誤書き込みに代表されるディスターべが生じることになる。

20

#### 【0062】

以下では、非選択メモリセルで生ずるディスターべについて、図 1 と図 4 を参照しながら説明する。まず、ソース領域（深い高濃度不純物拡散領域 MS と浅い低濃度不純物拡散領域 EX1）に印加される電圧  $V_s$  は 5 V であり、半導体基板 1 S（p 型ウェル P WL 1）に印加される電圧  $V_{sub}$  は 0 V である。このとき、ソース領域は n 型半導体領域であり、半導体基板 1 S は p 型半導体領域であることから、ソース領域と半導体基板 1 S の境界には p-n 接合が形成される。そして、いまの場合、n 型半導体領域であるソース領域に正電圧（5 V）が印加され、p 型半導体領域である半導体基板 1 S に 0 V が印加されている。したがって、ソース領域と半導体基板 1 S で形成される p-n 接合には、逆バイアスが印加されていることになり、この p-n 接合の境界から空乏層が延びる。具体的には、図 1において、ソース領域（深い高濃度不純物拡散領域 EX1）から、メモリゲート電極 MG とコントロールゲート電極 CG の境界直下の半導体基板 1 S（p 型ウェル P WL 1）内にまで延びる。

30

#### 【0063】

空乏層内ではリーク電流が発生している。一方、非選択メモリセルにおいても、コントロールゲート電極 CG に印加される電圧  $V_{c_g}$  は 1 V あり、メモリゲート電極 MG に印加される電圧  $V_{m_g}$  は 10 V である。したがって、コントロールゲート電極 CG とメモリゲート電極 MG には電位差が生じているため、コントロールゲート電極 CG とメモリゲート電極 MG の間には電界が発生している。この電界が半導体基板 1 S 内の空乏層にまで入り込むと、リーク電流の元となるキャリア（電子や正孔）がこの電界によって加速される。加速したキャリアは半導体基板 1 S を構成するシリコンに衝突する。このとき、電界が大きくなると、キャリアの加速度も大きくなりシリコンに衝突するエネルギーも大きくなる。この結果、インパクトイオン化現象が発生し電子正孔対が生成される。そして、さら

40

50

に、生成された電子正孔対が電界によって加速されてシリコンに衝突することにより、インパクトイオン化が連続して生じるようになる。このようにして、エネルギーの高いホットキャリアが多量に生成される。

#### 【0064】

多量に生成されたホットキャリアのうち、例えば、ホットエレクトロンは、メモリゲート電極M Gに印加されている電圧 $V_{mg}$ (10V)に引き寄せられる。この結果、非選択メモリセルにおいても、半導体基板1 S内に発生したホットエレクトロンが電位障壁膜E V 1を乗り越えて電荷蓄積膜E Cに注入される。この現象は、書き込み動作と同様であり、非選択メモリセルにおいても、意図しない誤書き込みが行なわれることになる。この現象がディスターブである。

10

#### 【0065】

上述したディスターブの発生メカニズムによれば、半導体基板1 S内に発生する電界を緩和できればディスターブを抑制することができるようになる。つまり、半導体基板1 S内に入り込む電界が緩和されれば、キャリアの加速が抑制されることになり、インパクトイオン化が抑制される。その結果、ホットキャリアの大量発生を抑制できるので、電荷蓄積膜E Cへのホットエレクトロンの注入を防止できるのである。

#### 【0066】

このとき、半導体基板1 S内に入り込む電界は、コントロールゲート電極C Gとメモリゲート電極M Gに印加される電圧の電位差に起因するものである。したがって、第1に考えられることは、コントロールゲート電極C Gに印加される電圧 $V_{cg}$ と、メモリゲート電極M Gに印加される電圧 $V_{mg}$ を電位差が小さくなるように設定することである。しかし、本実施の形態1におけるメモリセルの動作では、選択メモリセルと非選択メモリセルとをドレイン領域に印加する電圧 $V_d$ を変えることにより選択／非選択を切り替えている。つまり、非選択メモリセルにおいて、ドレイン領域に印加される電圧 $V_d$ 以外の電圧 $V_{mg}$ 、 $V_{cg}$ 、 $V_s$ 、 $V_{sub}$ は、選択メモリセルと同様の電圧が印加されることが前提となる構成である。コントロールゲート電極C Gに印加される電圧 $V_{cg}$ と、メモリゲート電極に印加される電圧 $V_{mg}$ を変えることはできない。

20

#### 【0067】

そこで、本実施の形態1では、電界は電圧差が生じている構成要素間の距離を大きくすれば緩和されることに着目している。具体的に、本実施の形態1では、図1に示すように、コントロールゲート電極C Gの角部が削られて逆テープ形状になっている点が本実施の形態1の特徴である。つまり、メモリセルのコントロールゲート電極C Gは矩形形状をしており、ゲート絶縁膜G O Xに接する辺の端部に形成される角部が逆テープ形状に加工されている。これにより、コントロールゲート電極C Gとメモリゲート電極M Gとの半導体基板1 S側の距離を実効的に離すことができる。

30

#### 【0068】

この結果、半導体基板1 S内での電界強度を弱めることができ、インパクトイオン化によるホットキャリアの大量発生を抑制することができる。つまり、本実施の形態1では、非選択メモリセルでの誤書き込みに代表されるディスターブを抑制できる顕著な効果を奏するのである。したがって、本実施の形態1によれば、半導体装置の信頼性を向上することができる。

40

#### 【0069】

なお、本実施の形態1では、ディスターブの例として、非選択メモリセルにおける誤書き込みについて説明したが、誤消去も同様のメカニズムで生じるものであり、誤消去も、半導体基板1 S内に入り込むと電界強度が高くなると頻度が高くなる。このため、本実施の形態1のように、メモリセルのコントロールゲート電極C Gにおいて、ゲート絶縁膜G O Xに接する辺の端部に形成される角部を逆テープ形状に加工することにより、半導体基板1 S内に入り込む電界の強度を弱める構成は有用である。つまり、本実施の形態1における特徴的構成をとることにより、誤書き込みだけでなく誤消去も抑制することができる顕著な効果を得るのである。

50

## 【0070】

本実施の形態1の特徴は、図1に示すように、メモリセルのコントロールゲート電極C Gにおいて、ゲート絶縁膜G O Xに接する辺の端部に形成される角部を逆テープ形状に加工している点である。一方、図1に示すように、周辺回路を構成するM I S F E Tのゲート電極Gの角部は逆テープ形状に加工しない。すなわち、本実施の形態1では、メモリセルにおいて、コントロールゲート電極のゲート絶縁膜G O Xに接する辺の端部に形成される角部を逆テープ形状に加工し、かつ、周辺回路を構成するM I S F E Tにおいて、ゲート電極Gのゲート絶縁膜G O Xに接する辺の端部に形成される角部を逆テープ形状に加工しないことに特徴がある。つまり、本実施の形態1では、メモリセルのコントロールゲート電極C Gと周辺回路を構成するM I S F E Tのゲート電極Gとを作り分けている点に特徴がある。

10

## 【0071】

以下では、周辺回路を構成するM I S F E Tにおいて、ゲート電極Gのゲート絶縁膜G O Xに接する辺の端部に形成される角部を逆テープ形状に加工しない理由について、図1を参照しながら説明する。

## 【0072】

第1の理由は、短チャネル効果を抑制するためである。つまり、ゲート電極Gの角部を逆テープ形状にするということは、このゲート電極Gの底辺の長さが短くなることを意味している。ゲート電極Gの底辺の長さが短くなるということは、ゲート電極Gの直下の半導体基板1 Sに形成されるチャネルの長さ（チャネル長）が短くなることに対応している。このようにチャネル長が短くなると、設計値以上にM I S F E Tのしきい値電圧が低下する現象が生じる。この現象は短チャネル効果であり、この短チャネル効果が顕在化すると、M I S F E Tが設計値通りのしきい値電圧を得ることができなくなる。そこで、本実施の形態1では、ディスターブの発生とは無関係な周辺回路では、ゲート電極Gの角部を逆テープ形状に加工していないのである。

20

## 【0073】

さらに、もう1つの第2の理由はドレイン電流（I d s）の低下を抑制するためである。すなわち、ゲート電極Gの角部を逆テープ形状にするということは、ゲート電極Gの端部はゲート電極の中央部に比べて半導体基板1 Sの界面からの距離が大きくなることを意味している。M I S F E Tでは、ゲート電極Gと半導体基板1 S（チャネル領域）との間の距離は小さくなるほどドレイン電流を増加させることができる。つまり、半導体基板1 Sとゲート電極Gとの間にはゲート絶縁膜G O Xが形成されており、このゲート絶縁膜G O Xを挟んだゲート電極Gと半導体基板1 Sによりゲート容量が形成される。このゲート容量が大きいほど、チャネルを流れるドレイン電流の大きさを大きくすることができる。なぜなら、ゲート容量が大きくなるということは、この半導体基板1 S（チャネル領域）に蓄積されるキャリア量が大きくなり、このキャリアをドレイン電流に使用することができることを意味しているからである。

30

## 【0074】

したがって、ゲート電極Gの角部を逆テープ形状にすると、半導体基板1 Sの界面からの距離が大きくなるので、ゲート容量が小さくなる。このことは、半導体基板1 S（チャネル領域）に蓄積されるキャリア量が小さくなり、ゲート電極Gにおけるチャネル領域のコントロールが効きづらくなることを意味している。つまり、ゲート電極Gの角部を逆テープ形状にすると、M I S F E Tのドレイン電流が低下するのである。M I S F E Tのドレイン電流が低下するということは、M I S F E Tを設計値通りに動作させることができなくなってしまうことを意味している。そこで、本実施の形態1では、ディスターブの発生とは無関係な周辺回路では、ゲート電極Gの角部を逆テープ形状に加工していないのである。

40

## 【0075】

以上より、本実施の形態1では、メモリセルにおいて、コントロールゲート電極のゲート絶縁膜G O Xに接する辺の端部に形成される角部を逆テープ形状に加工する一方、周辺

50

回路を構成するMISFETにおいて、ゲート電極Gのゲート絶縁膜GOXに接する辺の端部に形成される角部を逆テープ形状に加工しないように構成しているのである。

#### 【0076】

本実施の形態1における半導体装置は上記のように構成されており、以下に、その製造方法について図面を参照しながら説明する。図5～図13は、本実施の形態1における半導体装置の製造工程を説明する断面図であり、図5～図13では、それぞれ左側領域にメモリセル領域が示され、右側領域に周辺回路領域が示されている。

#### 【0077】

まず、図5に示すように、ホウ素(B)などのp型不純物を導入したシリコン単結晶よりなる半導体基板1Sを用意する。このとき、半導体基板1Sは、略円盤形状をした半導体ウェハの状態になっている。そして、半導体基板1Sの周辺回路領域に素子分離領域STIを形成する。素子分離領域STIは、素子が互いに干渉しないようにするために設けられる。この素子分離領域STIは、例えばLOCOS(local Oxidation of silicon)法やSTI(shallow trench isolation)法を用いて形成することができる。例えば、STI法では、以下のようにして素子分離領域STIを形成している。すなわち、半導体基板1Sにフォトリソグラフィ技術およびエッチング技術を使用して素子分離溝を形成する。そして、素子分離溝を埋め込むように半導体基板1S上に酸化シリコン膜を形成し、その後、化学的機械的研磨法(CMP; chemical mechanical polishing)により、半導体基板1S上に形成された不要な酸化シリコン膜を除去する。これにより、素子分離溝内にだけ酸化シリコン膜を埋め込んだ素子分離領域STIを形成することができる。

10

20

20

#### 【0078】

続いて、メモリセル領域の半導体基板1S内に不純物を導入してウェル分離層NISOを形成する。ウェル分離層NISOは、半導体基板1S内にリンや砒素などのn型不純物を導入することにより形成される。そして、半導体基板1Sに不純物を導入することにより、メモリセル領域にp型ウェルPWL1を形成し、周辺回路領域にp型ウェルPWL2を形成する。p型ウェルPWL1、PWL2は、例えばホウ素などのp型不純物をイオン注入法により半導体基板1Sに導入することで形成される。

30

#### 【0079】

次に、図6に示すように、半導体基板1S上にゲート絶縁膜GOXを形成する。ゲート絶縁膜GOXは、例えば、酸化シリコン膜から形成され、例えば熱酸化法を使用して形成することができる。ただし、ゲート絶縁膜GOXは、酸化シリコン膜に限定されるものではなく種々変更可能であり、例えば、ゲート絶縁膜GOXを酸窒化シリコン膜(SiON)としてもよい。すなわち、ゲート絶縁膜GOXと半導体基板1Sとの界面に窒素を偏析させる構造としてもよい。酸窒化シリコン膜は、酸化シリコン膜に比べて膜中における界面準位の発生を抑制したり、電子トラップを低減する効果が高い。したがって、ゲート絶縁膜GOXのホットキャリア耐性を向上でき、絶縁耐性を向上させることができる。また、酸窒化シリコン膜は、酸化シリコン膜に比べて不純物が貫通しにくい。このため、ゲート絶縁膜GOXに酸窒化シリコン膜を用いることにより、ゲート電極中の不純物が半導体基板1S側に拡散することに起因するしきい値電圧の変動を抑制することができる。酸窒化シリコン膜を形成するのは、例えば、半導体基板1SをNO、NO<sub>2</sub>またはNH<sub>3</sub>といった窒素を含む雰囲気中で熱処理すればよい。また、半導体基板1Sの表面に酸化シリコン膜からなるゲート絶縁膜GOXを形成した後、窒素を含む雰囲気中で半導体基板1Sを熱処理し、ゲート絶縁膜GOXと半導体基板1Sとの界面に窒素を偏析させることによっても同様の効果を得ることができる。

40

#### 【0080】

また、ゲート絶縁膜GOXは、例えば酸化シリコン膜より誘電率の高い高誘電率膜から形成してもよい。従来、絶縁耐性が高い、シリコン-酸化シリコン界面の電気的・物性的安定性などが優れているとの観点から、ゲート絶縁膜GOXとして酸化シリコン膜が使用されている。しかし、素子の微細化に伴い、ゲート絶縁膜GOXの膜厚について、極薄化が要求されるようになってきている。このように薄い酸化シリコン膜をゲート絶縁膜GO

50

Xとして使用すると、MISFETのチャネルを流れる電子が酸化シリコン膜によって形成される障壁をトンネルしてゲート電極に流れる、いわゆるトンネル電流が発生してしまう。

#### 【0081】

そこで、酸化シリコン膜より誘電率の高い材料を使用することにより、容量が同じでも物理的膜厚を増加させることができる高誘電率膜が使用されるようになってきている。高誘電率膜によれば、容量を同じにしても物理的膜厚を増加させることができるので、リーキ電流を低減することができる。特に、窒化シリコン膜も酸化シリコン膜よりも誘電率の高い膜であるが、本実施の形態1では、この窒化シリコン膜よりも誘電率の高い高誘電率膜を使用することが望ましい。

10

#### 【0082】

例えば、窒化シリコン膜よりも誘電率の高い高誘電率膜として、ハフニウム酸化物の一つである酸化ハフニウム膜(HfO<sub>2</sub>膜)が使用されるが、酸化ハフニウム膜に変えて、ハフニウムアルミネート膜、HfON膜(ハフニウムオキシナイトライド膜)、HfSiO膜(ハフニウムシリケート膜)、HfSiON膜(ハフニウムシリコンオキシナイトライド膜)、HfAlO膜のような他のハフニウム系絶縁膜を使用することもできる。さらに、これらのハフニウム系絶縁膜に酸化タンタル、酸化ニオブ、酸化チタン、酸化ジルコニウム、酸化ランタン、酸化イットリウムなどの酸化物を導入したハフニウム系絶縁膜を使用することもできる。ハフニウム系絶縁膜は、酸化ハフニウム膜と同様、酸化シリコン膜や酸窒化シリコン膜より誘電率が高いので、酸化ハフニウム膜を用いた場合と同様の効果が得られる。

20

#### 【0083】

次に、ゲート絶縁膜GDX上にポリシリコン膜PF1を形成する。ポリシリコン膜PF1は、例えば、CVD法を使用して形成することができる。その後、フォトリソグラフィ技術およびイオン注入法を使用して、ポリシリコン膜PF1中にリンや砒素などのn型不純物を導入する。

30

#### 【0084】

続いて、図7に示すように、パターニングしたレジスト膜をマスクにしたエッチングによりポリシリコン膜PF1を加工して、メモリセル領域にコントロールゲート電極CGを形成する。このとき、周辺回路領域はレジスト膜で覆われているため、周辺回路領域に形成されているポリシリコン膜PF1は加工されずに、そのままの状態になっている。

30

#### 【0085】

その後、図8に示すように、半導体基板1Sに対して、オーバエッティング処理として等方性エッティングを施す。これにより、メモリセルのコントロールゲート電極CGにおいて、ゲート絶縁膜GDXに接する辺の端部に形成される角部を逆テーパ形状に加工することができる。その後、洗浄処理を施すことにより、逆テーパ形状の直下に形成されているゲート絶縁膜GDXは除去される。

#### 【0086】

次に、図9に示すように、半導体基板1S上に、酸化シリコン膜IF1、窒化シリコン膜IF2および酸化シリコン膜IF3からなる積層絶縁膜を形成し、この積層絶縁膜上にポリシリコン膜PF2を形成する。例えば、酸化シリコン膜IF1は、熱酸化法やISSG酸化法を使用して形成することができ、窒化シリコン膜IF2は、CVD法を使用して形成することができる。さらに、酸化シリコン膜IF3は、ISSG酸化法やCVD法を使用して形成することができる。また、ポリシリコン膜PF2は、例えば、CVD法を使用することにより形成することができる。

40

#### 【0087】

続いて、図10に示すように、異方性エッティングを使用する。これにより、コントロールゲート電極CGの両側の側壁に、サイドウォール形状のポリシリコン膜PF2が残存する。

#### 【0088】

50

その後、図11に示すように、フォトリソグラフィ技術およびエッティング技術を使用することにより、メモリセル領域において、コントロールゲート電極CGの片側に形成されているサイドウォール形状のポリシリコン膜PF2を除去する。これにより、コントロールゲート電極CGの片側の側壁だけにサイドウォール形状のポリシリコン膜PF2が残存する。さらに、積層絶縁膜（酸化シリコン膜IF1、窒化シリコン膜IF2、酸化シリコン膜IF3）をエッティングすることにより、コントロールゲート電極CGの片側の側壁に積層絶縁膜を介してサイドウォール形状のメモリゲート電極MGを形成することができる。このとき、積層絶縁膜は、酸化シリコン膜IF1、窒化シリコン膜IF2および酸化シリコン膜IF3からなるが、これらの膜は、例えば、酸化シリコン膜IF1が電位障壁膜EV1となり、窒化シリコン膜IF2が電荷蓄積膜ECとなる。さらに、酸化シリコン膜IF3が電位障壁膜EV2となる。

10

## 【0089】

次に、図12に示すように、フォトリソグラフィ技術およびエッティング技術を使用することにより、周辺回路領域に形成されているポリシリコン膜PF1を加工する。これにより、周辺回路領域に、ポリシリコン膜PF1からなるゲート電極Gを形成することができる。

## 【0090】

続いて、図13に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、メモリセル領域では、コントロールゲート電極CGとメモリゲート電極MGに整合した浅い低濃度不純物拡散領域EX1を形成する。浅い低濃度不純物拡散領域EX1は、リンや砒素などのn型不純物を導入したn型半導体領域である。一方、周辺回路領域では、ゲート電極Gに整合した浅い低濃度不純物拡散領域EX2を形成する。この浅い低濃度不純物拡散領域EX2もn型不純物を導入したn型半導体領域である。

20

## 【0091】

その後、半導体基板1S上に酸化シリコン膜を形成する。酸化シリコン膜は、例えば、CVD法を使用して形成することができる。そして、酸化シリコン膜を異方性エッティングすることにより、サイドウォールSWを形成する。メモリセル領域においては、コントロールゲート電極CGの側壁およびメモリゲート電極MGの側壁にサイドウォールSWが形成される。同様に、周辺回路領域においては、ゲート電極Gの両側の側壁にサイドウォールSWが形成される。これらのサイドウォールSWは、酸化シリコン膜の単層膜から形成するようにならが、これに限らず、例えば、窒化シリコン膜と酸化シリコン膜の積層膜からなるサイドウォールSWを形成してもよい。

30

## 【0092】

続いて、フォトリソグラフィ技術およびイオン注入法を使用することにより、メモリセル領域にサイドウォールSWに整合した深い高濃度不純物拡散領域MS、MDを形成する。深い高濃度不純物拡散領域MS、MDは、リンや砒素などのn型不純物を導入したn型半導体領域である。この深い高濃度不純物拡散領域MS、MDと浅い低濃度不純物拡散領域EX1によってメモリセルのソース領域あるいはドレイン領域が形成される。このようにソース領域とドレイン領域を浅い低濃度不純物拡散領域EX1と深い高濃度不純物拡散領域MS、MDで形成することにより、ソース領域およびドレイン領域をLDD（Lightly Doped Drain）構造とすることができる。

40

## 【0093】

一方、周辺回路領域にサイドウォールSWに整合した深い高濃度不純物拡散領域S1、D1を形成する。深い高濃度不純物拡散領域S1、D1は、リンや砒素などのn型不純物を導入したn型半導体領域である。この深い高濃度不純物拡散領域S1、D1と浅い低濃度不純物拡散領域EX2によってMISFETのソース領域あるいはドレイン領域が形成される。このようにソース領域とドレイン領域を浅い低濃度不純物拡散領域EX2と深い高濃度不純物拡散領域S1、D1で形成することにより、ソース領域およびドレイン領域をLDD（Lightly Doped Drain）構造とすることができる。

## 【0094】

50

このようにして、深い高濃度不純物拡散領域 M S、M D、S 1、D 1を形成した後、1000 程度の熱処理を行なう。これにより、導入した不純物の活性化が行なわれる。

#### 【0095】

次に、半導体基板 1 S 上にコバルト膜を形成した後、熱処理を施すことにより、メモリセル領域においては、コントロールゲート電極 C G およびメモリゲート電極 M G を構成するポリシリコン膜 P F 1、P F 2 とコバルト膜を反応させて、コバルトシリサイド膜 C S を形成する。これにより、コントロールゲート電極 C G およびメモリゲート電極 M G はそれぞれポリシリコン膜 P F 1、P F 2 とコバルトシリサイド膜 C S の積層構造となる。同様に、高濃度不純物拡散領域 M S、M D の表面においてもシリコンとコバルト膜が反応してコバルトシリサイド膜 C S が形成される。

10

#### 【0096】

一方、周辺回路領域においても、ゲート電極 G を構成するポリシリコン膜 P F 1 の表面にコバルトシリサイド膜 C S が形成される。これにより、ゲート電極 G はポリシリコン膜 P F 1 とコバルトシリサイド膜 C S から構成されることになる。同様に、高濃度不純物拡散領域 S 1、D 1 の表面においてもシリコンとコバルト膜が反応してコバルトシリサイド膜 C S が形成される。なお、本実施の形態 1 では、コバルトシリサイド膜 C S を形成するように構成しているが、例えば、コバルトシリサイド膜 C S に代えてニッケルシリサイド膜やチタンシリサイド膜を形成するようにしてもよい。

20

#### 【0097】

以上のようにして半導体基板 1 S のメモリセル領域に複数のメモリセルを形成し、周辺回路領域に複数の M I S F E T を形成することができる。

20

#### 【0098】

次に、配線工程について図 1 を参照しながら説明する。図 1 に示すように、半導体基板 1 S の主面上に層間絶縁膜を形成する。この層間絶縁膜は、例えば、窒化シリコン膜 S N と酸化シリコン膜 T S から形成される。その後、層間絶縁膜の表面を、例えば C M P (Chemical Mechanical Polishing) 法を使用して平坦化する。

30

#### 【0099】

続いて、フォトリソグラフィ技術およびエッチング技術を使用して、層間絶縁膜にコンタクトホール C N T を形成する。例えば、メモリセル領域と周辺回路領域にコンタクトホール C N T が形成される。

30

#### 【0100】

その後、コンタクトホール C N T の底面および内壁を含む層間絶縁膜上にチタン / 窒化チタン膜を形成する。チタン / 窒化チタン膜は、チタン膜と窒化チタン膜の積層膜から構成され、例えばスパッタリング法を使用することにより形成することができる。このチタン / 窒化チタン膜は、例えば、後の工程で埋め込む膜の材料であるタンゲステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

40

#### 【0101】

そして、コンタクトホール C N T を埋め込むように、半導体基板 1 S の主面の全面にタンゲステン膜を形成する。このタンゲステン膜は、例えば C V D 法を使用して形成することができる。そして、層間絶縁膜上に形成された不要なチタン / 窒化チタン膜およびタンゲステン膜を例えば C M P 法を除去することにより、プラグ P L G を形成することができる。

40

#### 【0102】

次に、層間絶縁膜およびプラグ P L G 上にチタン / 窒化チタン膜、アルミニウム膜、チタン / 窒化チタン膜を順次、形成する。これらの膜は、例えばスパッタリング法を使用することにより形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用することにより、これらの膜のパターニングを行い、配線 L 1 を形成する。さらに、配線 L 1 の上層に配線を形成するが、ここでの説明は省略する。このようにして、最終的に本実施の形態 1 における半導体装置を形成することができる。

50

#### 【0103】

なお、本実施の形態1では、配線L1をアルミニウムを主体とする導体膜を使用して形成する場合を例示したが、銅を主体とする導体膜で形成しても良い。その場合の配線構造は、層間絶縁膜に溝を形成し、溝内に銅を主成分とする導体膜を埋め込むようにして形成することができる（ダマシン法）。

#### 【0104】

##### （実施の形態2）

前記実施の形態1では、図1に示すように、メモリセルのコントロールゲート電極CGにおいて、ゲート絶縁膜G0Xに接する辺の端部に形成される角部を逆テープ形状に加工する点に特徴点があった。本実施の形態2では、図14に示すように、メモリセルのコントロールゲート電極CGとメモリゲート電極MGの間に形成される電位障壁膜EV1の膜厚を、メモリゲート電極MGと半導体基板1S（p型ウェルPWL1）の間に形成される電位障壁膜EV1の膜厚よりも厚く形成する点に特徴がある。本実施の形態2におけるその他の構成は、前記実施の形態1とほぼ同様であるため、異なる本実施の形態2の特徴点について説明する。

10

#### 【0105】

図14は、本実施の形態2における半導体装置の構成を示す断面図である。具体的に、メモリセル領域に形成されているメモリセルと、周辺回路領域に形成されているMISFETが図示されている。図14において、本実施の形態2の特徴は、電位障壁膜EV1の膜厚にある。例えば、コントロールゲート電極CGとメモリゲート電極MGの間に形成されている電位障壁膜EV1の膜厚は、メモリゲート電極MGと半導体基板1Sの間に形成されている電位障壁膜EV1の膜厚よりも厚くなっている。

20

#### 【0106】

このように構成することにより、コントロールゲート電極CGとメモリゲート電極MGとの半導体基板1S側の距離を実効的に離すことができる。この結果、半導体基板1S内の電界強度を弱めることができ、インパクトイオン化によるホットキャリアの大量発生を抑制することができる。つまり、本実施の形態2でも前記実施の形態1と同様に、非選択メモリセルでの誤書き込みに代表されるディスターブを抑制できる顕著な効果を奏するのである。

#### 【0107】

さらに、本実施の形態2では、コントロールゲート電極CGとメモリゲート電極MGの間に形成されている電位障壁膜EV1の膜厚は、メモリゲート電極MGと半導体基板1Sの間に形成されている電位障壁膜EV1の膜厚よりも厚くするとともに、コントロールゲート電極CGとメモリゲート電極MGの間に形成されている電位障壁膜EV1の膜厚を半導体基板1Sに近づくにつれて大きくしている。

30

#### 【0108】

図15は、コントロールゲート電極CGとメモリゲート電極MGの間を拡大して示す図である。図15に示すように、コントロールゲート電極CGとメモリゲート電極MGの間には、電位障壁膜EV1、電荷蓄積膜ECおよび電位障壁膜EV2が形成されている。このとき、コントロールゲート電極CGに直接接触している電位障壁膜EV1の膜厚がコントロールゲート電極CGの高さによって相違している。具体的には、図15に示すように、コントロールゲート電極CGの上部における電位障壁膜EV1の膜厚は膜厚aであり、コントロールゲート電極CGの下部における電位障壁膜EV1の膜厚は膜厚aよりも厚い膜厚bとなっている。すなわち、コントロールゲート電極CGの下部には半導体基板があることから、コントロールゲート電極CGの下部における電位障壁膜EV1の膜厚を厚くする（膜厚b）ことにより、半導体基板に近い領域において、コントロールゲート電極CGとメモリゲート電極MGとの間の距離を大きくすることができる。このことは、半導体基板に入り込む電界を緩和することを意味し、この結果、非選択メモリセルでの誤書き込みに代表されるディスターブを抑制るのである。

40

#### 【0109】

ここで、本実施の形態2では、コントロールゲート電極CGとメモリゲート電極MGの

50

間に形成される電位障壁膜 E V 1 の膜厚だけを厚くしているが、製造工程の簡素化を考えれば、メモリゲート電極 M G と半導体基板 1 S の間に形成される電位障壁膜 E V 1 の膜厚も同じように厚くすればよいと考えることができる。

#### 【 0 1 1 0 】

しかし、メモリゲート電極 M G と半導体基板 1 S の間に形成される電位障壁膜 E V 1 、電荷蓄積膜 E C および電位障壁膜 E V 2 は、メモリセルへの書き込み動作や消去動作で使用される重要な機能を有する膜であり、その膜厚は、所定の性能を実現するように設計されている。したがって、メモリゲート電極 M G と半導体基板 1 S の間に形成される電位障壁膜 E V 1 の膜厚を設計値から厚く変更することは、メモリセルの動作を設計値通りに実現する観点から困難である。

10

#### 【 0 1 1 1 】

これに対し、コントロールゲート電極 C G とメモリゲート電極 M G の間に形成される電位障壁膜 E V 1 は、直接メモリセルへの書き込み動作や消去動作に重要な影響を及ぼす膜ではないため、比較的膜厚の設定に自由度がある。

#### 【 0 1 1 2 】

そこで、本実施の形態 2 では、非選択メモリセルでのディスターブを抑制するため、コントロールゲート電極 C G とメモリゲート電極 M G の間に形成されている電位障壁膜 E V 1 の膜厚を、メモリゲート電極 M G と半導体基板 1 S の間に形成されている電位障壁膜 E V 1 の膜厚よりも厚く形成しているのである。さらに、本実施の形態 2 では、コントロールゲート電極 C G とメモリゲート電極 M G の間に形成されている電位障壁膜 E V 1 の膜厚を半導体基板 1 S に近づくにつれて大きくしている。

20

#### 【 0 1 1 3 】

これにより、本実施の形態 2 によれば、半導体基板に近い領域において、コントロールゲート電極 C G とメモリゲート電極 M G との間の距離を大きくすることができる。このことは、半導体基板に入り込む電界を緩和することを意味し、この結果、非選択メモリセルでの誤書き込みに代表されるディスターブを抑制できることを意味している。

#### 【 0 1 1 4 】

本実施の形態 2 における半導体装置は上記のように構成されており、以下に、その製造方法について説明する。図 5 ~ 図 7 に示す工程までは、前記実施の形態 1 と同様である。

30

#### 【 0 1 1 5 】

次に、図 1 6 に示すように、半導体基板 1 S 上に酸化シリコン膜 O X 1 を形成する。酸化シリコン膜 O X 1 は、例えば、C V D 法を使用することにより形成することができる。その後、図 1 7 に示すように、酸化シリコン膜 O X 1 に対して異方性エッチングを実施する。これにより、メモリセル領域では、コントロールゲート電極 C G の側壁にサイドウォール形状の酸化シリコン膜 O X 1 を残存させることができる。これにより、コントロールゲート電極 C G の側壁に形成されている酸化シリコン膜 O X 1 の膜厚を半導体基板 1 S に近づくにつれて大きくすることができる。

#### 【 0 1 1 6 】

次に、図 1 8 に示すように、半導体基板 1 S 上に、酸化シリコン膜 I F 1 、窒化シリコン膜 I F 2 および酸化シリコン膜 I F 3 からなる積層絶縁膜を形成し、この積層絶縁膜上にポリシリコン膜 P F 2 を形成する。例えば、酸化シリコン膜 I F 1 は、熱酸化法や I S G 酸化法を使用して形成することができ、窒化シリコン膜 I F 2 は、C V D 法を使用して形成することができる。さらに、酸化シリコン膜 I F 3 は、I S S G 酸化法や C V D 法を使用して形成することができる。また、ポリシリコン膜 P F 2 は、例えば、C V D 法を使用することにより形成することができる。このとき、酸化シリコン膜 O X 1 と酸化シリコン膜 I F 1 とは同じ種類の膜であるから、以下に示す工程では、一体的に酸化シリコン膜 I F 1 と記載することにする。この結果、一体的な酸化シリコン膜 I F 1 は、サイドウォール形状の酸化シリコン膜 O X 1 の形状を反映して、膜厚が半導体基板 1 S に近づくにつれて大きくなるように形成されることになる。

40

#### 【 0 1 1 7 】

50

続いて、図19に示すように、異方性エッチングを使用する。これにより、コントロールゲート電極CGの両側の側壁に、サイドウォール形状のポリシリコン膜PF2が残存する。

#### 【0118】

その後、図20に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、メモリセル領域において、コントロールゲート電極CGの片側に形成されているサイドウォール形状のポリシリコン膜PF2を除去する。これにより、コントロールゲート電極CGの片側の側壁だけにサイドウォール形状のポリシリコン膜PF2が残存する。さらに、積層絶縁膜（酸化シリコン膜IF1、窒化シリコン膜IF2、酸化シリコン膜IF3）をエッチングすることにより、コントロールゲート電極CGの片側の側壁に積層絶縁膜を介してサイドウォール形状のメモリゲート電極MGを形成することができる。このとき、積層絶縁膜は、酸化シリコン膜IF1、窒化シリコン膜IF2および酸化シリコン膜IF3からなるが、これらの膜は、例えば、酸化シリコン膜IF1が電位障壁膜EV1となり、窒化シリコン膜IF2が電荷蓄積膜ECとなる。さらに、酸化シリコン膜IF3が電位障壁膜EV2となる。したがって、電位障壁膜EV1は、サイドウォール形状の酸化シリコン膜OX1の形状を反映して、膜厚が半導体基板1Sに近づくにつれて大きくなるように形成される。10

#### 【0119】

次に、図21に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、周辺回路領域に形成されているポリシリコン膜PF1を加工する。これにより、周辺回路領域に、ポリシリコン膜PF1からなるゲート電極Gを形成することができる。20

#### 【0120】

続いて、図22に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、メモリセル領域では、コントロールゲート電極CGとメモリゲート電極MGに整合した浅い低濃度不純物拡散領域EX1を形成する。浅い低濃度不純物拡散領域EX1は、リンや砒素などのn型不純物を導入したn型半導体領域である。一方、周辺回路領域では、ゲート電極Gに整合した浅い低濃度不純物拡散領域EX2を形成する。この浅い低濃度不純物拡散領域EX2もn型不純物を導入したn型半導体領域である。30

#### 【0121】

その後、半導体基板1S上に酸化シリコン膜を形成する。酸化シリコン膜は、例えば、CVD法を使用して形成することができる。そして、酸化シリコン膜を異方性エッチングすることにより、サイドウォールSWを形成する。メモリセル領域においては、コントロールゲート電極CGの側壁およびメモリゲート電極MGの側壁にサイドウォールSWが形成される。同様に、周辺回路領域においては、ゲート電極Gの両側の側壁にサイドウォールSWが形成される。これらのサイドウォールSWは、酸化シリコン膜の単層膜から形成するようにしたが、これに限らず、例えば、窒化シリコン膜と酸化シリコン膜の積層膜からなるサイドウォールSWを形成してもよい。

#### 【0122】

続いて、フォトリソグラフィ技術およびイオン注入法を使用することにより、メモリセル領域にサイドウォールSWに整合した深い高濃度不純物拡散領域MS、MDを形成する。深い高濃度不純物拡散領域MS、MDは、リンや砒素などのn型不純物を導入したn型半導体領域である。この深い高濃度不純物拡散領域MS、MDと浅い低濃度不純物拡散領域EX1によってメモリセルのソース領域あるいはドレイン領域が形成される。このようにソース領域とドレイン領域を浅い低濃度不純物拡散領域EX1と深い高濃度不純物拡散領域MS、MDで形成することにより、ソース領域およびドレイン領域をLDD（Lightly Doped Drain）構造とすることができる。40

#### 【0123】

一方、周辺回路領域にサイドウォールSWに整合した深い高濃度不純物拡散領域S1、D1を形成する。深い高濃度不純物拡散領域S1、D1は、リンや砒素などのn型不純物

を導入したn型半導体領域である。この深い高濃度不純物拡散領域S1、D1と浅い低濃度不純物拡散領域EX2によってMISFETのソース領域あるいはドレイン領域が形成される。このようにソース領域とドレイン領域を浅い低濃度不純物拡散領域EX2と深い高濃度不純物拡散領域S1、D1で形成することにより、ソース領域およびドレイン領域をLDD(Lightly Doped Drain)構造とすることができます。

#### 【0124】

このようにして、深い高濃度不純物拡散領域MS、MD、S1、D1を形成した後、1000程度の熱処理を行なう。これにより、導入した不純物の活性化が行なわれる。

#### 【0125】

次に、半導体基板1S上にコバルト膜を形成した後、熱処理を施すことにより、メモリセル領域においては、コントロールゲート電極CGおよびメモリゲート電極MGを構成するポリシリコン膜PF1、PF2とコバルト膜を反応させて、コバルトシリサイド膜CSを形成する。これにより、コントロールゲート電極CGおよびメモリゲート電極MGはそれぞれポリシリコン膜PF1、PF2とコバルトシリサイド膜CSの積層構造となる。同様に、高濃度不純物拡散領域MS、MDの表面においてもシリコンとコバルト膜が反応してコバルトシリサイド膜CSが形成される。

#### 【0126】

一方、周辺回路領域においても、ゲート電極Gを構成するポリシリコン膜PF1の表面にコバルトシリサイド膜CSが形成される。これにより、ゲート電極Gはポリシリコン膜PF1とコバルトシリサイド膜CSから構成されることになる。同様に、高濃度不純物拡散領域S1、D1の表面においてもシリコンとコバルト膜が反応してコバルトシリサイド膜CSが形成される。なお、本実施の形態1では、コバルトシリサイド膜CSを形成するように構成しているが、例えば、コバルトシリサイド膜CSに代えてニッケルシリサイド膜やチタンシリサイド膜を形成するようにしてもよい。

#### 【0127】

以上のようにして半導体基板1Sのメモリセル領域に複数のメモリセルを形成し、周辺回路領域に複数のMISFETを形成することができる。

#### 【0128】

次に、配線工程について図14を参照しながら説明する。図14に示すように、半導体基板1Sの主面上に層間絶縁膜を形成する。この層間絶縁膜は、例えば、窒化シリコン膜SNと酸化シリコン膜TSから形成される。その後、層間絶縁膜の表面を、例えばCMP(Chemical Mechanical Polishing)法を使用して平坦化する。

#### 【0129】

続いて、フォトリソグラフィ技術およびエッチング技術を使用して、層間絶縁膜にコンタクトホールCNTを形成する。例えば、メモリセル領域と周辺回路領域にコンタクトホールCNTが形成される。

#### 【0130】

その後、コンタクトホールCNTの底面および内壁を含む層間絶縁膜上にチタン/窒化チタン膜を形成する。チタン/窒化チタン膜は、チタン膜と窒化チタン膜の積層膜から構成され、例えばスパッタリング法を使用することにより形成することができる。このチタン/窒化チタン膜は、例えば、後の工程で埋め込む膜の材料であるタングステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

#### 【0131】

そして、コンタクトホールCNTを埋め込むように、半導体基板1Sの正面の全面にタングステン膜を形成する。このタングステン膜は、例えばCVD法を使用して形成することができる。そして、層間絶縁膜上に形成された不要なチタン/窒化チタン膜およびタングステン膜を例えばCMP法を除去することにより、プラグPLGを形成することができる。

#### 【0132】

次に、層間絶縁膜およびプラグPLG上にチタン/窒化チタン膜、アルミニウム膜、チ

10

20

30

40

50

タン／窒化チタン膜を順次、形成する。これらの膜は、例えばスパッタリング法を使用することにより形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用することにより、これらの膜のパターニングを行い、配線 L 1 を形成する。さらに、配線 L 1 の上層に配線を形成するが、ここでの説明は省略する。このようにして、最終的に本実施の形態 2 における半導体装置を形成することができる。

### 【0133】

#### (実施の形態 3)

本実施の形態 3 は、前記実施の形態 1 と前記実施の形態 2 を組み合わせたものである。図 23 は、本実施の形態 3 における半導体装置の構成を示す断面図である。図 23 において、本実施の形態 3 における半導体装置の構成は、前記実施の形態 1 とほぼ同様であり、異なる特徴構成について説明する。

10

### 【0134】

具体的に、図 23 に示すように、本実施の形態 3 における半導体装置の特徴は、前記実施の形態 1 と同じように、メモリセルのコントロールゲート電極 C G において、ゲート絶縁膜 G O X に接する辺の端部に形成される角部を逆テーパ形状に加工している。さらに、本実施の形態 3 における半導体装置の特徴は、前記実施の形態 2 と同じように、コントロールゲート電極 C G とメモリゲート電極 M G の間に形成されている電位障壁膜 E V 1 の膜厚を、メモリゲート電極 M G と半導体基板 1 S の間に形成されている電位障壁膜 E V 1 の膜厚よりも厚く形成し、かつ、コントロールゲート電極 C G とメモリゲート電極 M G の間に形成されている電位障壁膜 E V 1 の膜厚を半導体基板 1 S に近づくにつれて大きくしていることにある。

20

### 【0135】

これにより、本実施の形態 3 によれば、半導体基板に近い領域において、コントロールゲート電極 C G とメモリゲート電極 M G との間の距離を大きくすることができる。このことは、半導体基板 1 S に入り込む電界を緩和することを意味し、この結果、非選択メモリセルでの誤書き込みに代表されるディスターブを抑制できる。つまり、本実施の形態 3 によれば、前記実施の形態 1 の特徴と、前記実施の形態 2 の特徴を兼ね備えることにより、さらに、半導体基板 1 S に近い側のコントロールゲート電極 C G とメモリゲート電極 M G との間の距離を実効的に離すことができるので、半導体基板 1 S 内に入り込む電界強度を緩和できるのである。したがって、本実施の形態 3 によれば、非選択メモリセルでのディスターブを抑制することができ、半導体装置の信頼性を向上することができる。

30

### 【0136】

本実施の形態 3 における半導体装置は上記のように構成されており、その製造方法は、前記実施の形態 1 の製造方法と、前記実施の形態 2 の製造方法を組み合わせたものである。したがって、その詳細な説明は省略する。以上のようにして、本実施の形態 3 における半導体装置を製造することができる。

### 【0137】

#### (実施の形態 4)

本実施の形態 4 における半導体装置の構成は、前記実施の形態 3 における半導体装置の構成とほぼ同様である。

40

### 【0138】

図 24 は、本実施の形態 4 における半導体装置の構成を示す断面図である。図 24 に示す本実施の形態 4 における半導体装置と、図 23 に示す前記実施の形態 3 における半導体装置の相違点は、前記実施の形態 3 では、コントロールゲート電極 C G とメモリゲート電極 M G の間に形成される電位障壁膜 E V 1 の膜厚が半導体基板 1 S に近づくにつれて大きくなっているのに対し、本実施の形態 4 では、コントロールゲート電極 C G とメモリゲート電極 M G の間に形成される電位障壁膜 E V 1 の膜厚がコントロールゲート電極 C G の上部から下部にわたって一定である点である。このように構成されている本実施の形態 4 においても、コントロールゲート電極 C G とメモリゲート電極 M G の間に形成されている電位障壁膜 E V 1 の膜厚を、メモリゲート電極 M G と半導体基板 1 S の間に形成されている

50

電位障壁膜 E V 1 の膜厚よりも厚く形成している点は、前記実施の形態 3 と同様である。したがって、本実施の形態 4 でも、前記実施の形態 3 と同様に、前記実施の形態 1 の特徴と、前記実施の形態 2 の特徴を兼ね備えることになるので、半導体基板 1 S に近い側のコントロールゲート電極 C G とメモリゲート電極 M G との間の距離を実効的に離すことができる。このため、半導体基板 1 S 内に入り込む電界強度を緩和できるのである。したがって、本実施の形態 4 によれば、非選択メモリセルでのディスターブを抑制することができ、半導体装置の信頼性を向上することができる。

#### 【 0 1 3 9 】

本実施の形態 4 では、コントロールゲート電極 C G とメモリゲート電極 M G の間に形成されている電位障壁膜 E V 1 の膜厚を、メモリゲート電極 M G と半導体基板 1 S の間に形成されている電位障壁膜 E V 1 の膜厚よりも厚く形成する方法として、増速酸化現象を利用している。つまり、ポリシリコン膜を酸化する際、ポリシリコン膜中にリンなどの導電型不純物の濃度が高くなると、ポリシリコン膜の表面に形成される酸化シリコン膜の膜厚を厚くすることができる現象を利用している。したがって、本実施の形態 4 では、図 2 4 に示すコントロールゲート電極 C G に導入されているリン (n 型不純物) の濃度は高くなっている、コントロールゲート電極 C G に導入されているリン (n 型不純物) の濃度は、例えば、周辺回路領域に形成される M I S F E T (n チャネル型 M I S F E T ) のゲート電極 G に導入されるリン (n 型不純物) の濃度よりも高くなっている。

#### 【 0 1 4 0 】

以下に、この増速酸化現象を使用した半導体装置の製造方法について説明する。図 5 ~ 図 6 に示す工程までは、前記実施の形態 1 と同様である。

#### 【 0 1 4 1 】

次に、図 2 5 に示すように、イオン注入法を使用することにより、半導体基板 1 S 上に形成したポリシリコン膜 P F 1 に、例えば、リンなどの n 型不純物を導入する。このとき、リンは、メモリセル領域に形成されているポリシリコン膜 P F 1 内だけでなく、周辺回路領域に形成されているポリシリコン膜 P F 1 内にも導入される。ただし、メモリセル領域に形成されているポリシリコン膜 P F 1 に導入されるリンの濃度は、周辺回路領域に形成されているポリシリコン膜 P F 1 に導入されるリンの濃度よりも高濃度となっている。

#### 【 0 1 4 2 】

続いて、図 2 6 に示すように、パターニングしたレジスト膜をマスクにしたエッチングによりポリシリコン膜 P F 1 を加工して、メモリセル領域にコントロールゲート電極 C G を形成する。このとき、周辺回路領域はレジスト膜で覆われているため、周辺回路領域に形成されているポリシリコン膜 P F 1 は加工されずに、そのままの状態になっている。

#### 【 0 1 4 3 】

その後、図 2 7 に示すように、半導体基板 1 S に対して、オーバエッチング処理として等方性エッチングを施す。これにより、メモリセルのコントロールゲート電極 C G において、ゲート絶縁膜 G O X に接する辺の端部に形成される角部を逆テープ形状に加工することができる。その後、洗浄処理を施すことにより、逆テープ形状の直下に形成されているゲート絶縁膜 G O X は除去される。

#### 【 0 1 4 4 】

次に、図 2 8 に示すように、半導体基板 1 S 上に、酸化シリコン膜 I F 1 、窒化シリコン膜 I F 2 および酸化シリコン膜 I F 3 からなる積層絶縁膜を形成し、この積層絶縁膜上にポリシリコン膜 P F 2 を形成する。例えば、酸化シリコン膜 I F 1 は、熱酸化法や I S S G 酸化法を使用して形成することができ、窒化シリコン膜 I F 2 は、C V D 法を使用して形成することができる。さらに、酸化シリコン膜 I F 3 は、I S S G 酸化法や C V D 法を使用して形成することができる。また、ポリシリコン膜 P F 2 は、例えば、C V D 法を使用することにより形成することができる。

#### 【 0 1 4 5 】

このとき、半導体基板 1 S 上に酸化シリコン膜 I F 1 を形成する工程に着目する。酸化シリコン膜 I F 1 は、半導体基板 1 S の表面にも形成されるとともに、コントロールゲー

10

20

30

40

50

ト電極 C G の表面にも形成される。ここで、本実施の形態 4 では、コントロールゲート電極 C G を構成するポリシリコン膜中に多量のリンが導入されているため、増速酸化現象が生じる。すなわち、半導体基板 1 S よりもコントロールゲート電極 C G 内に多量のリンが導入されていることから、増速酸化現象により、半導体基板 1 S の表面に形成される酸化シリコン膜 I F 1 の膜厚に比べて、コントロールゲート電極 C G の表面に形成される酸化シリコン膜 I F 1 の膜厚が厚くなる。これにより、コントロールゲート電極 C G の側壁に形成される酸化シリコン膜 I F 1 の膜厚が充分に厚く形成されるのである。

#### 【 0 1 4 6 】

本実施の形態 4 では、増速酸化現象を利用することにより、コントロールゲート電極 C G の側壁に形成される酸化シリコン膜 I F 1 の膜厚を、半導体基板 1 S の表面に形成される酸化シリコン膜 I F 1 の膜厚よりも厚くしている。したがって、コントロールゲート電極 C G の側壁に充分厚く均一な膜厚の酸化シリコン膜 I F 1 が形成される。これに対し、前記実施の形態 2 では、コントロールゲート電極 C G の側壁にサイドウォール形状の酸化シリコン膜 O X 1 ( 図 17 参照 ) を形成した後に、酸化シリコン膜 I F 1 を形成している。サイドウォール形状をした酸化シリコン膜 O X 1 の膜厚は、コントロールゲート電極 C G の上部よりも下部の方が厚くなる。したがって、前記実施の形態 2 では、このサイドウォール形状を反映して酸化シリコン膜 I F 1 が形成されるので、コントロールゲート電極 C G の側壁に形成される酸化シリコン膜 I F 1 の膜厚は、コントロールゲート電極 C G の上部から下部に進むにつれて厚くなるように形成される。このように本実施の形態 4 と前記実施の形態 2 では、コントロールゲート電極 C G の側壁に形成されている酸化シリコン膜 I F 1 の膜厚を、半導体基板 1 S の表面に形成されている酸化シリコン膜 I F 1 の膜厚よりも厚く形成する点は同じであるが、その製造方法の相違により、コントロールゲート電極 C G の側壁に形成されている酸化シリコン膜 I F 1 の膜厚構成が異なるのである。

#### 【 0 1 4 7 】

続いて、図 29 に示すように、異方性エッチングを使用する。これにより、メモリセル領域では、ポリシリコン膜 P F 2 が異方性エッチングされて、コントロールゲート電極 C G の両側の側壁に、サイドウォール形状のポリシリコン膜 P F 2 が残存する。

#### 【 0 1 4 8 】

その後、図 30 に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、メモリセル領域において、コントロールゲート電極 C G の片側に形成されているサイドウォール形状のポリシリコン膜 P F 2 を除去する。これにより、コントロールゲート電極 C G の片側の側壁だけにサイドウォール形状のポリシリコン膜 P F 2 が残存する。さらに、積層絶縁膜 ( 酸化シリコン膜 I F 1 、窒化シリコン膜 I F 2 、酸化シリコン膜 I F 3 ) をエッチングすることにより、コントロールゲート電極 C G の片側の側壁に積層絶縁膜を介してサイドウォール形状のメモリゲート電極 M G を形成することができる。このとき、積層絶縁膜は、酸化シリコン膜 I F 1 、窒化シリコン膜 I F 2 および酸化シリコン膜 I F 3 からなるが、これらの膜は、例えば、酸化シリコン膜 I F 1 が電位障壁膜 E V 1 となり、窒化シリコン膜 I F 2 が電荷蓄積膜 E C となる。さらに、酸化シリコン膜 I F 3 が電位障壁膜 E V 2 となる。

#### 【 0 1 4 9 】

次に、図 31 に示すように、フォトリソグラフィ技術およびエッチング技術を使用することにより、周辺回路領域に形成されているポリシリコン膜 P F 1 を加工する。これにより、周辺回路領域に、ポリシリコン膜 P F 1 からなるゲート電極 G を形成することができる。

#### 【 0 1 5 0 】

続いて、図 32 に示すように、フォトリソグラフィ技術およびイオン注入法を使用することにより、メモリセル領域では、コントロールゲート電極 C G とメモリゲート電極 M G に整合した浅い低濃度不純物拡散領域 E X 1 を形成する。浅い低濃度不純物拡散領域 E X 1 は、リンや砒素などの n 型不純物を導入した n 型半導体領域である。一方、周辺回路領域では、ゲート電極 G に整合した浅い低濃度不純物拡散領域 E X 2 を形成する。この浅い

10

20

30

40

50

低濃度不純物拡散領域 E X 2 も n 型不純物を導入した n 型半導体領域である。

#### 【 0 1 5 1 】

その後、半導体基板 1 S 上に酸化シリコン膜を形成する。酸化シリコン膜は、例えば、C V D 法を使用して形成することができる。そして、酸化シリコン膜を異方性エッチングすることにより、サイドウォール SW を形成する。メモリセル領域においては、コントロールゲート電極 C G の側壁およびメモリゲート電極 M G の側壁にサイドウォール SW が形成される。同様に、周辺回路領域においては、ゲート電極 G の両側の側壁にサイドウォール SW が形成される。これらのサイドウォール SW は、酸化シリコン膜の単層膜から形成するようにしたが、これに限らず、例えば、窒化シリコン膜と酸化シリコン膜の積層膜からなるサイドウォール SW を形成してもよい。

10

#### 【 0 1 5 2 】

続いて、フォトリソグラフィ技術およびイオン注入法を使用することにより、メモリセル領域にサイドウォール SW に整合した深い高濃度不純物拡散領域 M S 、 M D を形成する。深い高濃度不純物拡散領域 M S 、 M D は、リンや砒素などの n 型不純物を導入した n 型半導体領域である。この深い高濃度不純物拡散領域 M S 、 M D と浅い低濃度不純物拡散領域 E X 1 によってメモリセルのソース領域あるいはドレイン領域が形成される。このようにソース領域とドレイン領域を浅い低濃度不純物拡散領域 E X 1 と深い高濃度不純物拡散領域 M S 、 M D で形成することにより、ソース領域およびドレイン領域を L D D (Lightly Doped Drain) 構造とすることができます。

20

#### 【 0 1 5 3 】

一方、周辺回路領域にサイドウォール SW に整合した深い高濃度不純物拡散領域 S 1 、 D 1 を形成する。深い高濃度不純物拡散領域 S 1 、 D 1 は、リンや砒素などの n 型不純物を導入した n 型半導体領域である。この深い高濃度不純物拡散領域 S 1 、 D 1 と浅い低濃度不純物拡散領域 E X 2 によって M I S F E T のソース領域あるいはドレイン領域が形成される。このようにソース領域とドレイン領域を浅い低濃度不純物拡散領域 E X 2 と深い高濃度不純物拡散領域 S 1 、 D 1 で形成することにより、ソース領域およびドレイン領域を L D D (Lightly Doped Drain) 構造とすることができます。

#### 【 0 1 5 4 】

このようにして、深い高濃度不純物拡散領域 M S 、 M D 、 S 1 、 D 1 を形成した後、 1 0 0 0 程度の熱処理を行なう。これにより、導入した不純物の活性化が行なわれる。

30

#### 【 0 1 5 5 】

次に、半導体基板 1 S 上にコバルト膜を形成した後、熱処理を施すことにより、メモリセル領域においては、コントロールゲート電極 C G およびメモリゲート電極 M G を構成するポリシリコン膜 P F 1 、 P F 2 とコバルト膜を反応させて、コバルトシリサイド膜 C S を形成する。これにより、コントロールゲート電極 C G およびメモリゲート電極 M G はそれぞれポリシリコン膜 P F 1 、 P F 2 とコバルトシリサイド膜 C S の積層構造となる。同様に、高濃度不純物拡散領域 M S 、 M D の表面においてもシリコンとコバルト膜が反応してコバルトシリサイド膜 C S が形成される。

#### 【 0 1 5 6 】

一方、周辺回路領域においても、ゲート電極 G を構成するポリシリコン膜 P F 1 の表面にコバルトシリサイド膜 C S が形成される。これにより、ゲート電極 G はポリシリコン膜 P F 1 とコバルトシリサイド膜 C S から構成されることになる。同様に、高濃度不純物拡散領域 S 1 、 D 1 の表面においてもシリコンとコバルト膜が反応してコバルトシリサイド膜 C S が形成される。なお、本実施の形態 1 では、コバルトシリサイド膜 C S を形成するように構成しているが、例えば、コバルトシリサイド膜 C S に代えてニッケルシリサイド膜やチタンシリサイド膜を形成するようにしてもよい。

40

#### 【 0 1 5 7 】

以上のようにして半導体基板 1 S のメモリセル領域に複数のメモリセルを形成し、周辺回路領域に複数の M I S F E T を形成することができる。

#### 【 0 1 5 8 】

50

次に、配線工程について図24を参照しながら説明する。図24に示すように、半導体基板1Sの主面上に層間絶縁膜を形成する。この層間絶縁膜は、例えば、窒化シリコン膜SNと酸化シリコン膜TSから形成される。その後、層間絶縁膜の表面を、例えばCMP(Chemical Mechanical Polishing)法を使用して平坦化する。

#### 【0159】

続いて、フォトリソグラフィ技術およびエッチング技術を使用して、層間絶縁膜にコンタクトホールCNTを形成する。例えば、メモリセル領域と周辺回路領域にコンタクトホールCNTが形成される。

#### 【0160】

その後、コンタクトホールCNTの底面および内壁を含む層間絶縁膜上にチタン／窒化チタン膜を形成する。チタン／窒化チタン膜は、チタン膜と窒化チタン膜の積層膜から構成され、例えばスパッタリング法を使用することにより形成することができる。このチタン／窒化チタン膜は、例えば、後の工程で埋め込む膜の材料であるタンゲステンがシリコン中へ拡散するのを防止する、いわゆるバリア性を有する。

10

#### 【0161】

そして、コンタクトホールCNTを埋め込むように、半導体基板1Sの正面の全面にタンゲステン膜を形成する。このタンゲステン膜は、例えばCVD法を使用して形成することができる。そして、層間絶縁膜上に形成された不要なチタン／窒化チタン膜およびタンゲステン膜を例えばCMP法を除去することにより、プラグPLGを形成することができる。

20

#### 【0162】

次に、層間絶縁膜およびプラグPLG上にチタン／窒化チタン膜、アルミニウム膜、チタン／窒化チタン膜を順次、形成する。これらの膜は、例えばスパッタリング法を使用することにより形成することができる。続いて、フォトリソグラフィ技術およびエッチング技術を使用することにより、これらの膜のパターニングを行い、配線L1を形成する。さらに、配線L1の上層に配線を形成するが、ここでの説明は省略する。このようにして、最終的に本実施の形態4における半導体装置を形成することができる。

#### 【0163】

##### (実施の形態5)

前記実施の形態1～4では、メモリセルの構造として、コントロールゲート電極の側壁にサイドウォール形状のメモリゲート電極を形成したスプリットゲート型メモリセルについて説明した。本実施の形態5では、メモリセルの構造として、コントロールゲート電極の側壁にメモリゲート電極を形成するが、このメモリゲート電極がコントロールゲート電極に一部が乗り上げている構造のスプリットゲート型メモリセルについて説明する。

30

#### 【0164】

図33は、本実施の形態5における半導体装置の構成を示す断面図である。図33に示すように、メモリセル領域に形成されているメモリセルは、コントロールゲート電極CGの側壁にメモリゲート電極MGが形成されており、このメモリゲート電極の一部がコントロールゲート電極CG上に乗り上げている構造をしている。

#### 【0165】

このようにメモリゲート電極MGの一部がコントロールゲート電極CG上に乗り上げているメモリセルにおいても、メモリゲート電極MGがサイドウォール形状をしているメモリセルと同様に、非選択メモリセルにおけるディスターブが問題となる。

40

#### 【0166】

そこで、本実施の形態5における半導体装置にも、前記実施の形態1～4において説明した技術的思想を適用することにより、半導体基板1Sに近い側のコントロールゲート電極CGとメモリゲート電極MGとの間の距離を実効的に離すことができる。これにより、半導体基板1S内に入り込む電界強度を緩和することができ、非選択メモリセルでのディスターブを抑制することができる。したがって、本実施の形態5においても半導体装置の信頼性を向上することができる。

50

## 【0167】

なお、図33では、例えば、本実施の形態5における半導体装置に、前記実施の形態1における技術的思想を適用する例が示されている。具体的に、メモリセルのコントロールゲート電極CGにおいて、ゲート絶縁膜GDXに接する辺の端部に形成される角部を逆テープ形状に加工する構造が示されているが、さらに、本実施の形態5における半導体装置に、前記実施の形態2~4における技術的思想も適用することもできる。

## 【0168】

本実施の形態5における半導体装置の製造方法も、前記実施の形態1~4の製造工程を応用することができる。本実施の形態5の製造方法は、メモリゲート電極MGの加工工程が異なる点を除いて前記実施の形態1~4と同様である。特に、前記実施の形態1~4の特徴点は、メモリゲート電極MGを加工する前の工程で実施されるものであり、この工程は、本実施の形態5における半導体装置の製造工程に容易に組み込むことができる。

10

## 【0169】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

## 【産業上の利用可能性】

## 【0170】

本発明は、半導体装置を製造する製造業に幅広く利用することができる。

20

## 【図面の簡単な説明】

## 【0171】

【図1】本発明の実施の形態1における半導体装置の構成を示す断面図である。

【図2】コントロールゲート電極において、ゲート絶縁膜に接する辺の端部に形成される角部がそのまま形成されている構造を示す図である。

【図3】実施の形態1におけるコントロールゲート電極において、ゲート絶縁膜に接する辺の端部に形成される角部が逆テープ形状に加工されている構造を示す図である。

## 【図4】実施の形態1におけるメモリセルの動作条件を示す図である。

## 【図5】本発明の実施の形態1における半導体装置の製造工程を示す断面図である。

## 【図6】図5に続く半導体装置の製造工程を示す断面図である。

30

## 【図7】図6に続く半導体装置の製造工程を示す断面図である。

## 【図8】図7に続く半導体装置の製造工程を示す断面図である。

## 【図9】図8に続く半導体装置の製造工程を示す断面図である。

## 【図10】図9に続く半導体装置の製造工程を示す断面図である。

## 【図11】図10に続く半導体装置の製造工程を示す断面図である。

## 【図12】図11に続く半導体装置の製造工程を示す断面図である。

## 【図13】図12に続く半導体装置の製造工程を示す断面図である。

## 【図14】本発明の実施の形態2における半導体装置の構成を示す断面図である。

## 【図15】図14の一部を拡大した断面図である。

## 【図16】本発明の実施の形態2における半導体装置の製造工程を示す断面図である。

40

## 【図17】図16に続く半導体装置の製造工程を示す断面図である。

## 【図18】図17に続く半導体装置の製造工程を示す断面図である。

## 【図19】図18に続く半導体装置の製造工程を示す断面図である。

## 【図20】図19に続く半導体装置の製造工程を示す断面図である。

## 【図21】図20に続く半導体装置の製造工程を示す断面図である。

## 【図22】図21に続く半導体装置の製造工程を示す断面図である。

## 【図23】本発明の実施の形態3における半導体装置の構成を示す断面図である。

## 【図24】本発明の実施の形態4における半導体装置の構成を示す断面図である。

## 【図25】実施の形態4における半導体装置の製造工程を示す断面図である。

## 【図26】図25に続く半導体装置の製造工程を示す断面図である。

## 【図27】図26に続く半導体装置の製造工程を示す断面図である。

50

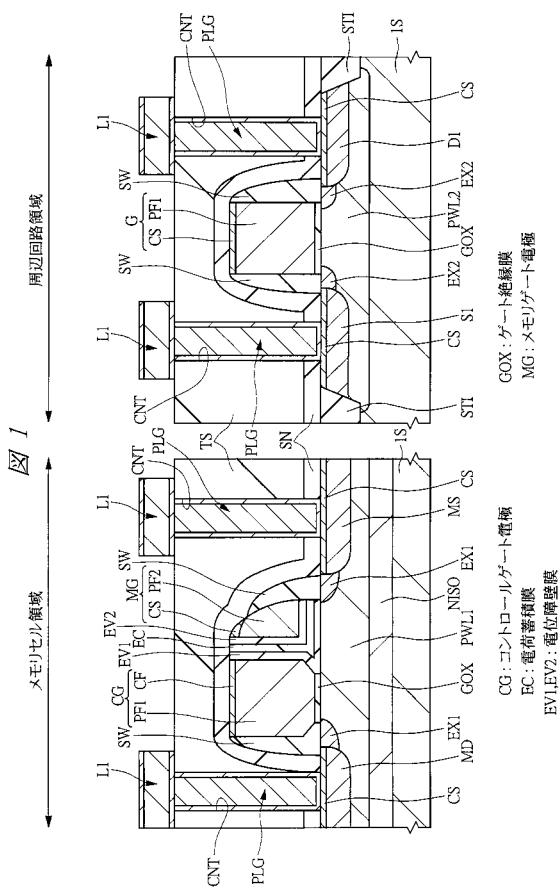
- 【図28】図27に続く半導体装置の製造工程を示す断面図である。  
 【図29】図28に続く半導体装置の製造工程を示す断面図である。  
 【図30】図29に続く半導体装置の製造工程を示す断面図である。  
 【図31】図30に続く半導体装置の製造工程を示す断面図である。  
 【図32】図31に続く半導体装置の製造工程を示す断面図である。  
 【図33】本発明の実施の形態5における半導体装置の構成を示す断面図である。

## 【符号の説明】

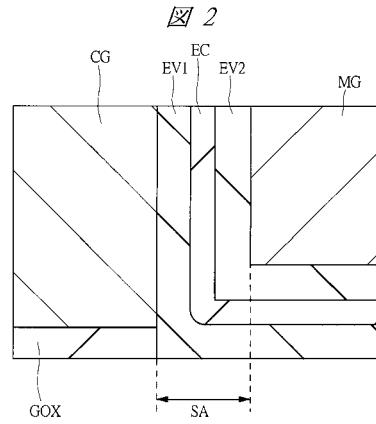
## 【0172】

1 S	半導体基板	
C G	コントロールゲート電極	10
C N T	コンタクトホール	
C S	コバルトシリサイド膜	
D 1	深い高濃度不純物拡散領域	
E C	電荷蓄積膜	
E V 1	電位障壁膜	
E V 2	電位障壁膜	
E X 1	浅い低濃度不純物拡散領域	
E X 2	浅い低濃度不純物拡散領域	
G	ゲート電極	
G O X	ゲート絶縁膜	20
I F 1	酸化シリコン膜	
I F 2	窒化シリコン膜	
I F 3	酸化シリコン膜	
L 1	配線	
M D	深い高濃度不純物拡散領域	
M G	メモリゲート電極	
M S	深い高濃度不純物拡散領域	
N I S O	ウェル分離層	
O X 1	酸化シリコン膜	
P F 1	ポリシリコン膜	30
P F 2	ポリシリコン膜	
P L G	プラグ	
P W L 1	p型ウェル	
P W L 2	p型ウェル	
S 1	深い高濃度不純物拡散領域	
S A	距離	
S B	距離	
S N	窒化シリコン膜	
S T I	素子分離領域	
S W	サイドウォール	
T S	酸化シリコン膜	40
V c g	電圧	
V d	電圧	
V m g	電圧	
V s	電圧	
V s u b	電圧	

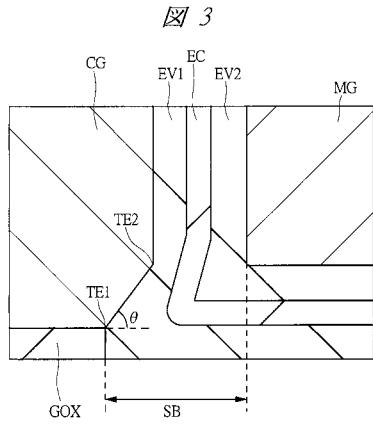
【 四 1 】



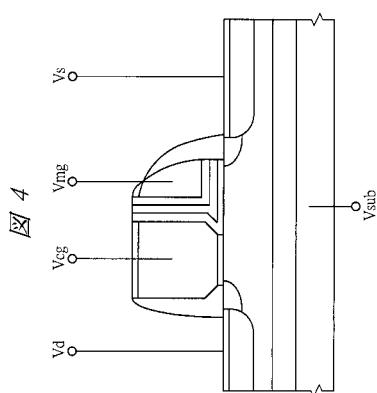
【 図 2 】



【 図 3 】

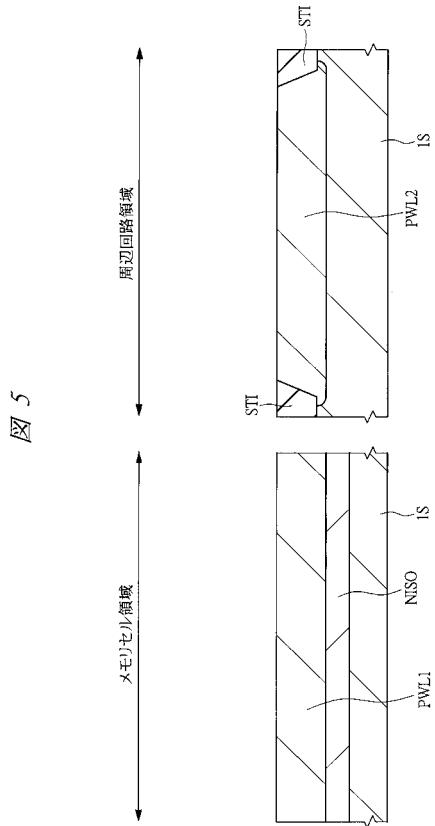


【 図 4 】

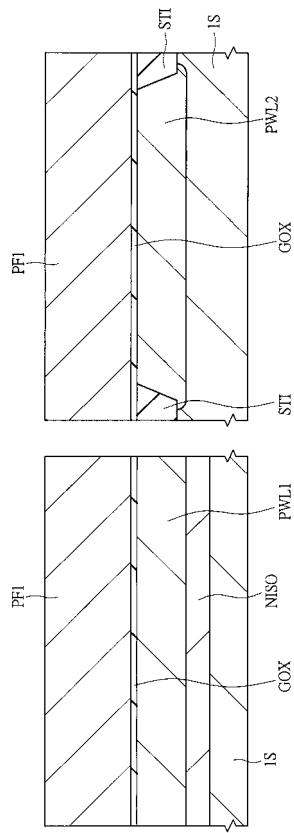


	V <sub>mg</sub>	V <sub>g</sub>	V <sub>s</sub>	V <sub>d</sub>	V <sub>sub</sub>
読み出し	0	1.5	0	1	0
書き込み選択モリセル)	10	1	5	0.5	0
書き込み (非選択メモ)セル)	10	1	5	1.5	0
消去	-6	0	6	Open	0

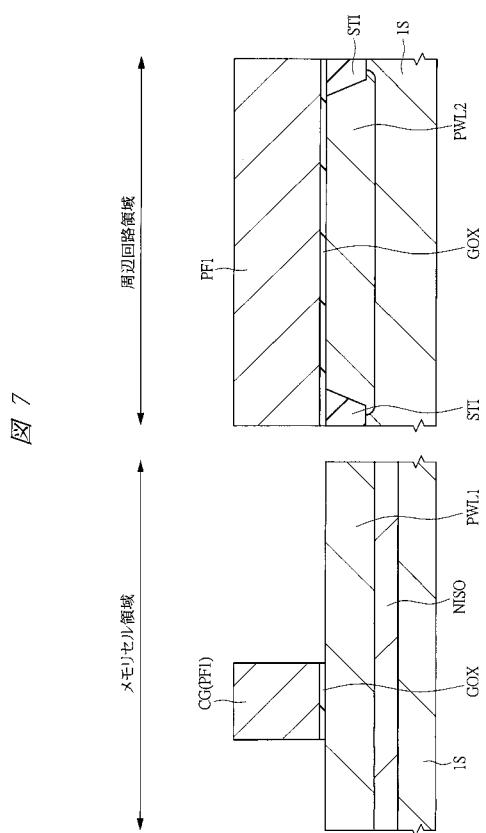
【図5】



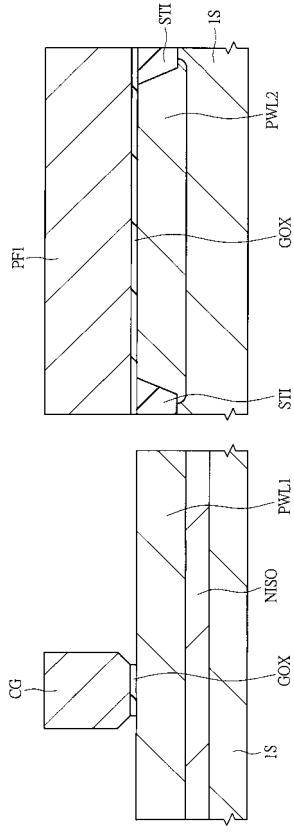
【図6】



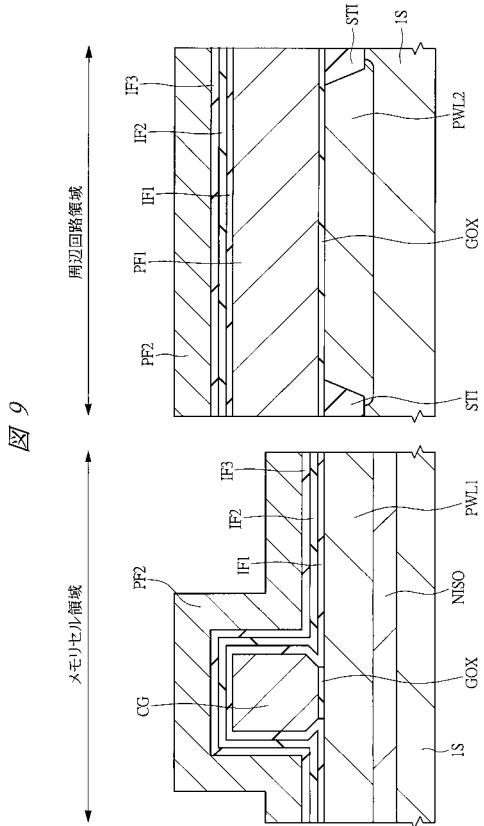
【図7】



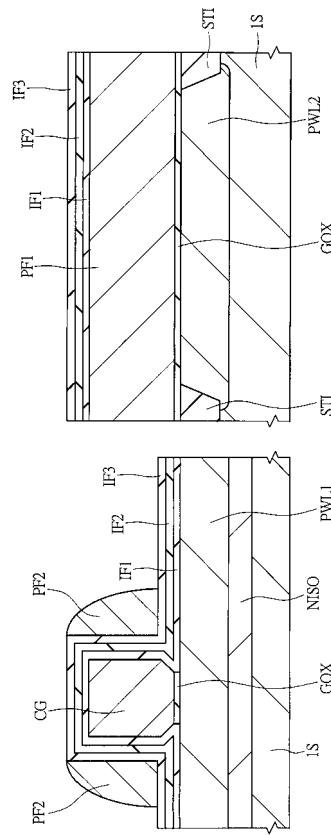
【図8】



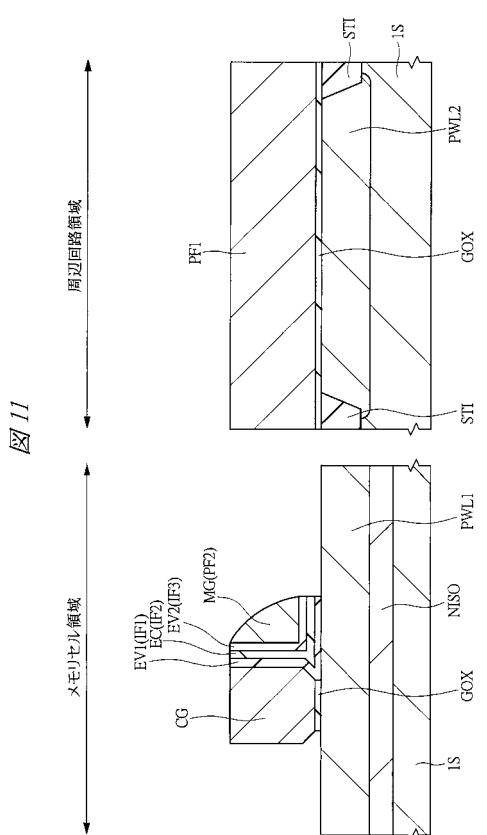
【図 9】



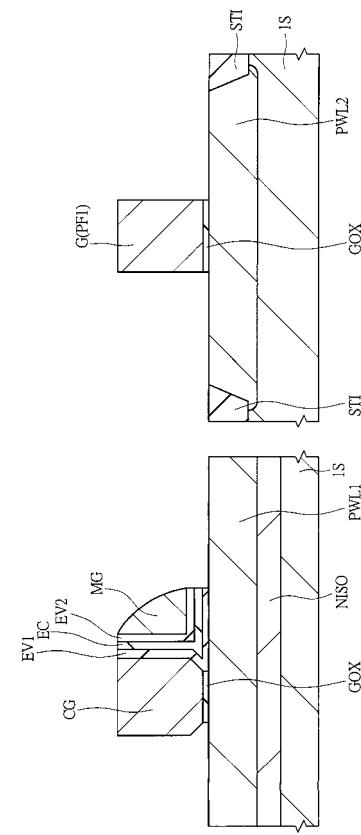
【図 10】



【図 11】



【図 12】



【図 13】

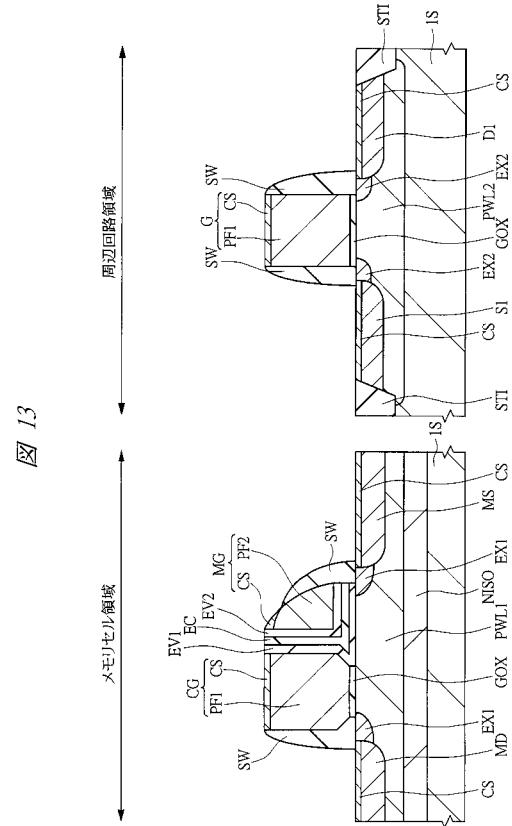


図 13

【図 14】

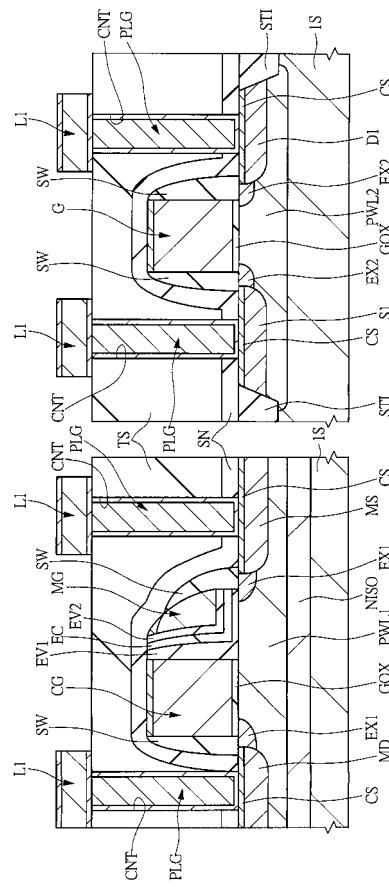


図 14

【図 15】

図 15

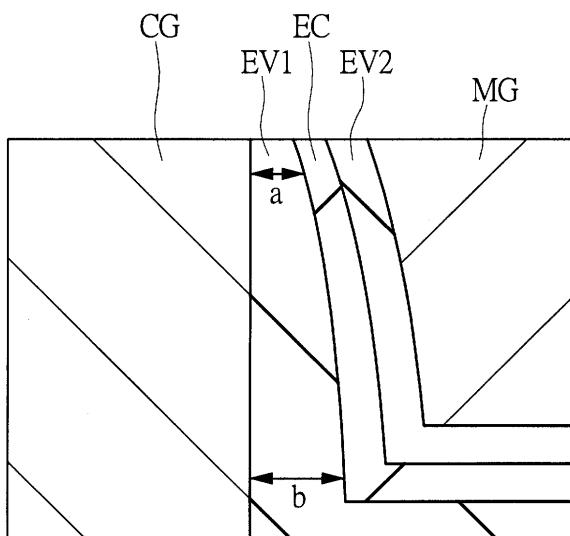


図 15

【図 16】

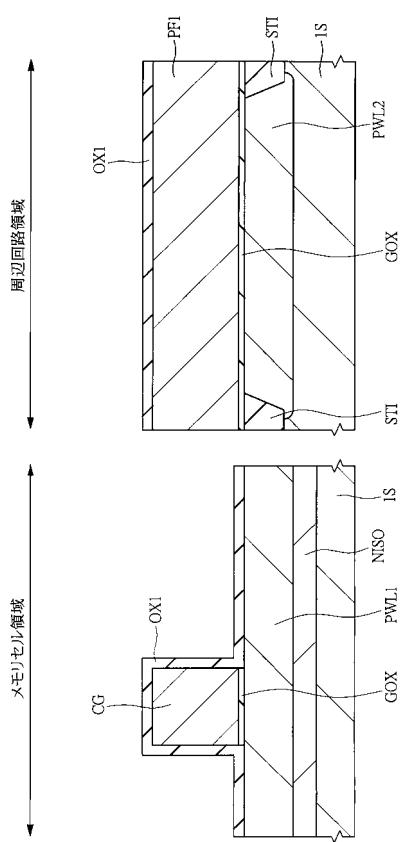
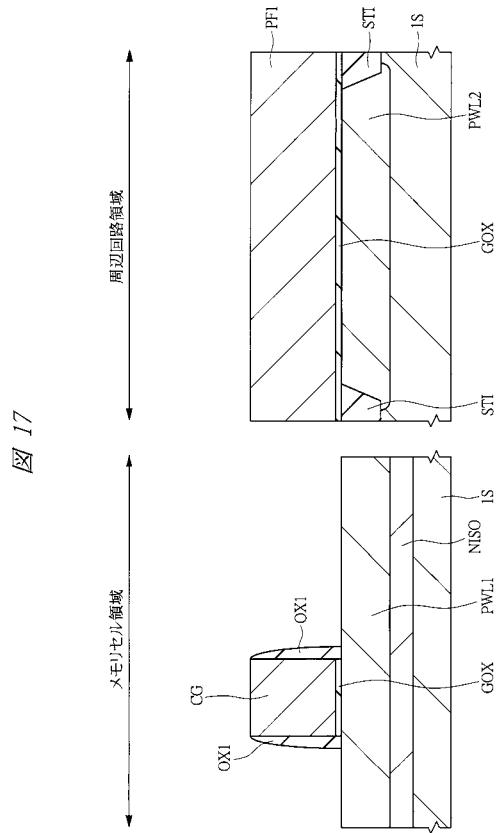
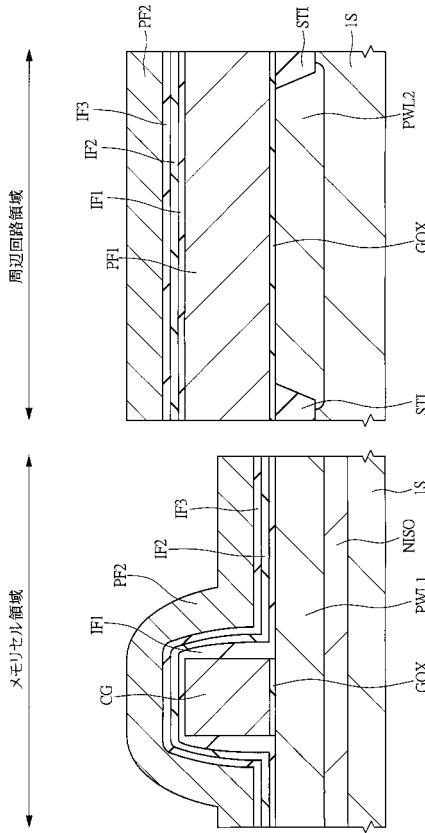


図 16

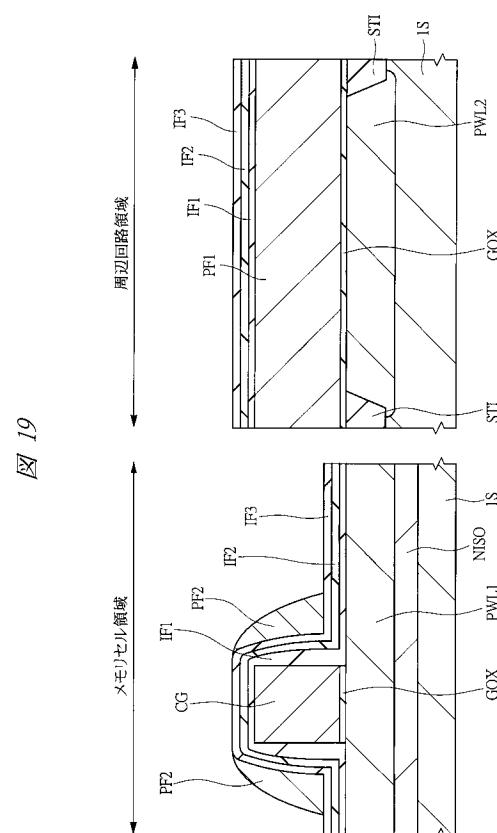
【図 17】



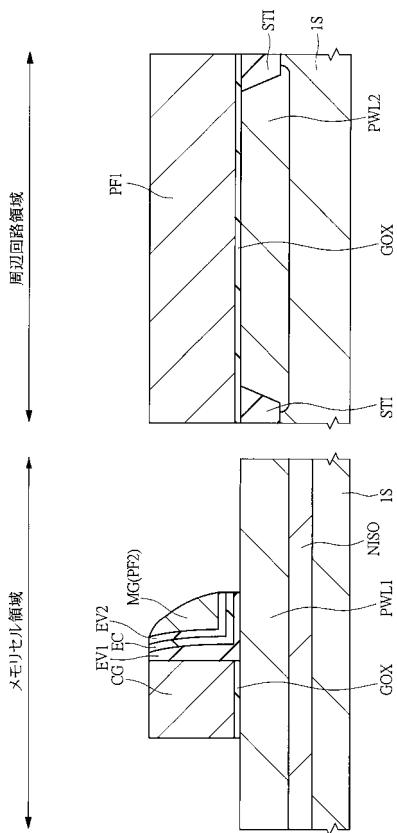
【図 18】



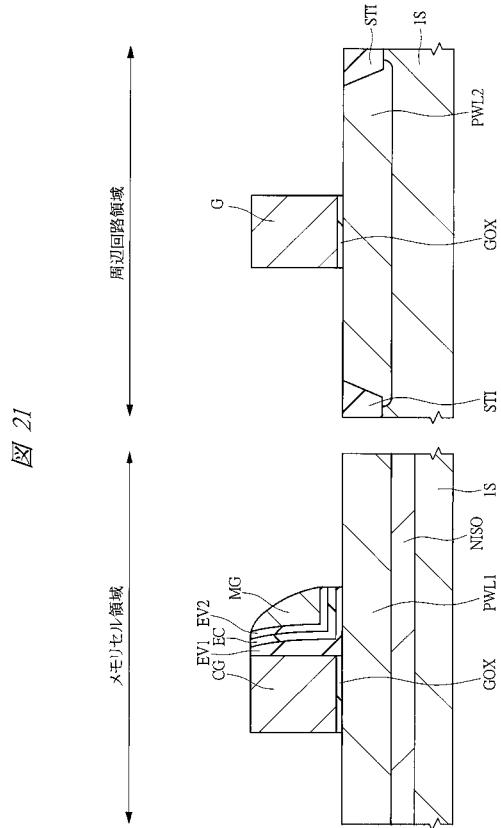
【図 19】



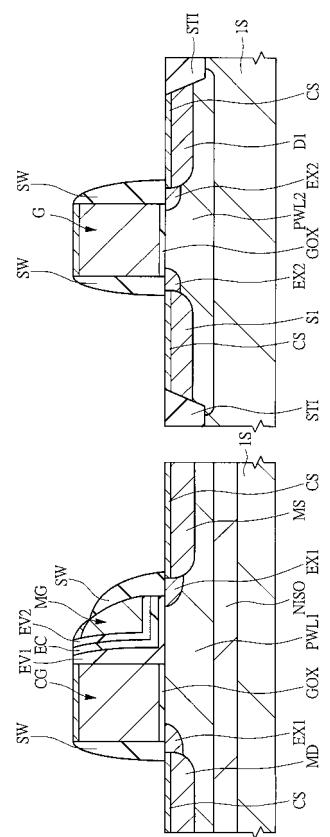
【図 20】



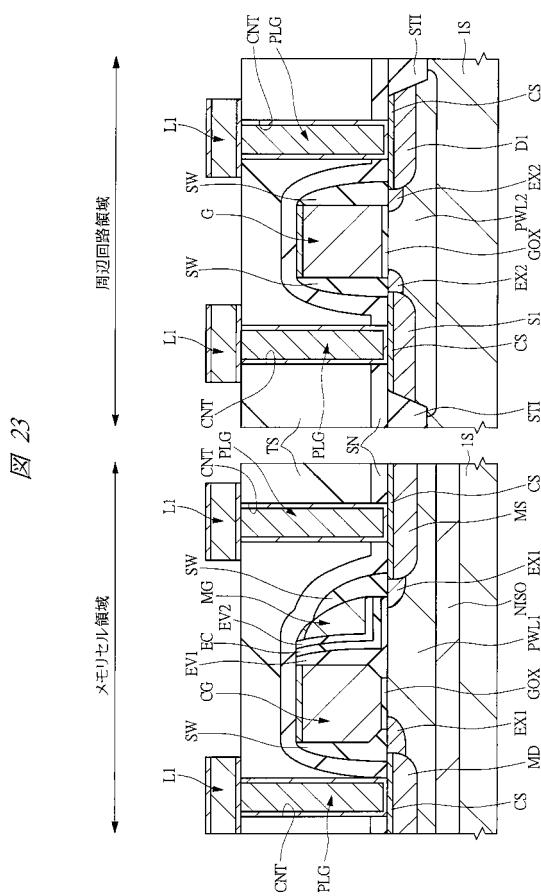
【図 2 1】



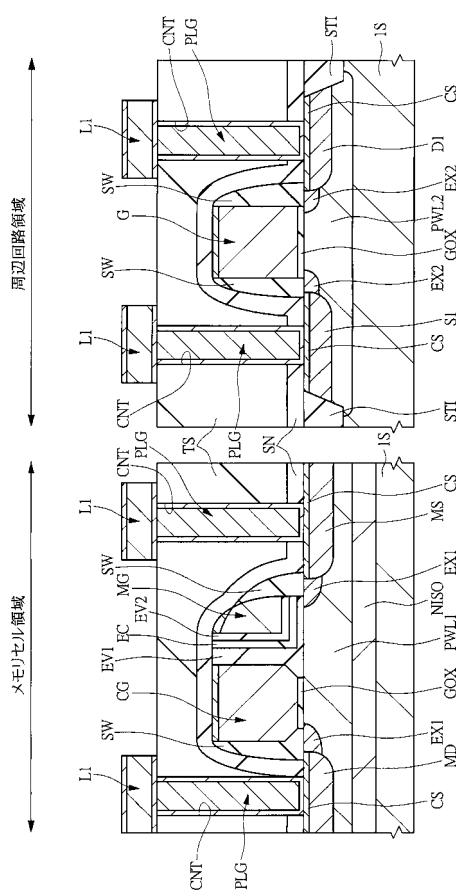
【図 2 2】



【図 2 3】

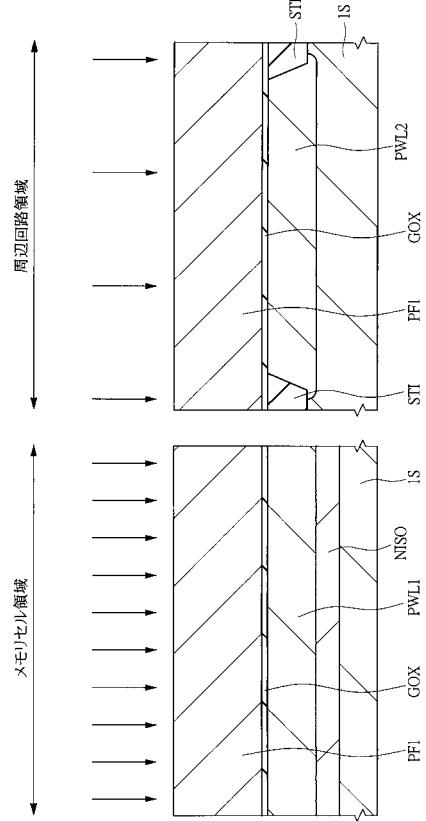


【図 2 4】



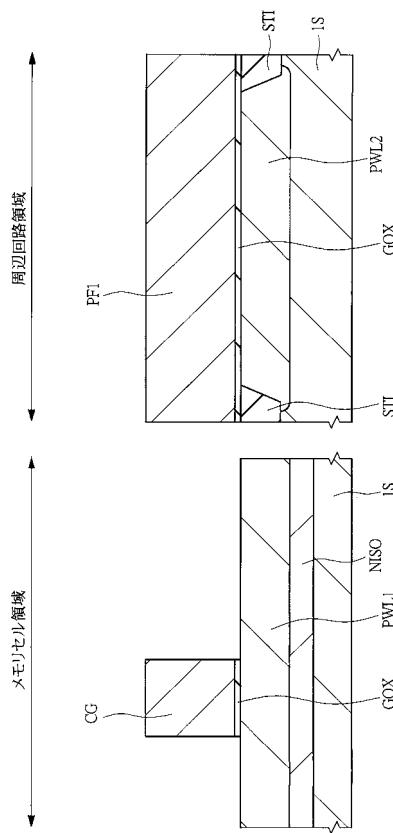
【図 25】

図 25



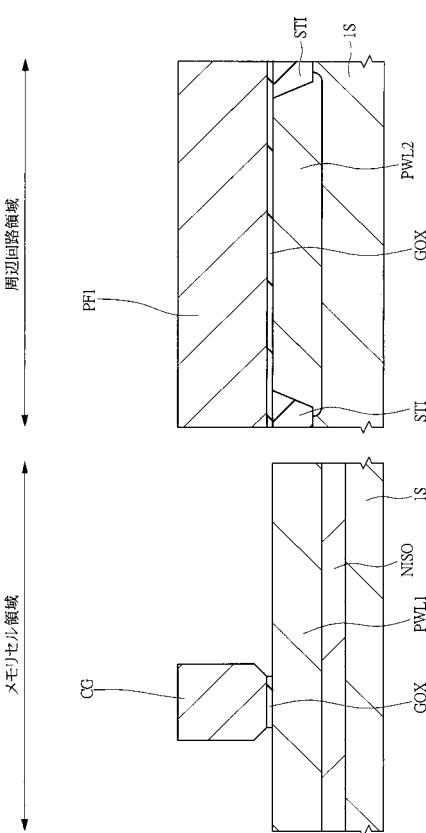
【図 26】

図 26



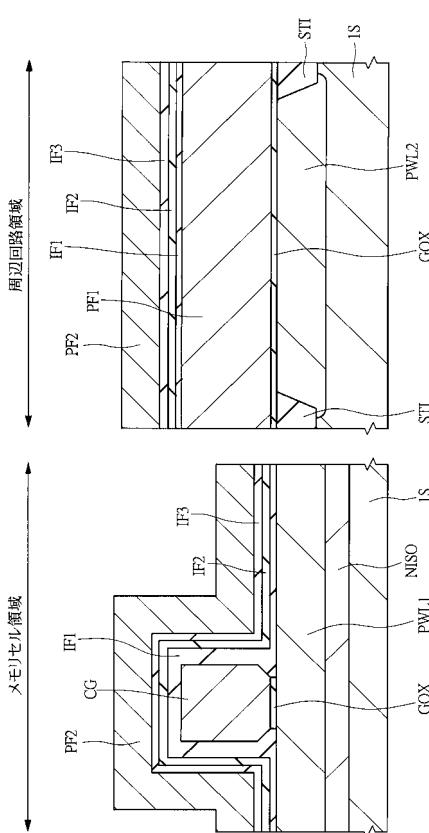
【図 27】

図 27



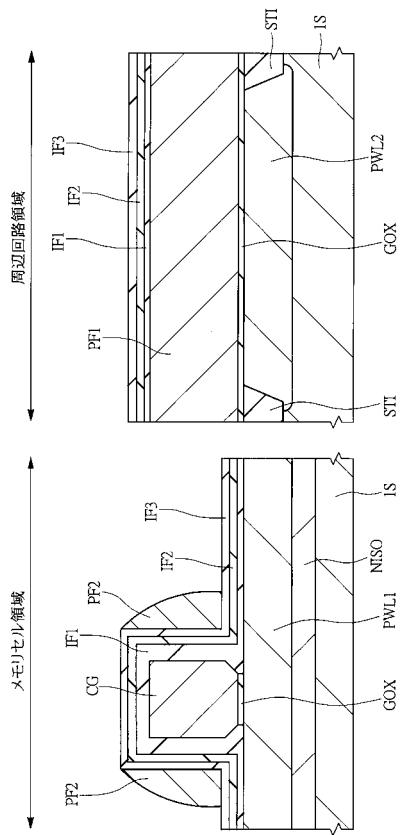
【図 28】

図 28



【図 29】

図 29



【図 30】

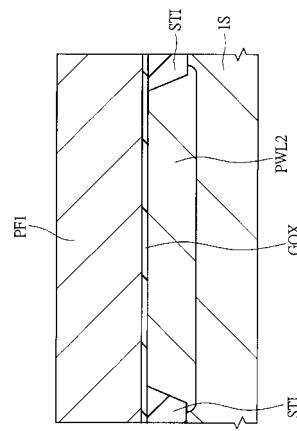
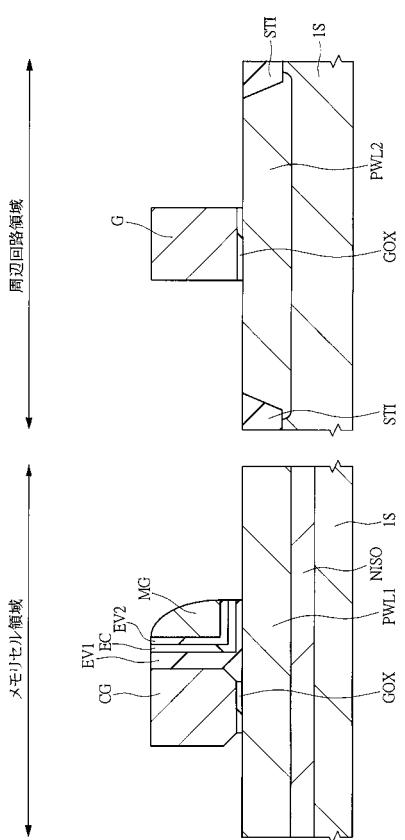


図 30

【図 31】

図 31



【図 32】

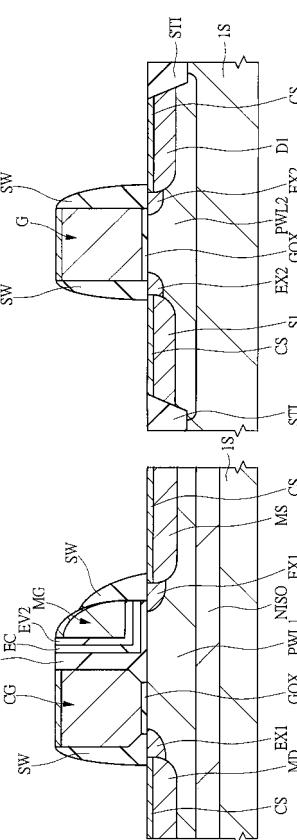
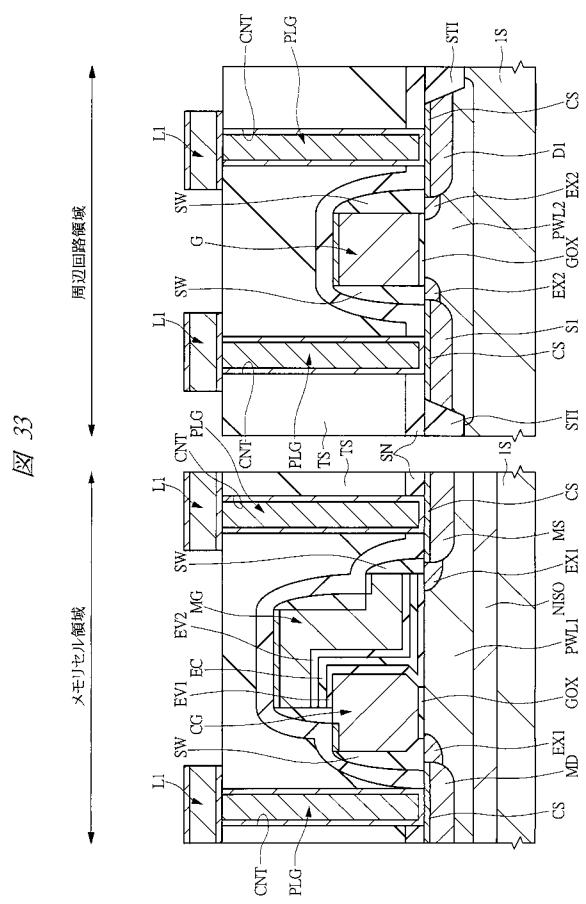


図 32

【図 33】



---

フロントページの続き

F ターム(参考) 5F083 EP18 EP33 EP35 ER02 ER11 ER30 GA15 GA16 JA02 JA19  
JA35 JA39 JA40 JA53 MA06 MA19 NA01 PR12  
5F101 BA45 BB02 BC02 BC11 BD07 BD22 BD35 BE02 BE05 BE07  
BH03