

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94145509

H05K K1, 3/40

※ 申請日期：94/12/21

※IPC 分類：H01L 23/5, 33/00

一、發明名稱：(中文/英文)

集合基板、半導體元件搭載構件、半導體裝置、攝像裝置、發光二極體構成構件及發光二極體

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

聯合材料股份有限公司

A. L. M. T. Corp. (株式会社アライドマテリアル)

代表人：(中文/英文)

野田茂 / Shigeru NODA

住居所或營業所地址：(中文/英文)

日本國東京都港區芝一丁目 11 番 11 號

11-11, Shiba 1-chome, Minato-ku, Tokyo 105-0014 Japan

國 籍：(中文/英文)

日本 / Japan

三、發明人：(共 4 人)

姓 名：(中文/英文)

(1) 檜垣賢次郎 / Kenjiro HIGAKI (桧垣賢次郎)

(2) 高木大輔 / Daisuke TAKAGI

(3) 石津定 / Sadamu ISHIDU

(4) 筑木保志 / Yasushi TSUZUKI

國 籍：(中文/英文)

(1)~(4) 日本 / Japan

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2005/02/23；2005-047481

2.

3.

4.

5.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於將複數板狀絕緣構件在同一平面上一體形成排列形狀的陶瓷製集合基板；由分割上述集合基板成各區域的絕緣構件所形成的半導體元件搭載構件；由上述半導體元件搭載構件所形成的攝像裝置、發光二極體構成構件等半導體裝置；以及由上述發光二極體構成構件所形成的發光二極體。

【先前技術】

近年，隨數位相機、照相手機的普及，CCD 攝像元件、C-MOS 攝像元件等攝像元件的需求正急遽擴張。又，為因應影像高畫質化的要求，除有大幅增加攝像元件之像素數的傾向，特別隨數位式單眼相機的普及，亦朝攝像元件的大型化進展。此外，近年在發光元件方面，因為已可大量發光且可組合螢光體等而發出白色光，因而上述照相手機的閃光燈等，便廣泛利用採用發光元件的發光二極體。

所以，隨上述攝像元件、發光元件等半導體元件的高輸出化，為能使其性能充分發揮，對使用具有由例如 AlN 等高散熱性陶瓷所構成平板狀絕緣構件的半導體元件搭載構件之需求便隨之增加。上述半導體元件搭載構件係例如將上述絕緣構件的單面，設定為供半導體元件搭載用的主面，而將背面設定為供連接於其他構件用的外部連接面，且在主面上形成半導體元件搭載用的複數電極層，在外部連接面上形成與其他構件間之連接用的複數電極層，更將

該二面的各電極層，藉由在貫通絕緣構件的複數貫通孔內所形成的導電層、介層孔導體等，形成個別連接的構造。

上述半導體元件搭載構件習知一般使用絕緣構件前驅體的陶瓷胚片，再利用所謂的共燒(cofire)法製造(例如參照專利文獻 1、2)。換言之，將陶瓷胚片形成對應於絕緣構件外形的平面形狀，且在其既定位置處形成貫通孔之後，對於介層孔導體(via conductor)，將與陶瓷胚片同時燒結而成介層孔導體的導電性膏，填充於貫通孔中後，將陶瓷胚片與導電性膏同時燒成，便可製得半導體元件搭載構件。

再者，例如在已形成既定平面形狀的陶瓷胚片上，於其絕緣構件主面、及將成為外部連接面之一面上，將導電性膏印刷或塗佈成對應電極層形狀的既定平面形狀，並在陶瓷胚片燒成之同時亦燒結而形成基底金屬層之後，再於上述基底金屬層上利用鍍金屬層的積層，而形成上述主面與外部連接面的電極層。

專利文獻 1: 日本專利特開平 11-135906 號公報

專利文獻 2: 日本專利特開 2002-232017 號公報

【發明內容】

(發明所欲解決之問題)

但是，為利用共燒法一個個製造半導體元件搭載構件，有生產性降低且製造成本提高的問題。所以，便有探討將複數板狀絕緣構件在同一平面上一體形成排列形狀的陶瓷製集合基板，依照上述共燒法形成之後，再利用切割

(Dicing)等方式分割上述集合基板成各個區域，而一次製得複數絕緣構件等技術。但是，包含複數絕緣構件之區域的大面積陶瓷胚片，除燒成時的收縮量較大，且整體無法均勻收縮，造成不均等收縮的問題。例如矩形狀陶瓷胚片出現各邊中央部附近較矩形角落大幅朝內側收縮的現象。

所以，即使在燒成前的陶瓷胚片上，將各區域的貫通孔形成絕緣構件的複數個區域整齊直線排列之狀態，仍因燒成時的收縮而造成貫通孔形成位置不均等偏移之情況，因而出現難以從所形成的集合基板，利用切割等方式分割各區域的問題。所以，為使各區域未呈整齊排列之狀態下，仍可利用切割等方式分割成個別狀態，有考慮事先預估因收縮而發生的各區域位置偏移情況，並將形成各區域的間隔設定為較寬，但是在此情況下，在單片集合基板上可形成的區域數減少，而有材料浪費較多的問題。

所以，便有探討將包含複數絕緣構件之區域的大陶瓷胚片預先燒成，而形成一片集合基板，並在上述集合基板上設定成為絕緣構件的複數區域，對各區域利用雷射加工等形成貫通孔之後，再依各區域分割而製造絕緣構件。在上述方法中，於絕緣構件的主面側及外部連接面側，分別利用化學電鍍、電解電鍍等施行形成電極層的步驟之同時（或前後），將所形成的貫通孔內面金屬化，俾形成連接二電極層的導電層。

但是，利用雷射加工所形成的貫通孔，因為形成從雷射入射側起朝射出側，直徑逐漸變小的推拔狀，因而在雷射

射出側之一面，上述面與貫通孔內面以銳角相交，又因為銳角相交的角落部分，利用物理蒸鍍、印刷、電鍍等方式所形成的金屬化密接性較弱，且膜厚容易呈不均勻狀態，因而在絕緣構件上形成電極層、導電層之際，出現電極層與導電層間之連接不良等問題。

本發明之目的在於提供一種集合基板，在陶瓷胚片燒成之後，再經由形成貫通孔的步驟而製造，可將上述貫通孔內所形成的導電層、與主面或外部連接面上所形成的電極層，在不致發生連接不良等情況下確實連接。此外，本發明之目的在於提供一種使用分割上述集合基板成各區域而得之絕緣構件，所形成的半導體元件搭載構件，以及使用上述半導體元件搭載構件所形成的攝像裝置、發光二極體構成構件等半導體裝置，暨使用上述發光二極體構成構件所形成的發光二極體。

（解決問題之手段）

為達成上述目的，本發明之集合基板將複數板狀絕緣構件（其單面設定為半導體元件搭載用主面，而背面則設定為與其他構件間連接用的外部連接面），利用陶瓷在同一平面上一體形成整齊排列形狀，並至少在各個成為絕緣構件之區域內的既定位置、或跨越於各區域與其外側區域之邊界線的位置等二者之一，分別形成貫通絕緣構件厚度方向的貫通孔，且將各貫通孔的內面形成從上述主面側與外部連接面側開口，朝向絕緣構件厚度方向之一處所設置之最小孔部，分別形成開口尺寸逐漸變小的推拔狀。此外，

上述本發明的集合基板之熱導率最好為 10W/mK 以上，而熱膨脹係數最好在 $10 \times 10^{-6}/^{\circ}\text{C}$ 以下。另外，上述本發明的集合基板最好在將其母材的板狀前驅體燒成之後，再形成貫通孔而製造。另外，本發明的集合基板最好具備有：半導體元件搭載用電極層（其形成於成為絕緣構件之區域的主面側）、連接用電極層（其形成於外部連接面側且供與其他構件間連接用）、以及導電層（其形成於貫通孔內，且連接主面側電極層與外部連接面側電極層）。

本發明的半導體元件搭載構件係將具備有上述電極層及導電層的本發明集合基板，依各區域分割而製得。上述本發明的半導體元件搭載構件，最好其外部連接面之電極層最表面至少其中部分由 Au 所形成。

再者，上述本發明的半導體元件搭載構件最好主面具備有：設定有半導體元件搭載用區域的絕緣構件，以及在上述主面上依包圍上述區域之方式積層的框體；上述絕緣構件與框體的熱膨脹係數均在 $10 \times 10^{-6}/^{\circ}\text{C}$ 以下，且框體的熱膨脹係數與絕緣構件的熱膨脹係數之差最好在 $3 \times 10^{-6}/^{\circ}\text{C}$ 以下。此外，上述本發明的半導體元件搭載構件，絕緣構件主面上由框體所包圍供半導體元件搭載用區域的面積的 80% 以上，最好由至少包含半導體元件搭載用電極層在內的金屬層所覆蓋。

本發明的攝像裝置具備有：上述本發明的半導體元件搭載構件、攝像元件（其搭載於上述半導體元件搭載構件之絕緣構件主面上，且由框體所包圍的區域中）、以及蓋體

(其在上述框體上面，為密閉框體而接合，且由透光性板材所構成)。

再者，本發明的半導體裝置具備有：上述本發明的半導體元件搭載構件、及半導體元件(其搭載於上述半導體元件搭載構件中之絕緣構件主面上)，且上述半導體元件利用密封材密封。

再者，本發明的半導體裝置具備上述電極層及導電層，同時將貫通孔的最小孔部利用形成導電層的導電材料填滿，並在將上述貫通孔朝厚度方向封閉的集合基板中，成為各個絕緣構件的區域主面上，搭載有半導體元件，其次，將上述集合基板搭載有半導體元件的主面側整面，利用密封材密封之後，再將上述集合基板與密封材一起依各區域分割而製得，並使分割後的貫通孔之至少其中一部分，與絕緣構件之主面及外部連接面相交叉之側面呈開放狀態。

本發明的發光二極體構成構件係上述本發明的半導體裝置中，其半導體元件為發光元件，且密封材至少為螢光體或保護樹脂中之一者。此外，上述本發明的發光二極體構成構件，最好其絕緣構件主面的電極層最表面至少其中一部分，由 Ag、Al 或 Al 合金所形成。此外，本發明的發光二極體具備有：封裝(其具有凹部)、上述本發明的發光二極體構成構件(其搭載於上述封裝的凹部之底面上)、以及密封覆蓋或透鏡(其在凹部開口中，為密閉上述凹部而接合，且由可使來自發光二極體構成構件的光穿透過的材

料所構成)。

(發明效果)

本發明的集合基板中，因為形成貫通孔的內面，從絕緣構件主面側及外部連接面側的開口起，朝向在絕緣構件厚度方向 1 個地方所設置最小孔部，分別形成開口尺寸逐漸變小的推拔狀，因而形成上述主面及外部連接面、與貫通孔內面，任一面側均以鈍角相交。故，依照本發明的集合基板，當利用物理蒸鍍、印刷、電鍍等方式形成電極層、導電層之際，可大幅降低角部的金屬化剝落、膜厚不均勻狀況，俾使電極層與導電層不致發生連接不良等狀況，可確實連接，較目前更加提升半導體裝置的可靠度。

再者，將上述本發明集合基板的熱導率設定在 10W/mK 以上，可提高半導體元件搭載構件的散熱性，俾可因應半導體元件的高輸出化。此外，將集合基板的熱膨脹係數設定在 $10 \times 10^{-6}/^{\circ}\text{C}$ 以下，可確實防止當因元件驅動時的熱效應等而發生膨脹、收縮之際，對半導體元件施加過大應力，導致上述元件破損、或與電極層間的接合移位而發生接合不良狀況等等情形。

再者，上述本發明集合基板將其母材的陶瓷胚片等板狀前驅體燒成之後，再形成貫通孔而製造，不致因上述前驅體的不均等收縮，而發生貫通孔位置偏移不均等狀況。因而，無需事先預估因收縮所產生的位置偏移，而將各個絕緣構件的區域之形成間隔設定為較寬，除可增加單片集合基板上形成的區域數，且可減少材料浪費。

再者，在本發明集合基板的絕緣構件主面與外部連接面上，形成電極層，且在貫通孔內面形成導電層，可將上述電極層與導電層在不致發生連接不良等情況下，確實連接。故，依照對上述本發明集合基板依各區域分割而製得的本發明半導體元件搭載構件，可將主面上所搭載的半導體元件，透過上述二電極層與導電層，在不致發生連接不良等情況下，確實與其他構件連接。此外，上述本發明半導體元件搭載構件的外部連接面，其電極層最表面至少其中一部分利用 Au 形成，可將上述電極層利用焊料接合、焊接搭線等習知周知各種連接方法，在與其他構件所設置的電極層之間更確實導電連接。

在上述本發明半導體元件搭載構件的絕緣構件主面上，設定供半導體元件搭載用的區域，且依包圍上述區域之方式，在絕緣構件主面上積層有框體，並在上述區域上搭載半導體元件之後，再於上述框體上接合蓋體，可將所搭載的半導體元件密封。特別當半導體元件為攝像元件時，藉由使用由透光性材料所構成的蓋體，在攝像元件上依可透過蓋體曝光的狀態，將上述攝像元件密封。

藉由將上述本發明半導體元件搭載構件的絕緣構件與框體之熱膨脹係數均設定在 $10 \times 10^{-6}/^{\circ}\text{C}$ 以下，且將二者的熱膨脹係數之差設定在 $3 \times 10^{-6}/^{\circ}\text{C}$ 以下，可使框體的熱膨脹係數接近絕緣構件，能防止二者的接合發生翹曲狀況，且可防止因熱效應而發生接合不良等狀況。

將上述本發明半導體元件搭載構件的絕緣構件主面

上，由框體所包圍出供半導體元件搭載用區域的面積 80% 以上，利用至少包含半導體元件搭載用電極層在內的金屬層覆蓋，例如當半導體元件為攝像元件時，可使上述金屬層產生遮光層功能，將通過絕緣構件從攝像元件背後所入射的光阻斷，可提升攝像元件感度。此外，當半導體元件為發光元件時，可使上述金屬層產生反射層功能，俾可提升發光二極體的發光效率。

因為本發明之攝像元件藉由在具備上述框體的半導體元件搭載構件，於絕緣構件主面中由框體所包圍出區域內，搭載半導體元件的攝像元件之後，再於上述框體上接合由透光性板材所構成之蓋體而構成，因而可在攝像元件中依可通過蓋體曝光的狀態，將上述攝像元件密封。

本發明的半導體裝置在將集合基板依各區域分割而製得的半導體元件搭載構件主面上，搭載半導體元件，並具有利用密封材密封的構造，可施行如同習知半導體元件晶片的相同處置，搭載於配線基板等其他構件的搭載部中。此外，在搭載於搭載部之前，亦可事先檢查有無不良等情況。且，當施行搭載作業等之際，因為亦可不直接接觸到半導體元件，因而亦可極力抑制因靜電等情形而發生元件破損的狀況。

再者，本發明半導體裝置使用將貫通孔的最小孔部利用導電材料填滿，而朝厚度方向封閉的集合基板，並在其主面上搭載半導體元件，利用密封材密封之後，再將集合基板與密封材一起依各區域分割而製得，可在施行上述密封

時，防止密封材通過貫通孔而洩漏於背面側的狀況發生。所以，例如可省略對集合基板搭載半導體元件之單面側的特定區域限定式密封的麻煩，而可整面均利用密封材保護，可促進半導體裝置更加小型化。

再者，將從集合基板分割後的貫通孔至少其中一部分，設定為在絕緣構件側面呈開放狀態，可使在裸露之貫通孔內面上所形成的導電層，產生填錫(solder fillet)形成部的功能。因而，將半導體裝置利用焊接搭載於其他構件的搭載部之際，可藉由所形成的填錫輔助外部連接用電極層，俾提升安裝可靠度。

因為本發明的發光二極體構成構件係上述本發明的半導體裝置中，半導體元件為使用發光元件，且密封材為至少使用螢光體或保護樹脂中之一者而構成，因而可如同習知發光元件晶片的相同處置，搭載於發光二極體封裝的搭載部、或面發光體(其將多數發光元件排列成面狀而構成)的基板搭載部等之上。此外，在搭載於該等搭載部之前，亦可事先執行發光元件的良否判定及發光色調的調查。且，當施行搭載作業等之際，因為可不直接接觸到發光元件，因而可極力抑制因靜電等情況而發生元件破損的狀況。

將上述本發明的發光二極體構成構件中，絕緣構件主面的電極層最表面中至少其中一部份，利用 Ag、Al 或 Al 合金等形成，可儘可能將來自發光元件的光(特別為組合螢光體而發出白色光的較佳波長 600nm 以下之光)，以高效

率朝發光二極體構成構件前方側反射，俾可提升發光效率。此外，因為本發明的發光二極體使用上述本發明發光二極體構成構件，因而不致浪費高單價的發光二極體封裝等，可以高效率製造。

【實施方式】

圖 1 所示係本發明集合基板 1 之實施形態一例，以攝像元件搭載用絕緣構件 2 為基礎的集合基板 1 部分放大俯視圖。此外，圖 2 所示係上述集合基板 1 中，貫通孔 11 的部分放大剖視圖，圖 3 所示係分割集合基板 1 而成的絕緣構件 2 中，貫通孔 11 之部分放大剖視圖。另外，圖 4 所示係絕緣構件 2 的主面 21 側之俯視圖，圖 5 所示係主面 21 上接合有框體 4 而形成的半導體元件搭載構件 BL 俯視圖，圖 6 所示係絕緣構件 2 的外部連接面 22 側之仰視圖。圖 7 所示係在半導體元件搭載構件 BL 的絕緣構件 2 主面 21 上之元件搭載區域 21a 中，搭載半導體元件的攝像元件 PE1，並在框體 4 上接合透光性蓋體 FL 而形成的攝像裝置 PE2 之剖視圖。

參照圖 1，此例子的集合基板 1 整體利用陶瓷形成平板狀，且包含有：複數區域 1a、及一定寬度的區域 1b。該區域 1a 具有形成板狀絕緣構件 2 之既定平面形狀（圖中為矩形狀）；該區域 1b 用於區隔上述複數區域 1a，在各區域 1a 之間設置縱橫矩陣狀，供切割時去除之用。圖中的單點虛線所示係供區隔區域 1a、1b 的邊界線 L。此外，在各區域 1a 對應於相互平行之 2 長邊的位置處，分別跨越

上述邊界線 L 各形成複數個(圖中為 8 個)貫通孔 11。

上述集合基板 1 最好將其母材陶瓷的前驅體(陶瓷胚片等)燒結而形成平板狀之後，再利用後加工形成貫通孔 11 而製作。藉此，可依習知的共燒法頗難達到之高位置精度形成貫通孔 11。

參照圖 2，形成各貫通孔 11 的內面分別由第 1 與第 2 等 2 個推拔面 11b、11c 所構成。其中，第 1 推拔面 11b 從絕緣構件 2 的主面 21 側(圖中的上面側)起，設置於於絕緣構件 2 的厚度方向 1 個地方，朝向平面形狀為圓形的最小孔部 11a，形成開口直徑逐漸變小的圓錐推拔狀，且在主面 21 處形成圓形開口。此外，第 2 推拔面 11c 從絕緣構件 2 的外部連接面 22 側(圖中的下面側)起，形成朝向上述最小孔部 11a 開口直徑逐漸變小的圓錐推拔狀，並在外部連接面 22 處形成圓形開口。

具有圖中所示形狀的貫通孔 11 的形成方法，可考慮對預先燒成平板狀的集合基板 1，利用後加工而形成等各種方法，特別以採取利用噴砂(Sand Blast)法的形成方法為佳。換言之，參照圖 1 與圖 2，使集合基板 1 的外部連接面 22 側之貫通孔 11 開口所對應的圓形區域裸露出，將除此以外的區域在利用光阻膜保護的狀態下，採取噴砂法，對集合基板 1 所裸露出的區域選擇性的朝厚度方向施行穿孔而形成第 2 推拔面 11c。在此之同時，針對主面 21 側亦同樣使貫通孔 11 開口所對應的圓形區域裸露出，再將除此以外的區域於利用光阻膜保護狀態下，採取噴砂

法，對集合基板 1 所裸露出的區域選擇性朝厚度方向施行穿孔而形成第 1 推拔面 11b。

依此，利用噴砂法施行穿孔的特徵係隨穿孔的推進，其開口尺寸逐漸變小，因此二推拔面 11b、11c 形成圓錐推拔狀，且二推拔面 11b、11c 的連結部形成最小孔部 11a，而形成貫通孔 11。上述方法中，藉由調整形成二推拔面 11b、11c 的穿孔深度、穿孔直徑，可任意控制最小孔部 11a 的開口直徑、以及上述最小孔部 11a 在絕緣構件 2 厚度方向上的形成位置。

具有上述形狀的貫通孔 11，其第 1 推拔面 11b、與其所延續的主面 21 依鈍角的角度 θ_1 相交，而第 2 推拔面 11c、與其所延續的外部連接面 22 亦是依鈍角的角度 θ_2 相交。因而，當利用例如物理蒸鍍、印刷、電鍍等方法，形成圖 3 所示電極層 31、32、導電層 33 之際，可大幅降低在第 1 推拔面 11b 與主面 21 的角部、及第 2 推拔面 11c 與外部連接面 22 的角部處，發生金屬化剝落、膜厚不均勻等狀況，可在不致發生連接不良等情況下，確實將電極層 31、32 與導電層 33 連接。因而，可提升攝像裝置 PE2 的可靠度。

另外，在上述貫通孔 11 中，若二推拔面 11b、11c 依銳角相交，則二者角部的最小孔部 11a 之部分金屬化密接性降低，恐導致導電層 33 在最小孔部 11a 的部分處中斷、或金屬化膜厚呈不均勻狀態。為形成厚度均勻且最小孔部 11a 的上下部分呈良好連接的導電層 33，最好二推拔面

11b、11c 亦依鈍角的角度 θ_3 相交。為能將二推拔面 11b、11c 的夾角 θ_3 形成鈍角，只要調整噴砂法等的穿孔條件，而調整上述二推拔面 11b、11c 的推拔角度便可。

集合基板 1 最好熱導率在 10W/mK 以上。熱導率達 10W/mK 以上，可提高半導體元件搭載構件 BL 的散熱性，因應攝像元件 PE1 的高輸出化。此外，集合基板 1 最好熱膨脹係數在 $10 \times 10^{-6}/^\circ\text{C}$ 以下。熱膨脹係數在 $10 \times 10^{-6}/^\circ\text{C}$ 以下，可防止因元件驅動時的熱效應等而發生膨脹、收縮之際，對攝像元件 PE1 施加過大應力，導致上述元件 PE1 破損、接合脫落情況。

能形成滿足該等條件之集合基板 1 的材料，有如： AlN 、 Al_2O_3 、 SiC 、 Si_3N_4 、 BeO 、 BN 等絕緣性陶瓷，就成本的觀點而言，最好為 Al_2O_3 。但是，若在考慮散熱性的前提下，集合基板 1 的熱導率在上述範圍內，最好設定為 80W/mK 以上，尤以 150W/mK 以上為佳，為能達較高的熱導率，最好採用 AlN 或 SiC 。此外，若考慮將與攝像元件 PE1 間之熱膨脹係數之差縮小的前提下，最好使用 AlN 或 Al_2O_3 。

所以，若將散熱功能等設定為最優先要件，上述材料中最好採用 AlN 形成集合基板 1，但是當未高度要求散熱功能時，則最好使用 Al_2O_3 形成集合基板 1。其中，若考慮兼顧機械強度等集合基板 1 的其他物性、或製造成本等前提下，集合基板 1 的熱導率在上述範圍內，最好設定在 300W/mK 以下，而熱膨脹係數在上述範圍內最好設定為 $4 \times 10^{-6} \sim 7 \times 10^{-6}/^\circ\text{C}$ 。

在上述集合基板 1 的主面 21 上形成半導體元件搭載用電極層 31，在外部連接面 22 上形成與其他構件間的連接用電極層 32，在貫通孔 11 內面上形成將二電極層 31、32 間連接的導電層 33(圖 1~圖 6)。

上述中，主面 21 側的電極層 31 係對應各貫通孔 11 獨立形成複數個。此外，圖示例子中，各個電極層 31 係形成從成為絕緣構件 2 的區域 1a 內，在對應於矩形之相互平行的 2 長邊中之 1 邊的位置處所形成之貫通孔 11 起，朝另 1 邊的長邊方向延設的矩形狀。另一方面，外部連接面 22 側的電極層 32 亦對應各貫通孔 11 獨立形成複數個，且各個電極層 32 形成從成為絕緣構件 2 的區域 1a 內，在對應於矩形之相互平行的 2 長邊中之 1 邊的位置處所形成之貫通孔 11 起，朝另 1 邊的長邊方向延設的矩形狀。此外，導電層 33 形成覆蓋於貫通孔 11 內面整面，且在集合基板 1 的主面 21 側連接於電極層 31，在外部連接面 22 側連接於電極層 32 的狀態。

再者，主面 21 上在為不接觸到各電極層 31 而設置間隙 g 的狀態下，形成金屬層 5。金屬層 5 與電極層 31 一起形成將區域 21a(其係在上述主面 21 中由框體 4 所圍繞出，供搭載半導體元件用的區域)覆蓋的遮光層功能。換言之，金屬層 5 使用於阻斷通過絕緣構件 2，並從上述區域 21a 上所搭載攝像元件 PE1 背後入射的光，俾提升攝像元件 PE1 的感度。

電極層 31 與金屬層 5 最好形成覆蓋於區域 21a 面積的

80%以上。藉此，可使電極層 31 與金屬層 5 發揮足夠的遮光層功能。但是，複數電極層 31 必需相互隔開，且金屬層 5 亦必須與各電極層 31 相互隔開。因此，在電極層 31、金屬層 5 間必須設置間隙 g ，不可將區域 21a 面積的 100%(即區域 21a 整面)均利用電極層 31、金屬層 5 覆蓋。在電極層 31 與金屬層 5 之間，若考慮確保能防止複數電極層 31 間發生短路的足夠間隙 g 之前提下，則電極層 31 與金屬層 5 最好形成覆蓋區域 21a 面積的 95%以下。另外，若將電極層 31 擴大形成覆蓋著區域 21a 面積的 80~95%狀態，便可省略金屬層 5。

電極層 31、32、及導電層 33 均可利用習知周知各種導電性優越的金屬材料等形成。此外，上述各層可利用諸如：濕式電鍍法、真空蒸鍍法、濺鍍法等物理蒸鍍法等各種金屬化法，形成單層構造、或雙層以上的多層構造。濕式電鍍法因為可利用 1 次的處理形成具有足夠厚度的金屬膜，因此電極層 31、32、導電層 33 亦可形成單層構造，但是亦可例如在由 Cu、Ni 所構成之單層或雙層的底層上，積層由 Ag、Au 等導電性優越的金屬所構成之厚度 $0.1\sim 10\mu\text{m}$ 表面層的多層構造。

另一方面，物理蒸鍍法最好將電極層 31、32、導電層 33 形成積層有功能性分離之複數層的多層構造，該多層構造的例子，可舉例如從靠近集合基板 1 之一側起依序積層有：

(I)由 Ti、Cr、NiCr、Ta、及該等金屬化合物等所構成，

且與集合基板 1 間之密接性優越的密接層；

(II)由 Pt、Pd、Cu、Ni、Mo、NiCr 等所構成，且具有防止形成下述表面層的金屬發生擴散之功能的擴散防止層；以及

(III)由 Ag、Al、Au 等所構成，且導電性優越的表面層等而形成 3 層構造等等。密接層厚度最好設定為 $0.01\sim 1.0\mu\text{m}$ 左右，擴散防止層厚度最好設定為 $0.01\sim 1.5\mu\text{m}$ 左右，表面層厚度最好設定為 $0.1\sim 10\mu\text{m}$ 左右。

再者，亦可組合使用物理蒸鍍法與濕式電鍍法，將電極層 31、32、導電層 33 形成多層構造。例如在利用物理蒸鍍法形成密接層與擴散防止層的前提下，可在利用濕式電鍍法形成由 Cu、Ni 所構成的底層之後，再利用物理蒸鍍法或濕式電鍍法形成由 Ag、Al、Au 等所構成導電性優越的表面層。

在主面 21 側的電極層 31 表面上，例如為提升在與所搭載攝像元件 PE1 的各端子之間，利用焊接搭線 WB 等連接之際的可靠度，亦可設置由 Au 等所構成的焊墊。此外，在外部連接面 22 側的電極層 32 表面上，例如為提升在數位相機等的基板上所設置電極層之間，利用焊接等施行表面安裝之際的可靠度，亦可設置由 Au 等所構成的焊料配對接合層。

但是，如上述，當導電材料使用 Au，並形成單層構造的電極層 31、32，或配置於多層構造電極層 31、32 最表

層的情況時，亦可省略焊墊、焊料配對接合層。此外，因為金屬層 5 與電極層 31 形成於相同面上，因此只要在形成電極層 31 之同時，形成具有相同層之構造便可。但是，因為金屬層 5 只要具有遮光層功能便可，因此例如即便電極層 31 係形成如上述多層構造時，金屬層 5 亦可形成具有足夠厚度之僅 1 層的單層構造。

在對電極層 31、32、金屬層 5 施行圖案形成方面，例如只要使用金屬遮罩、或微影法的光罩等，對未被上述光罩所覆蓋並裸露出的集合基板 1 表面，利用上述濕式電鍍法或物理蒸鍍法等選擇性施行金屬化便可。此外，為將電極層 31、32 形成多層構造，只要在集合基板 1 所裸露出的表面上，重複利用不同金屬施行金屬化便可。另外，導電層 33 在主面 21 上形成電極層 31、金屬層 5 之際，或在外部連接面 22 上形成電極層 32 之際，或當施行上述二項作業之際，藉由設定成貫通孔 11 開口未被光罩所覆蓋而裸露出的狀態，在形成二電極層 31、32 之同時，形成連接於上述二電極層 31、32 的狀態便可。

為使用已形成有上述電極層 31、32、導電層 33、及金屬層 5 的集合基板 1，製造出供搭載半導體元件之攝像元件 PE1 用的半導體元件搭載構件 BL，將上述集合基板 1 中，由邊界線 L 所區隔出的區域 1b，利用切割等方式去除。依此，殘留的區域 1a 各自分離，形成複數個絕緣構件 2。然後，在所形成的各個絕緣構件 2 主面 21 上，利用由如樹脂、低融點玻璃等所構成的接合層 B1，而將框

體 4 接合，再將主面 21 上透過框體 4 之通孔 41 而裸露出的區域 21a，設定為供搭載半導體元件之攝像元件 PE1 用的元件搭載部，便製得半導體元件搭載構件 BL(圖 4~圖 7)。

再者，製作內含成為複數框體 4(其係配合集合基板的區域 1a 形成間隔，排列著複數通孔 41)之區域在內的集合基板，將其利用接合層 B1 接合於已形成上述電極層 31、32、導電層 33 及金屬層 5 的集合基板 1 主面 21 側之後，再將集合基板 1 中的區域 1b，和成為框體 4 的集合基板中重疊於上述區域 1b 的區域，利用切割等方式去除，亦可製得複數個絕緣構件 2 與框體 4 積層的半導體元件搭載構件 BL。

框體 4 在考慮防止於與絕緣構件 2 積層的狀態下發生翹曲等變形、或為縮小與半導體元件間之熱膨脹係數之差等前提下，最好利用熱膨脹係數在 $10 \times 10^{-6}/^{\circ}\text{C}$ 以下(尤以 $4 \times 10^{-6} \sim 7 \times 10^{-6}/^{\circ}\text{C}$ 為佳)，且與絕緣構件 2 之熱膨脹係數間的差在 $3 \times 10^{-6}/^{\circ}\text{C}$ 以下(尤以 $1 \times 10^{-6}/^{\circ}\text{C}$ 以下為佳)的材料形成。更進一步而言，最好利用與絕緣構件 2 相同的材料形成框體 4，可完全消除熱膨脹係數差。例如當絕緣構件 2 係由 AlN 形成時，框體 4 最好亦由 AlN 形成，當絕緣構件 2 係由 Al_2O_3 形成時，框體 4 最好亦由 Al_2O_3 形成。此外，框體 4 當半導體元件為攝像元件時，為能將通過上述框體 4 並入射的不需要光予以阻斷，最好使用遮光性材料形成。

參照圖 7，本發明的攝像裝置 PE2 在上述半導體元件搭

載構件 BL 的區域 21a 中，搭載攝像元件 PE1，同時將上述攝像元件 PE1 的端子(未圖示)、與電極層 31 裸露出於上述區域 21a 內的前端部，透過焊接搭線 WB 連接之後，再於框體 4 上利用由樹脂、低融點玻璃等所構成的接合層 B2，接合由透光性材料所構成的蓋體 FL 而構成。根據該攝像裝置 PE2，可對攝像元件 PE1 在通過蓋體 FL 曝光的狀態下，將上述攝像元件 PE1 密封。攝像元件 PE1 的各端子透過焊接搭線 WB、電極層 31、導電層 33 及電極層 32，而連接於數位相機等的基板上所設置的電極層等。

圖 8 所示係本發明集合基板 1 實施形態另一例，以發光元件搭載用絕緣構件 2 為基礎的集合基板 1 之部分放大俯視圖。圖 9 所示係上述集合基板 1 中，貫通孔 11 的部分放大剖視圖，圖 10 所示係分割上述集合基板 1 而成的絕緣構件 2 中，貫通孔 11 之部分放大剖視圖。圖 11 所示係絕緣構件 2 的主面 21 側之俯視圖，圖 12 所示係外部連接面 22 側的仰視圖。圖 13 所示係在半導體元件搭載構件 BL 的絕緣構件 2 主面 21 上，搭載半導體元件的發光元件 LE1，同時利用密封材的螢光體及/或保護樹脂 FR 密封的發光二極體構成構件 LE2 之剖視圖，圖 14 所示係將發光二極體構成構件 LE2 搭載於封裝 7 上的發光二極體 LE3 之剖視圖。

參照圖 8，此例子的集合基板 1 仍是整體由陶瓷形成平板狀而構成板狀絕緣構件 2，且包含有：複數區域 1a、及一定寬度的區域 1b。該區域 1a 具有既定之平面形狀(圖

中為矩形狀)；該區域 1b 依區隔上述複數區域 1a 之方式，在各區域 1a 之間設置縱橫矩陣狀，供利用切割而去除之用。圖中的單點虛線所示係供區隔區域 1a、1b 的邊界線 L。此外，在各區域 1a 對應於相互平行之 2 長邊的位置處，分別於上述邊界線 L 附近處形成複數個(圖中為 3 個)貫通孔 11。

上述集合基板 1 最好如同前例，將其母材陶瓷的前驅體(陶瓷胚片等)燒結而形成平板狀之後，再利用後加工形成貫通孔 11 而製作。藉此，可依習知的共燒法頗難達到的高位置精度形成貫通孔 11。此外，電極層 31、32、導電層 33 亦最好形成於經燒成後的集合基板 1 表面上。此情況下，在光反射率優越之依照共燒法所形成的由 Mo、W 等所構成底層上，亦可形成頗難利用電鍍法形成的 Al 製之層，並當作電極層 31 等。

參照圖 9，形成各貫通孔 11 的內面分別由第 1 與第 2 等 2 個推拔面 11b、11c 所構成。其中，第 1 推拔面 11b 從絕緣構件 2 的主面 21 側(圖中的上面側)起，設置於絕緣構件 2 的厚度方向之一處，朝向平面形狀為圓形的最小孔部 11a，形成開口直徑逐漸變小的圓錐推拔狀，且在主面 21 處形成圓形開口。此外，第 2 推拔面 11c 從絕緣構件 2 的外部連接面 22 側(圖中的下面側)起，形成朝向上述最小孔部 11a 且開口直徑逐漸變小的圓錐推拔狀，並在外連接面 22 處形成圓形開口。

藉此，第 1 推拔面 11b、與其所延續的主面 21 依鈍角

的角度 θ_1 相交，而第 2 推拔面 11c、與其所延續的外部連接面 22 亦依鈍角的角度 θ_2 相交，因而，當利用例如物理蒸鍍、印刷、電鍍等方法，形成電極層 31、32、導電層 33 之際，可大幅降低在第 1 推拔面 11b 與主面 21 的角部、及第 1 推拔面 11c 與外部連接面 22 的角部處，發生金屬化剝落、膜厚不均勻等狀況。因而，可在不致發生連接不良等情況下，確實將電極層 31、32 與導電層 33 連接，可提升發光二極體構成構件 LE2、及發光二極體 LE3 的可靠度。

參照圖 10，上述貫通孔 11 在其內面形成導電層 33 之際，最小孔部 11a 的部分利用形成導電層 33 的導電材料 33a 沉積而填滿，並在分割前的狀態下朝集合基板 1 的厚度方向呈封閉狀。藉此，如之前所說明，當利用接著的步驟，將在上述集合基板 1 的各絕緣構件 2 主面 21 上所搭載的發光元件 LE1，使用密封材的螢光體及/或保護樹脂 FR 密封之際，可防止上述螢光體及/或保護樹脂 FR 經由貫通孔 11 洩漏於集合基板 1 背面。

但是，當形成導電層 33 之際，於貫通孔 11 中，二推拔面 11b、11c 角部的最小孔部 11a 部分，若發生金屬化剝落或膜厚不均勻情況，可能無法利用導電材料 33a 將最小孔部 11a 良好地填滿。考慮將最小孔部 11a 利用導電材料 33a 良好填滿的前提下，則二推拔面 11b、11c 亦最好依鈍角的角度 θ_3 相交。為將二推拔面 11b、11c 的夾角 θ_3 形成鈍角，只要調整噴砂法等所施行穿孔的條件、或調整

二推拔面 11b、11c 的推拔角度便可。

參照圖 8 與圖 9，上述貫通孔 11 中，第 2 推拔面 11c 形成於跨越上述邊界線 L(其位於集合基板 1 中成為絕緣構件 2 的區域 1a、與各區域 1a 間的區域 1b 之間)的位置處。然後，利用切割等將區域 1b 去除而分割各區域 1a，如圖 10~圖 12 所示，在構成半導體元件搭載構件 BL 的絕緣構件 2 之側面 23 處，在上述第 2 推拔面 11c 之內面所形成的導電層 33，利用開口 11d 而裸露出。因此，使裸露出的導電層 33 發揮填錫形成部的功能，當將發光二極體構成構件 LE2 利用焊接而搭載於其他構件(例如圖 14 所示的發光二極體 LE3 之封裝 7 等)上之際，藉由所形成的填錫輔助外部連接用電極層 32，可提升安裝可靠度。

對預先燒結而形成平板狀的集合基板 1，利用後加工形成具有該形狀的貫通孔 11 的方法，最好採用如前所說明的使用噴砂法之形成方法。上述方法藉由調整二推拔面 11b、11c 的穿孔深度、穿孔直徑，便可任意控制最小孔部 11a 開口直徑、上述最小孔部 11a 在絕緣構件 2 厚度方向上的形成位置。

參照圖 9，依如上述所控制的最小孔部 11a 在絕緣構件 2 厚度方向上的形成位置，依主面 21 距最小孔部 11a 的距離 h 表示，最好在超過上述絕緣構件 2 厚度 t_0 的 0 倍，且 $2/3$ 倍以下的範圍內。藉此，可確保推拔面 11b、11c 位於最小孔部 11a 之上下，且可使第 1 推拔面 11b 與主面 21，依鈍角的角度 θ_1 相交，並可使第 2 推拔面 11c 與外

部連接面 22 亦是依鈍角的角度 θ_2 相交，俾可將在其上面所形成的電極層 31、32、與導電層 33 確實連接。

再者，可確保從最小孔部 11a 起延續於外部連接面 22 側之電極層 32 的第 2 推拔面 11c，在導電層 33 中的露出面積，亦可使其充分發揮填錫形成部的功能。此外，利用上述噴砂法所施行的形成方法，藉由將從集合基板 1 二側所形成的第 1 與第 2 推拔面 11b、11c 相連接，亦可在不致使貫通孔 11 發生變形等情況下確實形成。另外，考慮第 2 推拔面 11c 中，充分確保具填錫形成部功能的導電層 33 露出面積之前提下，上述距離 h 最好為絕緣構件 2 厚度 t_0 的 $1/2$ 倍以下。為利用上述形成方法確實的形成貫通孔 11，上述距離 h 尤以設定在 $5\mu\text{m}\sim 50\mu\text{m}$ 左右的範圍內為佳。

再者，參照圖 9，最小孔部 11a 的開口直徑 d 最好在 $10\mu\text{m}$ 以上。開口直徑 d 達 $10\mu\text{m}$ 以上的最小孔部 11a，當利用上述噴砂法等普通加工方法形成貫通孔 11 時，可形成精度較佳狀態。此外，亦可在各個貫通孔 11 的最小孔部 11a 開口直徑 d 統一的狀態下形成，因為為形成最小孔部 11a 時並不需要其他的加工步驟等，因而可提升半導體元件搭載構件 BL 的生產性，俾可達降低成本之效果。

再者，上述最小孔部 11a 的開口直徑 d 最好在 $200\mu\text{m}$ 以下。開口直徑 d 在 $200\mu\text{m}$ 以下，當在貫通孔 11 內面形成導電層 33 之際，可更有效率地利用導電材料 33a 將最小孔部 11a 填滿，因而可更加確實地防止螢光體及/或保

護樹脂 FR 發生洩漏等狀況。

另外，當對貫通孔 11 之最小孔部 11a，利用噴砂法等普通的加工方法而更確實地貫通，且在貫通孔 11 內面形成導電層 33 之際，考慮將最小孔部 11a 更效率佳地利用導電材料 33a 填滿之前提下，上述最小孔部 11a 的開口直徑 d 最好為 $50\sim 150\ \mu\text{m}$ ，尤以 $75\sim 125\ \mu\text{m}$ 為佳。

集合基板 1 在考慮提高半導體元件搭載構件 BL 的散熱性，而因應發光元件 LE1 高輸出化的前提下，最好將熱導率設定在 10W/mK 以上，尤以 80W/mK 以上為佳，更以 150W/mK 以上為佳。此外，在考慮兼顧機械強度等其他物性、製造成本等前提下，則集合基板 1 的熱導率最好設定在 300W/mK 以下。

再者，集合基板 1 在考慮防止因元件驅動時的熱效應等而發生膨脹、收縮之際，對發光元件 LE1 施加過大應力，導致上述元件 LE1 破損、或接合脫落狀況的前提下，熱膨脹係數最好設定在 $10\times 10^{-6}/^{\circ}\text{C}$ 以下。此外，在考慮兼顧機械強度等其他物性、製造成本等前提下、則集合基板 1 的熱膨脹係數最好設定為 $4\times 10^{-6}\sim 7\times 10^{-6}/^{\circ}\text{C}$ 。

形成能滿足該等條件之集合基板 1 的材料有如： AlN 、 Al_2O_3 、 SiC 、 Si_3N_4 、 BeO 、 BN 等絕緣性陶瓷。其中，特別為能達成高熱導率，最好使用 AlN 、 SiC ，而在縮小與發光元件 LE1 間之熱膨脹係數之差的前提下，最好使用如 AlN 、 Al_2O_3 。若將成本設定為最優先考慮因素，則最好使用 Al_2O_3 。

參照上述各圖，在上述集合基板 1 的主面 21 上形成半導體元件搭載用電極層 31，在外部連接面 22 上形成與其他構件間的連接用電極層 32，在貫通孔 11 內面形成將二電極層 31、32 間相連接的導電層 33。

隨此，貫通孔 11 的最小孔部 11a 藉由形成導電層 33 的導電材料 33a 之沉積而被填滿，在將絕緣構件 2 分割前的貫通孔 11，呈朝集合基板 1 厚度方向封閉之狀態。藉此，在電極層 31 上搭載發光元件 LE1 並密封之際，可防止螢光體及/或保護樹脂 FR 通過貫通孔 11 並洩漏於背面側，例如可省略對集合基板 1 搭載發光元件 LE1 的主面 21 側之特定區域，施以限定性密封的麻煩程序，而可整面均利用上述螢光體及/或保護樹脂 FR 密封，因而可更加促進發光二極體構成構件 LE2 的小型化。

最小孔部 11a 利用導電材料 33a 填滿的集合基板 1 厚度方向厚度 t_1 ，最好設定為集合基板 1 厚度 t_0 的 $1/50 \sim 1/2$ 倍。若厚度 t_1 為集合基板 1 厚度 t_0 的 $1/50$ 以上，在密封時便可確實防止因其本身重量等，導致已封閉的貫通孔 11 脫落，造成螢光體及/或保護樹脂 FR 洩漏於外部連接面 22 側的情況發生。此外，若厚度 t_1 為集合基板 1 厚度 t_0 的 $1/2$ 以下，便可確保利用最小孔部 11a 使外部連接面 22 側之導電層 33 裸露出的露出面積，俾可充分發揮填錫形成部的功能。

另外，在考慮更增加具填錫形成部功能的導電層 33 露出面積，且在密封時更確實的防止因其本身重量等，而造

成已封閉的貫通孔 11 脫落，導致螢光體及/或保護樹脂 FR 洩漏於外部連接面 22 側之狀況發生的前提下，最小孔部 11a 利用導電材料 33a 填滿的集合基板 1 厚度方向上的厚度 t_1 ，尤以設定為集合基板 1 厚度 t_0 的 $1/20 \sim 1/5$ 倍為更佳。

在貫通孔 11 內面所形成的導電層 33 厚度 t_2 ，最好設定為最小孔部 11a 開口直徑 d 的 $0.2 \sim 1.0$ 倍。厚度 t_2 達開口直徑 d 的 0.2 倍以上，當在貫通孔 11 內面形成導電層 33 之際，可將最小孔部 11a 更效率佳地利用導電材料 33a 填滿，因而可更確實地防止螢光體及/或保護樹脂 FR 發生洩漏等情況。

但是，若厚度 t_2 超過開口直徑 d 的 1.0 倍，不僅無法獲得更佳的效果，尚需要多餘的導電材料 33a，因而反將導致將最小孔部 11a 填滿時的效率降低。所以，厚度 t_2 最好設定為開口直徑 d 的 1.0 倍以下。另外，在考慮將最小孔部 11a 更效率佳地利用導電材料 33a 填滿之前提下，導電層 33 厚度 t_2 ，尤以設定為最小孔部 11a 開口直徑 d 的 $0.3 \sim 0.5$ 倍為佳。

在集合基板 1 中成為各個絕緣構件 2 的區域 1a 之主面 21 側，分別形成每 2 個半導體元件搭載用電極層 31 各朝面方向隔開，且依絕緣狀態設置。此外，在上述集合基板 1 中成為各個絕緣構件 2 的區域 1a 之外部連接面 22 側，亦分別形成每 2 個外部連接用電極層 32 各朝面方向隔開，且依絕緣狀態設置。所以，主面 21 側的 2 個電極層

31、與外部連接面 22 側的 2 個電極層 32 中，分別對應於集合基板 1 表背雙面者之間，透過在貫通孔 11(其在二電極層 31、32 中將成為絕緣構件 2 的區域 1a 外周緣側，分別形成於 3 個地方)內面的導電層 33 而相連接。

詳言之，電極層 31(其平面形狀形成略矩形狀)、延設電極層 31b(其從上述電極層 31 之一側邊 31a 起，朝貫通孔 11 方向延伸，並到達貫通孔 11 在主面 21 側開口的周圍)、及貫通孔 11 內面的導電層 33，形成一體且相互連接。此外，電極層 32(其平面形狀呈略矩形狀，且形成與貫通孔 11 在外部連接面 22 側開口呈部份重疊狀態)、與貫通孔 11 內面的導電層 33，同樣形成一體並相互連接。

外部連接面 22 上所設置的電極層 32 面積合計，佔上述外部連接面 22 面積的比例，最好設定為 30%以上。藉此，當將發光二極體構成構件 LE2，在半導體元件搭載構件 BL 的外部連接面 22 側之電極層 32、與發光二極體 LE3 的封裝 7(或在面發光體的基板上所設置的電極層)間，利用焊接施行表面安裝之際，可充分確保半導體元件搭載構件 BL、與封裝 7(或基板)間的散熱通路，因而可達成發光二極體 LE3 的高輸出化。

另外，在考慮更加確保散熱通路的前提下，電極層 32 的面積合計，佔外部連接面 22 的面積比例，最好設定在 50%以上，尤以 70%以上為佳。但是，在考慮將 2 個以上的電極層 32，當如上述般形成相互朝面方向隔開之際，能充分確保二電極層 32 間的絕緣性之前提下，電極層 32

的面積合計，佔外部連接面 22 的面積比例，最好設定在 90%以下。

電極層 31、32、及導電層 33 如同上述，可使用導電性優越的金屬材料等，且可形成單層構造、或雙層以上的多層構造。在電極層 31、32 施行圖案形成的方法，亦可採用如同上述的方法。在電極層 31 表面上，亦可設置由 Ag、Al 或 Al 合金等所構成之反射層[其將來自發光元件 LE1 的光(特別係波長 600nm 以下的短波長光)，依高反射率反射]。其中，Al 特別對 450nm 以下的短波長光具優越的反射率，有助於提升當組合螢光體而發出白色光時的短波長發光元件 LE1 之發光效率。

另外，當將該等金屬使用為導電材料，並形成單層構造的電極層 31，且配置於多層構造的電極層 31 最表層時，亦可省略反射層。此外，在電極層 32 的表面上，亦可形成如前所說明的由 Au 等所構成焊料配對接合層，藉由將 Au 使用為導電材料，且形成單層構造的電極層 32，並配置於多層構造的電極層 32 最表層，可省略焊料配對接合層的設置。

為在使用上述集合基板 1，製造供半導體元件的發光元件 LE1 搭載用之半導體元件搭載構件 BL，同時製造發光二極體構成構件 LE2，可在集合基板 1 上所包含的各區域 1a 之電極層 31 上，分別搭載發光元件 LE1，且將集合基板 1 整面利用密封材的螢光體及/或保護樹脂 FR 密封之後，再利用切割等方法去除集合基板 1 的區域 1b。依此，

殘留的區域 1a 各自分離而形成半導體元件搭載構件 BL，同時可獲得如圖 13 所示的發光二極體構成構件 LE2。發光元件 LE1 的搭載可藉由將半導體元件搭載構件 BL 的電極層 31、與發光元件 LE1 之未圖示電極層，透過焊料層 SL 焊接而實施。

在發光元件 LE1 搭載時所使用的焊料，在考慮後續步驟中，亦可將發光二極體構成構件 LE2 對封裝 7 或基板施行焊料安裝的前提下，最好使用融點較高的 Au-Sn 系、Au-Ge 系、Au-Si 系等焊料。此外，發光元件 LE1 亦可不採取焊接方式，而使用 Au 凸塊搭載於半導體元件搭載構件 BL 上。另外，亦可在將發光元件 LE1 使用焊料或接合膏搭載於半導體元件搭載構件 BL 之後，再將發光元件 LE1、與電極層 31 利用焊接搭線方式連接。

將發光元件 LE1 密封的保護樹脂，可使用如：環氧系、矽氧系等習知周知的各種保護樹脂。特別在考慮耐熱性、以及對紫外線的耐性等前提下，最好使用矽氧系樹脂。此外，螢光體尚有與放射出波長 600nm 以下，特別係 450nm 以下之短波長光的發光元件 LE1 組合，而發出白色光的習知周知各種螢光體。當合併使用螢光體與保護樹脂時，最好將電極層 31 上所搭載的發光元件 LE1，先利用螢光體密封後，再依覆蓋螢光體之方式利用保護樹脂密封。另外，亦可利用螢光體與保護樹脂的混合物密封。

半導體元件搭載構件 BL 面積（換言之，在本例子中為絕緣構件 2 的主面 21 與外部連接面 22 面積），最好為主面

21 上所搭載發光元件 LE1 面積(在主面 21 上的投影面積)的 1.1~4 倍。當半導體元件搭載構件 BL 面積超過發光元件 LE1 面積的 4 倍時，可極力縮小其外形而達成省空間化，隨此現象，恐無法將在半導體元件搭載構件 BL 主面 21 側，搭載發光元件 LE1 所形成的發光二極體構成構件 LE2，如同習知發光元件的晶片視同 1 個構件處置般，組裝於發光二極體 LE3 的封裝 7 中、或搭載於面發光體的基板上。此外，若半導體元件搭載構件 BL 過大，恐出現發光元件 LE1 不良時所衍生的材料浪費情況，與習知封裝的情況幾乎無差異的現象。

特別因為如前所說明由熱導率較高之材料所構成的絕緣構件 2 單價高，因而其面積即使在上述範圍內亦最好儘可能縮小。換言之，半導體元件搭載構件 BL 的面積，在考慮減少材料浪費的前提下，在上述範圍內，特別以設定為發光元件 LE1 面積的 3.5 倍以下為佳，尤以 3.0 倍以下為佳。

再者，若半導體元件搭載構件 BL 面積，小於發光元件 LE1 面積的 1.1 倍，恐難施行發光元件 LE1 的搭載作業。此外，特別在發光元件 LE1 的側面側恐無法利用保護樹脂等充分密封。另外，在考慮提升搭載的作業性，以及更確實將發光元件 LE1 利用保護樹脂等密封的前提下，半導體元件搭載構件 BL 的面積，在上述範圍內特別以設定為發光元件 LE1 面積的 1.3 倍以上為佳，尤以 1.5 倍以上為佳。

絕緣構件 2 的厚度在考慮充分確保強度且可盡量縮小

半導體元件搭載構件 BL 容積的前提下，最好設定為 0.1~1mm，尤以 0.2~0.5mm 為佳。

將上述發光二極體構成構件 LE2 複數個搭載於基板上，可構成面發光體。此外，發光二極體構成構件 LE2 亦可使用為發光二極體元件的最終形態。例如在印刷電路板等電路基板、液晶的背光構成構件等等所需位置處，利用迴焊等方法施行焊料安裝，亦可具有發光二極體的功能。

再者，參照圖 14，將上述發光二極體構成構件 LE2 搭載於在具有凹部 7a 之封裝 7 的凹部 7a 底面所設置之 2 個電極層 72 上，並將凹部 7a 的開口 7b 利用密封覆蓋或透鏡 LS(其由可使從發光二極體構成構件 LE2 所發出的光穿透過之材料所形成)密封，可獲得發光二極體 LE3。

發光二極體構成構件 LE2 的搭載係將半導體元件搭載構件 BL 的電極層 32、及封裝 7 的電極層 72、透過焊料層 SL1 焊接而實施。此時，部分的熔融焊料在貫通孔 11 中形成於第 2 推拔面 11c 的內面上，並反折於在絕緣構件 2 側面 23 所裸露出的導電層 33，而形成填錫 SL2，因而提升安裝的可靠度。

封裝 7 具備有：基板 70(其在圖中的上面側形成電極層 72)、以及反射構件 71(其積層於上述基板 70 上，並具有成為凹部 7a 的通孔)。此外，反射構件 71 的通孔形成從底面側朝開口 7b 側向外面擴大的盆狀，並將其內面設定為反射面 71a。所以，使從發光二極體構成構件 LE2 所發出的光，利用上述反射面 71a 的表面朝開口 7b 方向反射，

並通過透鏡 LS，更有效率地射出於封裝 7 外面。

基板 70 使用陶瓷基板、玻璃環氧基板等絕緣性且具耐熱性的基板。此外，反射構件 71 為將從發光二極體構成構件 LE2 所發出的光效率佳地反射，使用其整體或至少反射面 71a 由金屬所形成者。

亦可將上述圖 9 之貫通孔 11 整體，形成於進入集合基板 1 的區域 1a 內之位置中。此情況下，因為推拔面 11c 不致裸露出於絕緣構件 2 側面 23，因而無需使在該推拔面 11c 上所形成的導電層 33 具有填錫形成部功能。故，貫通孔 11 亦可由導電材料 33a 完全填滿。

圖 15 所示係本發明半導體元件搭載構件 BL 實施形態另一例中，貫通孔 11 朝圖 17 中 V 箭頭方向的部分放大側視圖；圖 16 所示係在貫通孔 11 內面形成導電層 33 之前，相同貫通孔 11 的狀態側視圖。圖 17 所示係上述例子的半導體元件搭載構件 BL 主面 21 側之俯視圖；圖 18 所示係外部連接面 22 側的仰視圖。圖 19 所示係上述例子中，將半導體元件搭載構件 BL 母材的絕緣構件 2 從集合基板 1 上分割前，貫通孔 11 的部分放大俯視圖；圖 20 所示係圖 19 的 B-B 線剖視圖。

參照該等圖式，本例子的半導體元件搭載構件 BL 除貫通孔 11 形狀以外，其於均為大致如同之前圖 8~圖 14 所示例子的相同構造。換言之，參照圖 17、圖 18，本例子的半導體元件搭載構件 BL 具備有：矩形平板狀絕緣構件 2（其單面設定為發光元件搭載用的主面 21，而背面則設

定為與其他構件間連接用的外部連接面 22)、發光元件搭載用的 2 個電極層 31(其在上述絕緣構件 2 的主面 21 上，形成朝相互面方向隔開，且設定為絕緣狀態)、以及與其他構件連接用的 2 個電極層 32(其在外部連接面 22 上相互朝面方向隔開，且設定為絕緣狀態)。

主面 21 側的 2 個電極層 31、與外部連接面 22 側的 2 個電極層 32，分別透過貫通孔 11(其在絕緣構件 2 表背雙面的對應電極層間，分別在二電極層 31、32 的絕緣構件 2 外周緣側各形成於 1 個地方，且朝厚度方向貫通於絕緣構件 2)內面所形成的導電層 33 而連接。

詳言之，其平面形狀呈略矩形狀，且除 2 個電極層 31 間具有一定寬度間隙之外，覆蓋主面 21 整面的電極層 31、與貫通孔 11 內面的導電層 33 形成一體並相互連接。此外，其平面形狀形成略矩形狀的電極層 32、與延設電極層 32b(係從上述電極層 32 之一側邊 32a 朝貫通孔 11 方向延伸，並到達貫通孔 11 在外部連接面 22 側的開口周圍)、及貫通孔 11 內面的導電層 33 形成一體並相互連接。

在上述半導體元件搭載構件 BL、以及發光二極體構成構件 LE2(在其主面 21 上搭載發光元件 LE1，且利用螢光體及/或保護樹脂密封)的製作方面，可如前所舉例子般，準備具有包含複數個絕緣構件 2 之大小的集合基板 1，將上述集合基板 1 利用邊界線 L 區隔出成為絕緣構件 2 的複數個區域 1a，而於既定位置處形成貫通孔 11，且單面形成電極層 31 並在背面形成電極層 32，更在貫通孔 11 內

面形成導電層 33，經在電極層 31 上搭載發光元件 LE1，且利用密封材的螢光體及/或保護樹脂 FR 密封之後，再分割各區域 1a。

參照圖 15、圖 16、圖 19 及圖 20，形成各貫通孔 11 的內面，分別由第 1 與第 2 等 2 個推拔面 11b、11c 所構成。其中，第 1 推拔面 11b 從絕緣構件 2 的主面 21 側(圖中的上面側)起，朝向最小孔部 11a(其設置於絕緣構件 2 厚度方向的 1 個地方，並將開口寬度 d 設定為較小於貫通孔 11 的其他部分，且平面形狀呈長圓形)，且開口寬度呈逐漸變小狀態形成推拔狀，並在主面 21 處形成長圓形開口。此外，第 2 推拔面 11c 從絕緣構件 2 的外部連接面 22 側(圖中的下面側)起，朝向上述最小孔部 11a，並依開口寬度逐漸變小狀態形成推拔狀，且在外部連接面 22 處形成長圓形開口。

再者，上述貫通孔 11 形成跨越區域 1a(其係利用集合基板 1 上的邊界線 L 所區隔出的 2 個成為半導體元件搭載構件 BL 的區域)、與區域 1b(其係在該二個區域 1a 間利用切割等去除的區域)的狀態。所以，當在貫通孔 11 內面形成導電層 33 之際，最小孔部 11a 的部分利用形成導電層 33 的導電材料 33a 之沉積而填滿，且上述貫通孔 11 在圖 19、圖 20 所示分割前的狀態下，朝集合基板 1 厚度方向呈封閉狀態。

所以，當在電極層 31 上安裝發光元件 LE1 並密封之際，可防止螢光體及/或保護樹脂 FR 經由貫通孔 11 洩漏於背

面側的情況發生，例如可省略對集合基板 1 搭載發光元件 LE1 的主面 21 側之特定區域限定性密封的麻煩程序，而可整面均利用上述螢光體及/或保護樹脂 FR 密封，因而可更加促進發光二極體構成構件 LE2 的小型化。

再者，利用切割等方式將區域 1b 去除而分割各區域 1a，如圖 15~圖 18 所示，在構成半導體元件搭載構件 BL 的絕緣構件 2 之側面 23，在上述第 2 推拔面 11c 內面所形成的導電層 33，由開口 11d 裸露出。因此，可使裸露出的導電層 33 具有填錫形成部的功能，當將發光二極體構成構件 LE2 利用焊接而搭載於其他構件（例如發光二極體 LE3 的封裝 7 等）上之際，可利用所形成的填錫輔助外部連接用電極層 32，可提升安裝可靠度。

具有圖示形狀的貫通孔 11，亦最好利用噴砂法形成。換言之，在集合基板 1 成為外部連接面 22 的單面側上，將對應於貫通孔 11 開口且未被光阻膜所保護而裸露出的區域形狀設定為長圓形，再利用噴砂法對集合基板 1 上所裸露出的區域施行選擇性的厚度方向穿孔，形成第 2 推拔面 11c，同時在成為主面 21 的背面側，亦同樣地，將對應於貫通孔 11 開口且未被光阻膜所保護而裸露出的區域形狀設定為長圓形，再利用噴砂法對集合基板 1 上裸露出的區域施行選擇性的厚度方向穿孔，形成第 1 推拔面 11b。而利用噴砂法施行穿孔的特徵係隨穿孔的推進，其開口尺寸逐漸變小，因而可形成圖 19、圖 20 所示形狀的貫通孔 11。

貫通孔 11 的各部位尺寸如同上述例子的相同理由，最好設定在同樣的範圍內。換言之，參照圖 15、16，最小孔部 11a 在絕緣構件 2 厚度方向的形成位置依主面 21 距最小孔部 11a 的距離 h 表示，最好在超過上述絕緣構件 2 厚度 t_0 的 0 倍，且 $2/3$ 倍以下的範圍內，尤以絕緣構件 2 厚度 t_0 的 $1/2$ 倍以下為佳。此外， $5\mu\text{m}\sim 50\mu\text{m}$ 左右更佳。另外，最小孔部 11a 的開口寬度 d 最好設定為 $10\sim 200\mu\text{m}$ ，尤以 $50\sim 150\mu\text{m}$ 為佳，更以 $75\sim 125\mu\text{m}$ 為更佳。另外，此處所謂「開口寬度 d 」指在矩形狀中央部二端，相當於分別將半圓連接之形狀的長圓中，連結二端半圓中心點之中心線正交方向的寬度。

最小孔部 11a 中利用導電材料 33a 填滿的絕緣構件 2 厚度方向的厚度 t_1 ，最好設定為絕緣構件 2 厚度 t_0 的 $1/50\sim 1/2$ 倍，尤以 $1/20\sim 1/5$ 倍為佳。此外，在貫通孔 11 內面所形成的導電層 33 厚度 t_2 ，最好設定為最小孔部 11a 之開口寬度 d 的 $0.2\sim 1.0$ 倍，尤以 $0.3\sim 0.5$ 倍為佳。

貫通孔 11 以外的各部位尺寸，亦如前所舉例子的相同理由，最好設定於相同範圍內。換言之，絕緣構件 2 的主面 21 與外部連接面 22 之面積，最好設定為主面 21 上所搭載發光元件 LE1 面積（在主面 21 上的投影面積）之 $1.1\sim 4$ 倍，尤以 $1.3\sim 3.5$ 倍為佳，更以 $1.5\sim 3.0$ 倍為更佳。此外，絕緣構件 2 的厚度最好設定為 $0.1\sim 1\text{mm}$ ，尤以 $0.2\sim 0.5\text{mm}$ 為佳。

在外部連接面 22 上所設置電極層 32 的面積合計，佔上

述外部連接面 22 之面積的比例，最好設定在 30%以上，尤以 50%以上為佳，更以 70%以上為佳。此外，上述比例最好在 90%以下。

電極層 31、32 及導電層 33 均可使用習知周知的各種導電性優越金屬材料等，採用諸如濕式電鍍法、或真空蒸鍍法、濺鍍法等物理蒸鍍法等等各種金屬化法，形成單層構造、或雙層以上的多層構造。電極層 31 最好至少其表面由 Ag、Al 或 Al 合金等所形成，而電極層 32 最好至少其表面由 Au 所形成。

絕緣構件 2 最好利用熱導率 10W/mK 以上、且熱膨脹係數 $10 \times 10^{-6}/^{\circ}\text{C}$ 以下的陶瓷所形成，而含有陶瓷製絕緣構件 2 的本例子之半導體元件搭載構件 BL 的製作，最好係將絕緣構件 2 母材的陶瓷前驅體(陶瓷胚片等)燒成，而形成板狀集合基板 1 之後，再經由對上述集合基板 1 後加工，形成貫通孔 11、電極層 31、32 及導電層 33 的步驟而製作。

發光二極體構成構件 LE2 如上述，將具有涵蓋複數個絕緣構件 2 大小的集合基板 1，區隔出複數個區域 1a，並在既定位置處形成貫通孔 11，且在單面上形成電極層 31，在背面上形成電極層 32，在貫通孔 11 內面形成導電層 33，同時在將上述貫通孔 11 的最小孔部 11a，利用導電材料 33a 沉積而填滿的狀態下，於電極層 31 上搭載發光元件 LE1，並利用螢光體及/或保護樹脂 FR 密封之後，再個別分割出各區域 1a，可在形成半導體元件搭載構件 BL

之同時製得。

再者，將上述發光二極體構成構件 LE2 複數個搭載於基板上，可構成面發光體。此外，發光二極體構成構件 LE2 亦可使用為發光二極體元件的最終形態。例如在印刷電路基板等電路基板、液晶的背光構成構件等所需位置處，利用迴焊等方法施行焊料安裝，亦可具有發光二極體的功能。

再者，將上述發光二極體構成構件 LE2，利用焊料層 SL1 焊接搭載於在圖 14 所示封裝 7 的凹部 7a 底面所設置之 2 個電極層 72 上，並將凹部 7a 的開口 7b 利用密封覆蓋或透鏡 LS(其由可使從發光二極體構成構件 LE2 所發出的光穿透過之材料所形成)密封，可獲得發光二極體 LE3。此時，部分的熔融焊料在貫通孔 11 中形成於第 2 推拔面 11c 內面上，並反折於在絕緣構件 2 側面 23 所裸露出的導電層 33，而形成填錫 SL2，因而提升安裝的可靠度。

如圖 21、圖 22 所示，貫通孔 11 內面亦可形成圖 9、圖 10 所示之圓錐推拔狀、與圖 19、圖 20 所示之推拔狀的組合形狀。換言之，圖式貫通孔 11 內面之 2 個第 1 推拔面 11b(其分別設置於成為半導體發光元件搭載構件 BL 的鄰接之 2 個區域 1a 內)、及 1 個第 2 推拔面 11c(其跨越 2 個第 1 推拔面 11b、上述 2 個區域 1a、以及其中間的區域 1b 而設置，並透過上述 2 個第 1 推拔面 11b、與在上述 2 個區域 1a 內所設置的 2 個最小孔部 11a 而連貫)所構成。

上述中，2 個第 1 推拔面 11b 分別從絕緣構件 2 的主面

21 側(圖中的上側)起，朝向平面形狀呈圓形的 2 個最小孔部 11a，形成開口直徑呈逐漸變小狀態的圓錐推拔狀，並在各自的區域 1a 內，於主面 21 處形成圓形開口。此外，第 2 推拔面 11c 從絕緣構件 2 的外部連接面 22 側(圖中的下側)起，朝向上述 2 個最小孔部 11a，其平面形狀形成在矩形狀中央二端，分別形成與上述 2 個最小孔部 11a 呈同心狀半圓連貫的長圓形，且形成如同之前所定義的長圓開口寬度呈逐漸變小狀態的推拔狀，同時依跨越相鄰 2 個區域 1a、與其中間的區域 1b 之狀態，在外部連接面 22 上形成長圓形開口。

上述貫通孔 11 亦最好利用噴砂法形成。換言之，在集合基板 1 成為外部連接面 22 的單面側，對應於貫通孔 11 開口，且未被光阻膜所保護而裸露出的區域形狀設定為長圓形，再利用噴砂法對集合基板 1 中裸露出的區域，施行選擇性的厚度方向穿孔，形成長圓形第 2 推拔面 11c，同時，在成為主面 21 的背面側，在對應於貫通孔 11 開口，且未被光阻膜所保護而裸露出的區域形狀設定為長圓形，再利用噴砂法對集合基板 1 中裸露出的區域，施行選擇性的厚度方向穿孔，形成在第 2 推拔面 11c 的長圓二端上分別各形成 1 個(合計 2 個)第 1 推拔面 11b。利用噴砂法施行穿孔的特徵在於隨穿孔的推進，開口尺寸將逐漸變小，因此形成如圖 21、圖 22 所示的形狀貫通孔 11。

上述貫通孔 11 在其內面形成導電層 33 之際，最小孔部 11a 的部分利用形成導電層 33 的導電材料 33a 沉積而填

滿，因為分割前在集合基板 1 中於厚度方向上呈封閉狀態，因而可防止螢光體及/或保護樹脂 FR 透過貫通孔 11 而洩漏於背後側的情況發生。此外，當將相鄰區域 1a 間的區域 1b 利用切割等方式去除，而將區域 1a 分割成各個絕緣構件之際，貫通孔 11 中在第 2 推拔面 11c 內面所形成的導電層 33，裸露出於絕緣構件 2 側面 23，因而可使上述導電層 33 具有填錫形成部的功能。另外，貫通孔 11 的各部位尺寸、及其他各部位的尺寸，均如同之前所舉 2 個例子的相同理由，最好設定在同樣的範圍內。

本發明的構造，並不僅侷限於上述所說明的各圖式例，在不變更本發明主旨的範疇內，可進行各種設計變更。

【圖式簡單說明】

圖 1 為本發明集合基板之實施形態一例，以攝像元件搭載用絕緣構件為基礎的集合基板部分放大俯視圖。

圖 2 為上述集合基板中，貫通孔的部分放大剖視圖。

圖 3 為由集合基板分割而成的絕緣構件中，貫通孔的部分放大剖視圖。

圖 4 為絕緣構件的主面側俯視圖。

圖 5 為在主面上接合框體而形成的半導體元件搭載構件俯視圖。

圖 6 為絕緣構件的外部連接面側仰視圖。

圖 7 為在半導體元件搭載構件之絕緣構件主面上的元件搭載區域中，搭載半導體元件的攝像元件，且在框體上接合透光性蓋體而形成的攝像裝置剖視圖。

圖 8 為本發明集合基板實施形態另一例，以發光元件搭載用絕緣構件為基礎的集合基板部分放大俯視圖。

圖 9 為上述集合基板中，貫通孔的部分放大剖視圖。

圖 10 為由上述集合基板分割而成的絕緣構件中，貫通孔的部分放大剖視圖。

圖 11 為絕緣構件的主面側俯視圖。

圖 12 為絕緣構件的外部連接面側仰視圖。

圖 13 為在半導體元件搭載構件的絕緣構件主面上，搭載半導體元件的發光元件，並利用螢光體及/或保護樹脂密封的發光二極體構成構件剖視圖。

圖 14 為將發光二極體構成構件搭載於封裝上的發光二極體剖視圖。

圖 15 為本發明半導體元件搭載構件實施形態另一例，朝圖 17 中 V 箭頭方向將貫通孔部分放大的側視圖。

圖 16 為在貫通孔內面上形成導電層之前，相同貫通孔的狀態側視圖。

圖 17 為上述例子之半導體元件搭載構件的主面側俯視圖。

圖 18 為外部連接面側的仰視圖。

圖 19 為上述例子的半導體元件搭載構件之母材的絕緣構件，在從集合基板分割前的貫通孔部分放大俯視圖。

圖 20 為圖 19 中的 B-B 線剖視圖。

圖 21 為貫通孔變化部的放大俯視圖。

圖 22 為圖 21 中的 B-B 線剖視圖。

【主要元件符號說明】

1	集合基板
1a	區域
1b	區域
2	絕緣構件
4	框體
5	金屬層
7	封裝
7a	凹部
11	貫通孔
11a	最小孔部
11b、11c	推拔面(內面)
11d	開口
21	主面
21a	元件搭載區域
22	外部連接面
23	側面
31	電極層
32	電極層
33	導電層
33a	導電材料
70	基板
71	反射構件
71a	反射面

72	電極層
BL	半導體元件搭載構件
FL	蓋體
FR	螢光體及/或保護樹脂(密封材)
L	邊界線
LE1	發光元件(半導體元件)
LE2	發光二極體構成構件
LE3	發光二極體
LS	密封覆蓋或透鏡
PE1	攝像元件(半導體元件)
PE2	攝像裝置
SL1	焊料層
SL2	填錫

五、中文發明摘要：

本發明的集合基板 1 於陶瓷胚片燒成之後，再形成貫通孔 11 而製得，在貫通孔 11 內面從主面 21 側、外部連接面 22 側起，朝向最小孔部 11a，形成開口尺寸呈逐漸變小的推拔面 11b、11c；並將二推拔面 11b、11c、與主面 21、外部連接面 22 間之夾角 θ_1 、 θ_2 均設定成鈍角。本發明的半導體元件搭載構件 BL 具備有用於分割集合基板 1 的絕緣構件 2。本發明的攝像裝置 PE2 係在由絕緣構件 2 主面 21 側所接合之框體 4 所包圍之區域中搭載攝像元件 PE1，並以蓋體 FL 封閉。本發明的發光二極體構成構件 LE2 在最小孔部 11a 被導電材料 33a 填滿的絕緣構件 2 主面 21 上，搭載發光元件 LE1，並以螢光體及/或保護樹脂 FR 密封。本發明的發光二極體 LE3 將發光二極體構成構件 LE2 搭載於封裝 7 上。

六、英文發明摘要：

十、申請專利範圍：

1. 一種集合基板，其將複數板狀絕緣構件，其單面設定為半導體元件搭載用主面，而背面則設定為與其他構件間連接用的外部連接面，利用陶瓷在同一平面上一體形成整齊排列形狀，並至少在各個成為絕緣構件之區域內的既定位置、或跨越於各區域與其外側區域之邊界線的位置等之一者，分別形成朝絕緣構件厚度方向貫通的貫通孔，且將各貫通孔的內面形成從上述主面側與外部連接面側開口，朝向絕緣構件厚度方向之一處所設置之最小孔部，分別形成開口尺寸逐漸變小的推拔狀。

2. 如申請專利範圍第 1 項之集合基板，其中，其熱導率係 10W/mK 以上。

3. 如申請專利範圍第 1 項之集合基板，其中，其熱膨脹係數係 $10 \times 10^{-6}/^{\circ}\text{C}$ 以下。

4. 如申請專利範圍第 1 項之集合基板，其在將集合基板母材的板狀前驅體燒成之後，再形成貫通孔而製造。

5. 如申請專利範圍第 1 項之集合基板，其具備有：

半導體元件搭載用電極層，其形成於成為絕緣構件之區域的主面側；

連接用電極層，其形成於外部連接面側且供與其他構件間連接之用；以及

導電層，其形成於貫通孔內，且連接主面側電極層與外部連接面側電極層。

6. 一種半導體元件搭載構件，其將申請專利範圍第 5

項之集合基板，依各區域分割而製得。

7. 如申請專利範圍第 6 項之半導體元件搭載構件，其中，外部連接面的電極層最表面至少其一部分由 Au 所形成。

8. 如申請專利範圍第 6 項之半導體元件搭載構件，其中，主面具備有：

絕緣構件，其設定為供半導體元件搭載用區域；以及
框體，其在上述主面上依包圍上述區域之方式層疊。

9. 如申請專利範圍第 8 項之半導體元件搭載構件，其中，絕緣構件與框體的熱膨脹係數均設定在 $10 \times 10^{-6}/^{\circ}\text{C}$ 以下，且框體的熱膨脹係數與絕緣構件的熱膨脹係數之差設定在 $3 \times 10^{-6}/^{\circ}\text{C}$ 以下。

10. 如申請專利範圍第 8 項之半導體元件搭載構件，其中，絕緣構件主面上由框體所包圍之供半導體元件搭載用區域的面積 80% 以上，由至少包含半導體元件搭載用電極層的金屬層所覆蓋。

11. 一種攝像裝置，其具備有：

申請專利範圍第 8 項之半導體元件搭載構件；

攝像元件，其搭載於上述半導體元件搭載構件之絕緣構件主面上，且由框體所包圍的區域，其係為半導體元件；以及

蓋體，其在上述框體上面，為將框體內密閉而接合，且由透光性板材所構成。

12. 一種半導體裝置，其具備有：

申請專利範圍第 6 項之半導體元件搭載構件；以及
半導體元件，其搭載於上述半導體元件搭載構件中之
絕緣構件主面上；

其中，上述半導體元件利用密封材密封。

13. 一種半導體裝置，其將貫通孔的最小孔部利用形成導電層的導電材料填滿，並在將上述貫通孔呈朝厚度方向封閉狀態的申請專利範圍第 5 項之集合基板，於成為各個絕緣構件的區域主面上，搭載半導體元件，接著，將上述集合基板搭載有半導體元件的主面側整面，利用密封材密封之後，再將上述集合基板合併密封材一起依各區域分割而製得，並使分割後的貫通孔至少其中一部分，其與絕緣構件主面及外部連接面相交叉之側面呈開放狀態。

14. 一種發光二極體構成構件，係申請專利範圍第 12 或 13 項之半導體裝置中，其半導體元件使用發光元件，且密封材至少使用螢光體或保護樹脂中之一者。

15. 如申請專利範圍第 14 項之發光二極體構成構件，其中，絕緣構件主面的電極層最表面至少其中一部分，由 Ag、Al 或 Al 合金所形成。

16. 一種發光二極體，其具備有：

封裝(package)，其具有凹部；

發光二極體構成構件，其乃申請專利範圍第 14 項之發光二極體構成構件，且搭載於上述封裝的凹部底面上；以及

密封覆蓋(cap)或透鏡，其在凹部開口中，為將上述凹部密閉而接合，且由可使來自發光二極體構成構件的光穿透過的材料所構成。

十一、圖式：

圖1

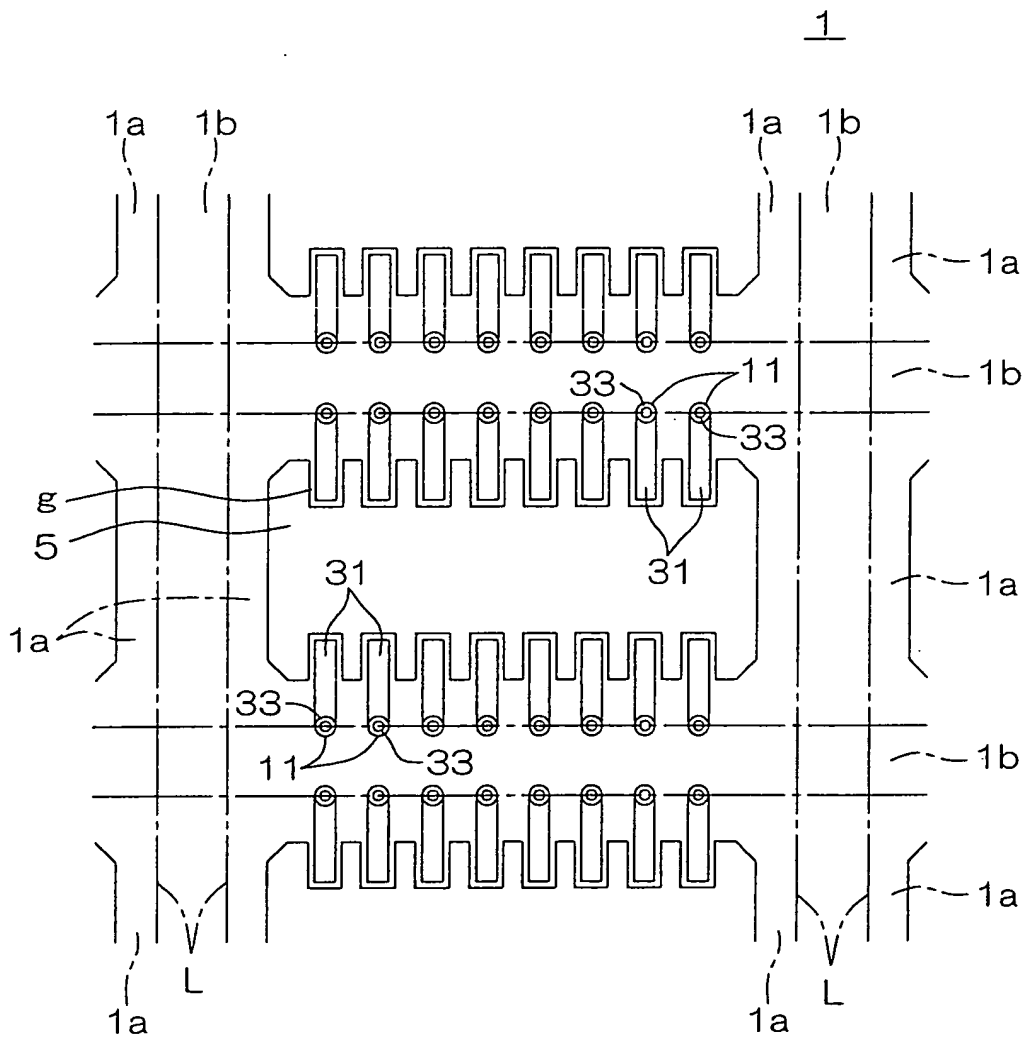


圖2

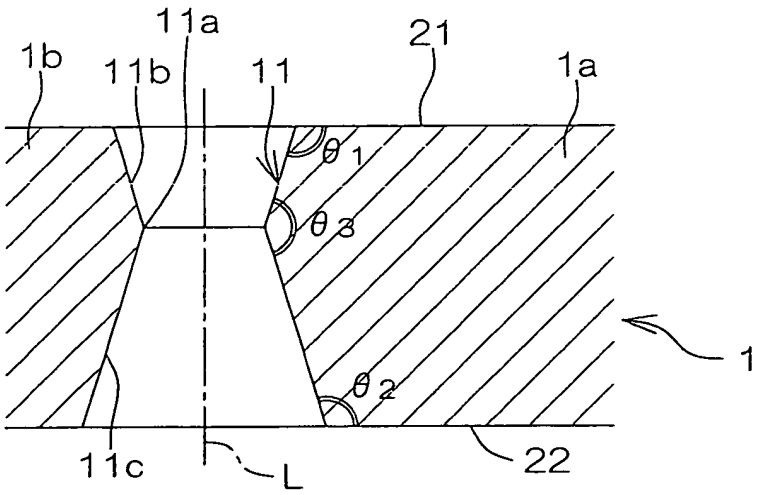


圖3

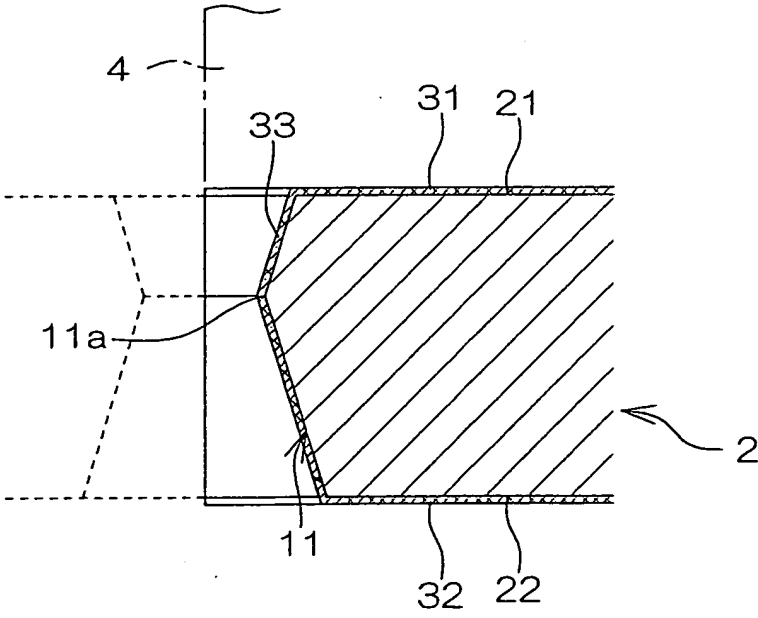


圖 4

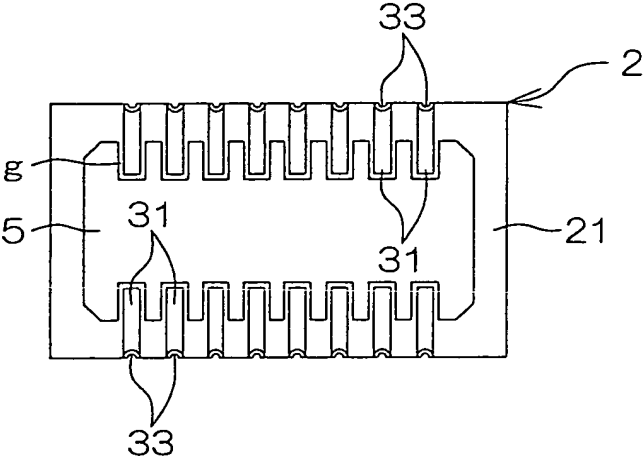


圖 5

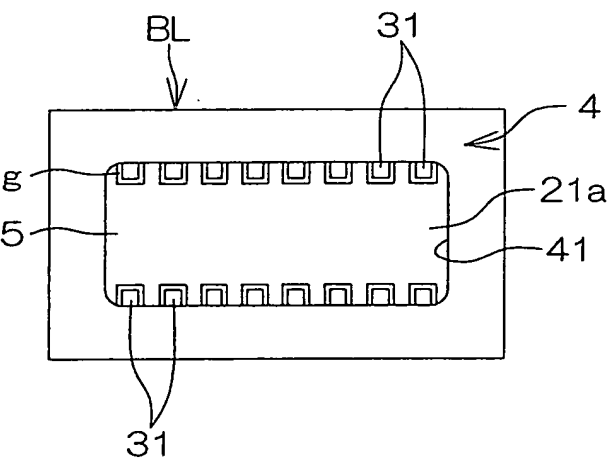


圖 6

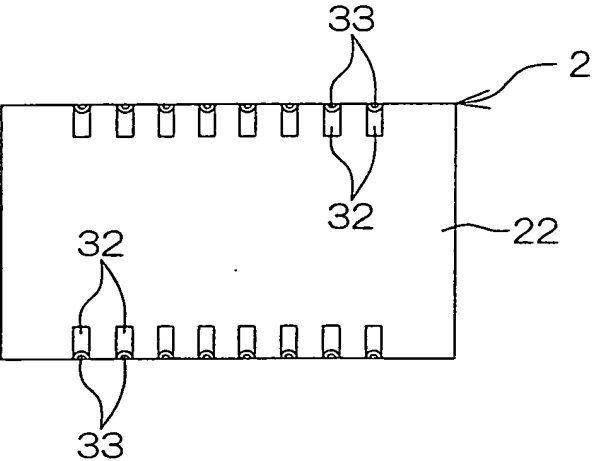


圖 7

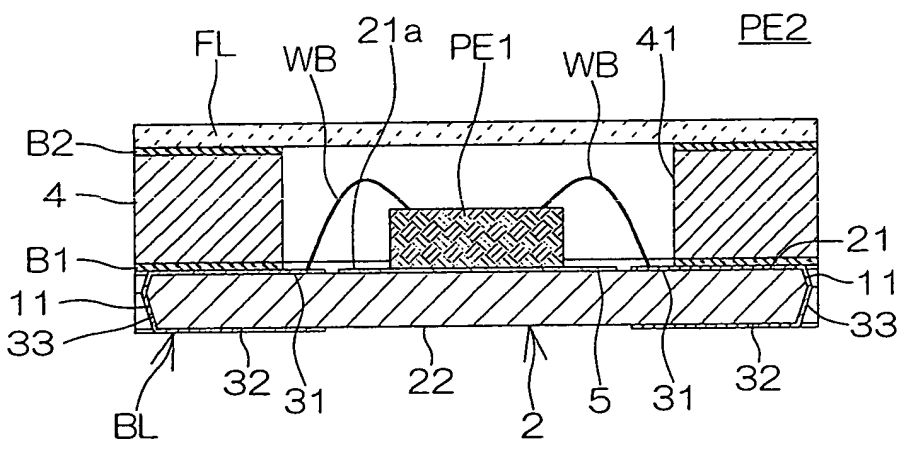


圖 8

1

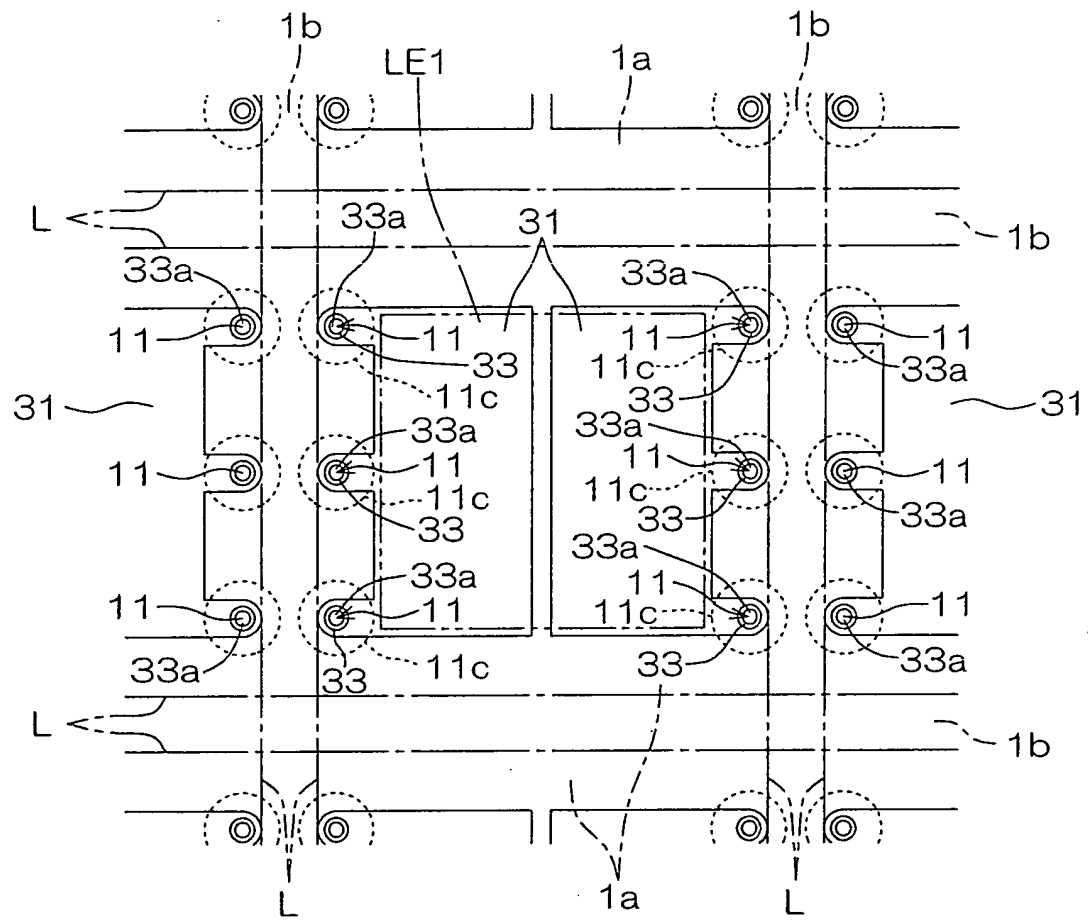


圖9

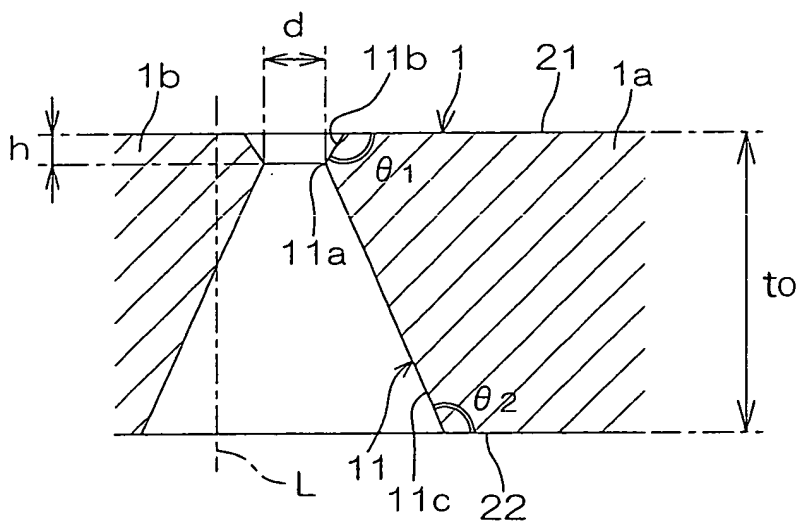


圖10

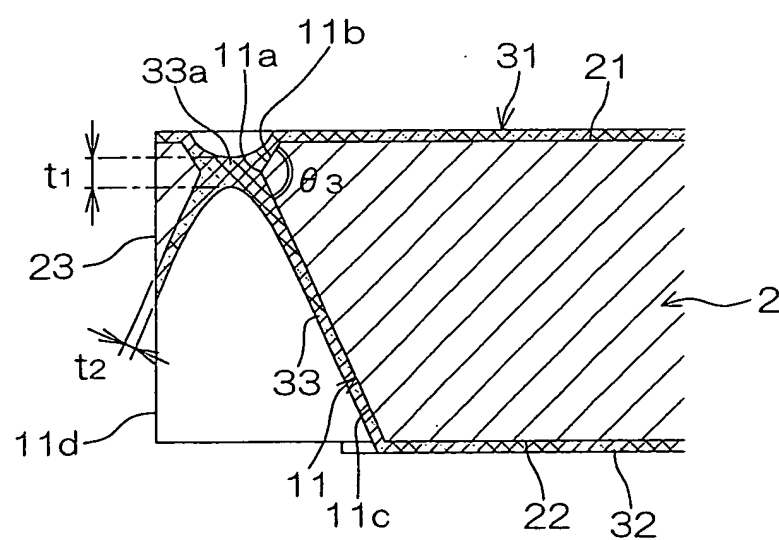


圖 11

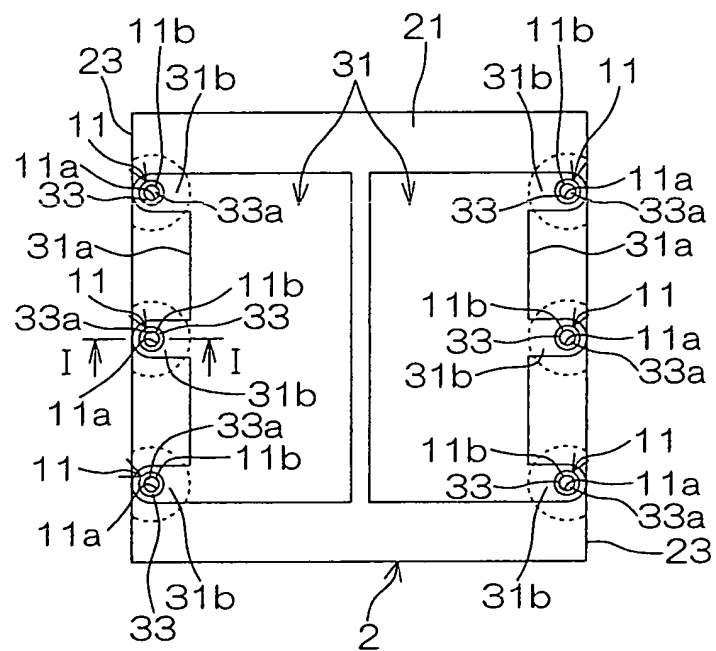
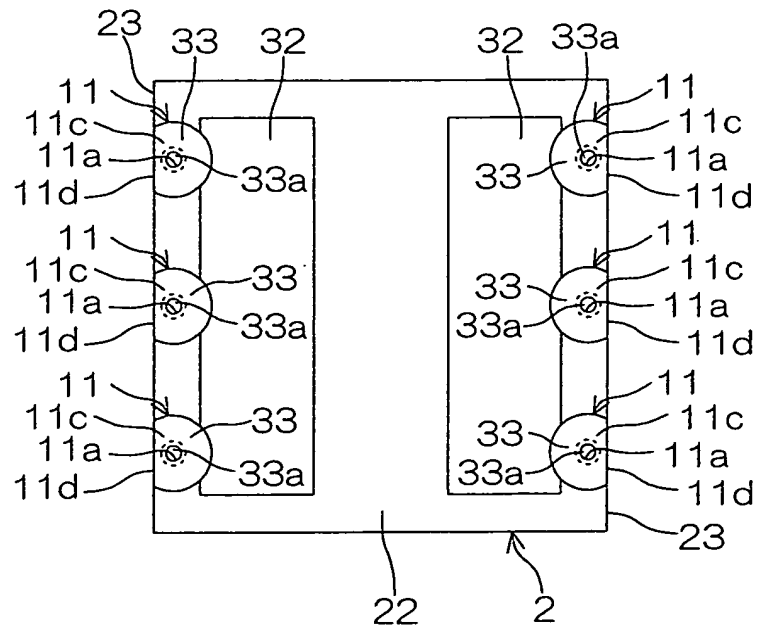
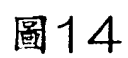


圖 12



LE2



LE3

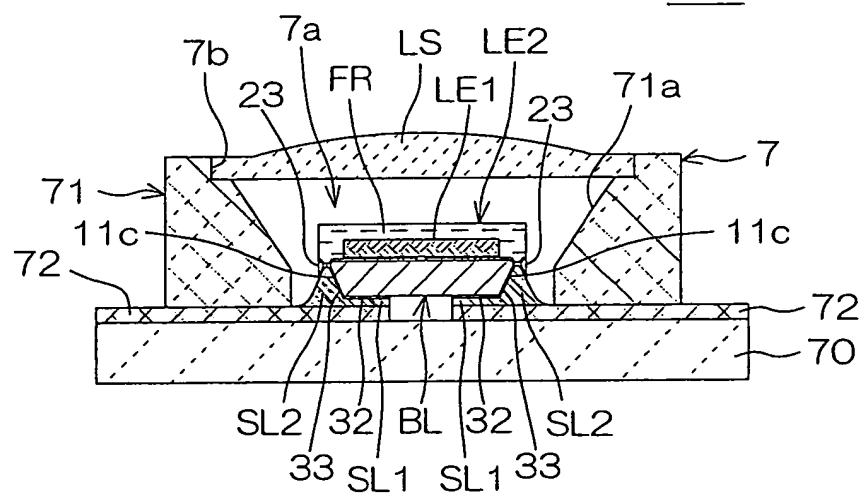


圖15

BL

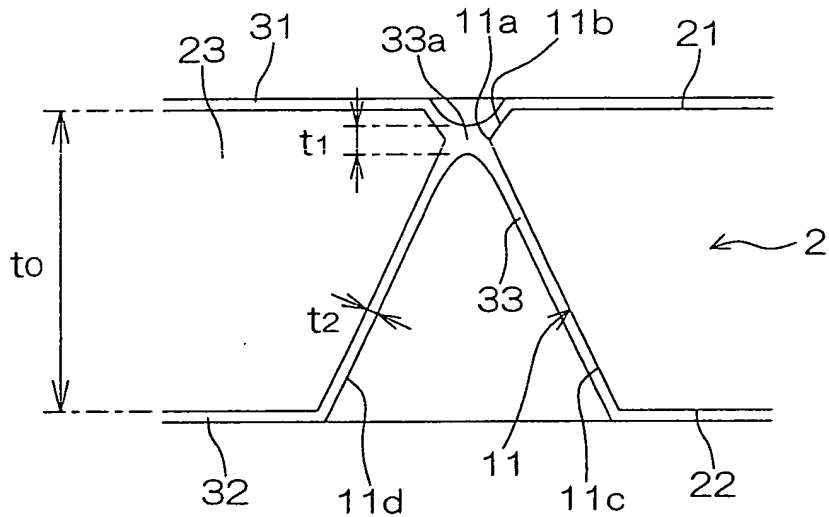


圖16

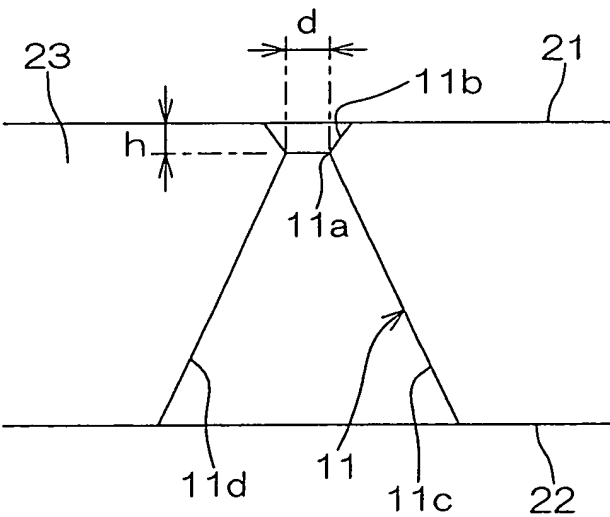


圖 17

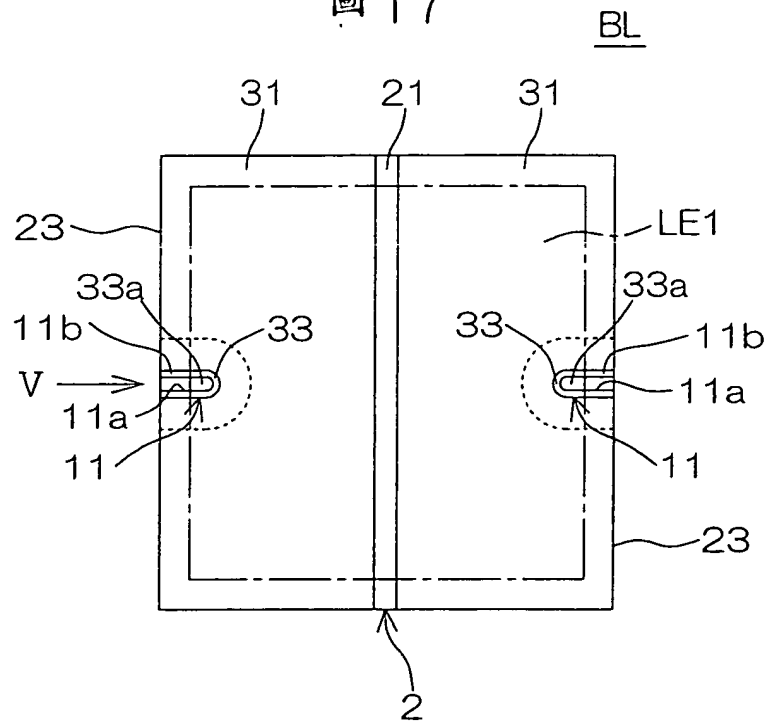


圖 18

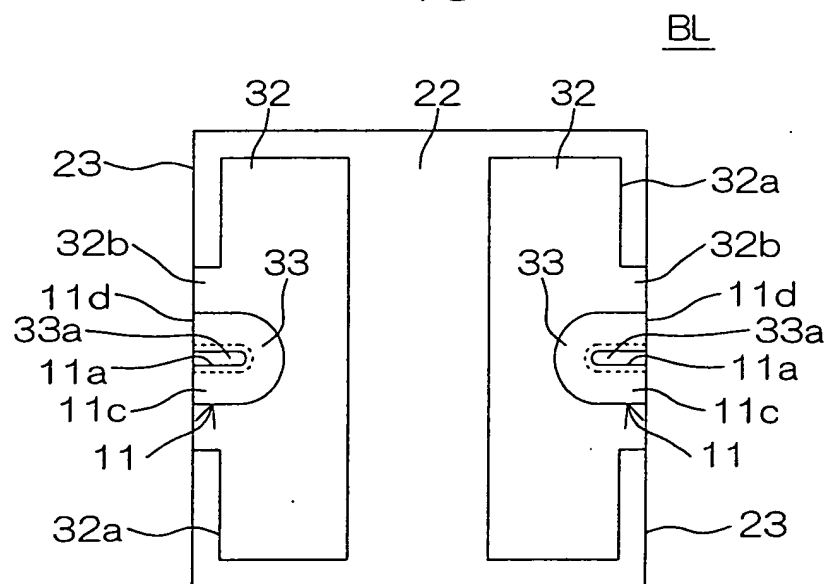


圖19

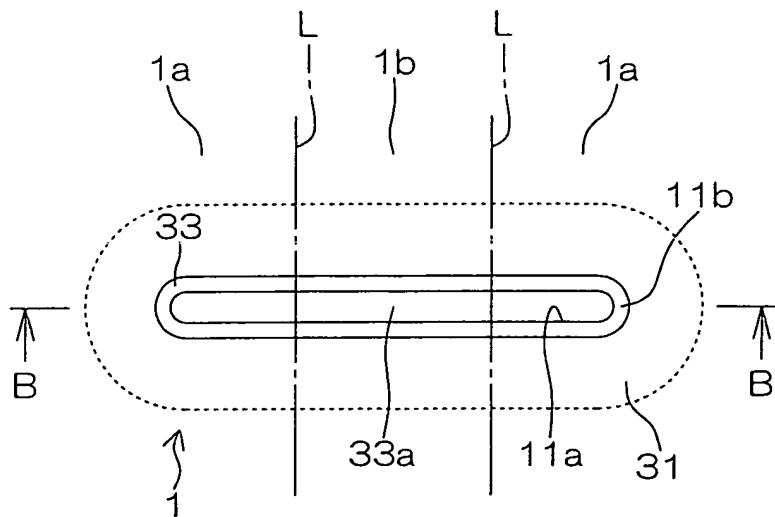


圖20

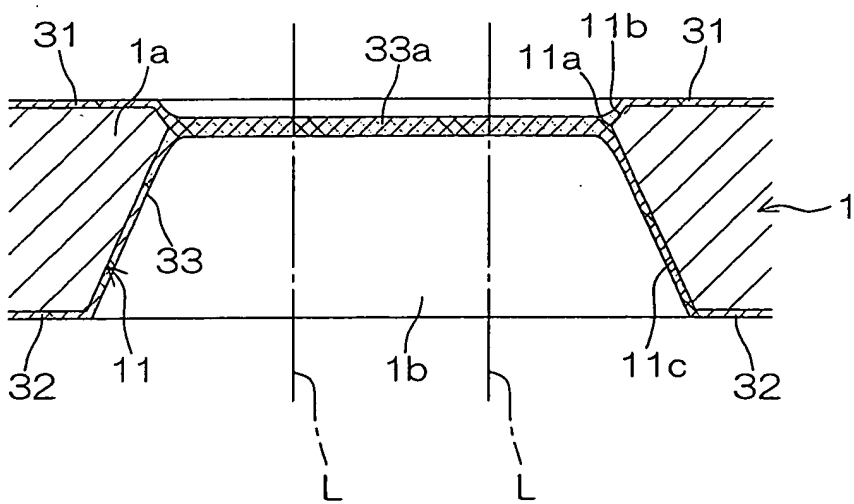


圖21

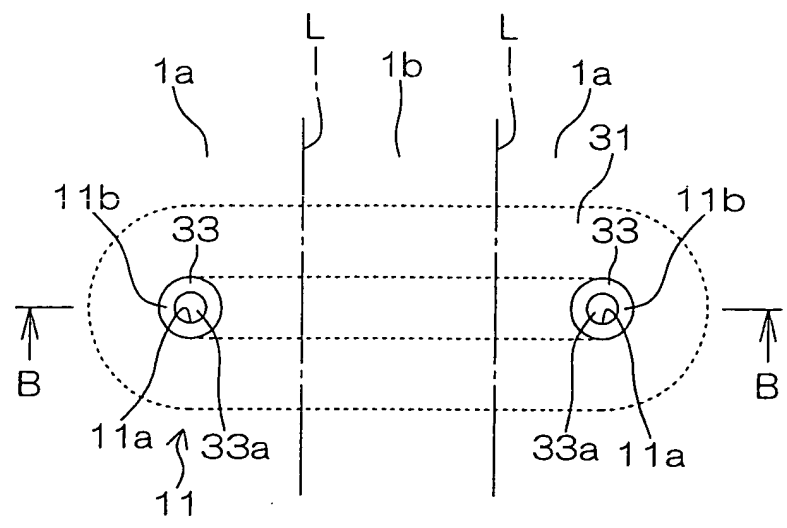
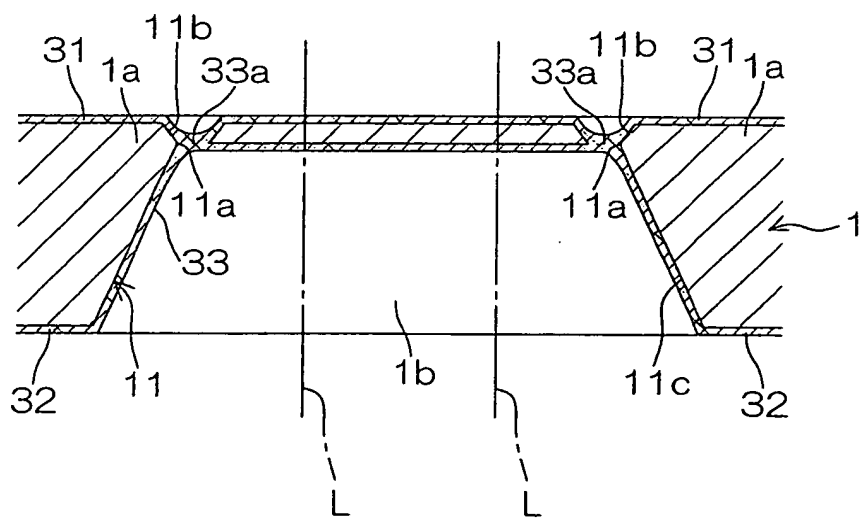


圖22



七、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

(二)本代表圖之元件符號簡單說明：

1	集合基板
1a、1b	區域
11	貫通孔
11a	最小孔部
11b、11c	推拔面(內面)
21	主面
22	外部連接面
L	邊界線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無