

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6245784号  
(P6245784)

(45) 発行日 平成29年12月13日(2017.12.13)

(24) 登録日 平成29年11月24日(2017.11.24)

(51) Int.Cl.	F 1
HO 1 L 27/146 (2006.01)	HO 1 L 27/146
GO 1 T 1/24 (2006.01)	GO 1 T 1/24
GO 1 T 3/08 (2006.01)	GO 1 T 3/08
HO 1 L 31/08 (2006.01)	HO 1 L 31/00

請求項の数 18 外国語出願 (全 20 頁)

(21) 出願番号	特願2010-293198 (P2010-293198)
(22) 出願日	平成22年12月28日(2010.12.28)
(65) 公開番号	特開2011-139069 (P2011-139069A)
(43) 公開日	平成23年7月14日(2011.7.14)
審査請求日	平成25年12月18日(2013.12.18)
審判番号	不服2017-105 (P2017-105/J1)
審判請求日	平成29年1月5日(2017.1.5)
(31) 優先権主張番号	0959670
(32) 優先日	平成21年12月30日(2009.12.30)
(33) 優先権主張国	フランス (FR)

(73) 特許権者	502124444 コミッサリア ア レネルジー アトミー ク エ オ ゼネルジ ザルタナティヴ フランス国 エフー 75015 パリ, バティマン 「ル ポナン テー」, リュ ルブラン 25
(74) 代理人	100108453 弁理士 村山 靖彦
(74) 代理人	100110364 弁理士 実広 信哉
(74) 代理人	100133400 弁理士 阿部 達彦
(72) 発明者	ジャン-ポール・マズリエ フランス・38500・ヴォアロン・リュ ・デ・ファブリック・16

最終頁に続く

(54) 【発明の名称】集積ダイアモンド変換画素化撮像装置及びその製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

数個の画素を含み、各々の画素が少なくとも、

- 第1の電極(122、204)及び第2の電極(102)の間に配置されたダイアモンド層(104)の一部であって、光子及び/または高エネルギー粒子放射の電気信号への変換を達成することのできる一部と、

- 前記電気信号の增幅及び/または読出しのための電子回路(110、210)であつて、少なくとも前記第1の電極(122、204)に電気的に接続され、及び1μmに等しいかそれより薄い厚さを有し、及び同様に、前記ダイアモンド層(104)及び該ダイアモンド層(104)と前記電子回路(110、210)との間に配置された誘電層(106、206)を含んでいるSOD型基板の表面層を形成している半導体材料層(108)の一部で作られた電子回路(110、210)と、

を含んでいる撮像装置(100、150、200)。

## 【請求項 2】

前記電子回路(110、210)は、一つまたはそれ以上のPDSOIまたはFDSOI型のトランジスタ(210a、210b)を含んでいる請求項1に記載の撮像装置(100、150、200)。

## 【請求項 3】

前記第1の電極(122)及び前記電子回路(110)は、前記ダイアモンド層(104)の第1の面の位置に並んで配置されている請求項1または2に記載の撮像装置(100)

10

20

0、150)。

【請求項4】

前記第1の電極(122)は、誘電材料(118)により少なくとも部分的に被覆された側壁を含んでおり、前記側壁は、前記ダイアモンド層(104)の第1の面に位置する前記第1の電極(122)の下部壁と直角にある請求項3に記載の撮像装置(100、150)。

【請求項5】

前記ダイアモンド層(104)の第1の面と対向する第2の面の前面に配置され、およそ380と780nmの間を備えた波長の放射を吸収することのできるフィルタリング手段を含んでいる請求項3または4に記載の撮像装置(100、150)。

10

【請求項6】

前記第1の電極(204)は、前記ダイアモンド層(104)に対して配置されており、及び前記電子回路(210)と前記ダイアモンド層(104)との間に配置されている請求項1または2に記載の撮像装置(200)。

【請求項7】

前記ダイアモンド層(104)は、前記第1の面上に位置する核生成部分を含み、前記第1の電極(122)が、前記ダイアモンド層(104)の前記核生成部分内に形成されたりセス内に部分的に配置されている請求項3ないし5のいずれか一項に記載の撮像装置(100、150)。

【請求項8】

前記ダイアモンド層(104)は、前記第1の電極(122)が配置される面とは反対の一面に位置する核生成部分を含む、請求項1ないし6のいずれか一項に記載の撮像装置(100、150、200)。

20

【請求項9】

少なくとも前記電子回路(110、210)を被覆している少なくとも一つのパッシベイション層(112、212)をさらに備えており、前記電子回路(110、210)は、前記パッシベイション層(112、212)上に配置された電気相互接続層(124、224)の少なくとも一部を通して、及び少なくとも前記パッシベイション層(112、212)を通して作られたビア(123、223)を通して、前記第1の電極(122、204)に電気的に接続されており、及び前記電気相互接続層(124、224)の前記部分を前記電子回路(110、210)に、及び前記第1の電極(122、204)に電気接続している請求項1ないし8のいずれか一項に記載の撮像装置(100、150、200)。

30

【請求項10】

数個の画素を含む撮像装置(100、150、200)の製造方法であって、各々の画素は、少なくとも

- 1μmに等しいかまたはそれより薄い厚さで、及びダイアモンド層(104)を含んでいるSOD型基板の表面層を形成している半導体材料層(108)の一部において、電気信号の增幅及び/または読出しのための電子回路(110、210)を形成する段階であって、前記基板は同様に、前記ダイアモンド層(104)と前記電子回路(110、210)との間に配置された第1の誘電層(106、206)を含んでいる段階と、

40

- 第1の電極(122、204)を作成する段階であって、光子及び/または粒子放射を電気信号に変換することのできる前記ダイアモンド層(104)の一部が、前記第1の電極(122、204)と第2の電極(102)との間に配置されるようにする段階と、

- 少なくとも前記第1の電極(122、204)と前記電子回路(110、210)との間に電気接続(123、124、223、224)を作成する段階と、

を含んでいる方法。

【請求項11】

前記第1の電極(122)の作成は、少なくとも以下の段階

a) 前記電子回路(110)及び前記半導体材料層(108)を被覆するパッシベイシ

50

ヨン層(112)を堆積する段階と、

b) 前記パッシベイション層(112)及び前記半導体層(108)内に、及び前記電子回路(110)に隣接しているキャビティ(114)を形成する段階と、

c) 少なくとも前記キャビティ(114)の壁に対して第2の誘電層(118)を堆積する段階と、

d) 前記第2の誘電層(118)の一部をエッティングする段階であって、前記キャビティ(114)内に下部壁を形成し、前記ダイアモンド層(114)の第1の面の一部(120)を剥離する段階と、

e) 前記ダイアモンド層(104)の第1の面に対して、前記キャビティ(114)内に位置された導電材料の一部を作成し、前記第1の電極(122)を形成する段階と、  
10  
を実施することによって達成される請求項10に記載の方法。

#### 【請求項12】

前記第1の電極(122)の形成は、少なくとも以下の段階

a) 前記半導体材料層(108)内に、前記電子回路(110)に隣接しているキャビティを形成する段階と、

b) 少なくとも前記キャビティの壁に対して第2の誘電層(118)を堆積する段階と、

c) 前記キャビティ内に下部壁を形成するために第2の誘電層(118)の一部をエッティングし、前記ダイアモンド層(104)の第1の面の一部(120)を剥離する段階と、  
20

d) 前記ダイアモンド層(104)の第1の面に対して、前記第1の電極(122)を形成するために、前記キャビティ内に位置した導電材料の一部を形成する段階と、

e) 前記第1の電極(122)、前記電子回路(110)、及び前記半導体材料層(108)を被覆するパッシベイション層(112)を堆積する段階と、  
20  
を実施することによって達成される請求項10に記載の方法。

#### 【請求項13】

前記第1の誘電層(106)は、前記ダイアモンド層(104)の第1の面と前記半導体材料層(108)との間に配置され、エッティングの段階d)または前記キャビティを形成する段階a)は同様に、前記キャビティ(114)の下部壁上で前記第1の誘電層(106)の一部をエッティングする段階を含んでいる請求項11または12に記載の方法。  
30

#### 【請求項14】

前記ダイアモンド層(104)は、その第1の面上に位置された核生成部分を含んでおり、エッティングの段階c)またはd)は同様に、前記キャビティ(114)内の前記ダイアモンド層(104)の核生成部分をエッティングする段階を含んでいる請求項11ないし13のいずれか一項に記載の方法。

#### 【請求項15】

前記SOD型基板は、前記半導体材料層(108)と前記ダイアモンド層(104)との間に位置された導電材料からなる層(202)を含んでおり、前記第1の電極(204)を形成する段階は、少なくとも該第1の電極(204)のパターンと一致するパターンに従って、前記半導体層(108)と前記導電層(202)のエッティングの実施により達成され、前記第1の電極(204)は、前記ダイアモンド層(104)に対して、及び前記電子回路(210)と前記ダイアモンド層(104)との間に配置されている請求項10に記載の方法。  
40

#### 【請求項16】

前記第1の誘電層(106)が、前記導電材料層(202)と前記半導体材料層(108)との間に位置され、及び前記第1の電極(204)の形成の間に、前記第1の電極(204)が前記ダイアモンド層(104)に対して位置され、及び前記誘電層の残余部分(206)と前記ダイアモンド層(104)との間に位置されるような方法で、前記第1の誘電層(106)を同様に、前記第1の電極(204)のパターンと一致するパターンに従ってエッティングする請求項15に記載の方法。  
50

**【請求項 17】**

前記第1の電極(204)を形成する段階と、前記電気接続(223、224)を形成する段階との間に、少なくとも前記電子回路(210)及び前記第1の電極(204)を被覆する平坦化層(212)を堆積する段階の実施を追加的に含んでいる請求項15または16に記載の方法。

**【請求項 18】**

前記第1の電極(122、204)と前記電子回路(110、210)との間の電気接続(123、124、223、224)を形成する段階は、少なくとも以下の段階

f) 前記パッシベイション層(112、212)及び/または前記第1の電極(122、204)を通って前記第1の電極(122、204)及び前記電子回路(110、210)に電気接続される貫通ピア(123、223)を形成する段階と、  
10

g) 前記パッシベイション層(112、212)上に電気相互接続層(124、224)を形成する段階であって、前記電気相互接続層(124、224)の少なくとも一部及び前記貫通ピア(123、223)が前記第1の電極(122、204)を前記電子回路(110、210)に電気的に接続させるようにする段階と、

を実施することによって達成される請求項11ないし14のいずれか一項、または請求項17に記載の方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

20

本発明は、光子及び/または高エネルギー粒子の放射、例えば、高エネルギーX、UV、及びガンマ光子の放射、及び/または高エネルギーアルファ粒子または中性子放射を検出または測定するための装置の範囲に入る。

**【0002】**

本発明は、原子力発電、医用画像、セキュリティ画像、さらには空間画像のような様々な技術分野に応用を有している。

**【背景技術】****【0003】**

ダイアモンドは、光子及び/または高エネルギー粒子の放射を検出することのできる材料として知られている材料である。このように、いくつかの光子及び/または高エネルギー粒子の放射の検出装置は、そのような検出を達成するための変換材料としてダイアモンドを利用している。受け取られた光子及び/または高エネルギー粒子は、重要な信号を形成し、前記ダイアモンドの結晶格子構造と相互に作用し、13eVの相互作用により特徴的なエネルギーを有して電子-正孔対を生成する。

30

**【0004】**

生成された電気キャリアは、そのとき、前記検出装置内の金属電極で収集され、光子及び/または高エネルギー粒子放射の代表となる電気的信号を電極間に生成する。

**【0005】**

前記電極の構造に依存して、前記電極の間で測定された電気信号から、重要な信号の実体(光子または粒子)のエネルギー、受け取られた放射の強度を推定することが可能であり、及び、前記検出器がダイアモンドで形成された数個の画素を備えていることを意味している画素化検出器である場合、前記重要な信号の空間変調、この場合、問題になっている前記画素に対する前記重要な信号の画像を形成する各々の画素の前記電極の間で測定された前記電気信号を推定することができる。

40

**【0006】**

画素化検出器の製造にはいくつかの制限が考慮されている。

- 各々の画素が出力と関連しなければならない(各々の画素が電気信号を発する)場合、各々の画素からの信号を再生させるために必要とされる接続に関連して、過密の問題が併発する。

- 検出器の解像度を増大させるために、電極の大きさは減少されなければならず、及び

50

ノイズに対する許容できる信号の比は、維持されなければならない。しかしながら、これらの二つのパラメータは互いに相反している。

- 大きな検出器に対して（例えば、およそ  $1 \text{ mm}^2$  超）、例えば、CVD（化学気相堆積）型の人工ダイヤを用いる必要がある。現在、人口ダイヤは、ダイアモンド以外の材料よりなる基板を意味しているヘテロ構造上に一般的に形成され、これは、前記ダイアモンドを形成するために利用される成長工程を考慮すると、前記ダイアモンドが材料の厚さの方向に粒子の成長を有する（カラムタイプのダイアモンド層を形成している）粒子構造を有していることを示している。図1は、基板12上に形成された、この性質の多結晶CVDダイアモンド層を示している。この図1に見られるように、前記ダイアモンド層は多数の粒子14より形成されており、各々は、平面（X, Y）で前記粒子の残りの部分より小さな寸法のベース（前記基板12の側面上に位置した部分）を備えている。前記粒子の形状は、だいたい錐体に等しくなることができる。現在、前記ダイアモンドの成長の開始で形成される前記ダイアモンド層10の部分、つまり前記基板12に対して位置していることを意味する前記粒子14のベースは、一般的に、電気的に欠陥があり、及びダイアモンド層10から形成された撮像装置に固有のノイズを寄与している。

#### 【0007】

非特許文献1は、数個の（各画素に一つの）前面電極と前記画素の全てに共通の後面電極との間に位置したCVDダイアモンド層を備えている。前記前面電極は、溶接材料のボールを用いて（「バンピングで」）、電気的な読み出し回路に接続され、前記前面電極に送られる電気信号の読み出しを許す。

#### 【0008】

しかしながら、この特徴の装置は、いくつかの欠点を有している。

- 前記電極の最小の大きさは、前記マイクロボールの大きさに制限されるが、これは大きい（例えば、およそ  $125 \mu\text{m}$ ）
- 前記マイクロボールは前記装置内に余分の厚さを生み出す
- 異なる電極、すなわち異なる画素から受ける電気応答の均一性は、前記マイクロボールに引き起こされる電気的变化に起因して、保証されていない
- 含まれる時間とコストを考慮すると、これらのマイクロボールの性能は良好でない
- 電気読み出し回路上の前記ダイアモンド層の移動は、薄いこの層の操作の段階を含んでおり、これは前記ダイアモンドの劣化の原因となり得る。

#### 【先行技術文献】

#### 【非特許文献】

#### 【0009】

【非特許文献1】R. Stone et al., "CVD Diamond Pixel Development", IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 49, NO. June 3, 2002

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0010】

本発明の一つの目的は、光子及び/または高エネルギー粒子放射を検出及び/または測定でき、画素化された撮像装置に関連した制限を考慮すると同時に、従来技術と同一の欠点を有しておらず、特に、電子回路で測定及び/または検出される放射の変換のために利用されるダイアモンドに基づく検出構造を取り付けるための、マイクロボールの利用に関連する同様の問題を有していない画素化された撮像装置を提供することである。

#### 【課題を解決するための手段】

#### 【0011】

このために、本発明は数個の画素を備えている撮像装置であって、各々の画素は少なくとも、

- 第1の電極と第2の電極との間に配置され、光子及び/または高エネルギー粒子放射を電気信号に変換できるダイアモンド層の一部と、

10

20

30

40

50

- 前記電気信号の増幅及び / または読出しのための電子回路であって、少なくとも前記第 1 の電極に電気接続され、及び同様に前記ダイアモンド層を含んでいる SOD (ダイアモンド上の半導体) 型基板の表面層を形成する半導体材料層の一部で作られた電子回路と、  
、  
を備えている。

【 0 0 1 2 】

本発明による撮像装置は、このようにして、単一のブロックを形成している二つの層と共に半導体層に物理的に接続されたダイアモンドを利用している。

【 0 0 1 3 】

前記 SOD 基板ダイアモンド層は、重要な信号 (光子及び / または高エネルギー粒子) を電気信号に変換する変換器として作用し、及び前記半導体層は、前記ダイアモンド層からくる電気信号の増幅及び / または読出しとして作用する電子回路の作成を許している。 10

【 0 0 1 4 】

前記電子回路により生じられた電気信号の特徴は、前記ダイアモンド層により遮断された放射の特徴と関係があつてもよい。

【 0 0 1 5 】

本発明による装置において、前記ダイアモンド層は、遮蔽の役割を果たし、及び光子及び / または高エネルギー粒子線が前記電子回路を損傷することを避ける。例えば、前記装置が 粒子放射を妨害するとき、前記ダイアモンド層はおおよそ  $15 \mu m$  に等しいかそれより大きな厚さを有しており、それによって前記電子回路を保護している。 20

【 0 0 1 6 】

さらに、シリコンのような半導体と違って、ダイアモンドは低い原子数を有しており、前記ダイアモンドと高エネルギー UV 放射及び弱 X 線との弱い相互作用を導く。

【 0 0 1 7 】

ダイアモンドは、高エネルギー放射と比較して可視光に対する低い応答を有しており (「ソーラーブラインド」)、例えば空間画像間の寄生現象を補正するために、本発明の撮像装置で生成された画像を再加工する必要はない。

【 0 0 1 8 】

そのような装置は同様に、放射線治療 (光子 X 線) の応用におけるようなリアルタイムで、前記装置を通るある放射の特性を監視するために利用されうる。この性質の応用のために、前記装置は、前記装置の全ての部分が弱く吸収体となるように構成されうる。この場合、傍受される光子のエネルギーにより定義されるダイアモンドの吸収長の厚さに等しいかそれより薄いダイアモンド層を有して前記装置を形成し、例えば (半透明から X 線の材料である) アルミニウムで構成された装置の金属相互接続を形成するように選択することができる。 30

【 0 0 1 9 】

この装置は同様に、特に調査される物体を照射するために中性子源が利用される中性子検出の応用 (例えば、トラックトレイラー) において、 粒子を検出するために利用されうる。この場合、スクリーンが調査を受ける物体の後に配置される。スクリーン上で受け取られた信号を特性が未知である開始信号と関連付けるために、中性子発生の工程からアルファ型粒子を利用することができる。 40

【 0 0 2 0 】

実際、各々の中性子は、完全に反対のモーメントを有してアルファ粒子と関連している (反対方向への伝播)。前記中性子信号と (飛行時間で測定された) 前記アルファ粒子に関連した信号との相関は、調査物体の初期構成の再構成を可能にする。前記ダイアモンド層のこの厚さは、この場合、おおよそ  $10 \mu m$  である。

【 0 0 2 1 】

この撮像装置は、好ましくはエネルギー中性子検出器として利用されてもよく、前記ダイアモンドは、このタイプの放射に対して、シリコンまたは高い原子数を有する化合物よりも良好な抵抗を有している。 50

## 【0022】

前記SOD型基板は同様に、前記ダイアモンド層と前記電子回路との間に誘電層を有しうる。そのような誘電層は、ダイアモンドと前記電子回路の半導体との間の電気的絶縁性を保証すると同時に、前記電子回路の製造の間に利用される高温の酸素流から前記ダイアモンドを保護する。この電気的絶縁は、前記装置に印加された重要な電圧の操作を可能にし、及びこれらの電圧に起因する操作の問題を避ける。

## 【0023】

前記半導体材料層は、おおよそ $1\text{ }\mu\text{m}$ に等しいかそれより薄い厚さを有しうる。そのような厚さは、半導体と受け取られる放射との間の相互作用を制限することができ、前記電子回路の起こり得る劣化及び電極端子での誤った電気信号の出現を低減させることができる。この薄層は同様に、より高い電極の形成を容易にさせ、前記電気信号の収集を最大化させうる。前記電子回路は同様に、一つ以上のPDSOIまたはFD-SOI型トランジスタを有しうる。

10

## 【0024】

例えば、おおよそ $1\text{ }\mu\text{m}$ 厚さに等しいかそれより薄いような、非常に薄い半導体材料層の利用は、光子及び/または高エネルギー粒子放射に対して抵抗性があり、低消費のCMOSトランジスタのような装置を備えている電子回路の作成を許す。実際、前記半導体層の厚さを最小化することにより、前記半導体の傍受される放射との相互作用を制限し、このようにして、前記電子回路の結果として生じる劣化の危険性、及び前記装置の電極端子に誤った電気信号の出現を低減させる。

20

## 【0025】

前記第1の電極及び前記電子回路は、前記ダイアモンド層の第1の面上に並んで配置されうる。「並ぶこと」により、前記ダイアモンド層の前記第1の面を通る平面における前記第1の電極の領域の突出は、同一の平面上における前記電子回路の領域の突出と重複しない。言い換えると、前記第1の電極と前記電子回路は互いに積層されていない。

## 【0026】

この場合、前記第1の電極は少なくとも一つの誘電材料により部分的に被覆されている側壁を有しているが、これは前記ダイアモンド層の前記第1の面に対して位置する前記第1の電極の下部壁に実質的に垂直でありうる。

## 【0027】

30

この誘電材料は、このようにして、前記電子回路が作られ、及び前記電極が隣に位置している前記半導体材料から前記電極の導電材料を絶縁させうる。

## 【0028】

前記撮像装置は同様に、前記ダイアモンド層の第1の面とは反対の第2の面の前面に配置され、おおよそ $380\text{ nm}$ と $780\text{ nm}$ の間を備えた波長の放射を吸収することの出来るフィルタリング手段を有しうる。このフィルタリングは、このようにして、前記電子回路を可視範囲の光子放射から保護を許し、及びこのようにして、これらの線を前記電子回路における異常の原因から防ぐ。

## 【0029】

一つの変形において、前記第1の電極は前記ダイアモンド層に対して、前記電子回路と前記ダイアモンド層との間に配置されてもよい。

40

## 【0030】

このようにして、この構成において、前記撮像装置の前記第1の電極は、前記電子回路の下に位置され、これは前記装置設計において空間を節約させる。

## 【0031】

前記ダイアモンド層は、その第1の面上に核生成部分を有してもよく、前記ダイアモンド層の前記核生成部分内に形成されたりセス内に部分的に位置されることのできる第1の電極を有する。この構成は、前記第1の電極が前記ダイアモンド層の核生成部分と接触することを避け、前記ダイアモンドと前記第1の電極との間の電気接触の均一性を向上させる。

50

## 【0032】

一つの変形において、前記ダイアモンド層は、前記第1の電極が配置されている反対面上に位置した核生成部分を有していてもよい。この変形は、前記ダイアモンド層の核生成部分に対して、前記第1の電極が位置される反対側上にあることを許す。

## 【0033】

前記装置は同様に、少なくとも前記電子回路を被覆する少なくとも一つのパッシベイション層を有していてもよく、これは少なくとも前記パッシベイション層を通って作られたビアを通して、及び前記パッシベイション層上に位置する電気相互接続層の少なくとも一部を用いて、前記第1の電極に電気接続され、及び前記電気相互接続層の前記部分は前記電子回路及び前記第1の電極に電気接続させる。「ビアを通して」との用語は、導電材料で満たされた相互接続ホールを意味している。

10

## 【0034】

本発明は同様に、数個の画素を備えた撮像装置を製造する方法に関係しており、各々の画素は少なくとも、

- ダイアモンド層もまた含んでいるSOD型基板の表面層を形成している半導体材料層の一部において、電気信号の增幅及び／または読出しのための電子回路を形成する段階と、

- 第1の電極を形成する段階であって、前記ダイアモンド層の一部が前記第1の電極と第2の電極との間に位置されるように、及び光子及び／または粒子放射を前記電気信号に変換させることができるようとする段階と、

20

- 少なくとも前記第1の電極と前記電子回路との間に電気接続を形成する段階と、を含んでいる。

## 【0035】

本発明は同様に、数個の画素を含んだ撮像装置を製造する方法に関係しており、各々の画素は少なくとも、

- おおよそ $1\mu\text{m}$ に等しいかそれより薄い厚さで、及びダイアモンド層もまた含んでいるSOD型基板の表面層を形成している半導体材料層の一部において、電気信号の增幅及び／または読出しのための電子回路を形成する段階であって、前記基板は同様に、前記ダイアモンド層と前記電子回路との間に配置された誘電層を含んでいる段階と、

- 第1の電極を形成する段階であって、前記ダイアモンド層の一部が前記第1の電極と第2の電極との間に配置され、及び光子及び／または粒子放射を電気信号に変換させることができるようとする段階と、

30

- 少なくとも前記第1の電極と前記電子回路との間に電気接続を形成する段階と、を含んでいる。

## 【0036】

前記第1の電極を形成する段階は少なくとも、

a) 前記電子回路と前記半導体材料層とを被覆するパッシベイション層を堆積する段階と、

b) 前記パッシベイション層及び前記半導体層において、及び前記電子回路に隣接して、キャビティを形成する段階と、

40

c) 少なくとも前記キャビティの壁に対して誘電層を堆積する段階と、

d) 前記ダイアモンド層の第1の面の部分を成長させるか、剥離させて、前記キャビティ内の下部壁を形成している誘電層の部分をエッチングする段階と、

e) 前記ダイアモンド層の前記第1の面に対して、前記キャビティ内に位置した導電材料の一部を形成し、前記第1の電極を形成する段階と、

を実施することにより達成されうる。

## 【0037】

一つの変形において、前記第1の電極を形成する段階は少なくとも、

a) 前記半導体材料層において、及び前記電子回路に隣接して、キャビティを形成する段階と、

50

- b ) 少なくとも前記キャビティの壁に対して誘電層を堆積する段階と、
- c ) 前記ダイアモンド層の第1の面の部分を成長させるか、剥離させて、前記キャビティ内の下部壁を形成している誘電層の部分をエッティングする段階と、
- d ) 前記ダイアモンド層の前記第1の面に対して、前記キャビティ内に位置した導電材料の一部を形成し、前記第1の電極を形成する段階と、
- e ) 前記第1の電極、前記電子回路、及び前記半導体材料層を被覆しているパッシベーション層を堆積する段階と、  
を実施することにより達成されうる。

【0038】

前記誘電層は、前記ダイアモンド層の前記第1の面と前記半導体層との間に位置されてもよく、エッティングの段階d ) またはキャビティを形成する段階a ) は、前記キャビティの下部壁上に位置された前記誘電層の一部をエッティングする段階を備えてもよい。 10

【0039】

前記ダイアモンド層は、前記第1の面に位置した核生成部分を含んでいてもよく、エッティングの段階c ) またはd ) は前記キャビティ内に位置された前記ダイアモンド層の核生成部分をエッティングする段階を備えてもよい。

【0040】

前記SOD型基板は、前記半導体層と前記ダイアモンド層との間に配置された導電材料よりなる層を備えてもよく、前記第1の電極を形成する段階は、少なくとも前記第1の電極のパターンに一致するパターンに従って前記半導体材料層及び前記導電材料層をエッティングする段階を実施することにより達成され、前記第1の電極は、前記ダイアモンド層に対して、及び前記電子回路と前記ダイアモンド層との間に位置されることができる。 20

【0041】

前記誘電層は前記導電材料層と前記半導体材料層との間に配置されてもよく、前記第1の電極を形成する段階の間に、前記誘電層は同様に、前記第1の電極が前記ダイアモンド層に対して、及び前記誘電層の残余部分と前記ダイアモンド層との間に位置されるような方法において、前記第1の電極のパターンに一致するパターンに従ってエッティングされてもよい。

【0042】

前記形成の段階は同様に、前記第1の電極を形成する段階と前記電気接続を形成する段階との間に、少なくとも前記電子回路と前記第1の電極を被覆している平坦化層を堆積する段階の実施を含んでもよい。 30

【0043】

前記第1の電極と前記電子回路との間の電気接続の形成は少なくとも、  
f ) 前記パッシベーション層及び/または前記第1の電極を少なくとも通って、前記第1の電極及び前記電子回路に電気接続された貫通ビアを形成する段階と、  
g ) 前記パッシベーション層上に電気相互接続層を形成する段階であって、前記電気相互接続層の少なくとも一部と前記貫通ビアが前記第1の電極を前記電子回路に電気接続させるようにする段階と、  
を実施することにより達成されてもよい。 40

【図面の簡単な説明】

【0044】

本発明は、添付の図面を参照し、純粹に例示の目的で与えられ、及び限定されない例としての構成の説明を読むことによって最も理解されるだろう。

【0045】

【図1】基板上に形成された多結晶CVDダイアモンドを示している。

【図2A】第1の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

【図2B】第1の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。 50

【図2C】第1の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

【図2D】第1の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

【図2E】第1の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

【図2F】第1の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

【図2G】第1の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

【図2H】第1の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

【図3】前記撮像装置により検出されることを目的とした光子のエネルギーに対する、本発明の目的である前記撮像装置の前記ダイアモンド層の吸収長を示している。

【図4】前記ダイアモンド層の厚さに対する、本発明の目的である撮像装置の多結晶ダイアモンド層の粒子の直径を示している。

【図5】このダイアモンドにより傍受される入射放射の波長に対する、本発明の目的である撮像装置の多結晶CVDダイアモンド層の実効量子効率を示している。

【図6】第1の実施形態の変形による、本発明の目的である撮像装置を示している。

【図7A】第2の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

【図7B】第2の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

【図7C】第2の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

【図7D】第2の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

【図7E】第2の実施形態による、本発明の目的である撮像装置の製造工程の段階を示している。

#### 【発明を実施するための形態】

##### 【0046】

以下で述べられる異なる図面において、同一の、類似の、または等価な部分は一つの図面から他への移行を容易にするために同一の参照番号を置く。

##### 【0047】

図面に示された異なる部分は、図面をより容易に読み易くするために、必ずしも等級に及び均一に示していない。

##### 【0048】

様々な実現性（変形及び実施形態）は、互いを排他するものではないと理解されるべきであり、共に結合されることができる。

##### 【0049】

第1に、図2Aから2Hを参照すると、これらは第1の実施形態による放射線撮像装置100の製造工程の段階を示している。これら図2Aから2Hにおいて、前記撮像装置100の一つの画素に対応している前記撮像装置100の一部の製造だけが示されている。

##### 【0050】

図2Aにおいて示されるように、前記撮像装置100は、背面層102または後面層102、ダイアモンド層104、バリア層106、及び半導体（ここではシリコン）で構成された表面層108を有するシリコン・オン・ダイアモンド型を意味しているSOD型基板から作られる。

##### 【0051】

前記ダイアモンド層104は、前記背面層102と前記バリア層106との間に位置さ

10

20

30

40

50

れ、及び前記バリア層 106 は、前記ダイアモンド層 104 とシリコンからなる前記表面層 108 との間に位置される。

【0052】

前記表面層 108 は、好ましくはおおよそ  $1 \mu\text{m}$  に等しいかそれより薄い厚さの薄膜である。前記バリア層 106 は、酸化物半導体または半導体の窒化物のような誘電材料からなり、及び例えばおおよそ  $100 \text{ nm}$  と  $1 \mu\text{m}$  の間の厚さを有している。

【0053】

前記背面層 102 は、電気的な導電層で構成されうる。この場合、前記背面層 102 は、前記撮像装置 100 の後面電極として直接利用されうる。

【0054】

しかしながら、前記背面層 102 は同様に、前記撮像装置 100 の製造の間に支持体として利用され、及び例えば半導体からなりうる。この場合、前記背面層 102 は、工程が終了次第、導電層、例えば金属層で置き換えられる。同様に、前記背面層 102 が半導体材料を構成する場合、導電性とするために、ドーピングを実施することも可能であり、そのようにして前記装置の背面電極を構成する。しかしながら、流れを阻害させないために、そしておおよそ  $1 \mu\text{m}$  に等しいかそれより薄い厚さを有するために、第 1 に背面層 102 を薄化する。

【0055】

図 2 A には示されていないが、図 1 で示された前記ダイアモンド層 10 の粒子構造と類似の粒子構造を有している前記ダイアモンド層 104 は、前記ダイアモンドの成長が 生み出された表面の側 に位置された核生成部分を有している。

【0056】

この核生成部分は、前記背面層 102 の側面か、または前記バリア層 106 の側面上のどちらかに配置されうる。前記ダイアモンド層 104 が多結晶ダイアモンドである場合、非常に多くの粒子結合、グラファイト等に起因してこの核生成部分はしばしば非常に欠陥的である。

【0057】

これらの粒子結合は、光子及び / または高エネルギー粒子放射が前記ダイアモンド層 104 によって受け取られるとき、生成された前記電気キャリアと前記粒子結合との間に起る相互作用に起因して受け取られた電気信号の縮小因子となる。このようにして、図 2 A 及び 2 H に関連して述べられた前記工程は、好ましくは、収集される前記電気信号の減少を制限するために、前記ダイアモンド層 104 が前記バリア層 106 の側部ではなく、前記背面層 102 側に配置された核生成部分を有している SOD 型基板から実装される。

【0058】

前記層 104 のダイアモンドは、多結晶 CVD ( 化学気相堆積 ) 型、 HOD ( 高配向ダイアモンド ) 型、または固有の単結晶型でありうる。

【0059】

前記ダイアモンド層 104 の厚さは、前記撮像装置 100 が検出することを目的としている放射のタイプにより選択される。実際、前記ダイアモンド層 104 の吸収長は、前記ダイアモンド内で受け取られる放射の光子エネルギーの関数である。

【0060】

図 3 に示された曲線は、ここでは UV 及び X 場において受け取られた光子のエネルギー  $e\text{V}$  による前記ダイアモンドの吸収長  $\mu\text{m}$  に対応している。

【0061】

前記ダイアモンド層 104 の厚さは、このようにして、前記撮像装置 100 により検出されることを目的としている光子及び / または粒子の吸収長に等しいかそれより大きく選択されうる。しかしながら、実施を容易にするために、前記ダイアモンド層の厚さに対して、この吸収長より短くすることが可能であり、これは受け取られる放射の一部が通過することを可能にさせる。

【0062】

10

20

30

40

50

SOD基板のような製造の段階は、従来技術で知られており、そのために、ここでは詳しく述べられない。

【0063】

各々の画素について、光子及び／または粒子放射が前記画素の前記ダイアモンド部分で受け取られるとき、画素に対して前記電極端子により受け取られる前記電気信号のための增幅器を形成している電子回路110を、前記半導体層108から形成する(図2B)。

【0064】

この電子回路110は、例えば、CCD(電荷結合素子)またはCMOSセンサー增幅回路に類似している。前記表面層108があおよそ $1\mu\text{m}$ に等しいかそれより薄い厚さを有する薄膜である場合、前記電極回路110は、PDSOI、すなわち部分的除去-シリコンオンインシュレータ、またはFDSOI、すなわち完全除去-シリコンオンインシュレータ型のトランジスタのような素子を有しうる。このようにして、前記表面層108の厚さを最小化することにより、前記表面層108の半導体の、前記ダイアモンド層104内に送られる光子及び／または高エネルギー粒子との相互作用の効果を制限し、それによって、電子回路110の起こりうる劣化と収集される電気信号内のエラーの発生の危険を減少させる。

【0065】

前記電子回路110を製造するとき、例えば前記表面層108の半導体の酸化段階の間に、高温度の酸素が、前記表面層108を横切って流れる。

【0066】

前記バリア層106の誘電体は、前記バリア層106がない場合、前記ダイアモンドの燃焼を引き起こし、及び前記ダイアモンド層104を不可逆的に損傷させてしまう酸素の流れから、前記ダイアモンド層104及び前記背面層102を保護する。

【0067】

図2Cに見られるように、第1のパッシベイション層112がそれから、前記電子回路110、及び前記半導体表面層108の残余上に堆積される。第1のパッシベイション層112及び前記半導体表面層108、これらの二つの層内に前記撮像装置100の電極の一つを格納することが意図されているキャビティ114を形成するために、部分エッティングが実施される。

【0068】

前記キャビティ114の部分は、(X, Y)平面において、ここでは実質的に方形を有している。このエッティングは、前記バリア層106の表面の除去部分116を許可している(図2D)。

【0069】

前記キャビティ114内部に作られることを意図している電極の寸法に対応した前記キャビティの寸法の選択は、前記ダイアモンド層104の厚さに依存して作られている。実際、前記層104のダイアモンドは、多結晶であり、及び本来均質ではない(さまざまな粒子の大きさ)。しかしながら、前記ダイアモンドが一つの電極から他へ一貫している場合、前記撮像装置100の画素は、同一の受け取られる放射に対して相対的に類似の応答を与えるので、前記ダイアモンドの均質な特性は、前記撮像装置100の電極の大きさのスケールに基づき決定される。前記撮像装置100の電極の一側の寸法L(図2Dにおいてしめされる(X, Y)平面の寸法)は、下記式となるように選択される。ここで、D=ダイアモンド粒子の直径である。

【0070】

【数1】

$$L = 5 \times D \times \sqrt{\pi}$$

【0071】

図4に示された直線130は、前記ダイアモンド層104の厚さ(nm)に対するダイ

10

20

30

40

50

アモンド粒子の直径 (nm) の成長に対応している。この直線 130 から、前記ダイアモンド粒子の直径 D は、 $D = A * H + B$  となるように、前記ダイアモンド層 104 の厚さ H に従って、直線的に成長する。

【0072】

電極の最小の大きさは、前記ダイアモンド層の厚さに実質的に等しく選択されうる。例えば、おおよそ  $3.5 \mu\text{m}$  に等しい厚さのダイアモンド層に対して、電極の最小の大きさ L はおおよそ  $3.2 \mu\text{m}$  である。しかしながら、前記電極の寸法の選択は、電極により受け取られる最小の信号強度、非常に小さな電極の製造の技術的な実行可能性などのような、他の判断も考慮に入れるべきである。このように一般的に、前記電極の寸法は、前記撮像装置 100 の一つの画素に対して、おおよそ 100 粒子が前記電極の下に存在し、それによって、前記撮像装置 100 からの応答の均一性を最大化させるように選択されうる。

10

【0073】

前記キャビティ 114 内に作られることを意図している前記電極を、前記表面層 108 の半導体と電気的に絶縁するために、前記第一のパッシベイション層 112 上、及び前記キャビティ 114 の壁上に誘電体層 118 を堆積させ、そのようにして、前記キャビティ 114 の側壁、及び前記キャビティの下部壁を形成するバリア層 106 の表面部分 116 を被覆する (図 2E)。

【0074】

図 2F で示されるように、それから前記キャビティ 114 の下部壁に位置する前記誘電体層 118 及び前記バリア層 106 の一部をエッティングして、前記ダイアモンド層 104 の表面の一部 120 を展開させ、前記キャビティ 114 の下部壁を形成する。前記撮像装置 100 を作り出すために利用される SOD 基板が、前記バリア層 106 の側面上に配置された核生成部分を含むダイアモンド層 104 (すなわち前記キャビティ 114 の下部壁の側面に配置された核生成部分) を有するとき、前記キャビティ 114 の下部壁を形成するダイアモンド層 104 の核生成部分を除去するために前記ダイアモンド層 104 の部分エッティングをすることが可能である。

20

【0075】

そのようにして、前記キャビティ 114 内に形成されることを意図している接触電極における核生成部分の除去は、前記ダイアモンド内で生じた電荷を収集する距離を増大させることを可能にし、そのようにして、前記撮像装置 100 の電気的性能を改善する。

30

【0076】

前記キャビティ 114 の下部壁におけるダイアモンド層の核生成部分の除去において、前記電極下での均一性を保持すると同時に光子及び / または高エネルギー粒子の所望の吸収を実施するため、及び他よりもずっといい質となるように前記ダイアモンド層の領域をレンダリングし、均一性の点からシステム応答を低下させることを防ぐために、前記ダイアモンドの残りの厚さは十分となるように保証すべきである。

【0077】

次に、前記キャビティ 114 内及び前記誘電体層 118 上に炭素材料 (カーバイド、グラファイト、ドープドダイアモンド) または金属材料のような導電材料を堆積する。この導電層はそれから、電極 122 を形成するために平坦化される (図 2G)。この平坦化は、例えば、停止層として誘電体層 118 を用いて、前記導電層の CMP (化学機械的研磨) を実施することにより達成される。

40

【0078】

それから、前記電子回路 110 と前記電極 122 とを電気的に接続するために、前記パッシベイション層 112 及び前記誘電体層 118 を通って、及び前記電極 122 を通って導電材料を有する貫通ビア 123 を形成する。それから、好ましくはアルミニウム及び / または他の適切な導電材料で作られ、先に作られたビア 123 を通して、前記電極 122 と前記電子回路 110 との電気接続を可能にさせる電気相互接続層 124 が前記パッシベイション層 112 上に形成される。前記電気相互接続層 124 はそれから第 2 のパッシベイション層 126 により被覆される (図 2H)。

50

## 【0079】

前記背面層102が導電材料で構成されるとき、例えば前記撮像装置100の画素の全てに共通である前記撮像装置100の後面電極を形成するために、この層は維持されることができる。他方では、前記背面層102が非導電材料で作られる場合、前記撮像装置100の前記後面電極を形成する導電層によりその後置き換えられる。

## 【0080】

この撮像装置100において、前記電極122と、(図2Hにおいて示された例における前記背面層により形成された)前記後面電極との間に配置された層104におけるダイアモンドは、良好な変換器を形成し、その結果、前記ダイアモンドが光子及び/または高エネルギー粒子放射を受け取るとき、電荷を生成する。実際、シリコンに反して、前記ダイアモンドは高い割合で可視及び赤外光を拒むことができ、これは、前記撮像装置100の前記電極の間に印加された分極電場が $E = 28 \text{ KV/cm}$ に対して、 $n \text{ m}$ で表現される受け取られた放射の波長に従った、多結晶CVDダイアモンド層上の入射放射により生成された電子の数を意味している効果的な量子効率が図示された図5に示されている。

10

## 【0081】

前記撮像装置100において、分極の電界特性は、ダイアモンドの高抵抗率領域においておおよそ $1 \text{ V}/\mu\text{m}$ に等しい。

## 【0082】

それ故、前記電子回路110が高電圧に晒されることを避けるために、電極122上よりもむしろ後面電極上で前記撮像装置100を分極させる必要がある。

20

## 【0083】

図2Hには示されていないが、前記撮像装置100の前記電子回路110は、前記撮像装置100内に内蔵された電子回路により増幅された電子回路上の様々な処理機能の応用を可能とする読み出し及び処理のための他の電子回路に電気的に接続される。

## 【0084】

このように、前記電子回路110は、(外部の読み出し回路からの電荷を移動させる)CCD、またはCMOS型の電子回路の場合はマトリックス読み出しのどちらかにより、前記ダイアモンド層104から来る信号を増幅させ、及びそれを伝送させ、そのようにして、測定における外部ノイズの発生を減少させ、及び所望の電極の大きさに対してノイズに対する信号の割合を増大させる。一つの変形において、前記撮像装置100の電子回路110に対して、前記ダイアモンド層で生成された電気信号の増幅を作り出さないだけでなく、前記撮像装置100の利用可能な空間に従っているこの信号の読み出しままたは他の処理機能までも作り出さないことが可能である。

30

## 【0085】

図2Hに示されていないが、前記撮像装置100は、前記可視スペクトルの放射をフィルタリングし、及びそのようにして、可視光が前記ダイアモンド層104を横切ること、及び前記電子回路110と相互作用すること、及びそのようにしてそれに關して適切な機能を保護することを可能にする、前記背面層102の前に位置されたフィルターを含みうる。

## 【0086】

40

図6は、先に述べられた前記撮像装置100の変形による撮像装置150を示している。

## 【0087】

前記撮像装置150の作成は、前記バリア層106、前記ダイアモンド層104、及び前記背面層102上に配置された前記半導体層108により形成された電子回路110を作り出すために、図2A及び2Bに対して上で述べられた段階を最初に実施することにより達成される。

## 【0088】

それから、前記撮像装置150の電極の一つを受け入れることを意図されたキャビティを形成するために層108及び106をエッチングする。前記誘電層118はそれから、

50

このキャビティ内に、及び前記電子回路 110 上及び前記キャビティの側部上に位置された前記層 108 の部分上に堆積される。それから、前記キャビティ内に下部壁を形成する、前記ダイアモンド層 104 の表面の一部 120 を剥離するか、または展開させるために前記キャビティの下部に配置された前記誘電体層 118 の一部をエッチングする。

【0089】

例えは導電材料を堆積し、及びそれをエッチングすることにより、電極 122 がそれから形成され、電極 122 は、前記ダイアモンド層 104 の一部 120 と接触して前記キャビティ内に配置されている。

【0090】

それから、先に形成した全ての要素上にパッシベイション層 112 を堆積する。最後に 10  
、撮像装置 100 と同様に、ビア 123、電気相互接続層 124、及び第 2 のパッシベイ  
ション層 126 を形成する。

【0091】

撮像装置 100 と比較すると、この撮像装置 150 は、製造に対して技術的に単純であるという利点を有している。

【0092】

ここで、図 7A から 7E を参照すると、これらは第 2 の実施形態による、放射線撮像装置 200 の製造工程の段階を参照している。これらの図 7A から 7E において、前記撮像装置 200 の一つの画素に対応している前記撮像装置 200 の一部の製造だけが示されている。

20

【0093】

図 7A に示されるように、背面層 102、ダイアモンド層 104、バリア層 106、及びその表面に半導体層 108 を含む、上で述べられた撮像装置 100 の製造に対して利用された基板に類似する SOD 型基板から撮像装置 200 を製造する。

【0094】

この基板の層 102、104、106、及び 108 は、例えは、図 2A について上で述べられた同一の層と類似の寸法及び性質がある。しかしながら、ここで利用される前記 SOD 基板は同様に、前記撮像装置 200 の電子回路の製造において含まれる高温に晒されるとき悪化させない導電層 202 を含んでおり、これは、場合により、タンゲステン及び / または白金及び / またはチタン及び / または炭素材、あるいはドープダイアモンド及び / または他の導電材料で作られ、及び前記ダイアモンド層と前記バリア層 106 との間に配置され、50 nm と 100 nm の間の厚さである。さらには、前記ダイアモンド層 104 は、好ましくは前記背面層 102 の側部、またはあるいは導電層 202 の側部上のどちらかに配置される核生成部分を含んでいてもよい。

30

【0095】

それから、前記半導体層 108 の部分において、撮像装置 100 について上で述べられた電子回路 110 のような電子回路を作成し、光子及び / または粒子放射が前記撮像装置 200 によって受け取られるとき、受け取られる電気信号のための増幅及び / または読出し回路を形成する。図 7B において、電子回路 210 の二つの CMOS トランジスタ 210a、210b が示されている。

40

【0096】

前記撮像装置 200 の各々の画素は、電子回路 210 に類似する少なくとも一つの電子回路を含んでいる。撮像装置 100 に関しては、電子回路 210 について、PD-SOI または FD-SOI トランジスタのような要素を含むことが、前記半導体層 108 の厚さがそれを許可する（例えは、1 μm より薄い厚さ）場合、可能である。

【0097】

図 7C に示されるように、それから、前記撮像装置 200 の画素の電極パターンと一致するパターンに従って、前記導電層 202 及び / または前記バリア層 106 をエッチングする。そのようにして、図 7B の例において、前記導電層 202 の残余部分 204 は、示された前記撮像装置 200 の画素の電極を形成する。

50

## 【0098】

このエッティングは同様に、前記電極204上に重ねられる前記バリア層106の残余部分206を形成する。前記電極204の設計は、前記撮像装置100に関して前に述べられたものと類似の方法、特に、前記撮像装置200が検出することを意図している粒子に従って、前記ダイアモンドの吸収長にそれ自身が応じている前記ダイアモンド層104の厚さに依存して、計算されうる。

## 【0099】

図7Dに示されるように、第1のパッシベイション層212がそれから前に構成された要素の上に堆積される。

## 【0100】

撮像装置100に関して、それから、前記パッシベイション層212を通って、前記電子回路210と電気接続ができ、及び前記電極204と電気接続のできる（前記ビアが同様に前記バリア層の残余部分206を交差する）貫通ビア223を作り出し、電極204が電子回路210に電気接続でき、及びアルミニウム及び／または他の適切な導電材料で作られた電気相互接続層を作り出す。

10

## 【0101】

前記電気相互接続層224は同様に、第2のパッシベイション層226により被覆されうる（図7E）。

## 【0102】

撮像装置100と比較して、撮像装置200は、ここでは、前記電子回路210の下に配置された電極204を含んでいる。このように、層104内のダイアモンドが変換器の役割を果たすことを許す電極としての役割に加えて、電極204は、特に、それが金属で作られるとき、この光スペクトルは電極204によって吸収されうるので、可視光スペクトルから電子回路210a及び210bの保護を可能にし、それによって前記背面層102の側部上に、前記撮像装置200のための追加のフィルターの必要性を避ける。電極204がドープ半導体から構成されるとき、この電極は、前記可視スペクトルにおける放射を吸収するために、 $2 \mu m$ のようなおおよそ数マイクロメートルに等しいかそれより厚い厚さを有しうる。さらに、電極204及び電子回路210のこの重ね合わせは同様に、撮像装置100の放射における追加の空間を提供する。

20

## 【0103】

30

撮像装置100に関連して、上で述べた異なる変形（前記背面層102により形成された後面電極、または前記背面層102の代わりに後で転換される一つの背面電極、前記電極位置での前記信号の增幅及び／または読出しのための読出し回路）が撮像装置200に同様に適用されうる。

## 【符号の説明】

## 【0104】

10 ダイアモンド層

12 基板

14 粒子

100 撮像装置

40

102 背面層

104 ダイアモンド層

106 バリア層

108 半導体層

110 電子回路

112 パッシベイション層

114 キャビティ

116 表面部分

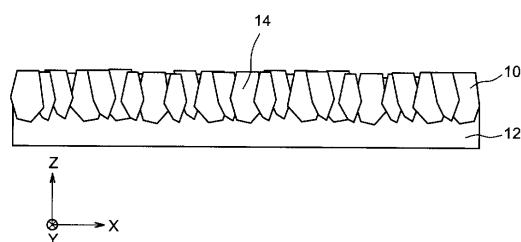
118 誘電体層

120 表面の一部

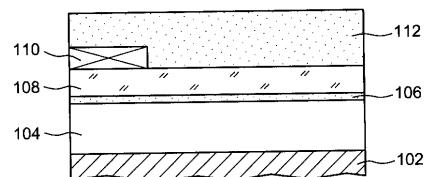
50

1 2 2	電極	
1 2 3	ビア	
1 2 4	電気相互接続層	
1 3 0	直線	
1 5 0	撮像装置	
2 0 0	撮像装置	
2 0 2	導電層	
2 0 4	電極	
2 1 0	電子回路	
2 1 0 a、2 1 0 b	C M O Sトランジスタ	10
2 1 2	パッシベイション層	
2 2 3	貫通ビア	
2 2 4	電気相互接続層	

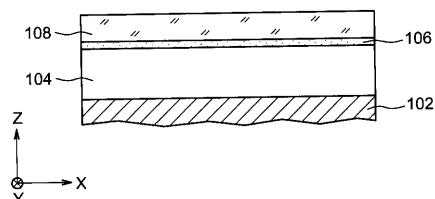
【図 1】



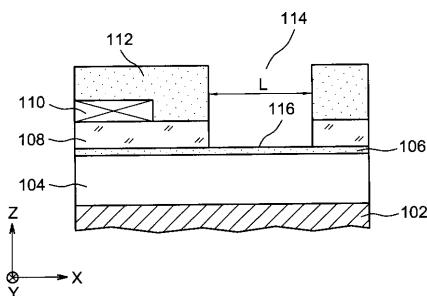
【図 2 C】



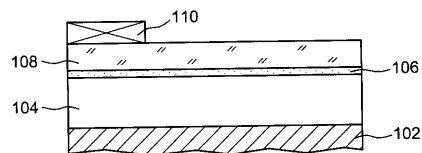
【図 2 A】



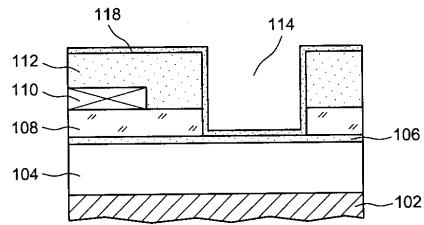
【図 2 D】



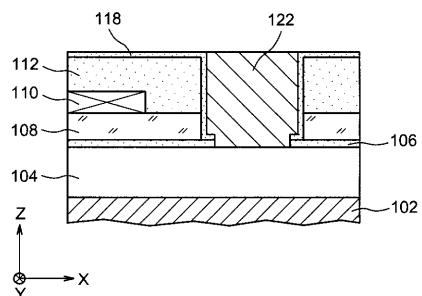
【図 2 B】



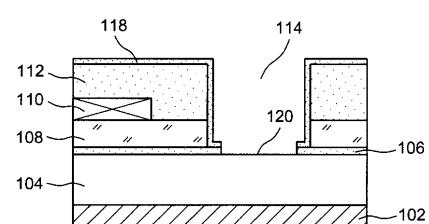
【図2E】



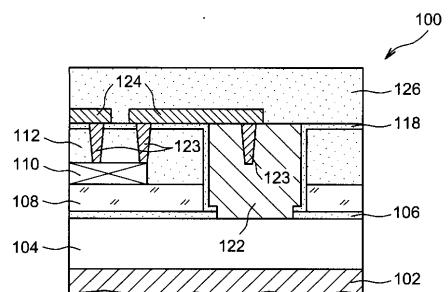
【図2G】



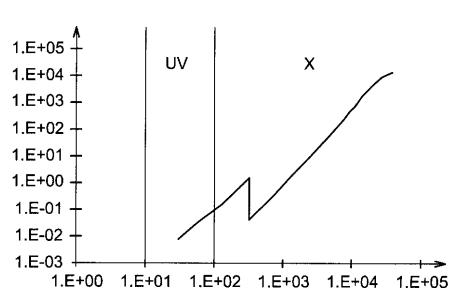
【図2F】



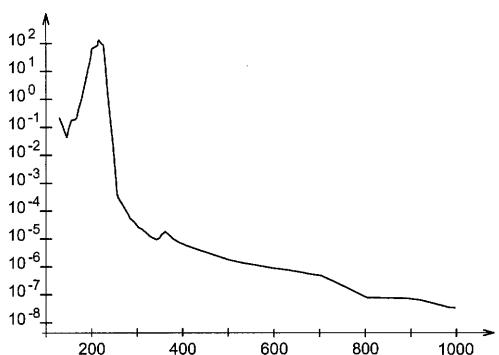
【図2H】



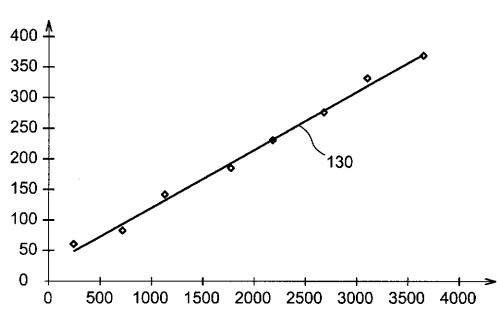
【図3】



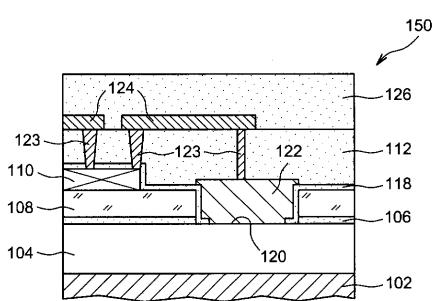
【図5】



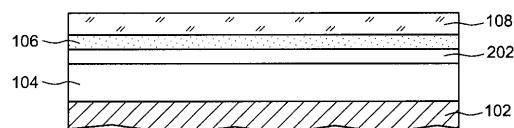
【図4】



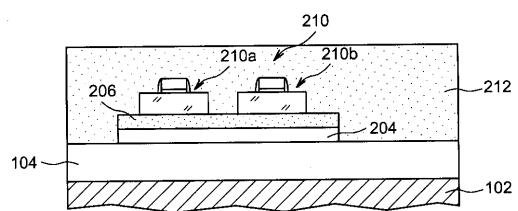
【図6】



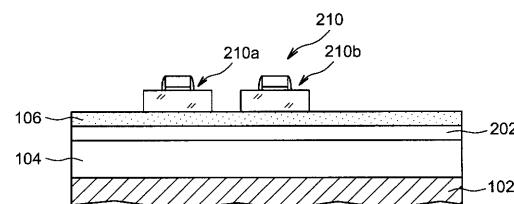
【図 7 A】



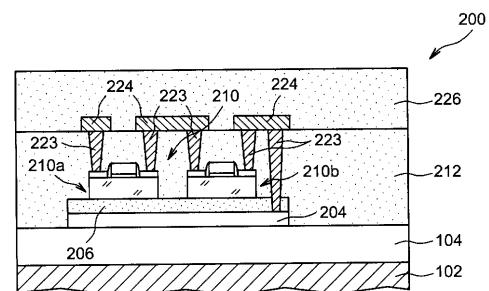
【図 7 D】



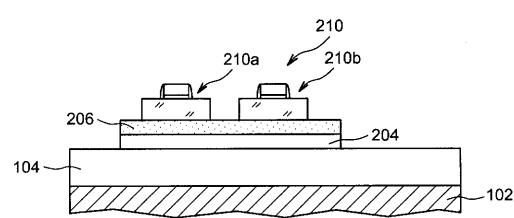
【図 7 B】



【図 7 E】



【図 7 C】



---

フロントページの続き

合議体

審判長 深沢 正志

審判官 鈴木 匡明

審判官 大嶋 洋一

(56)参考文献 特開平06-132184 (JP, A)

特開平08-107209 (JP, A)

特開2006-024787 (JP, A)

特開平05-308149 (JP, A)

特開2009-158528 (JP, A)

特開2001-291854 (JP, A)

特開平01-291460 (JP, A)

特開昭57-114292 (JP, A)

国際公開第2006/043105 (WO, A1)

特開2006-173351 (JP, A)

特開平04-145668 (JP, A)

S. Logomarsino et al, "New perspectives for the Silicon-On-Diamond material", 9th International Conference on Large Scale Applications and Radiation Hardness of Semiconductor Detectors, イタリア, 2009年9月30日, pp. 1-8

(58)調査した分野(Int.Cl., DB名)

H01L 27/14

H01L 31/00

G01T 1/24