



(12)发明专利

(10)授权公告号 CN 106449648 B

(45)授权公告日 2019.09.17

(21)申请号 201610326106.X

(22)申请日 2016.05.17

(65)同一申请的已公布的文献号
申请公布号 CN 106449648 A

(43)申请公布日 2017.02.22

(30)优先权数据
10-2015-0111358 2015.08.07 KR

(73)专利权人 三星电子株式会社
地址 韩国京畿道水原市

(72)发明人 金鍾源 林昇炫 姜昌锡 朴泳雨
裴大勋 殷东锡 李宇城 李载惠
任宰佑 崔韩梅

(74)专利代理机构 北京铭硕知识产权代理有限公司 11286
代理人 刘灿强 尹淑梅

(51)Int.Cl.

H01L 27/11582(2017.01)

H01L 27/11556(2017.01)

(56)对比文件

US 2015/0194435 A1,2015.07.09,

CN 103594473 A,2014.02.19,

US 2014/0239376 A1,2014.08.28,

US 2015/0206900 A1,2015.07.23,

审查员 瞿晓雷

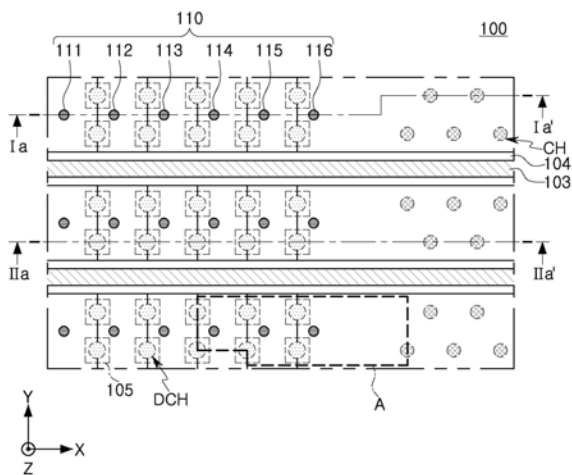
权利要求书2页 说明书18页 附图69页

(54)发明名称

具有虚设通道区的垂直存储装置

(57)摘要

提供了具有虚设通道区的垂直存储装置。所述存储装置包括:均在与基底的上表面垂直的方向上延伸的多个通道区;与通道区相邻地堆叠在基底上的多个栅电极层和多个绝缘层,每个栅电极层延伸不同的长度;以及与所述多个栅电极层的第一端相邻的多个虚设通道区,其中,基底包括形成在所述多个虚设通道区下方的基底绝缘层。



1. 一种半导体装置,所述半导体装置包括:
半导体基底;
栅电极层结构,包括堆叠在半导体基底的上表面上的分隔开的多个栅电极层;
多个通道区,贯穿栅电极层;
多个虚设通道区,贯穿栅电极层中的至少最下面的栅电极层;以及
基底绝缘层,位于半导体基底和虚设通道区之间。
2. 根据权利要求1所述的半导体装置,其中,基底绝缘层包括多个基底绝缘图案,其中,半导体基底包括多个凹进,其中,基底绝缘图案形成在所述多个凹进中的相应的凹进中。
3. 根据权利要求1所述的半导体装置,其中,虚设通道区延伸到半导体基底的所述上表面下方并且直接接触基底绝缘层。
4. 根据权利要求1所述的半导体装置,其中,虚设通道区包括贯穿栅电极层中的所述最下面的栅电极层的相应环形通道区。
5. 根据权利要求4所述的半导体装置,其中,通道区包括位于半导体基底上的相应外延图案和位于相应外延图案的上表面上的相应环形通道区。
6. 根据权利要求5所述的半导体装置,其中,外延图案贯穿栅电极层中的所述最下面的栅电极层。
7. 根据权利要求1所述的半导体装置,所述半导体装置还包括:多条位线,其中,通道区电连接到所述多条位线中的相应位线,其中,虚设通道区不电连接到所述多条位线中的任何位线。
8. 根据权利要求1所述的半导体装置,其中,虚设通道区贯穿栅电极层结构的具有阶梯结构的第一区,其中,通道区与栅电极层结构的所述第一区分隔开。
9. 一种半导体装置,所述半导体装置包括:
半导体基底,具有限定水平面的上表面;
栅电极层结构,包括在竖直方向上交替堆叠在半导体基底的所述上表面上的多个栅电极层和多个绝缘层;
多个虚设通道区,贯穿栅电极层结构,虚设通道区包括贯穿栅电极层中的最下面的栅电极层的相应环形通道区;以及
多个通道区,贯穿栅电极层结构,通道区包括位于半导体基底上的相应外延图案和位于相应外延图案的上表面上的相应环形通道区,
其中,虚设通道区与半导体基底分隔开。
10. 根据权利要求9所述的半导体装置,其中,相应虚设通道区的底表面延伸到栅电极层结构的底表面下方。
11. 根据权利要求10所述的半导体装置,所述半导体装置还包括:基底绝缘层,所述基底绝缘层包括多个基底绝缘图案,所述多个基底绝缘图案设置在位于半导体基底的所述上表面中的相应凹进中。
12. 根据权利要求11所述的半导体装置,其中,相应虚设通道区的底表面直接接触基底绝缘层。
13. 根据权利要求9所述的半导体装置,其中,通道区包括位于半导体基底上的相应外延图案和位于相应外延图案的上表面上的相应环形通道区。

14. 根据权利要求13所述的半导体装置,其中,相应通道区的外延图案贯穿栅电极层中的所述最下面的栅电极层。

15. 根据权利要求9所述的半导体装置,所述半导体装置还包括:多条位线,其中,通道区电连接到所述多条位线中的相应位线,其中,虚设通道区不电连接到所述多条位线中的任何位线。

16. 一种垂直半导体存储装置,所述垂直半导体存储装置包括:

半导体基底,具有上表面,在所述上表面中具有多个凹进;

基底绝缘层,包括位于相应的凹进中的多个基底绝缘图案;

栅电极层结构,位于半导体基底的所述上表面上;以及

多个虚设通道区,竖直地贯穿栅电极层结构,其中,虚设通道区直接接触基底绝缘层。

17. 根据权利要求16所述的垂直半导体存储装置,其中,虚设通道区具有位于半导体基底的所述上表面下方的相应下表面。

18. 根据权利要求16所述的垂直半导体存储装置,所述半导体存储装置还包括多个通道区,通道区包括位于半导体基底上的相应外延图案和位于相应外延图案的上表面上的相应环形通道区。

19. 根据权利要求18所述的垂直半导体存储装置,其中,外延图案直接接触半导体基底。

具有虚设通道区的垂直存储装置

[0001] 本申请要求于2015年8月7日在韩国知识产权局提交的第10-2015-0111358号韩国专利申请的优先权,该韩国专利申请的全部内容通过引用整体包含于此。

技术领域

[0002] 本发明涉及一种具有虚设通道区的垂直存储装置。

背景技术

[0003] 存在对集成密度增大的存储装置的需求。用于提高存储装置的集成的方法是在存储装置中利用垂直型晶体管结构替代平面晶体管结构。

发明内容

[0004] 发明构思的各方面提供了高度集成的垂直存储装置,该垂直存储装置可具有改善的击穿电压特性。

[0005] 根据发明构思的一方面,一种半导体装置包括:半导体基底;栅电极层结构,包括堆叠在半导体基底的上表面上的分隔开的多个栅电极层;多个通道区,贯穿栅电极层;多个虚设通道区,贯穿栅电极层中的至少最下面的栅电极层;以及基底绝缘层,位于半导体基底和虚设通道区之间。

[0006] 根据发明构思的另一方面,一种半导体装置包括:半导体基底,具有限定水平面的上表面;栅电极层结构,包括在竖直方向上交替堆叠在半导体基底的所述上表面上的多个栅电极层和多个绝缘层;多个虚设通道区,贯穿栅电极层结构,虚设通道区包括贯穿栅电极层中的最下面的栅电极层的相应环形通道区;以及多个通道区,贯穿栅电极层结构,通道区包括位于半导体基底上的相应外延图案和位于相应外延图案的上表面上的相应环形通道区,其中,虚设通道区与半导体基底分隔开。

[0007] 根据发明构思的又一方面,一种半导体存储装置包括:半导体基底,具有上表面,所述上表面中具有多个凹进;基底绝缘层,包括位于相应凹进中的多个基底绝缘图案;栅电极层结构,位于半导体基底的所述上表面上;以及多个虚设通道区,竖直地贯穿栅电极层结构,其中,虚设通道区直接接触基底绝缘层。

[0008] 根据发明构思的另一方面,一种存储装置可以包括:基底;多个栅电极层和多个绝缘层,堆叠在基底的上表面上,栅电极层在与基底的所述上表面平行的第一方向上延伸不同的长度;多个通道区,每个通道区在与基底的所述上表面垂直的第二方向上延伸以贯穿所述栅电极层和所述绝缘层中的至少一些,通道区与栅电极层的第一端相邻;多个虚设通道区,与栅电极层的第二端相邻;以及基底绝缘层,位于虚设通道区和基底之间。

[0009] 根据发明构思的另一方面,一种存储装置可以包括:外围电路区,包括设置在第一基底上的多个外围电路装置和覆盖所述外围电路装置的第一层间绝缘层;以及单元区,包括在与不同于第一基底的第二基底的上表面垂直的方向上延伸的多个通道区和多个虚设通道区,所述单元区还包括多个栅电极层和多个绝缘层,所述多个栅电极层和所述多个绝

缘层堆叠在第二基底上使得栅电极层和绝缘层与通道区和虚设通道区相邻,其中,外围电路区和单元区彼此竖直地设置,第二基底包括设置在虚设通道区下方而不设置在通道区下方的基底绝缘层。

[0010] 根据发明构思的另一方面,一种存储装置可以包括:多个通道区,在与基底的上表面垂直的方向上延伸;多个栅电极层,与通道区相邻,所述栅电极层在与基底的所述上表面平行的第一方向上延伸不同的长度;多个外围电路装置,电连接到所述栅电极层中的至少一些;多个虚设通道区,位于通道区和外围电路装置之间;以及基底绝缘层,位于每个虚设通道区下面。

附图说明

[0011] 通过下面结合附图进行的详细描述,发明构思的以上及其它方面、特征和优点将被更加清楚地理解,其中:

[0012] 图1是示意性示出根据发明构思的示例性实施例的存储装置的框图;

[0013] 图2是示出根据发明构思的示例性实施例的存储装置的存储单元阵列的电路图;

[0014] 图3是示出根据发明构思的示例性实施例的存储装置的平面图;

[0015] 图4是沿着图3的存储装置的线Ia-Ia'截取的剖视图;

[0016] 图5是沿着图3的存储装置的线IIa-IIa'截取的剖视图;

[0017] 图6是示出图3的存储装置的区域“A”的透视图;

[0018] 图7是示出根据发明构思的另一示例性实施例的存储装置的平面图;

[0019] 图8是沿着图7的存储装置的线Ib-Ib'截取的剖视图;

[0020] 图9是沿着图7的存储装置的线IIb-IIb'截取的剖视图;

[0021] 图10是示出图7的存储装置的区域“B”的透视图;

[0022] 图11是示出根据发明构思的又一示例性实施例的存储装置的平面图;

[0023] 图12是沿着图11的存储装置的线Ic-Ic'截取的剖视图;

[0024] 图13是沿着图11的存储装置的线IIc-IIc'截取的剖视图;

[0025] 图14是示出图11的存储装置的区域“C”的透视图;

[0026] 图15是示出根据发明构思的再一示例性实施例的存储装置的平面图;

[0027] 图16是沿着图15的存储装置的线Id-Id'截取的剖视图;

[0028] 图17是沿着图15的存储装置的线IIId-IIId'截取的剖视图;

[0029] 图18是示出图15的存储装置的区域“D”的透视图;

[0030] 图19A是示出根据发明构思的再一示例性实施例的存储装置的平面图;

[0031] 图19B是沿着图19A的存储装置的线Ie-Ie'截取的剖视图;

[0032] 图20是示出根据发明构思的又一示例性实施例的存储装置的平面图;

[0033] 图21是示出根据发明构思的另一示例性实施例的存储装置的剖视图;

[0034] 图22A至图33B是示出用于制造图3至图6中所示的存储装置的方法的平面图和剖视图;

[0035] 图34A至图36B是示出用于制造图7至图10中所示的存储装置的方法的平面图和剖视图;

[0036] 图37A至图40B是示出用于制造图11至图14中所示的存储装置的方法的平面图和

剖视图；

[0037] 图41A至图44B是示出用于制造图20中所示的存储装置的方法的平面图和剖视图；

[0038] 图45至图46是示出包括根据发明构思的示例性实施例的存储装置的电子装置的框图。

具体实施方式

[0039] 在下文中,将参照附图详细描述发明构思的示例性实施例。

[0040] 在整个说明书中,将理解的是当元件被称作“在”另一元件“上”、“连接到”或“结合到”另一元件时,该元件可以在另一元件上、连接到或结合到另一元件,或者可以存在中间元件。然而,当元件被称作“直接在”另一元件“上”、“直接连接到”或“直接结合到”另一元件时,将理解的是不存在中间元件。相同的附图标记始终用于表示相同或同样的元件。当在此使用时,术语“和/或”包括一个或多个相关列出项的任意和全部组合。

[0041] 另外,虽然在这里可使用诸如“第一”、“第二”的术语来描述各种元件、组件、区域、层和/或部分,但是元件、组件、区域、层和/或部分不应该被这些术语限制。这些术语仅用来将一个元件、组件、区域、层或部分与其它元件、组件、区域、层或部分区分开来。因此,在实施例中被称为第一元件、第一组件、第一区域、第一层或第一部分的元件、组件、区域、层或部分在另一实施例中可以被称为第二元件、第二组件、第二区域、第二层或第二部分。

[0042] 这里可以使用相对术语(诸如“在……下方”、“在……上方”、“上面的”或者“下面的”)来描述附图中示出的一个元件、层或区域与另一元件、层或区域的关系。将理解的是,除了附图中描绘的方位之外,这些术语还意图包括装置的不同方位。例如,如果装置被颠倒,则附图中所示的装置的在第二元件上方的第一元件可以在第二元件下方。

[0043] 如这里使用的,除非上下文清楚地另有表明,否则单数形式的“一”、“一个(种/者)”和“该/所述”也意图包括复数形式。另外,将理解的是,当在此使用术语“包括”和/或其变型时,表明存在所述特征、步骤、操作、元件和/或组件,但是不排除存在或添加一个或多个其它特征、步骤、操作、元件、组件和/或它们的组。

[0044] 在下文中,参照作为发明构思的理想化实施例(和中间结构)的示意性示图的附图来描述示例性实施例。为了清楚起见,可以夸大附图中的层或区域的厚度。此外,预计将出现由例如制造技术和/或公差导致的示出的形状的变化。因此,本发明的实施例不应该被解释为局限于在此示出的区域的具体形状,而将包括例如由制造导致的形状偏差。

[0045] 所有实施例可以以任何方式组合和/或合并。

[0046] 图1是示意性示出根据发明构思的示例性实施例的存储装置10的框图。

[0047] 参照图1,存储装置10包括存储单元阵列20、行解码器30和核心逻辑电路55。核心逻辑电路55可以包括读/写电路40和控制电路50。

[0048] 存储单元阵列20可以包括布置在多个列和行中的多个存储单元。包括于存储单元阵列20中的存储单元可以通过多条字线WL、共源极线CSL、串选择线SSL和地选择线GSL连接到行解码器30,并且可以通过多条位线BL连接到读/写电路40。在示例性实施例中,布置在同一行中的多个存储单元可以连接到同一条字线WL,布置在同一列中的多个存储单元可以连接到同一条位线BL。

[0049] 包括于存储单元阵列20中的存储单元可以被分为多个存储块。每个存储块可以包

括多条字线WL、多条串选择线SSL、多条地选择线GSL、多条位线BL和至少一条共源极线CSL。

[0050] 行解码器30可以从外部源接收地址信息ADDR,并且可以将接收到的地址信息ADDR解码,以从连接到存储单元阵列20的字线WL、共源极线CSL、串选择线SSL和/或地选择线GSL中选择至少一条。

[0051] 读/写电路40可以根据从控制电路50接收的命令来选择连接到存储单元阵列20的位线BL中的至少一条。读/写电路40可以读取存储在与基于从控制电路50接收的命令而选择的位线BL相连接的存储单元中的数据,或者将数据写入到该存储单元中。为了执行前述的操作,读/写电路40可以包括诸如页缓冲器、输入/输出缓冲器和数据锁存器的电路。

[0052] 控制电路50可以响应于从外部源发送的控制信号CTRL来控制行解码器30的操作和读/写电路40的操作。在存储于存储单元阵列20中的数据被读取的情况下,控制电路50可以控制行解码器30以向连接到在其中存储有将被读取的数据的一个或多个存储单元的字线提供用于读取操作的电压。在用于读取操作的电压被提供到特定的字线WL时,控制电路50可以控制读/写电路40而读取存储于与已经提供了用于读取操作的电压的字线WL相连接的存储单元中的数据。

[0053] 在数据将要写入存储单元阵列20的情况下,控制电路50可以控制行解码器30以向连接到将要写入数据的存储单元的特定的字线提供用于写入操作的电压。在用于写入操作的电压被提供到特定的字线WL时,控制电路50可以控制读/写电路40以将数据写入到存储单元中。

[0054] 图2是示出根据发明构思的示例性实施例的存储装置的存储单元阵列的等效电路图。存储装置可以是垂直NAND闪存装置。

[0055] 参照图2,存储单元阵列可以包括多个存储单元串,每个所述存储单元串包括串联连接的存储单元MC1至MCn、地选择晶体管GST和串选择晶体管SST,其中,地选择晶体管位于存储单元MC1至MCn的第一端,串选择晶体管位于串联连接的存储单元MC1至MCn的另一端。

[0056] 每个存储单元串中的存储单元MC1至MCn可以连接到相应的字线WL1至WLn。字线WL1至WLn可以用来选择存储单元MC1至MCn中的相应的存储单元。

[0057] 地选择晶体管GST的栅极端子可以连接到地选择线GSL,地选择晶体管GST的源极端子可以连接到共源极线CSL。串选择晶体管SST的栅极端子可以连接到串选择线SSL,串选择晶体管SST的源极端子可以连接到存储单元MCn的漏极端子。在图2中,每个存储单元串中包括单个地选择晶体管GST和单个串选择晶体管SST。然而,将理解的是,在其它实施例中,每个存储单元串中可以包括多个地选择晶体管GST和/或多个串选择晶体管SST。

[0058] 串选择晶体管SST的漏极端子可以连接到位线BL1至BLm之一。在通过串选择线SSL将信号施加到串选择晶体管SST的栅极端子时,通过位线BL1至BLm施加的信号可以被传送到包括串选择晶体管SST的存储单元串的存储单元MC1至MCn,从而执行数据读取或写入操作。另外,通过借助地选择线GSL将信号施加到地选择晶体管GST的栅极端子,可以执行擦除操作以去除存储在存储单元MC1至MCn中的全部电荷。

[0059] 图3是示出根据发明构思的示例性实施例的存储装置100的平面图。

[0060] 参照图3,存储装置100包括:通道区CH;虚设通道区DCH;多个接触件111至116(110),连接到堆叠在基底上的多个栅电极层,使得多个接触件111至116(110)与虚设通道区DCH相邻;以及基底绝缘层105,设置在虚设通道区DCH和基底之间。在图3的示例性实施例

中,通道区CH、虚设通道区DCH和多个接触件110可以沿Z轴方向延伸,基底的上表面可以对应于X-Y平面,其中X、Y和Z方向彼此垂直。

[0061] 在图3的示例性实施例中,每个虚设通道区DCH的X-Y平面的横截面的直径被示出为大于每个通道区CH的X-Y平面的横截面的直径,但是构造不限于此。即,在其它实施例中,虚设通道区DCH的X-Y平面的横截面的直径可以小于或等于通道区CH的X-Y平面的横截面的直径。连接到接触件110的栅电极层可以沿Z轴方向堆叠在基底的上表面上。

[0062] 可以设置将栅电极层和通道区CH分隔为多个区域的多条共源极线103。分隔绝缘层104可以设置为与每条共源极线103相邻。分隔绝缘层104可以设置在每条共源极线103的相对侧壁中的每个侧壁上。

[0063] 通道区CH可以沿第一方向(X轴方向)和第二方向(Y轴方向)彼此分隔开。通道区CH的数量和设置可以根据示例性实施例而不同。例如,在一些实施例中,通道区CH可以按如图3中所示的之字形图案设置。如图3中所示,第一区中的通道区CH可以与每个相邻区中的通道区CH对称,但是通道区CH的设置不限于此。

[0064] 由共源极线103和分隔绝缘层104所限定的多个区中的每个区可以一起形成存储装置100的单位单元。源区可以沿Z轴方向设置在共源极线103的下方。在预定电压施加到源区时,可以以存储装置100的单位单元为单位执行数据擦除。

[0065] 在下文中,将参照图4和图5进一步描述存储装置100。

[0066] 图4是沿着图3的存储装置100的线Ia-Ia'截取的剖视图,图5是沿着图3的存储装置100的线IIa-IIa'截取的剖视图。

[0067] 存储装置100可以具有外围上单元(COP)结构。参照图4和图5,具有多个栅电极层131至136(可以被统称为栅电极层130)的单元区C和通道区CH可以被设置在具有多个外围电路装置180的外围电路区P上方。外围电路区P可以包括第一基底101,单元区C可以包括第二基底102。第一基底101和第二基底102可以是单独的基底。第一基底101可以是具有第一导电类型(例如,p型)的半导体基底。例如,第一基底可以是包括从由单晶硅层、绝缘体上硅(SOI)晶片、形成在硅锗(SiGe)层上的硅层、形成在绝缘层上的单晶硅层以及形成在绝缘层上的多晶硅层所构成的组中选择的至少一种的半导体基底。

[0068] 在一些实施例中,第一基底101可以是单晶硅基底,第二基底102可以是多晶硅基底。第二基底102可以形成在第一层间绝缘层106上,因此第二基底102可以包括多晶硅。为了提高第二基底102的结晶度,第一基底101的至少部分可以沿Z轴方向延伸以便与第二基底102的下表面相接触,并且第二基底102可以结晶。可选地,可以在第一层间绝缘层106上形成多晶硅区并且可以利用多晶硅区作为种子层来形成第二基底102。用作种子层的多晶硅区可以设置在第一层间绝缘层106的上表面上或者可以设置在第一层间绝缘层106内形成的并沿特定方向延伸的槽图案中。

[0069] 外围电路区P可以包括第一基底101、外围电路装置180和第一层间绝缘层106。在示例性实施例中,外围电路装置180可以包括至少一个平面晶体管。参照图4和图5,至少一个平面晶体管可以具有源/漏区181、栅电极182、栅极分隔膜183和栅极绝缘层184。第一层间绝缘层106可以设置在外围电路装置180上,设置在第一层间绝缘层106内的布线图案185可以连接到栅电极182和/或源/漏区181。第一层间绝缘层106可以包括氧化硅,并且可以包括高沉积等离子体(high deposition plasma,HDP)氧化膜或四乙基正硅酸酯(TEOS)氧化

膜。

[0070] 单元区C可以设置在外围电路区P上。参照图4和图5,在单元区C内,第二基底102可以在外围电路区P的第一层间绝缘层106的上表面上。通道区CH可以沿与第二基底102的上表面垂直的方向(即,Z方向)延伸,栅电极层130可以堆叠在第二基底102的上表面上,从而栅电极层130与通道区CH相邻。在栅电极层130之间可以设置多个绝缘层141至147(140)。栅电极层130可以在第一方向(X轴方向)上具有不同的长度,从而形成阶梯结构。在设置成阶梯结构的区域中,栅电极层131-136可以连接到相应的接触件111-116。第二层间绝缘层107可以设置在多个栅电极层130上。第二层间绝缘层107可以包括氧化硅,并且可以包括高沉积等离子体(HDP)氧化膜或四乙基正硅酸酯(TEOS)氧化膜。

[0071] 每个通道区CH可以包括通道层170、设置在通道层170和栅电极层130之间的栅极绝缘层160、设置在通道层170内的嵌入的绝缘层173、以及设置在通道层170和绝缘层173下方的外延图案171。通道层170可以具有环形形状,嵌入的绝缘层173可以填充在环形的通道层170内的空间。在示例性实施例中,通道层170可以具有诸如圆柱形或棱柱形的柱形状。虽然图中未示出,但是每个通道区CH可以具有倾斜的侧面,使得通道区CH的宽度在朝向第二基底102的上表面的方向(Z方向)上减小。漏区175设置在每个通道区CH的顶表面上。漏区175可以包括掺杂的多晶硅。

[0072] 通道层170可以与相应的外延图案171竖直地叠置。这里,如果与由基底的顶表面限定的平面垂直的线将第一结构和第二结构两者二等分,则形成在下面的基底上的第一结构与形成在基底上的第二结构“竖直地叠置”。外延图案171可以在相应的通道层170下面对齐,以使每个外延图案的纵轴与相应的一个通道层170的纵轴对齐。

[0073] 每个通道层170可以通过外延图案171电连接到第二基底102。每个通道层170可以包括诸如多晶硅或单晶硅的半导体材料,包括于通道层170的半导体材料可以是未掺杂的材料或者可以掺杂有p型或n型的杂质。外延图案171可以通过选择性外延生长(SEG)来形成。这里,外延图案171可以被统称为外延层171。

[0074] 在示例性实施例中,虚设通道区DCH可以位于与栅电极层131-136中的各栅电极层的端部相邻的位置。具体地说,如图5中所示,每个虚设通道区DCH可以与栅电极层130之一的一端(即,图5的示意图中的左端)相邻。随着栅电极层130的数量增加,栅电极层130中的下面的栅电极层的长度也会增大。在远离通道区CH的区域中,由于栅电极层130的长度增大,栅电极层130得不到结构上的支撑,存在栅电极层130将被弯曲或损坏的几率。在示例性实施例中,因为与栅电极层130的远离通道区CH的端部相邻地设置虚设通道区DCH,所以虚设通道区DCH可以支撑栅电极层130,降低栅电极层130可能被弯曲或损坏的几率。然而,发明构思不限于虚设通道区DCH直接地接触各栅电极层130的端部的构造。

[0075] 基底绝缘图案105可以设置在每个虚设通道区DCH的下方。每个基底绝缘图案105可以包括氧化硅或另一绝缘材料,并且与第一层间绝缘层106和第二层间绝缘层107类似,基底绝缘图案105可以包括HDP氧化膜或TEOS氧化膜。因为基底绝缘图案105覆盖各个虚设通道区DCH的下表面和侧面的下部,所以与通道区CH不同的是,在虚设通道区DCH中不会发生选择性外延生长(SEG),不会形成外延图案171。因此,可以避免在制造过程中未按期望控制外延图案171致使与地选择晶体管GST对应的栅电极层131电连接到其它栅电极层132至136的问题。在图5中所示的示例性实施例中,示出每个基底绝缘图案105的厚度大于第二基

底102的厚度,但是发明构思不限于此。这里,可以将基底绝缘图案105统称为基底绝缘层105。虚设通道区DCH可以与相应的基底绝缘图案105竖直地叠置。

[0076] 参照图4和图5,栅电极层130和绝缘层140可以沿着Z轴方向交替地堆叠。栅电极层130可以与通道区CH相邻,并且可以形成地选择晶体管GST的栅电极、存储单元晶体管MC1至MCn的栅电极和串选择晶体管SST的栅电极。栅电极层132-135可以形成字线WL1至WLn,并且可以共同连接到在第一方向(X轴方向)和第二方向(Y轴方向)上以预定单位布置的相邻存储单元串。虽然图4至图5中示出了共六个栅电极层131-136,但是可以设置其它数量的栅电极层130。例如,在示例性实施例中,形成存储单元晶体管MC1至MCn的栅电极层130的总数可以是 2^N (其中,N为自然数)。

[0077] 地选择晶体管GST的栅电极层131可以连接到地选择线GSL。在图4和图5中,示出了串选择晶体管SST的单个栅电极层136和地选择晶体管GST的单个栅电极层131,但将理解的是,可以在每个存储单元串中提供多于一个串选择晶体管SST和/或多于一个地选择晶体管GST。对应于地选择晶体管GST的栅电极层131和对应于串选择晶体管SST的栅电极层136可以具有与对应于存储单元晶体管MC1至MCn的栅电极层132-135的结构不同的结构。

[0078] 栅电极层130可以包括多晶硅或金属硅化物材料。金属硅化物材料可以从例如,钴(Co)、镍(Ni)、钪(Hf)、铂(Pt)、钨(W)和钛(Ti)中选择。在示例性实施例中,栅电极层130可包括诸如钨(W)的金属。栅电极层130还可包括扩散阻挡件。例如,扩散阻挡件可以包括氮化钨(WN)、氮化钽(TaN)和氮化钛(TiN)中的至少一种。

[0079] 栅电极层130可以在Z轴方向上与绝缘层140交替地堆叠。与栅电极层130类似,绝缘层140可以通过分隔绝缘层104与其它绝缘层140沿Y轴方向分隔开,绝缘层140可以随着与第二基底102距离的增加具有沿X轴减小的长度以使绝缘层140形成阶梯结构。绝缘层140可以包括诸如氧化硅或氮化硅的绝缘材料。

[0080] 栅极绝缘层160可以设置在各栅电极层132-136与通道层170之间,并设置在外延图案171和栅电极层131之间。栅极绝缘层160可以包括顺序地堆叠在通道层170和每个栅电极层130之间的阻挡层162、电荷存储层164和隧穿层166。阻挡层162可以包括高介电常数材料。这里,高介电常数材料指介电常数比氧化硅的介电常数高的介电材料。隧穿层166可以是被构造为经由福勒-诺德海姆(Fowler-Nordheim,F-N)隧穿将电荷隧穿到电荷存储层164的层。例如,隧穿层166可以包括氧化硅。电荷存储层164可以是电荷捕获层或浮栅导电层。例如,电荷存储层164可以包括介电材料,量子点或纳米晶。量子点或纳米晶可以由诸如细金属颗粒的导体或半导体形成。

[0081] 图6是示出图3中所示的存储装置100的区域“A”的透视图。

[0082] 参照图4、图5和图6,存储装置100可以具有单元区C设置在外围电路区P上的COP结构。基底绝缘层105可以设置在作为用于形成单元区C的半导体基底的第二基底102的一部分中。基底绝缘层105可以包括氧化硅等。

[0083] 基底绝缘层105可以设置在第二基底102的位于虚设通道区DCH下面的部分中。因此,虚设通道区DCH可以直接地接触基底绝缘层105,并且不会直接接触第二基底102。因此,与通道区CH不同的是,在形成外延层171期间,虚设通道区DCH的下部中将不发生选择性外延生长(SEG)。

[0084] 在存储装置100的制造工艺期间,为了形成栅电极层130,可以沿Z轴方向交替地堆

叠绝缘层140和牺牲层(在图3至图6中未示出)以在第二基底102上形成模具,然后,可以通过为共源极线103和分隔绝缘层104形成的开口选择性地去除牺牲层。可以在形成虚设通道区DCH和通道区CH之后去除牺牲层。

[0085] 如果在虚设通道区DCH的下部中形成外延图案171,则会难以控制外延图案171的高度,因此,在去除牺牲层时,可能会去除掉包括在虚设通道区DCH中的栅极绝缘层160(例如,电荷存储层164)的一部分。如果发生这种情况,则在去除牺牲层之后,当在由牺牲层的去除而创造的开口中注入导电材料(诸如多晶硅、金属或金属硅化物材料)以形成栅电极层130时,导电材料还会被引入到栅极绝缘层160的一部分已经被去除的区域,并且该导电材料会使栅电极层130的中间部分电连接。然而,在示例性实施例中,因为在虚设通道区DCH下方设置了基底绝缘图案105,使得虚设通道区DCH中不包括外延图案171,所以可以减少或防止前述问题。

[0086] 图7是示出根据发明构思的另一示例性实施例的存储装置200的平面图。

[0087] 参照图7,存储装置200可以包括单元区C和外围电路区P。单元区C和外围电路区P可以沿第一方向(X轴方向)彼此相邻,并且可以是在单个的基底201上限定的区域。以具有源/漏区281和栅电极282的平面晶体管形式的多个外围电路装置280可以设置在外围电路区P中。

[0088] 通道区CH、虚设通道区DCH、共源极线203、分隔绝缘层204和多个接触件211至216(210)可以设置在单元区C中。通道区CH和虚设通道区DCH可以垂直地贯穿堆叠在基底201的上表面(X-Y平面)上的多个栅电极层的至少一部分(见图8和图9)。接触件211-216可以连接到多个栅电极层中的相应的栅电极层。栅电极层可以被共源极线203和分隔绝缘层204分为多个单位单元区。

[0089] 在图7中所示的示例性实施例中,可以提供设置在虚设通道区DCH和基底201之间的多个基底绝缘图案205。基底绝缘图案205在此可以统称为基底绝缘层205。每个基底绝缘图案205可以沿Y轴方向延伸。每个基底绝缘图案205可以对应于多个虚设通道区DCH。在下文中,将参照图8至图10进一步详细描述存储装置200的结构。

[0090] 图8是沿着图7的存储装置的线Ib-Ib'截取的剖视图,图9是沿着图7的存储装置的线IIb-IIb'截取的剖视图,图10是示出图7的存储装置的区域“B”的透视图。

[0091] 参照图8,多个栅电极层231至236(230)和多个绝缘层241至247(240)可以在基底201的上表面上沿着Z轴方向交替地堆叠。栅电极层230可以沿第一方向(X轴方向)具有不同的长度以形成阶梯结构,在形成阶梯结构的区域中,栅电极层230可以连接到相应的接触件210。绝缘层240可以同与其相邻的相应栅电极层230沿第一方向(X轴方向)延伸相同的长度。

[0092] 设置在外围电路区P中的外围电路装置280可以是平面晶体管,并且可以包括源/漏区281、栅电极282、栅极分隔膜283和栅极绝缘层284。隔离膜286可以形成在相邻的外围电路装置280之间和/或外围电路装置280与栅电极层230之间。

[0093] 通道区CH可以贯穿栅电极层230。每个通道区可包括通道层270,该通道层270沿Z轴方向延伸并且以栅极绝缘层260介于通道层270和栅电极层230之间的方式与栅电极层230相邻。具体地说,栅极绝缘层260可以设置在每个栅电极层232-236和通道层270之间。栅极绝缘层260可以包括阻挡层262、电荷存储层264和隧穿层266。通道层270的内部空间可以

由嵌入的绝缘层273来填充。外延图案271可以形成每个通道区CH的下部。栅极绝缘层260还可以位于每个外延图案271和栅电极层231之间。漏区275可以设置在每个通道区CH的相对端上。

[0094] 参照图9,虚设通道区DCH可以与栅电极层230的相应端相邻。与通道区CH类似,虚设通道区DCH可以包括通道层270和嵌入的绝缘层273。漏区275可以形成在每个虚设通道区DCH的上表面上。然而,虚设通道区DCH不包括外延图案271。包括氧化硅等的基底绝缘图案205可以设置在每个虚设通道区DCH的下面。

[0095] 每个基底绝缘图案205可以位于相应的虚设通道区DCH和基底201之间,并且可以防止通过选择性外延生长在相应的虚设通道区DCH的下部中形成外延图案271。因此,在形成虚设通道区DCH之后形成栅电极层230时可避免可能在一些栅电极层230和通道区CH之间发生的短路现象,并且可以改善连接到地选择线GSL的栅电极层231的击穿电压(BV)特性。

[0096] 根据示例性实施例,基底绝缘图案205可以在基底201内沿着特定方向延伸。参照图7和图10,基底绝缘图案205可以在基底201内沿着Y轴方向延伸。因此,两个虚设通道区DCH可以与每个基底绝缘图案205对应。也就是说,可以在两个虚设通道区DCH与基底201之间设置一个基底绝缘图案205。

[0097] 图11是示出根据发明构思的又一示例性实施例的存储装置300的平面图。

[0098] 参照图11,存储装置300可以包括通道区CH、与通道区CH分开设置的虚设通道区DCH、连接到多个栅电极层的多个接触件311至316(310)以及将栅电极层分为多个单元单元区的分隔绝缘层304和共源极线303。栅电极层可以沿第一方向(X轴方向)以不同的长度延伸,并且可以物理地和/或电学地连接到相应的接触件310。在示例性实施例中,基底绝缘图案305可以设置在相应的虚设通道区DCH的下方,因此,形成通道区CH的下部的外延图案371可以不包括在虚设通道区DCH中。

[0099] 图12是沿着图11的线Ic-Ic'截取的存储装置300的剖视图,图13是沿着图11的线IIc-IIc'截取的存储装置300的剖视图,图14是示出图11中所示的存储装置300的区域“C”的透视图。

[0100] 参照图12,存储装置300可以具有单元区C设置在外围电路区P上的外围上单元(COP)结构。外围电路区P可以包括第一基底301和多个外围电路装置380,第一层间绝缘层306可以设置在第一基底301上。外围电路装置380可以包括平面晶体管,其中,所述平面晶体管包括源/漏区381、栅电极层382、栅极分隔膜383和栅极绝缘层384,并且可以电连接到布线图案385。

[0101] 第二基底302可以设置在第一层间绝缘层306的上表面上。第二基底302可以包括可直接地接触第一层间绝缘层306的上表面的第一层302a和设置在第一层302a的上表面上的第二层302b。第一层302a可以设置为用于形成第二层302b的种子层。在示例性实施例中,可以利用第一层302a作为种子层通过外延生长来形成第二层302b。

[0102] 第一层302a可以是利用乙硅烷(Si_2H_6)作为硅源而形成的硅层,具体地说,第一层302a可以包括大晶粒的多晶硅。包括于第一层302a中的晶粒的平均直径可以大于第一层302a的厚度。例如,包括于第一层302a的晶粒的平均直径可以是几微米至几十微米。第二层302b可以利用第一层302a作为种子层通过选择性外延生长来形成。与第一层302a类似,第二层302b可以包括多晶硅,包括在第二层302b中的多晶硅晶粒的平均尺寸(例如,平均直

径)可以大于包括在第一层302a的多晶硅晶粒的尺寸。因此,相比于第一层302a,第二层302b可以具有相对少的缺陷。

[0103] 第二层302b可以沿Z轴方向比第一层302a厚。在单元区中,可以在第二基底302内形成袋式P阱(pocket P-well),这里,袋式P阱可以仅形成在第二层302b中而不形成在第一层302a中。因此,第二层302b可以生长为具有足够用于形成袋式P阱的厚度。

[0104] 单元区C可以包括多个栅电极层331至336(330)和多个绝缘层341至347(340)。栅电极层330和绝缘层340可以沿Z轴方向交替地堆叠在第二基底302上。栅电极层330和绝缘层340可以沿第一方向(X轴方向)以不同长度延伸以形成阶梯结构。在形成阶梯结构的区域中,接触件310可以连接到相应的栅电极层330。

[0105] 每个通道区CH可以包括通道层370、嵌入的绝缘层373以及外延图案371。漏区375可设置在每个通道区CH上方。漏区375可包括多晶硅。多晶硅可以掺杂有杂质,或可以不掺杂有杂质。外延图案371可以从第二基底302通过选择性外延生长来生长。栅极绝缘层360可以设置在每个通道层370和栅电极层332~336之间以及每个外延图案371和栅电极层331之间。每个栅极绝缘层360可以包括阻挡层362、电荷存储层364和隧穿层366。阻挡层362可以围绕栅电极层330。

[0106] 参照图13,虚设通道区DCH可以被设置为与栅电极层330的第一端相邻。与通道区CH类似,虚设通道区DCH可以包括通道层370和嵌入的绝缘层373。漏区375可以设置在每个虚设通道区DCH的上方。然而,外延图案371不包括于虚设通道区DCH中。包括氧化硅等的基底绝缘图案305可以设置在每个虚设通道区DCH和第二基底302之间。这里,基底绝缘图案305可被统称为基底绝缘层305。

[0107] 基底绝缘图案305可以防止通过选择性外延生长在虚设通道区DCH中形成外延图案371。因此,即使在形成虚设通道区DCH之后形成栅电极层330也可避免可能在一些栅电极层330和通道区CH之间发生的短路现象,并且可以改善连接到地选择线GSL的栅电极层331的击穿电压(BV)特性。

[0108] 根据示例性实施例,每个基底绝缘图案305可以在基底302内沿着特定方向延伸。参照图11至图14,每个基底绝缘图案305可以在基底302内沿着X轴方向延伸。因此,多个虚设通道区DCH可以与每个基底绝缘图案305对应。例如,如图13和图14中所示,五个虚设通道区DCG可以对应于一个基底绝缘图案305。换言之,一个基底绝缘图案305可以围绕五个虚设通道区DCH的下部。

[0109] 图15是示出根据发明构思的再一示例性实施例的存储装置400的平面图。

[0110] 参照图15,存储装置400可以包括单元区C和外围电路区P。单元区C和外围电路区P可以沿第一方向(X轴方向)彼此相邻,并且可以是在单个的基底401中限定的区域。具有源/漏区481和平面栅电极482的多个外围电路装置480可以设置在外围电路区P中。

[0111] 通道区CH、虚设通道区DCH、共源极线403、分隔绝缘层404和多个接触件411至416(410)可以设置在单元区C中。通道区CH和虚设通道区DCH可以沿Z轴方向贯穿堆叠在基底401的上表面(X-Y平面)上的多个栅电极层中的至少一些,接触件410可以连接到相应的栅电极层。栅电极层可以被共源极线403和分隔绝缘层404分为多个单位单元区。

[0112] 基底绝缘图案405可以设置在虚设通道区DCH和基底401之间以覆盖虚设通道区DCH的下部。这里,基底绝缘图案405可被统称为基底绝缘层405。在图15的示例性实施例中,

示出了每单位单元区设置一个基底绝缘图案405,但还可以不同地形成基底绝缘图案405。例如,每单位单元区可设置两个或更多个基底绝缘图案405。

[0113] 在下文中,将参照图6至图18描述存储装置400。

[0114] 图16是沿着图15的线Id-Id'截取的存储装置400的剖视图,图17是沿着图15的线IIId-IIId'截取的存储装置400的剖视图,图18是示出图15中所示的存储装置400的区域“D”的透视图。

[0115] 参照图16,多个栅电极层431至436(430)和多个绝缘层441至447(440)可以沿Z轴方向交替地堆叠在基底401的上表面上。栅电极层430可以沿第一方向(X轴方向)以不同的长度延伸以形成阶梯结构,在形成阶梯结构的区域中,栅电极层430可以连接到相应的接触件410。绝缘层440可以同与其相邻的栅电极层430沿第一方向(X轴方向)延伸相同的长度。

[0116] 每个通道区CH可以包括通道层470、嵌入的绝缘层473以及外延图案471。漏区475可以设置在每个通道区CH的上方,其中,该漏区475可以与上述的漏区375相同。栅极绝缘层460可以设置在每个通道层470和栅电极层432~436之间以及每个外延图案471和栅电极层431之间。每个栅极绝缘层460可以包括阻挡层462、电荷存储层464和隧穿层466。

[0117] 设置在外围电路区P中的外围电路装置480可以是平面晶体管,并且可以包括源/漏区481、栅电极482、栅极分隔膜483和栅极绝缘层484。可以设置多个外围电路装置480,隔离膜486可以形成在相邻的外围电路装置480之间和/或外围电路装置480和栅电极层430之间。

[0118] 参照图17,虚设通道区DCH可以设置在通道区CH和外围电路装置480之间。每个虚设通道区DCH可以包括通道层470和嵌入的绝缘层473。漏区475可以设置在每个虚设通道区DCH的顶表面上。然而,虚设通道区DCH不包括外延图案471。相反,具有绝缘性质的基底绝缘图案405可以设置在每个虚设通道区DCH和基底401之间。每个基底绝缘图案405覆盖多个虚设通道区DCH的下表面和侧面的下部。这里,基底绝缘图案405可被统称为基底绝缘层405。

[0119] 基底绝缘图案405可以设置在相应的虚设通道区DCH和基底401之间并且可以防止在选择性外延生长工艺期间在虚设通道区DCH中形成外延图案471。因此,即使在形成虚设沟道区DCH之后形成栅电极层430,也可以避免可能在一些栅电极层430和虚设沟道区DCH之间发生的短路现象,并且可以改善连接到地选择线GSL的栅电极层431的击穿电压(BV)特性。

[0120] 根据示例性实施例,每个基底绝缘图案405可以围绕(覆盖)相应的虚设通道区DCH的底部。参照图15至图18,每单位单元区可以设置一个基底绝缘图案405,并且可以围绕(覆盖)十个虚设通道区DCH。如图18的透视图所示,通过切割区暴露的基底绝缘图案405可以围绕包括于一个单位单元区中的全部虚设通道DCH。

[0121] 图19A是示出根据发明构思的再一示例性实施例的存储装置500的平面图。图19B是沿着图19A的线Ie-Ie'截取的存储装置500的剖视图。

[0122] 参照图19A,存储装置500可以具有单元区C设置在外围电路区P上的外围上单元(COP)结构。存储装置500可包括以之字形图案设置在X-Y平面中的通道区CH、与通道区CH分开设置的虚设通道区DCH1和DCH2、电连接到多个栅电极层中的相应栅电极层的多个接触件511至516(510)以及将多个栅电极层划分成多个区域的共源极线503和分隔绝缘层504。通道区CH(包括外延区571)、栅极绝缘层560和漏区575的结构与以上描述的通道区CH、栅极绝

缘层160和漏区175的结构相同,因此将大部分地省略其进一步的描述。

[0123] 在图19A中所示的示例性实施例中,基底绝缘图案505可以设置在多个虚设通道区DCH1下方。参照图19A,一些基底绝缘图案505可以围绕四个虚设通道区DCH1,其它基底绝缘图案505可以围绕六个虚设通道区DCH2。即,与其它的基底绝缘图案505相比,一些基底绝缘图案505可以具有不同的形状或体积。

[0124] 在图19A中所示的示例性实施例中,虚设通道区包括第一虚设通道区DCH1和第二虚设通道区DCH2。第一虚设通道区DCH1可与栅电极层的远离通道区的第一端相邻。第二虚设通道区DCH2可以与通道区CH相邻。第二虚设通道区DCH2的结构可以与通道区CH的结构相同,并且可以连接到基底。然而,第二虚设通道区DCH2的上部可以不连接到位线。

[0125] 参照图19B,通道区CH包括外延图案571。第一虚设通道区DCH1可以与栅电极层531至536 (530) 的第一端相邻,其中,栅电极层530的所述第一端是远离通道区CH的端部。第一虚设通道区DCH1可以包括通道层570和嵌入的绝缘层573。漏区575可以被设置在每个虚设通道区DCH的上表面上。然而,第一虚设通道区DCH1不包括外延图案571。基底绝缘图案505设置在第一虚设通道区DCH1和下层基底502之间。基底绝缘图案505可以防止在第一虚设通道区DCH1中形成外延图案571。

[0126] 相反,各第二虚设通道区DCH2的下部中可以包括外延图案571。第二虚设通道区DCH2的结构可以与通道区CH的结构相同。然而,设置在每个第二虚设通道区DCH2上方的漏区575可以不连接到位线。

[0127] 参照图20,根据发明构思的另一示例性实施例的存储装置600可以包括以之字形图案设置在X-Y平面中的通道区CH、与通道区CH分开设置的虚设通道区DCH、电连接到多个栅电极层中的相应的栅电极层的多个接触件611至616 (610) 以及将栅电极层分为多个区域的共源极线603和分隔绝缘层604。存储装置600的结构可以与上面参照图3至图6描述的存储装置100相同。

[0128] 然而,与上述的用来形成存储装置100、200、300、400和500的制造工艺相比,可以通过不同的制造工艺来形成参照图20描述的存储装置600。例如,在图3至图6中所示的存储装置100的情况下,可以通过去除第二基底102的部分并且在第二基底102上形成栅电极层130和绝缘层140之前用绝缘材料填充对应的开口来形成基底绝缘图案105。

[0129] 相反,在图20中所示的存储装置600中,可以在基底上形成栅电极层和绝缘层,然后可以形成用于虚设通道区DCH和通道区CH的开口,所述开口沿Z方向延伸穿过栅电极层和绝缘层。然后通过开口使基底氧化以形成基底绝缘层605。因此,每个基底绝缘图案605可以在X-Y平面中具有圆形或椭圆形的截面形状。在下文中,将详细描述图20中所示的存储装置600的制造方法。

[0130] 图21是示出根据发明构思的另一示例性实施例的存储装置700的剖视图。

[0131] 参照图21,存储装置700可以具有外围电路区P设置在单元区C上的POC结构。即,单元区C可设置在外围电路区P下方。单元区C可以包括第一基底701、沿Z轴方向交替堆叠在第一基底701上的多个栅电极层731至736 (730) 和多个绝缘层741至747 (740)、沿与第一基底701的上表面垂直的方向延伸的通道区CH和虚设通道区DCH以及第一层间绝缘层706。

[0132] 基底绝缘图案705可以设置在虚设通道区DCH下方。因此,形成在通道区CH的下部中的外延图案771可以不形成在虚设通道区DCH中。虚设通道区DCH和通道区CH可以均包括

通道层770和嵌入的绝缘层773,通道区CH还可以包括外延图案771。漏区775可以设置在每个通道区CH的顶表面上和每个虚设通道区DCH的顶表面上。然而,虚设通道区DCH上的漏区775可以不连接到位线。

[0133] 在单元区C中,还可以设置中间绝缘层708,外围电路区P可以设置在中间绝缘层708上。中间绝缘层708可以包括多个布线图案780、785,这些布线图案可以包括通过接触件连接到栅电极层730的字线和连接到通道区CH上的漏区775的位线。

[0134] 外围电路区P可以包括第二基底702、设置在第二基底702上的多个外围电路装置780以及第二层间绝缘层707。外围电路装置780可以是平面晶体管,并且可以包括源/漏区781、栅电极层782、栅极分隔膜783和栅极绝缘层784。源/漏区781和栅电极层782可以连接到第二层间绝缘层707内的至少一个布线图案785。

[0135] 图22A至图33B是示出用于制造图3至图6中所示的存储装置100的方法的平面图和剖视图。图22B至图33B分别是沿着图22A至图33A的线IIa-IIa'截取的剖视图。

[0136] 首先,参照图22A和图22B,可以在外围电路区P上设置第二基底102。外围电路区P可以包括第一基底101,外围电路装置180和第一层间绝缘层106可以设置在第一基底101上。第二基底102可以设置在第一层间绝缘层106上。第一基底101可以是单晶硅基底,第二基底102可以是多晶硅基底。

[0137] 接下来,参照图23A和图23B,可以在第二基底102中形成多个凹进R。可以通过在第二基底102的上表面上设置掩模来形成凹进R,其中,所述掩模具有暴露与凹进R对应的区域的开口,然后,再利用该掩模作为蚀刻掩模来蚀刻第二基底102。凹进R的大小和形状可以进行各种修改。凹进R可以位于第二基底102的将要形成虚设通道区DCH的区域处。参照图23B,示出了每个凹进R的深度d可以大于第二基底102的厚度t,但是深度d和厚度t可以不限于此。

[0138] 参照图24A和图24B,可以在其中形成了凹进R的第二基底102上形成绝缘材料109。绝缘材料109可以填充凹进R,并且可以覆盖第二基底102的上表面的至少一部分。在此之后,可以执行诸如化学机械抛光(CMP)等的抛光方法以去除绝缘材料109的上部。如图25A和25B中所示,通过去除绝缘材料109的上部,可以形成多个基底绝缘图案105。可以在抛光步骤期间去除第二基底102的上部以使基底绝缘图案105的上表面可以与第二基底102的上表面共平面。

[0139] 参照图26A和图26B,可以形成牺牲层121至126(120)和绝缘层141至147(140),其中,所述牺牲层和绝缘层沿Z轴方向交替堆叠在第二基底102和基底绝缘图案105上。可以由相对于绝缘层140可具有高蚀刻选择性的材料来形成牺牲层120。可以通过牺牲层120的蚀刻率与绝缘层140的蚀刻率的比来定量地表达这种蚀刻选择性。例如,绝缘层140可以是氧化硅膜和氮化硅膜中的至少一种,牺牲层120可以是硅膜、氧化硅膜、碳化硅膜和氮化硅膜中选择的与绝缘层140的材料不同的材料。例如,如果绝缘层140是氧化硅膜,则牺牲层120可以是氮化硅膜。

[0140] 参照图27A和图27B,然后,可以蚀刻牺牲层120和绝缘层140以具有如图27A和图27B中所示的阶梯结构。为了蚀刻交替堆叠的牺牲层120和绝缘层140以形成阶梯结构,可以在牺牲层120和绝缘层140上形成一系列掩模层,可以蚀刻通过每个掩模层暴露的牺牲层120和绝缘层140。通过在每个后续的蚀刻步骤中进一步修整掩模层的同时顺序地蚀刻牺牲

层120和绝缘层140,可以形成图27B中所示的阶梯结构。

[0141] 在示例性实施例中,每个绝缘层140和每个牺牲层120可形成对,每对中包括的绝缘层140和牺牲层120可沿X轴方向具有相同长度。另外,绝缘层141可以设置在沿Z轴方向布置在最下部的牺牲层121下方,并且可以延伸到具有与最下面的牺牲层121的长度相同的长度。

[0142] 参照图28A和图28B,可以穿过牺牲层120和绝缘层140形成多个通道开口H1和H2。第一通道开口H1可以是形成通道区CH的区域,第二通道开口H2可以是形成虚设通道区DCH的区域。第二通道开口H2可以在形成阶梯结构的区域中与以上对应的基底绝缘层105竖直地对齐。即,可以通过第二通道开口H2暴露基底绝缘图案105的一部分。第一通道开口H1可以具有足够的深度使得第一通道开口H1贯穿第二基底102的一部分,因此,每个第一通道开口H1可以暴露第二基底102的一部分。在形成第一通道开口H1和第二通道开口H2之前,可以在牺牲层120和绝缘层140上形成第二层间绝缘层107。

[0143] 随后,参照图29A和图29B,可以通过执行选择性外延生长(SEG)来形成外延层171。可以利用第二基底102的暴露区作为种子来执行选择性外延生长。因为第一通道开口H1暴露第二基底102的一部分,所以在每个第一通道开口H1的下部中形成外延图案171。然而,由于在每个第二通道开口H2的下部中暴露基底绝缘层105,而不暴露第二基底102,所以在第二通道开口H2内不会发生选择性外延生长。因此,仅在第一通道开口H1内形成外延图案171。

[0144] 然后,参照图30A和图30B,可以通过在第一通道开口H1和第二通道开口H2的每个中形成通道层170和嵌入的绝缘层173来形成通道区CH的剩余部分和虚设通道区DCH。在形成通道层170之前,可以通过利用原子层沉积(ALD)或CVD在多个通道开口H1和H2中的每个的内表面和下表面上形成电荷存储层164和隧穿层166。这里,电荷存储层164和隧穿层166顺序地设置在通道开口H1和H2中的每个的内表面和下表面上,与牺牲层120和绝缘层140相邻,并且可以在隧穿层166的内侧上形成通道层170。通道层170可以形成为具有预定的厚度,例如,多个通道开口H1和H2中的每个的宽度的1/50至1/5的厚度,并且也可以通过ALD或CVD来形成。

[0145] 可以用嵌入的绝缘层173来填充通道层170的内部。在形成嵌入的绝缘层173之前,可选地,可以执行氢退火以在包括氢或重氢的气体气氛下对包括通道层170的结构进行热处理。通过氢退火处理,可以消除(弥合)通道层170内存在的绝大部分晶体缺陷。在此之后,可以在通道层170上由诸如多晶硅等的导电材料形成漏区175。

[0146] 如上参考图29A和29B所述,在形成虚设通道区DCH的第二通道开口H2内不会发生选择性外延生长。因此,如图30B中所示,在虚设通道区DCH中,通道层170、嵌入的绝缘层173、电荷存储层164和隧穿层166可以与相应的基底绝缘图案105直接接触。

[0147] 在此之后,参照图31A,可以穿过装置形成多个垂直开口Tv。垂直开口Tv可以是将要形成共源极线103和分隔绝缘层104的区域。参照图31B,可以由通过垂直开口Tv引入的蚀刻剂来选择性地去除牺牲层120。通过去除牺牲层120,可以在绝缘层140之间设置多个水平开口Th,可以通过水平开口Th暴露电荷存储层164的侧表面的部分。在形成垂直开口Tv之前,可以在漏区175上形成绝缘层以在蚀刻工艺期间保护通道层170。

[0148] 参照图32A和图32B,可以在相应的水平开口Th内形成多个栅电极层131至136

(130)。在形成栅电极层130之前,可以首先在水平开口Th的内侧壁上形成阻挡层162。栅电极层130可包括例如金属、多晶硅或金属硅化物材料。金属硅化物材料可以是例如从钴(Co)、镍(Ni)、铪(Hf)、铂(Pt)、钨(W)和钛(Ti)中选择的金属的硅化物材料,或它们的组合。在由金属硅化物材料形成栅电极层130的情况下,可通过在侧开口中嵌入硅(Si)、形成单独的金属层并且随后在其上执行硅化工艺来形成栅电极层130。

[0149] 如果不存在基底绝缘图案105,取而代之的是每个虚设通道区DCH包括相应的外延图案171,那么当通过经由垂直开口Tv引入蚀刻剂来形成水平开口Th时,会出现问题。具体地讲,如果不设置基底绝缘图案105,则每个虚设通道区DCH可以包括在选择性外延生长工艺(用于形成通道区CH中包括的外延图案171)期间形成的外延图案171,可以通过虚设通道区DCH的横截面积来确定设置在虚设通道区DCH中的外延图案171的高度。例如,如果虚设通道区DCH的横截面积大于通道区CH的横截面积,则虚设通道区DCH中的外延图案171的高度可以低于通道区CH中的外延图案171的高度。相反,如果虚设通道区DCH的横截面积小于通道区CH的横截面积,那么虚设通道区DCH中的外延图案171的高度可以高于在通道区CH中形成的外延图案171的高度。

[0150] 如果没有把虚设通道区DCH中的外延图案171的高度适当地控制为期望的值,那么存在于虚设通道区DCH内的电荷存储层164会在用于形成水平开口Th的蚀刻步骤期间与牺牲层120一起去除。然后,在执行用来形成栅电极层130的后续工艺中,用作地选择晶体管GST的栅电极的最下面的栅电极层131会电连接到其它栅电极层132至136。

[0151] 在示例性实施例中,通过形成基底绝缘图案105,可以抑制虚设通道区DCH中的外延图案171的选择性外延生长。因此,在执行蚀刻以形成水平开口Th时,电荷存储层164不会被去除,并且可以将栅电极层130彼此电隔离。另外,因为在虚设通道区DCH中不包括外延图案171,所以仅需要适当地控制通道区CH中包括的外延图案171的高度,并且因为减小了设置在最下面的栅电极层131和设置在其上的栅电极层132之间的绝缘层142的厚度,所以可以减小存储装置100的整体高度。

[0152] 参照图33A和图33B,可以在形成了阶梯结构的区域中形成接触件111至116(110)。可以通过沿Z轴方向选择性地蚀刻阶梯结构以形成多个开口来形成接触件110,开口可以用导电材料来填充。因为高宽比高,所以接触件110具有其宽度沿Z轴方向朝第二基底102减小的锥形结构。

[0153] 在此之后,接触件110可以连接到字线,通道区CH可以通过漏区175连接到位线。虚设通道区DCH可以不连接到位线。

[0154] 图34A至图36B是示出用于制造图7至图10中所示的存储装置200的方法的平面图和剖视图。

[0155] 参照图34A和图34B,可以在限定在第二基底201上的外围电路区P中形成多个外围电路装置280。多个外围电路装置280可以是平面半导体装置并且可以包括源/漏区281、栅电极层282、栅极分隔膜283以及栅极绝缘层284。可以在外围电路装置280的边界中形成隔离膜286。

[0156] 参照图35A和图35B,可以在基底201中形成多个凹进R。可以通过利用蚀刻掩模来蚀刻基底201而形成凹进R,其中,所述蚀刻掩模具有使基底201的将要形成凹进R的区域暴露的开口。凹进R的大小和形状可以进行各种修改。凹进R可以形成在基底201的区域中,该

区域位于装置的将要形成虚设通道区DCH的区域下方。

[0157] 在凹进R形成之后,可以用绝缘材料来填充凹进R以形成基底绝缘图案205。具体地说,可以按上述参照图24A至25B的描述的方式形成基底绝缘图案205。在形成基底绝缘图案205之后,如图36A和36B中所示,可以在基底201和基底绝缘图案205的上表面上形成牺牲层221至226 (220) 和绝缘层241至247 (240)。可以将牺牲层220和绝缘层240形成为具有阶梯结构。用于制造存储装置200的后续工艺与以上参照图28A至图33B描述的工艺类似,因此其描述将不在此重复。

[0158] 图37A至图40B是示出用于制造图11至图14的存储装置300的方法的平面图和剖视图。

[0159] 参照图37A和图37B,可以在外围电路区P上形成第二基底302的第一层302a。外围电路区P可以包括第一基底301以及形成在第一基底301上的多个外围电路装置380和第一层间绝缘层306。第一基底301可以是单晶硅基底。第一层302a可以是利用乙硅烷(Si_2H_6)作为硅源而形成的硅层。第一层302a可以包括大晶粒的多晶硅。包括于第一层302a中的晶粒的平均直径可以大于第一层302a的厚度。例如,包括于第一层302a的晶粒的平均直径可以是几微米至几十微米。

[0160] 参照图38A和图38B,可以利用第一层302a作为种子层通过外延生长在第一层302a上形成第二层302b。在示例性实施例中,可以利用第一层302a作为种子层通过选择性外延生长来形成第二层302b。与第一层302a类似,第二层302b可以包括多晶硅,并且包括在第二层302b中的多晶硅晶粒的平均尺寸(例如,平均直径)可以大于包括在第一层302a中的多晶硅晶粒的尺寸。因此,与第一层302a相比,第二层302b可以具有相对少的缺陷。

[0161] 第二层302b可以比第一层302a厚。在单元区中,可以在第二基底302内形成袋式P阱。可以仅在第二层302b中形成袋式P阱。因此,第二层302b可以生长为具有足够用于形成袋式P阱的厚度。

[0162] 参照图39A和图39B,通过在第二基底302的上表面上形成暴露将形成凹进R的区域,然后蚀刻第二基底302以形成如图39A和图39B中所示的凹进R,从而可在第二基底302中形成凹进R。在示例性实施例中,每个凹进R可以沿第一方向(X轴方向)延伸。在图39B中,示出了凹进的侧表面沿深度方向倾斜,但是凹进R的形状不限于此。

[0163] 参照图40A和图40B,可以在第二基底302的上表面上以交替堆叠的布置形成牺牲层321至326 (320) 和绝缘层341至347 (340),可以贯穿牺牲层320和绝缘层340形成通道区CH和虚设通道区DCH。可以在形成牺牲层320和绝缘层340之前用绝缘材料填充凹进R以形成基底绝缘层305。可以在后续的工艺步骤中去除牺牲层320并用栅电极层330代替。

[0164] 虚设通道区DCH可以与相应的牺牲层320的第一端相邻。牺牲层320可以沿第一方向(X轴方向)具有不同的长度。虚设通道区DCH的下部可以被基底绝缘图案305围绕。因此,在虚设通道区DCH的下部中不会发生选择性外延生长,并且与通道区CH不同,不会形成外延图案371。

[0165] 图41A至图44B是示出用于制造图20的存储装置600的方法的平面图和剖视图。

[0166] 参照图41A和图41B,可以在外围电路区P上设置用于形成单元区C的第二基底602。外围电路区P可以包括第一基底601、设置在第一基底601上的多个外围电路装置680和第一层间绝缘层606。可以在第一层间绝缘层606上设置第二基底602。第一基底601可以是单晶

硅基底,第二基底602可以是多晶硅基底。

[0167] 参照图42A和图42B,可以在第二基底602上交替堆叠多个牺牲层621至626 (620) 和多个绝缘层641至647 (640),可以形成用于形成通道区CH和虚设通道区DCH的多个通道开口H1和H2。多个通道开口H1和H2可以贯穿第二基底602的上部。牺牲层620和绝缘层640可以沿第一方向(X轴方向)具有不同的长度以形成阶梯结构,并且可以在阶梯结构上形成第二层间绝缘层607。

[0168] 参照图43A和图43B,可以在第二通道开口H2下方形成基底绝缘图案605。可以通过使第二基底602的与通道开口H2相邻的部分氧化来形成基底绝缘层605。可以通过干氧化方法或湿氧化方法来形成基底绝缘图案605,因为通过使第二基底602的在第二通道开口H2下面的部分氧化来形成基底绝缘图案605,所以每个基底绝缘图案605的截面具有与通道开口H2的截面形状类似的圆形或椭圆形。

[0169] 参照图44A和图44B,可以在通道开口H1和H2内形成通道区CH和虚设通道区DCH。与通道区CH不同的是,因为基底绝缘图案605设置在对应于虚设通道区DCH的第二通道开口H2下方,所以虚设通道区DCH可以不包括外延图案671。虚设通道区DCH和通道区CH可以均包括通道层670和嵌入的绝缘层673。可以在通道层670的外侧上设置栅极绝缘层664和666的部分以及漏区675。栅极绝缘层664和666可以包括电荷存储层664和隧穿层666。

[0170] 在示例性实施例中,因为虚设通道区DCH中不包括外延图案671,因此可以基于各通道区CH的下部中包括的外延图案671的高度来确定牺牲层620和绝缘层640的厚度。因此,可以减小包括牺牲层620和绝缘层640的模具的厚度。另外,因为虚设通道区DCH中不包括外延图案671,所以可以减少或防止当选择性地去除牺牲层620时,栅极绝缘层664和666的部分与牺牲层620一起被去除的现象,因此,可以防止在此之后形成的栅电极层的部分被电连接。

[0171] 图45和图46是示出包括根据发明构思的示例性实施例的存储装置的电子装置的框图。

[0172] 参照图45,存储装置1000可以包括与主机HOST通信的控制器1010和存储数据的存储器1020-1、1020-2和1020-3。存储器1020-1、1020-2和1020-3中的每个存储器可以包括根据上述各种示例性实施例的一个或更多个存储装置100、200、300、400、500、600和700。

[0173] 与控制器1010通信的主机HOST可以是安装了存储装置100的各种电子装置。例如,主机HOST可以是智能电话、数码相机、台式计算机、膝上型计算机或多媒体播放器。当从主机HOST接收数据写入或读取请求时,控制器1010可以在存储器1020-1、1020-2和1020-3中存储数据或生成命令CMD以从存储器1020-1、1020-2和1020-3取回数据。

[0174] 如图45中所示,一个或更多个存储器1020-1、1020-2和1020-3可以在存储装置1000内并行连接到控制器1010。通过将多个存储器1020-1、1020-2和1020-3并行连接到控制器1010,可以实现诸如固态硬盘(SSD)的具有大容量的存储装置1000。

[0175] 图46是示出包括根据发明构思的示例性实施例的非易失性存储装置的电子装置的框图。

[0176] 参照图46,根据示例性实施例,电子装置2000可以包括通信单元2010、输入单元2020、输出单元2030、存储器2040和处理器2050。

[0177] 通信单元2010可以包括有线/无线通信模块,并且可以包括无线互联网模块、短距

离通信模块、全球定位系统(GPS)模块和移动通信模块。通信单元2010中包括的有线/无线通信模块可以基于各种通信标准连接到外部通信网络以发送或接收数据。

[0178] 被设置为让用户来控制电子装置2000的操作的输入单元2020可以包括机械开关、触摸屏和声音识别模块。另外,输入单元2020可以包括以轨迹球或激光指针方式操作的鼠标,或者手指鼠标装置。另外,输入单元2020还可以包括允许用于输入数据的各种传感器模块。

[0179] 输出单元2030以音频或视频格式输出电子装置2000中处理的信息,并且存储器2040可以存储用于处理和控制在处理器2050的程序,或者数据。存储器2040可以包括根据上述各种示例性实施例的一个或更多个存储装置100、200、300、400、500、600和700。为了将数据存储到存储器2040中或从存储器2040取回数据,处理器2050可以根据必要的操作将命令传送到存储器2040。

[0180] 存储器2040可以安装在电子装置2000中或者通过单独的接口与处理器2050通信。在存储器2040通过单独的接口与处理器2050通信的情况下,处理器2050可以通过各种接口标准(诸如SD、SDHC、SDXC、MICRO SD或USB)将数据存储到存储器2040或从存储器2040取回数据。

[0181] 处理器2050可以控制电子装置2000中包括的组件的操作。处理器2050可以执行与音频通话、视频通话和数据通信相关的控制或处理,或者可以执行用于多媒体回放和管理的控制或处理。另外,处理器2050可以处理通过输入单元2020从用户发送的输入,并且通过输出单元2030输出对应结果。此外,如上所述,处理器2050可以在存储器2040中存储为了控制电子装置2000的操作所需的数据,或者可以从存储器2040取回这样的数据。

[0182] 如上所述,在根据本发明构思的示例性实施例的存储装置中,因为在虚设通道区和基底之间设置了绝缘材料,所以可以避免在虚设通道区中发生选择性外延生长(SEG),改善了地选择晶体管的击穿电压特性,并且可以减小装置的高度,增加集成度。

[0183] 虽然已经在上面示出和描述了示例性实施例,但本领域技术人员将清楚在不脱离由权利要求限定的发明的范围的情况下,可做出修改和变化。

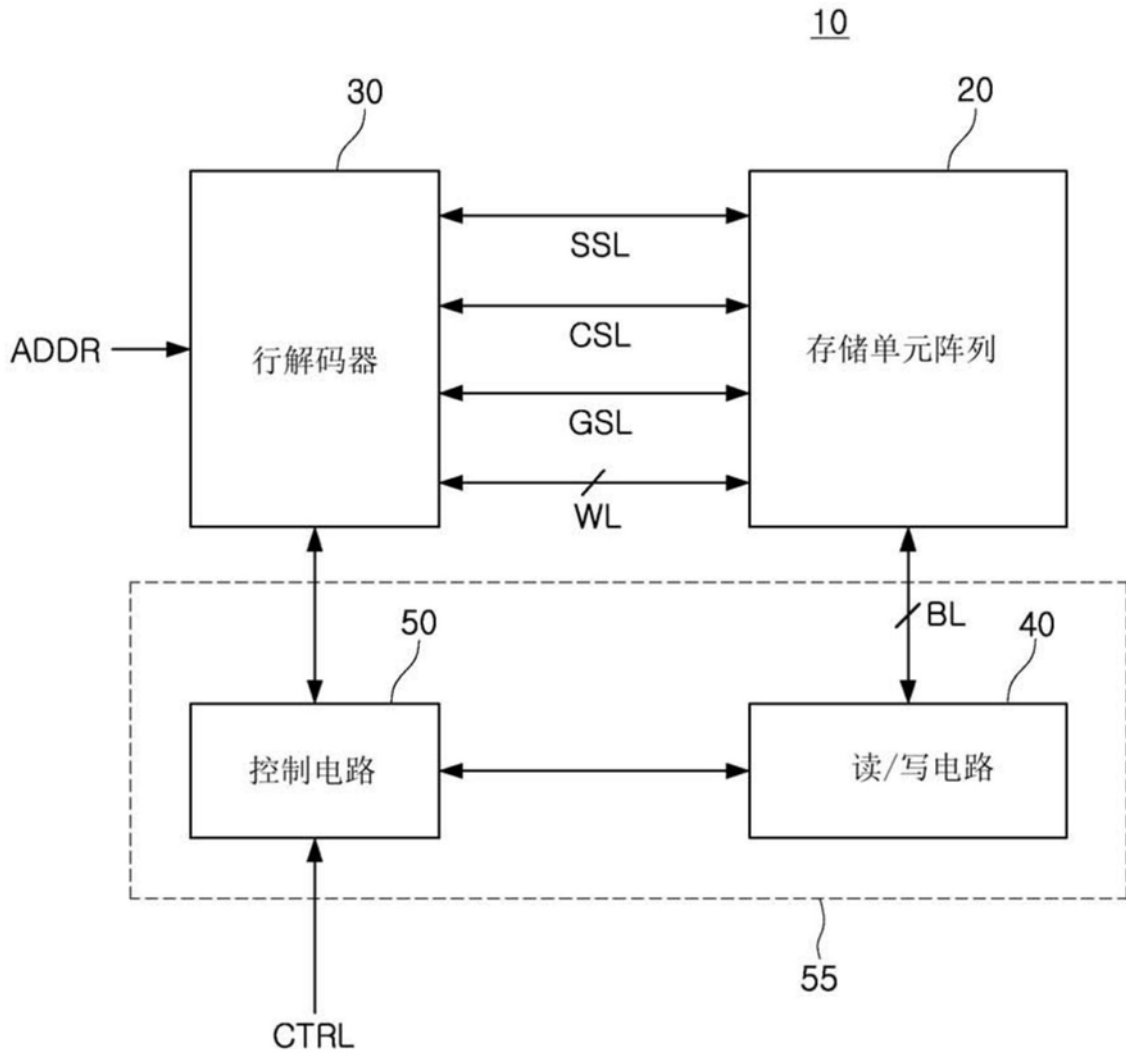


图1

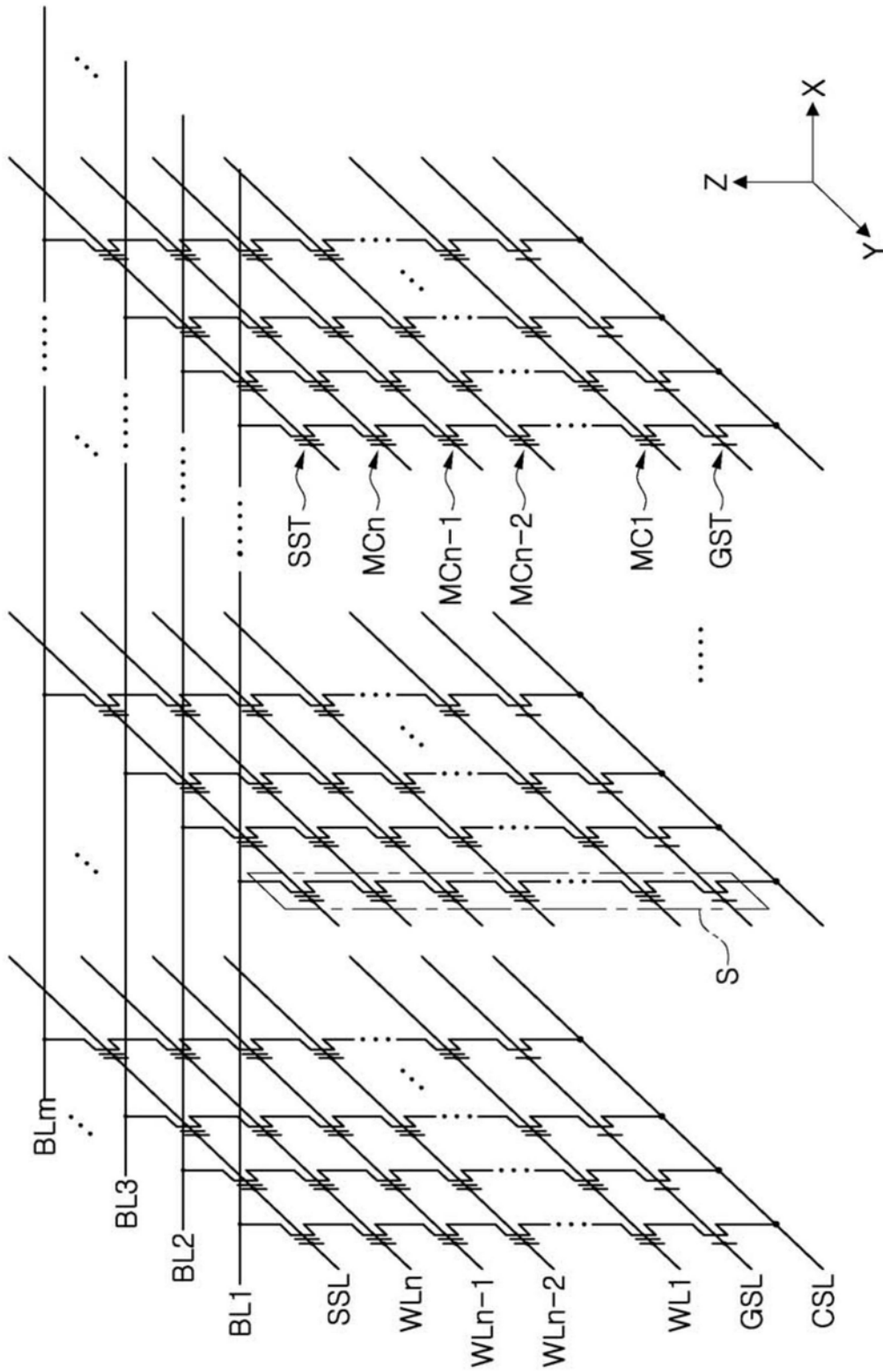


图2

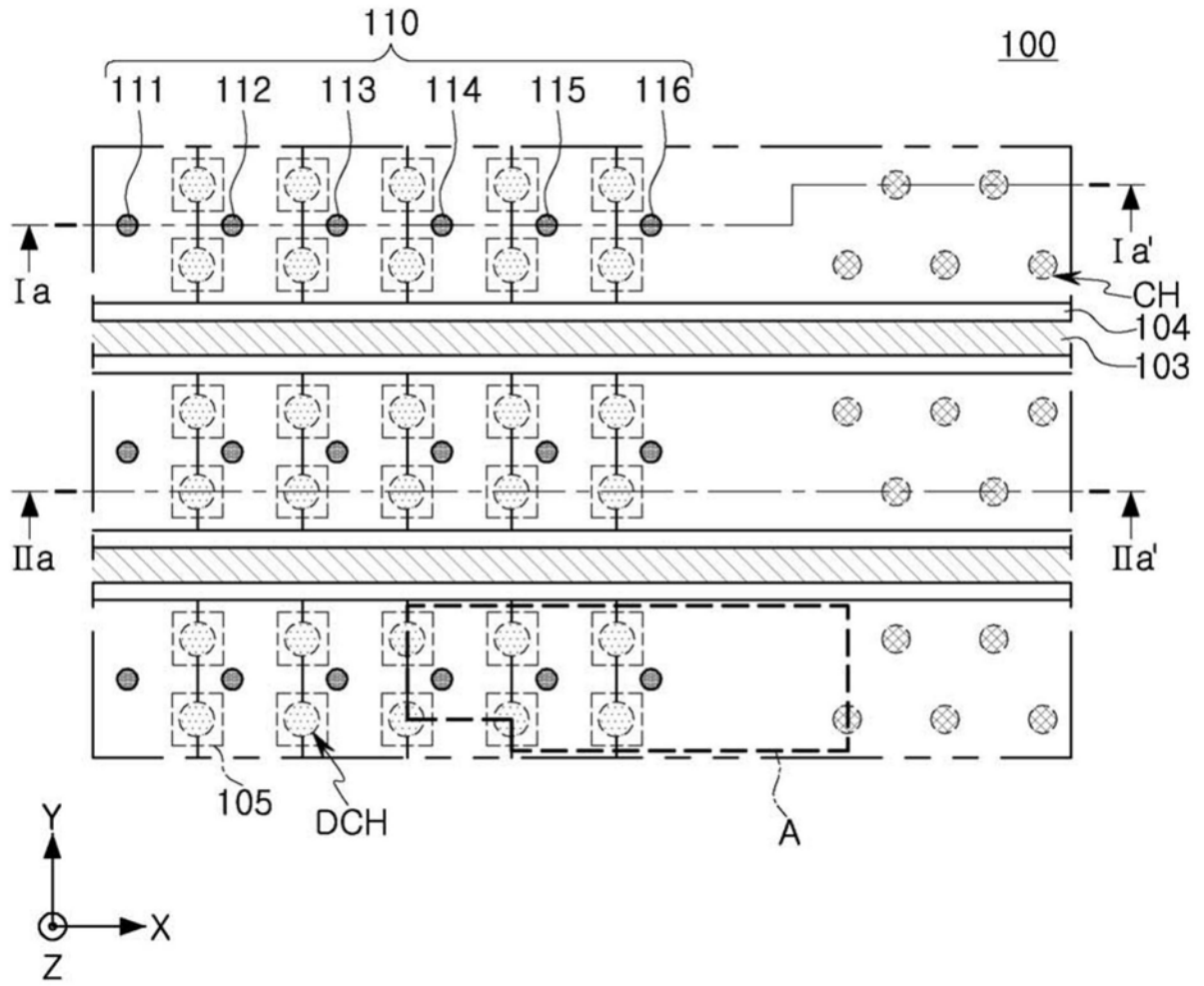


图3

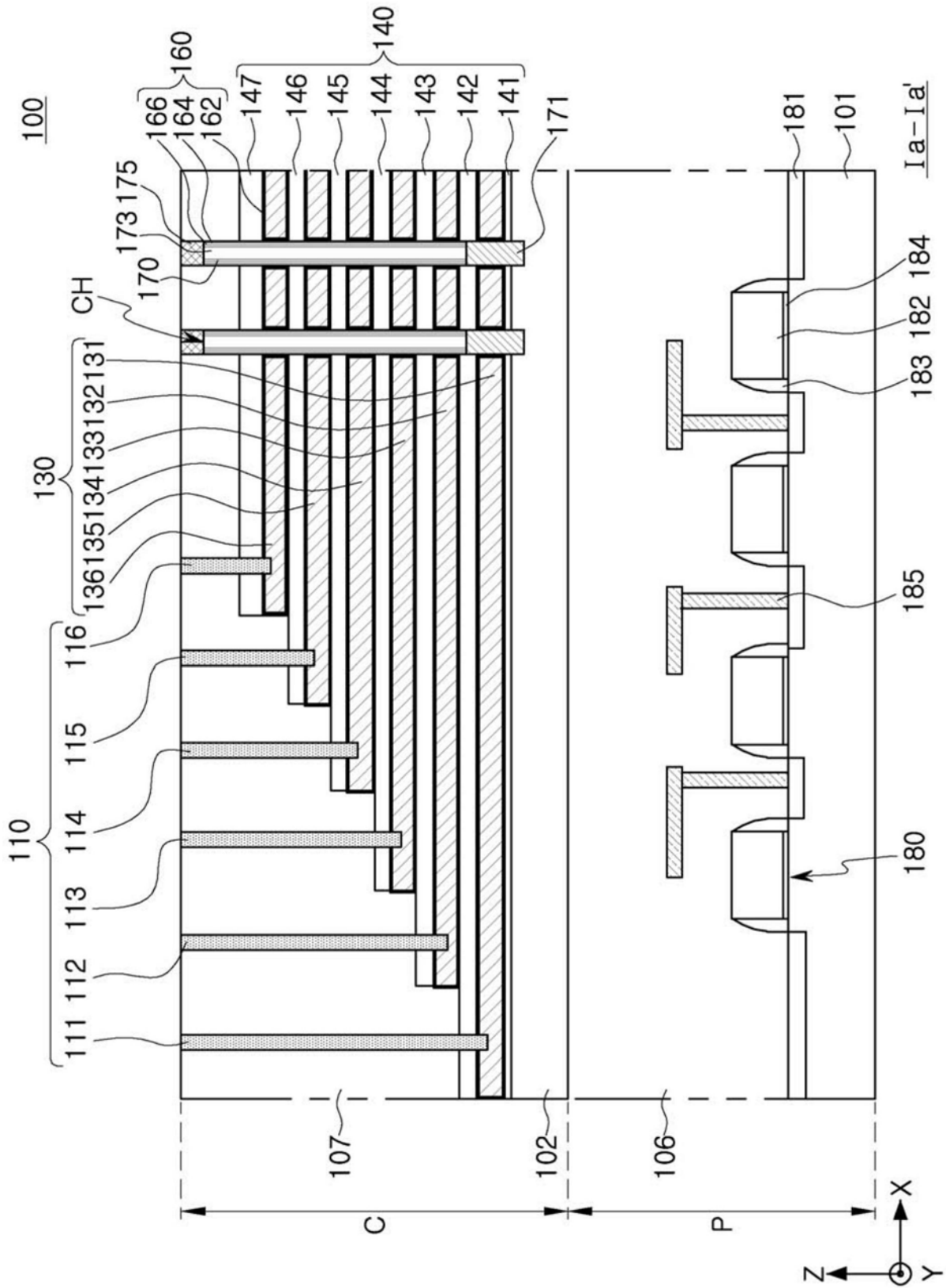


图4

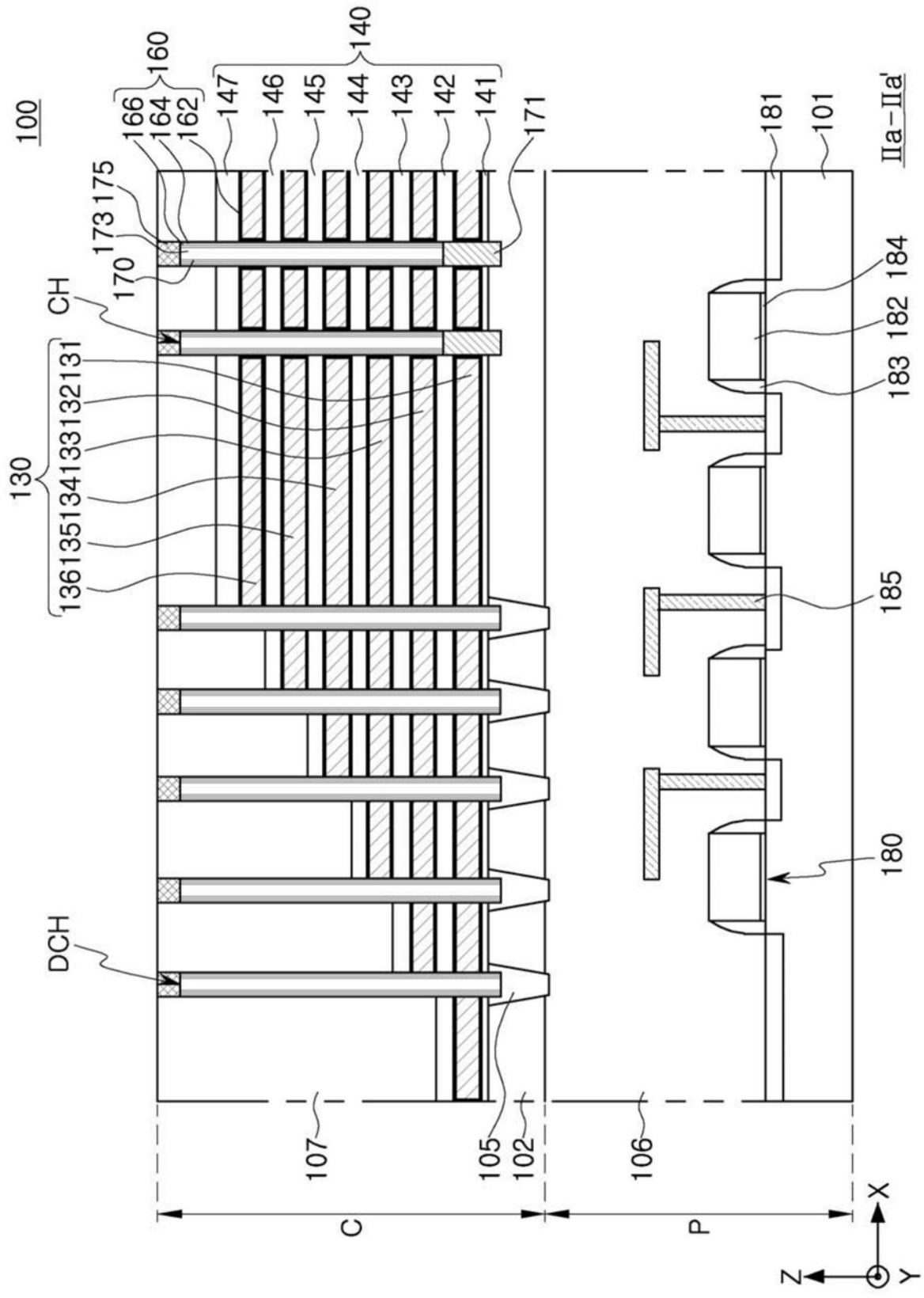


图5

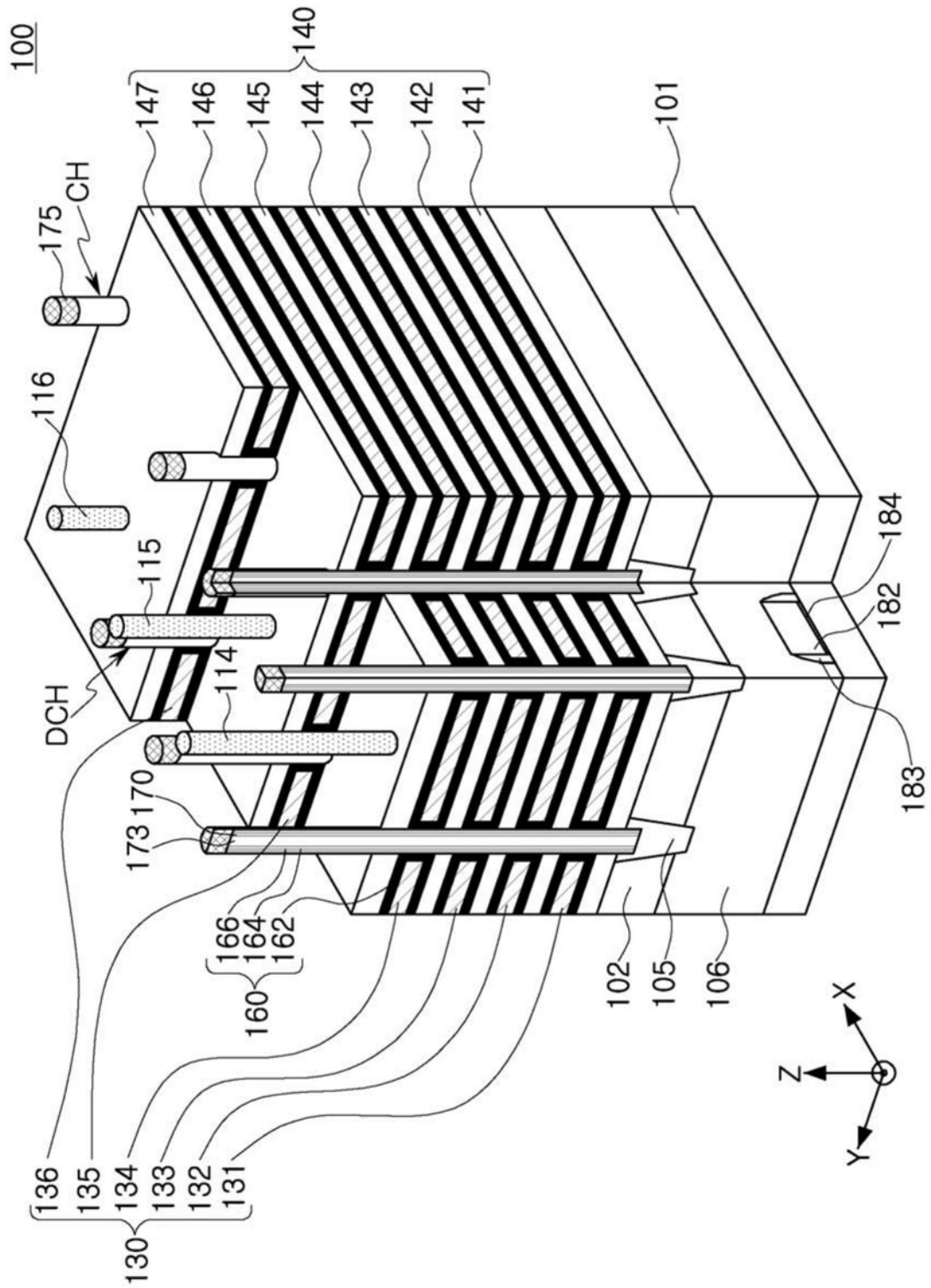


图6

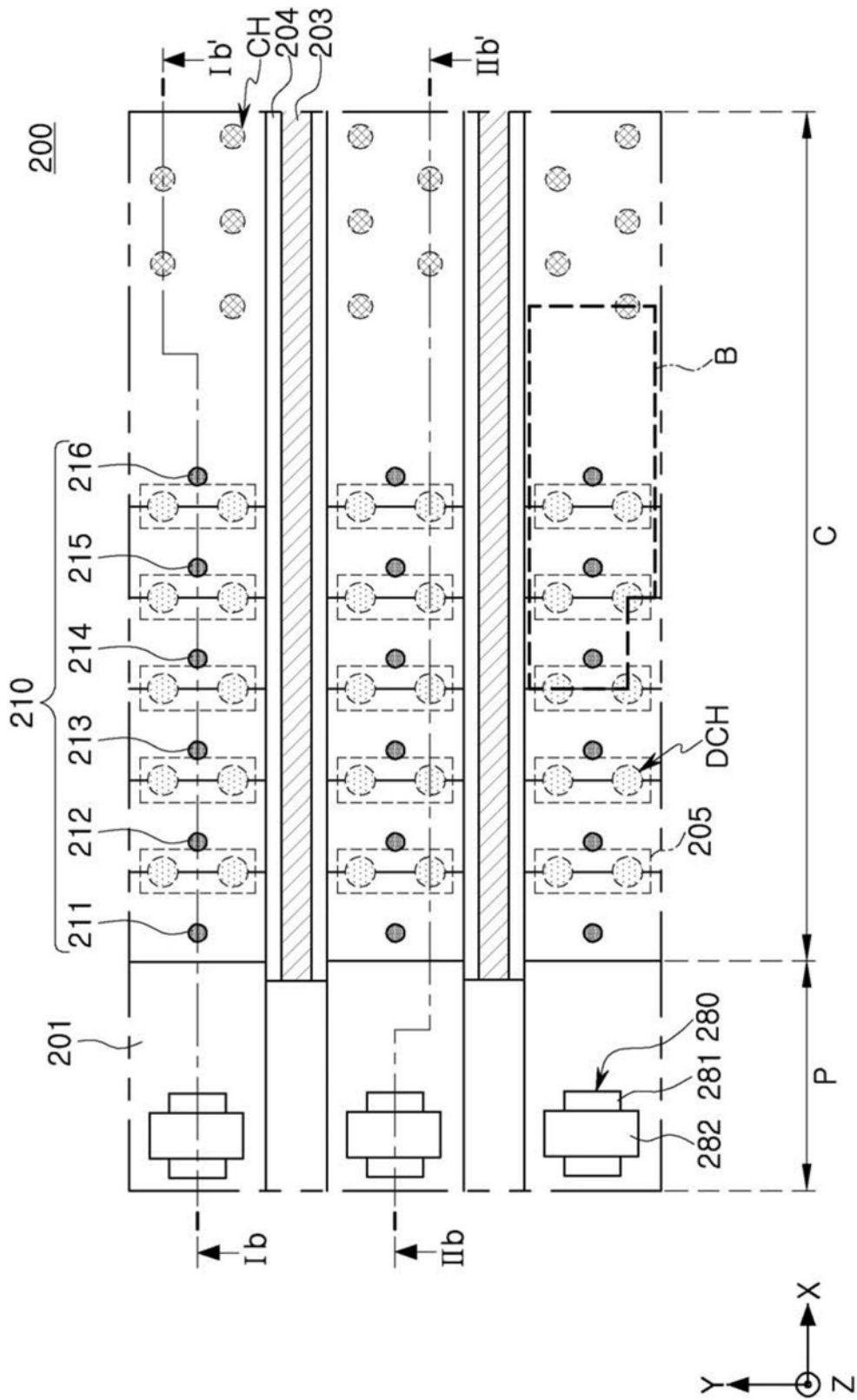


图7

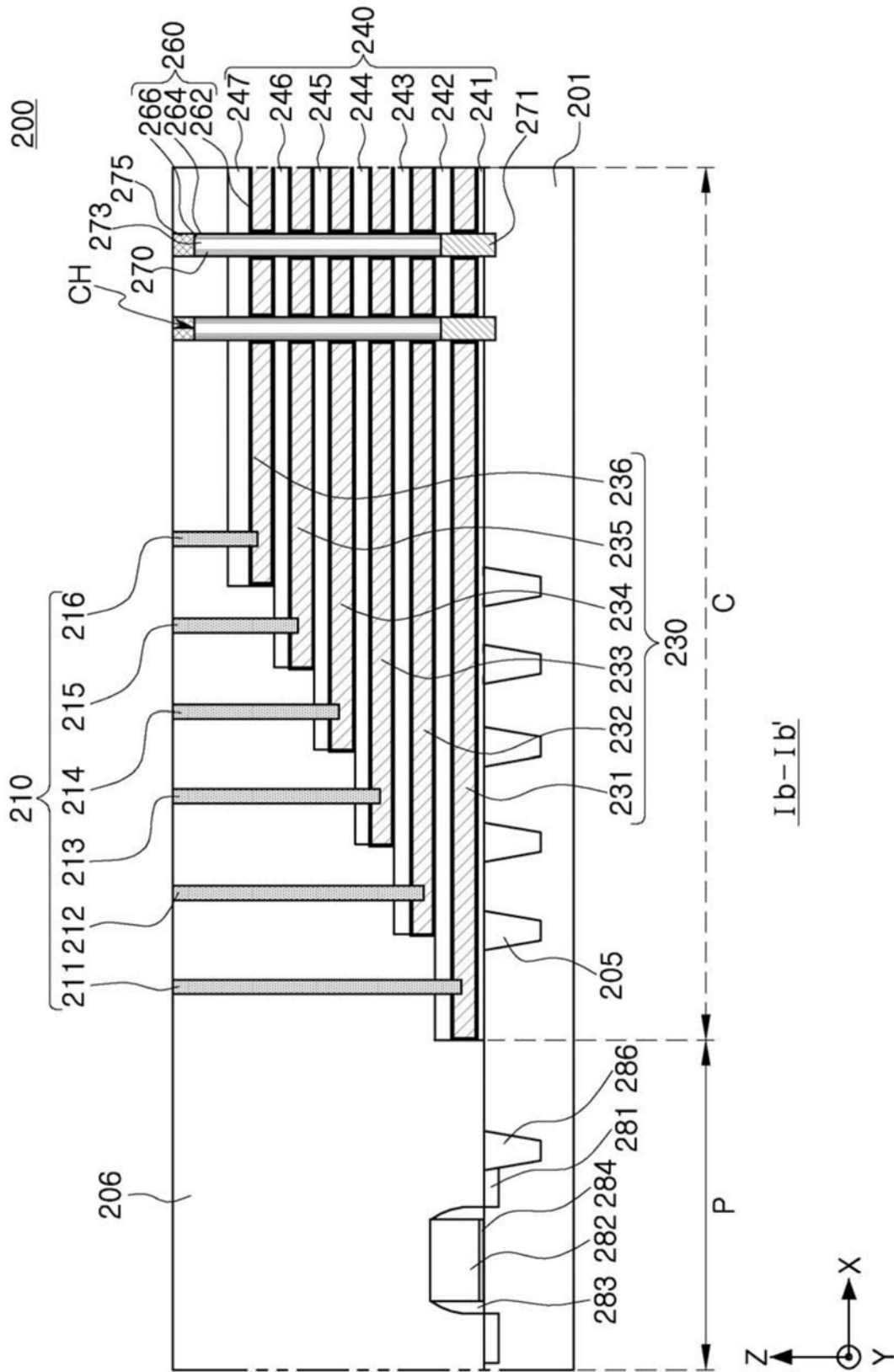


图8

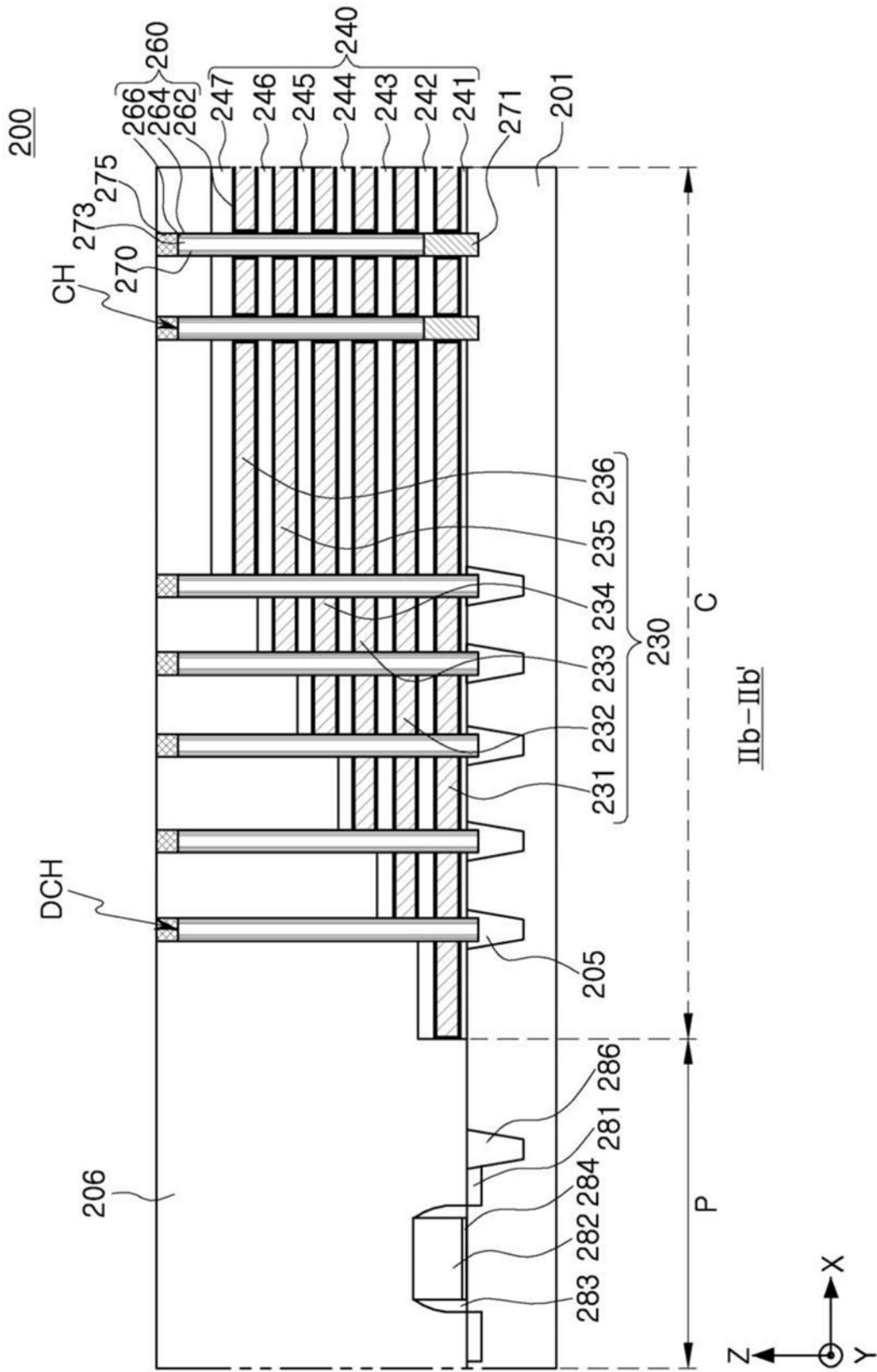


图9

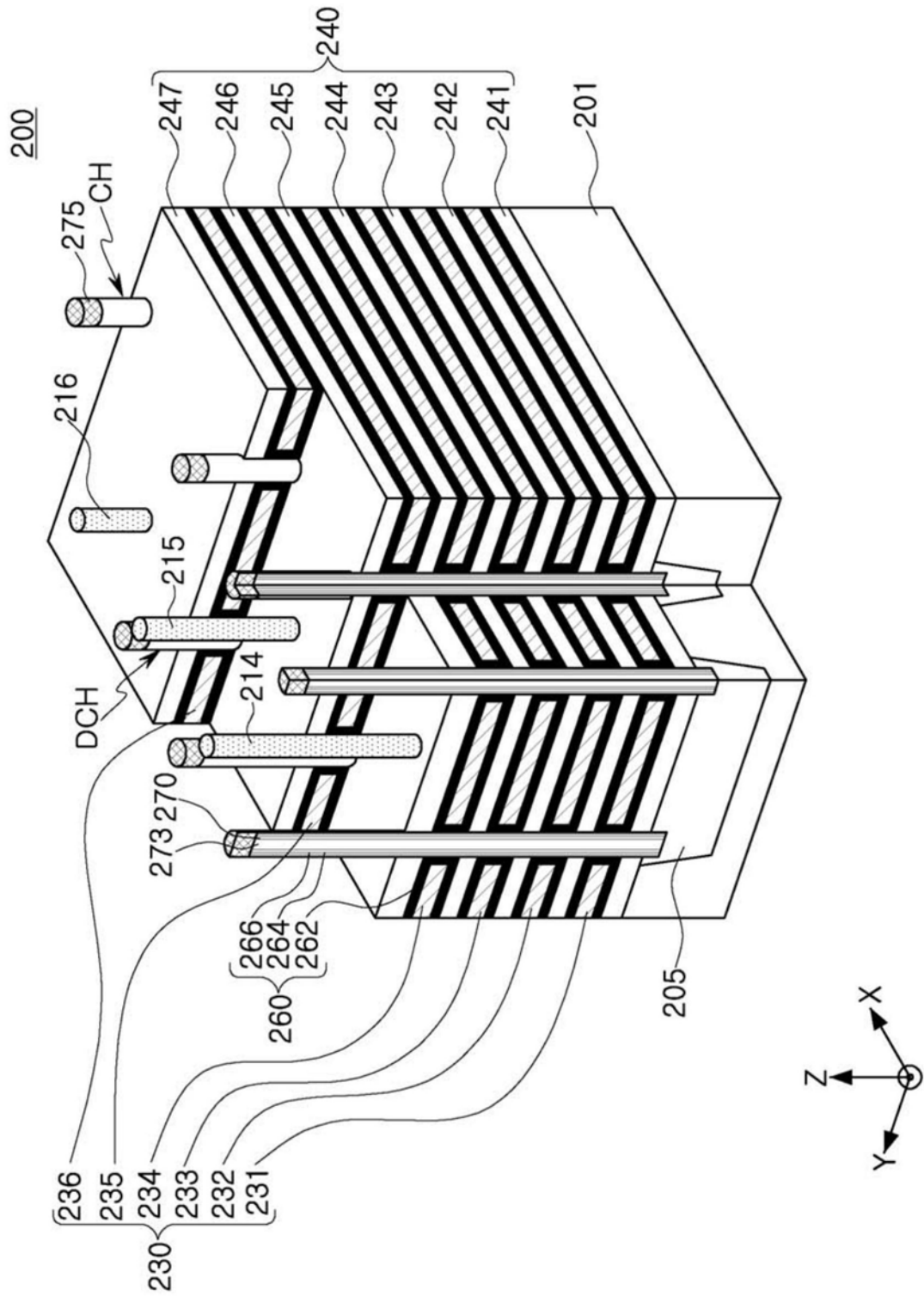


图10

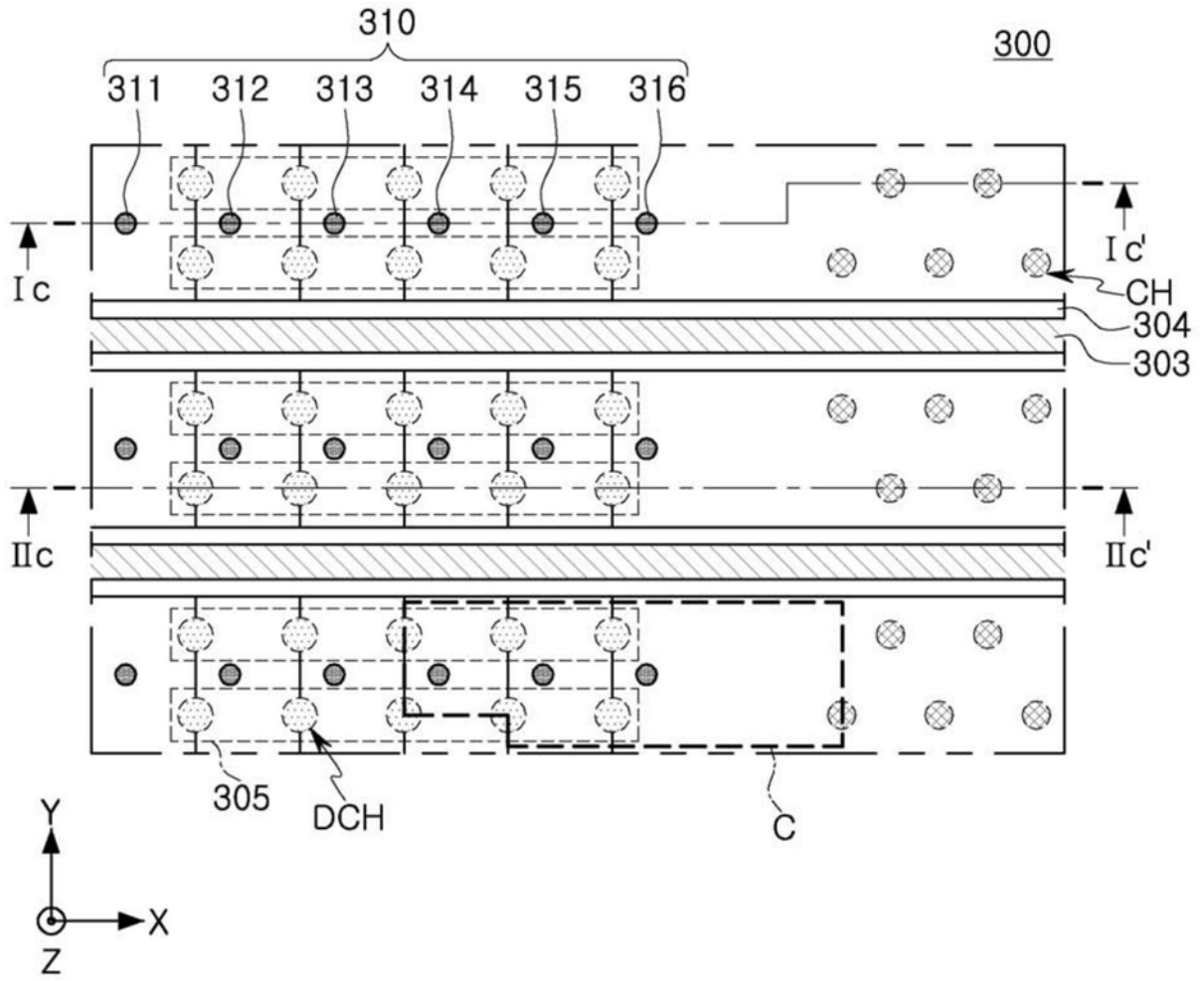


图11

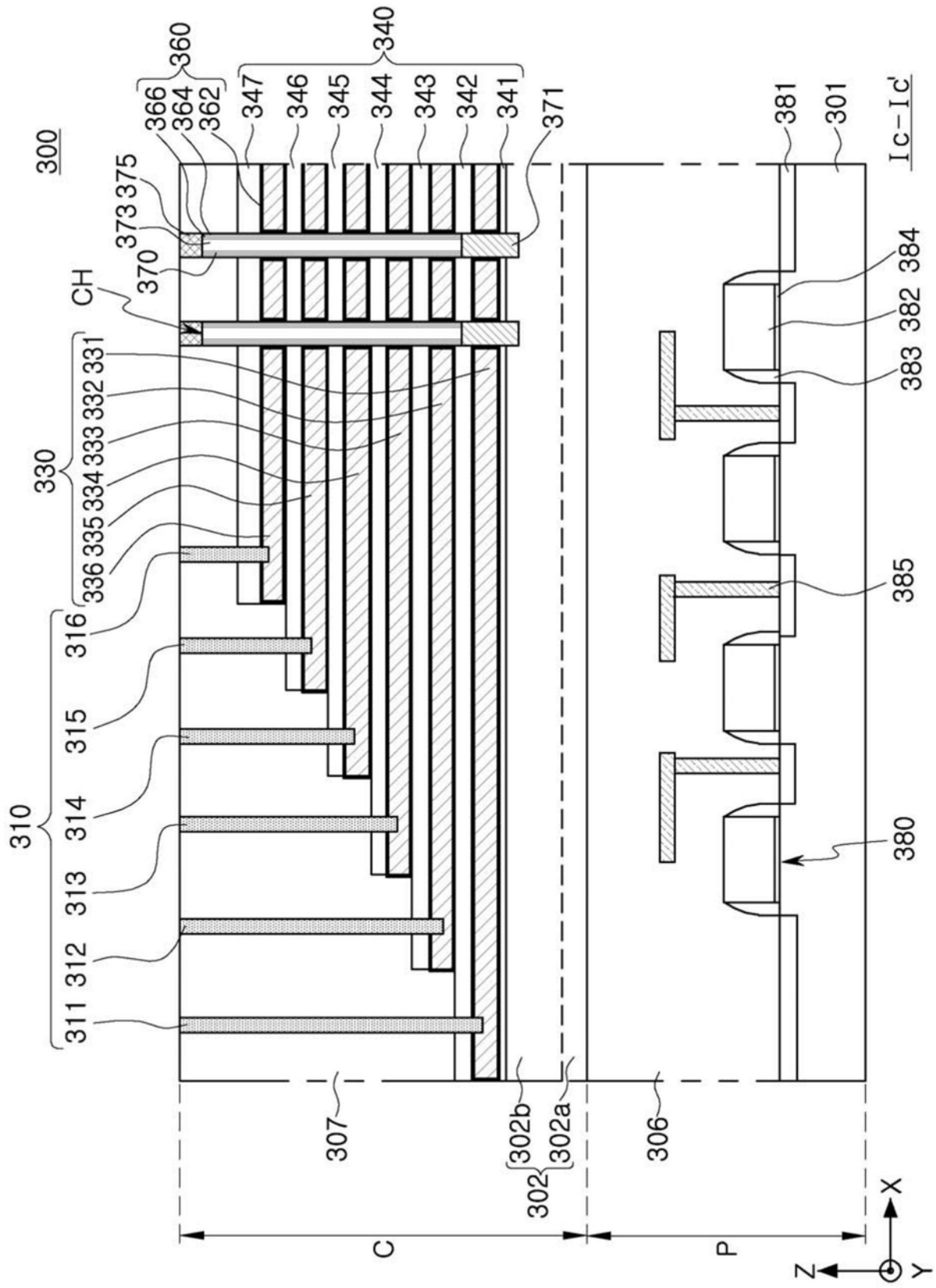


图12

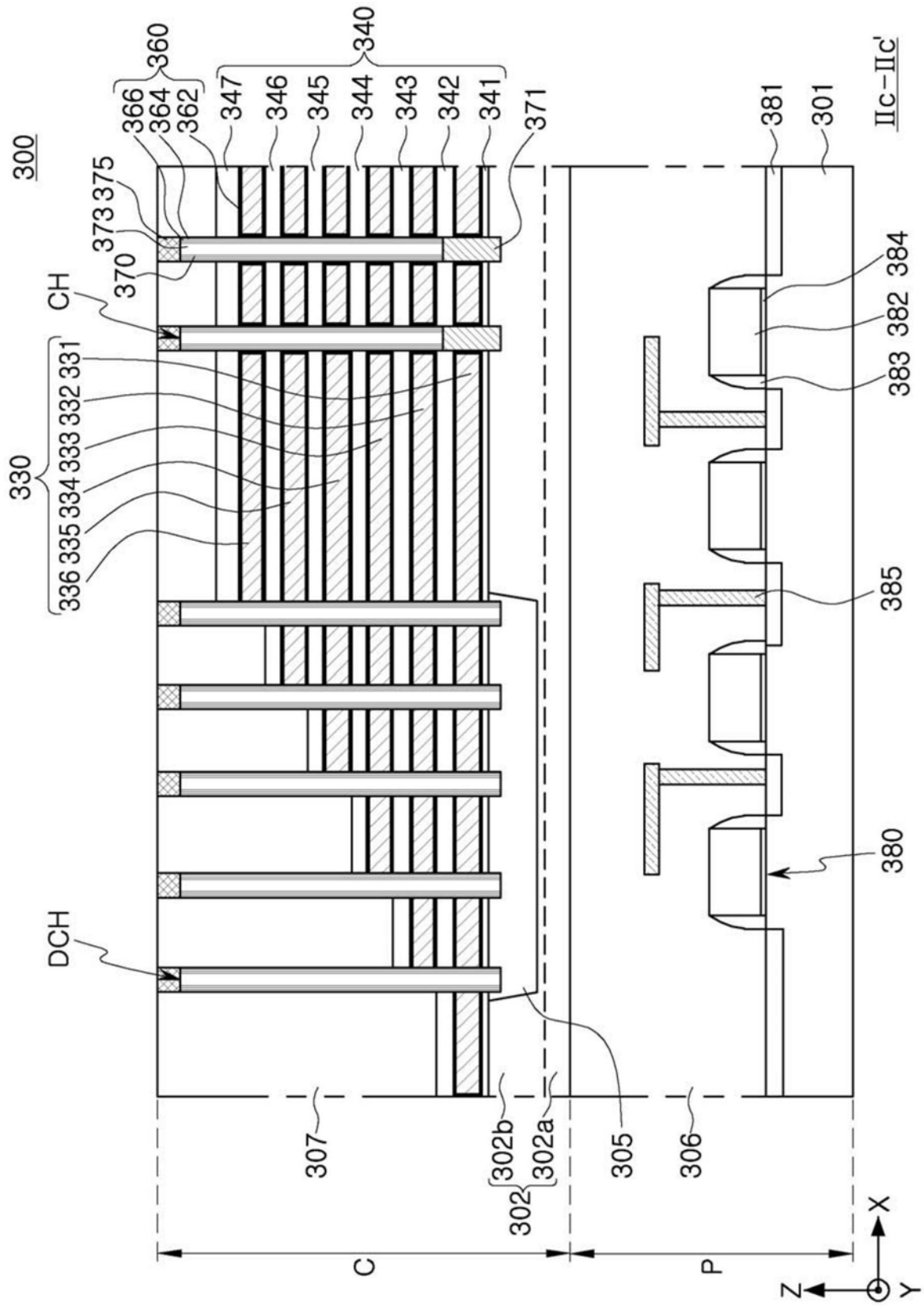


图13

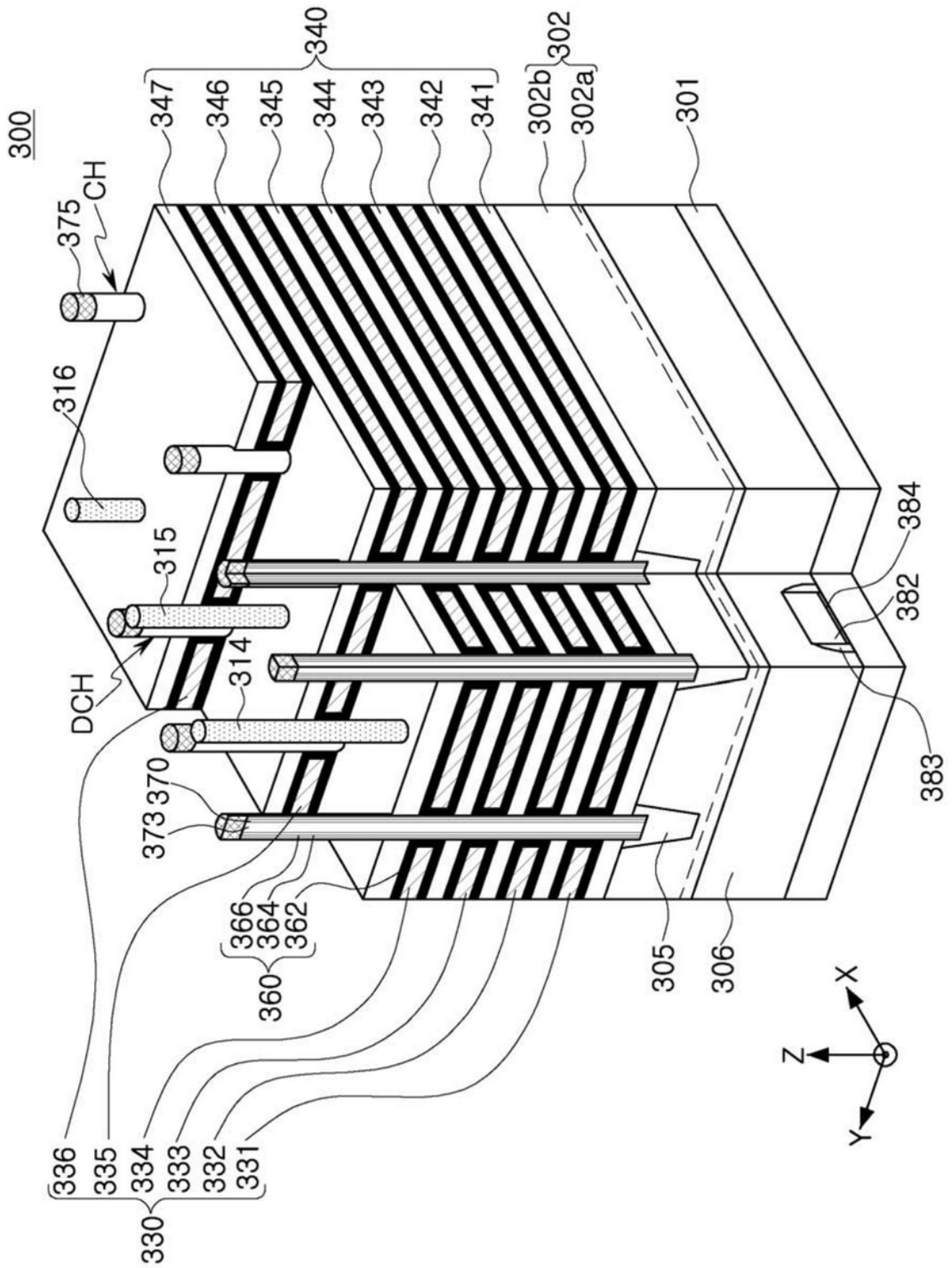


图14

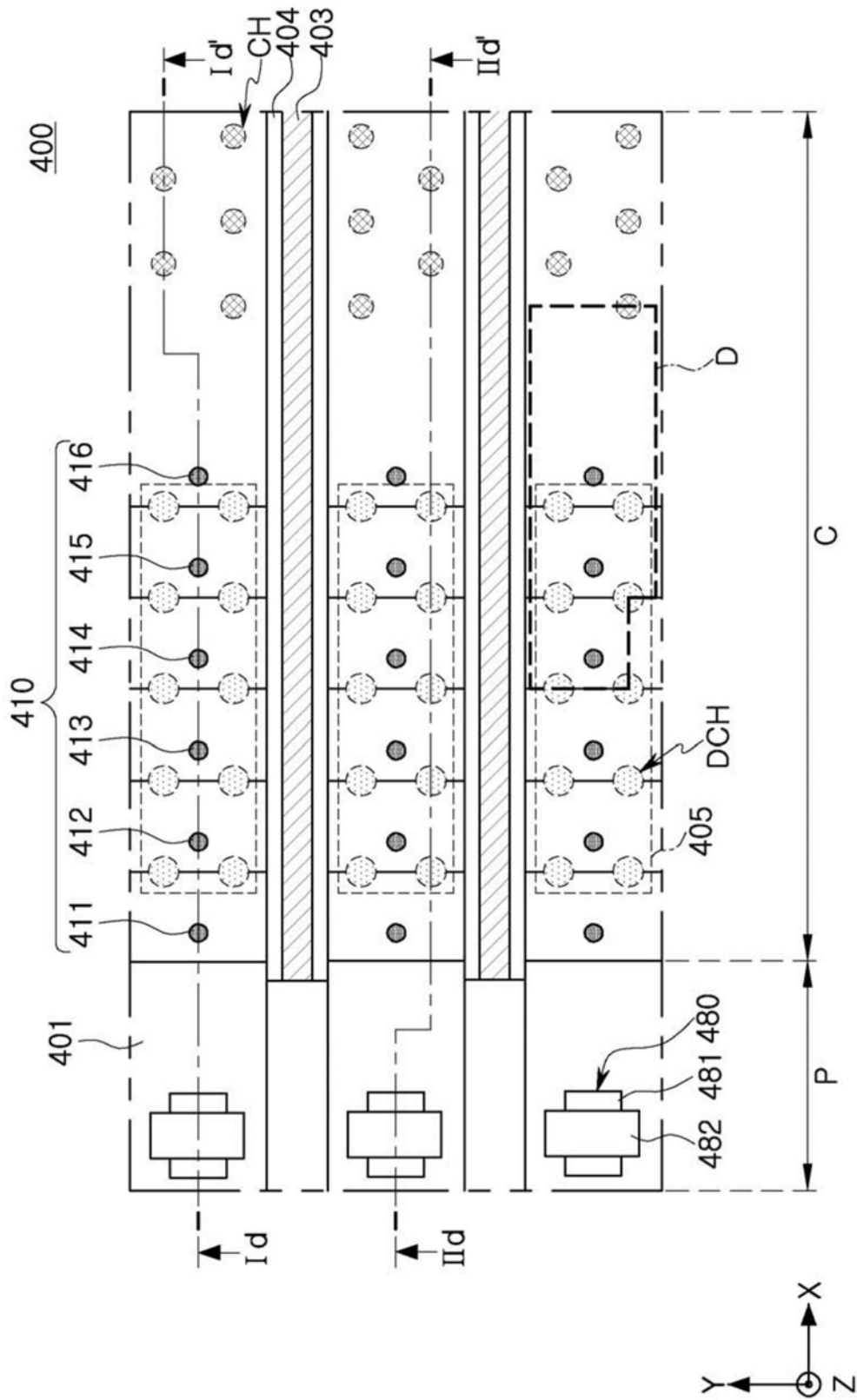


图15

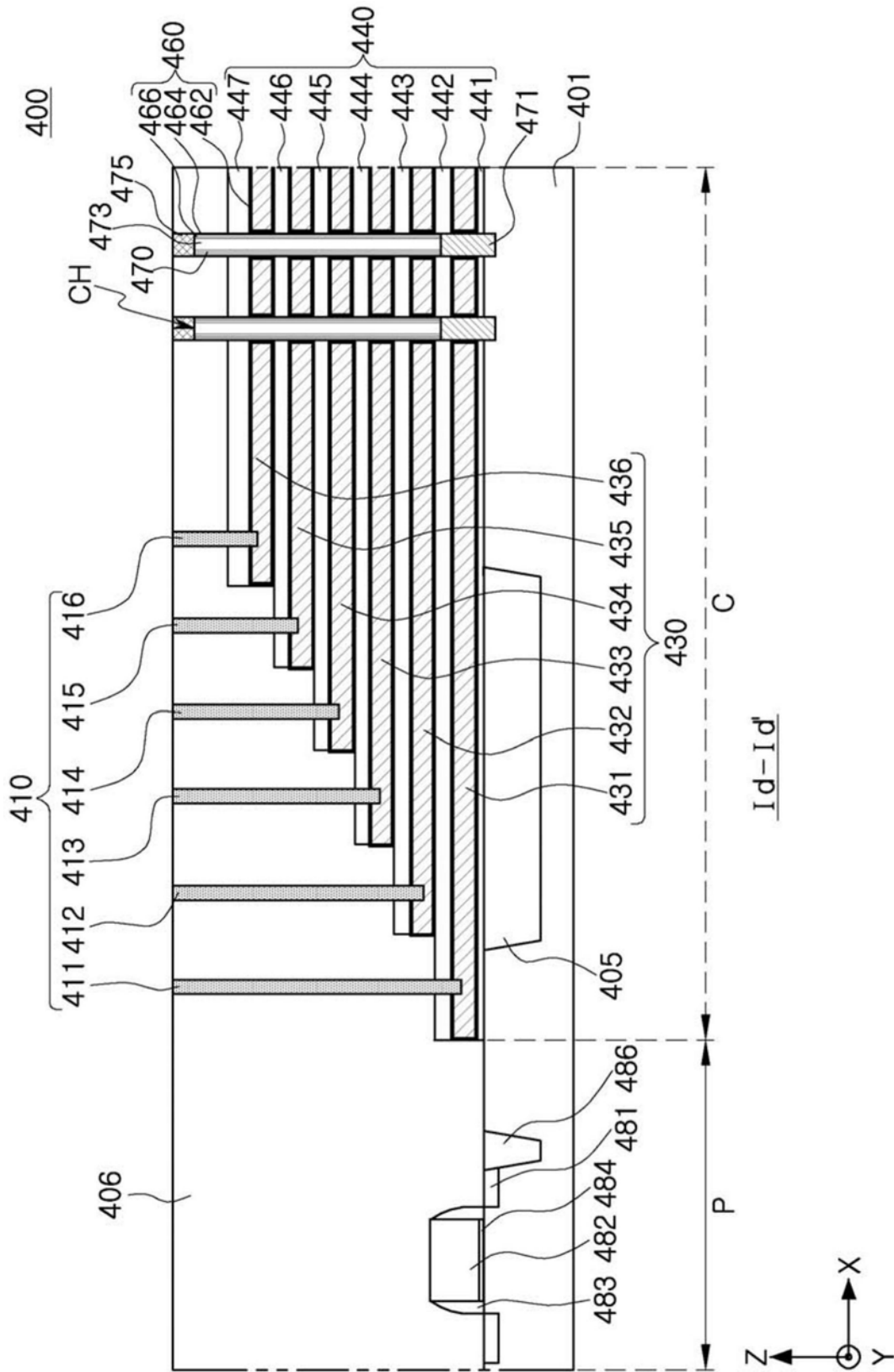


图16

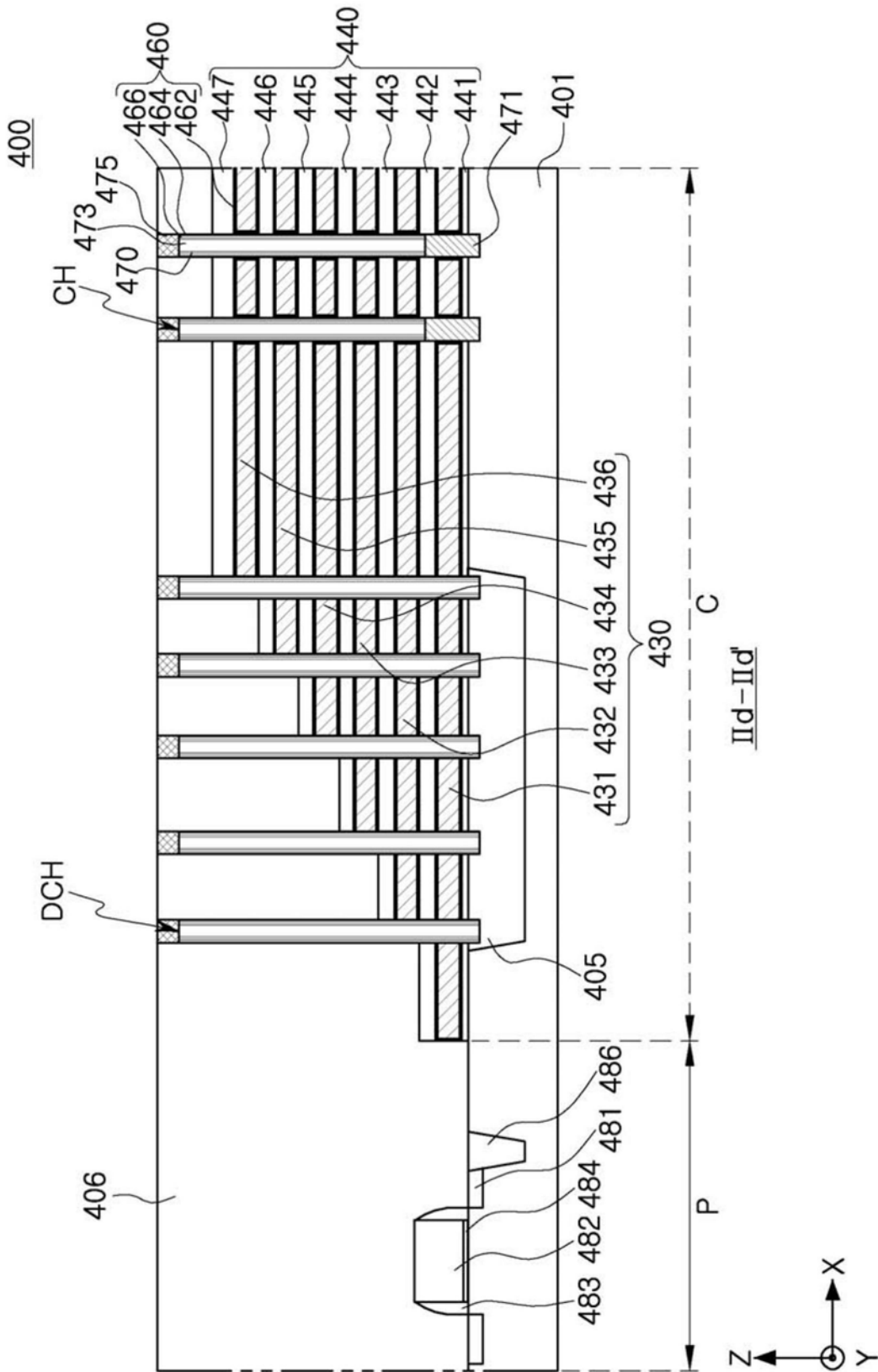


图17

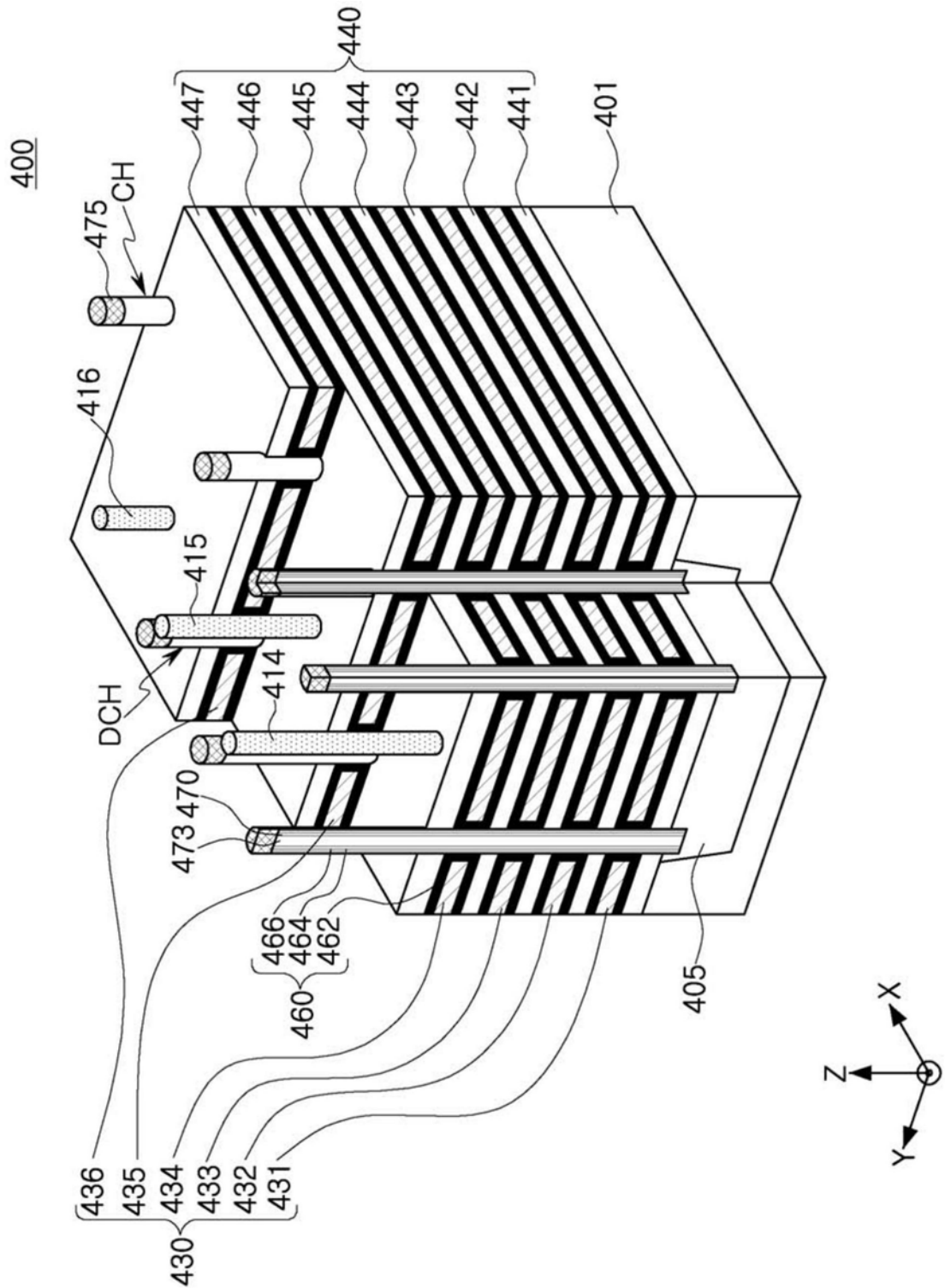


图18

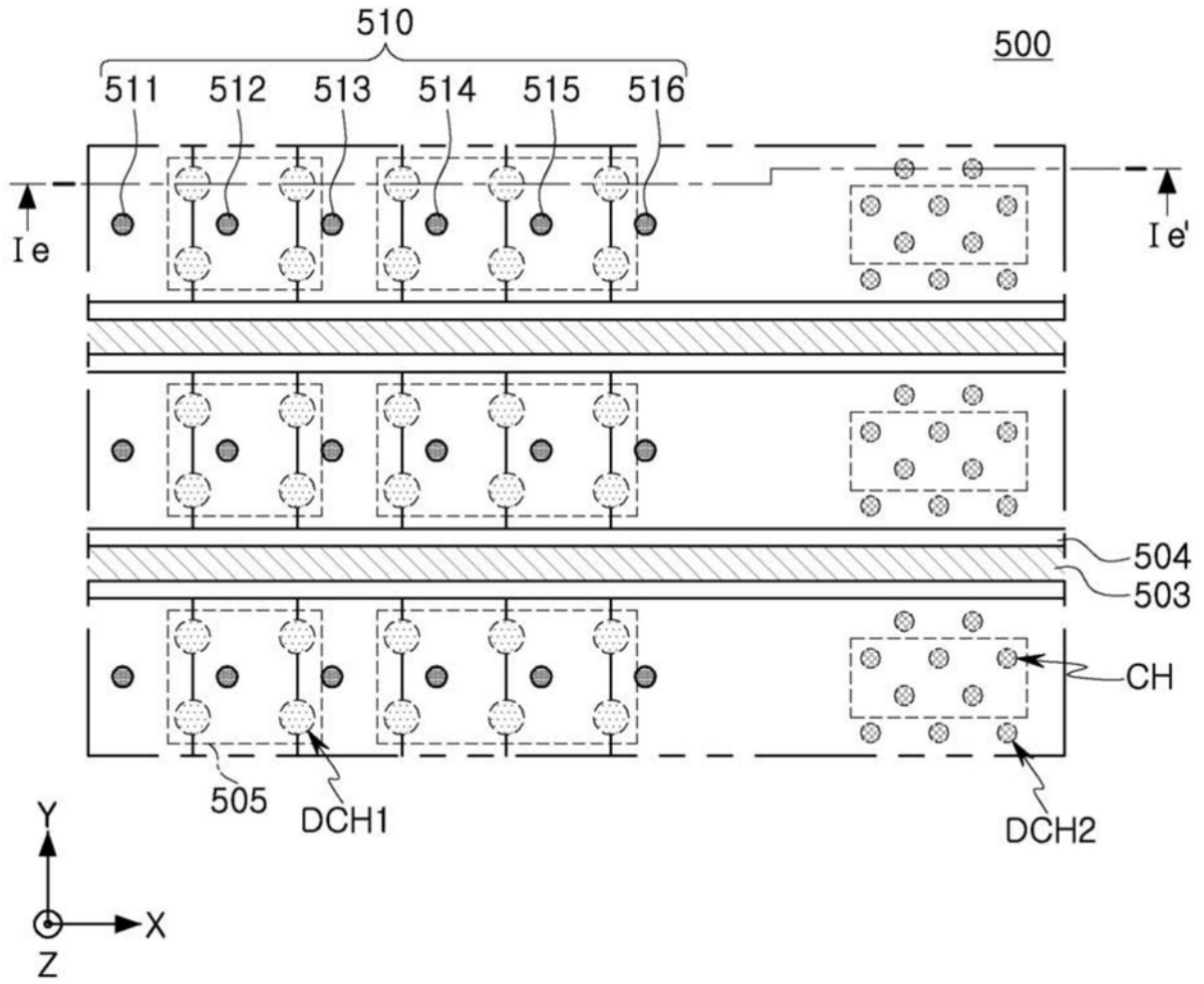


图19A

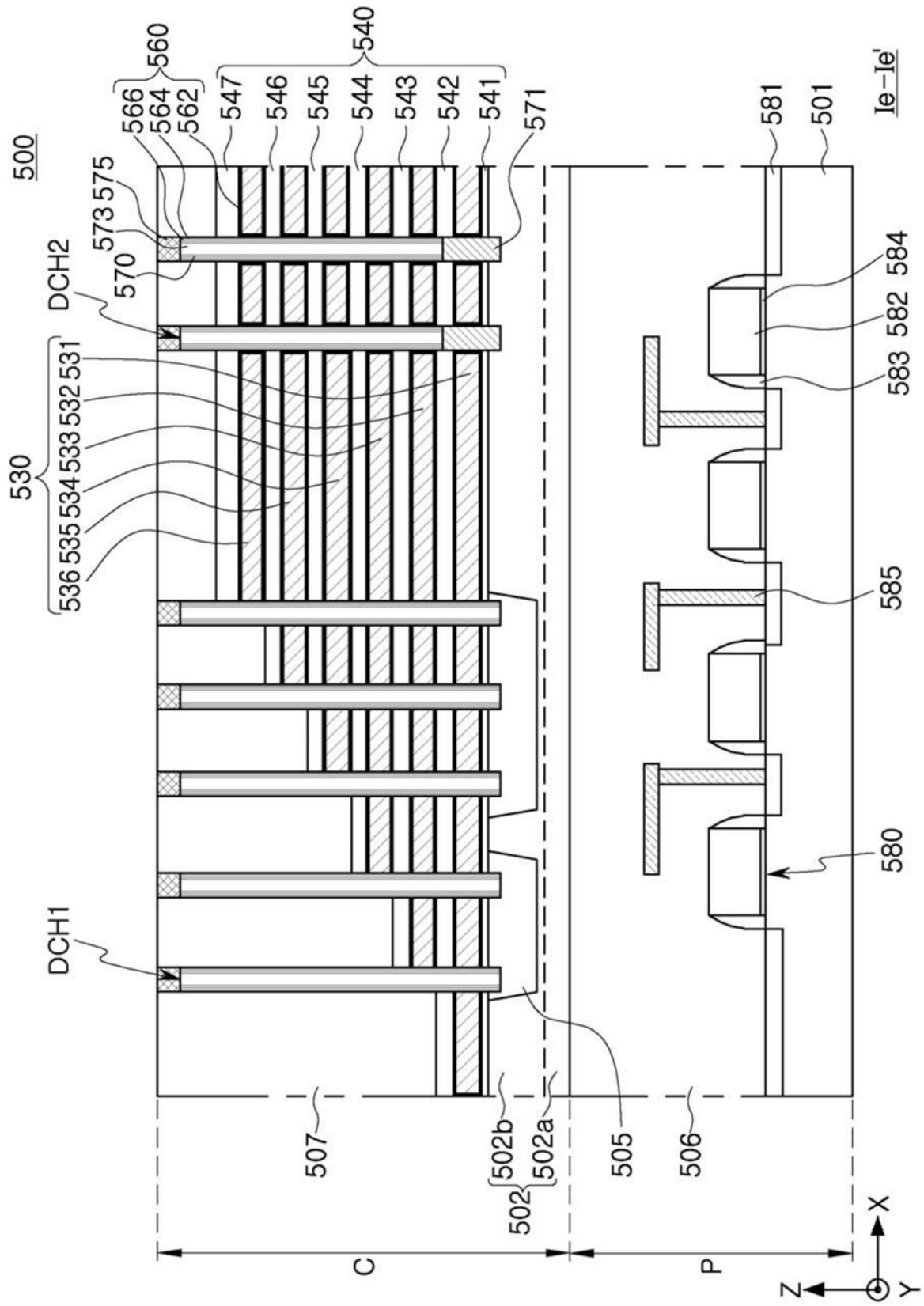


图19B

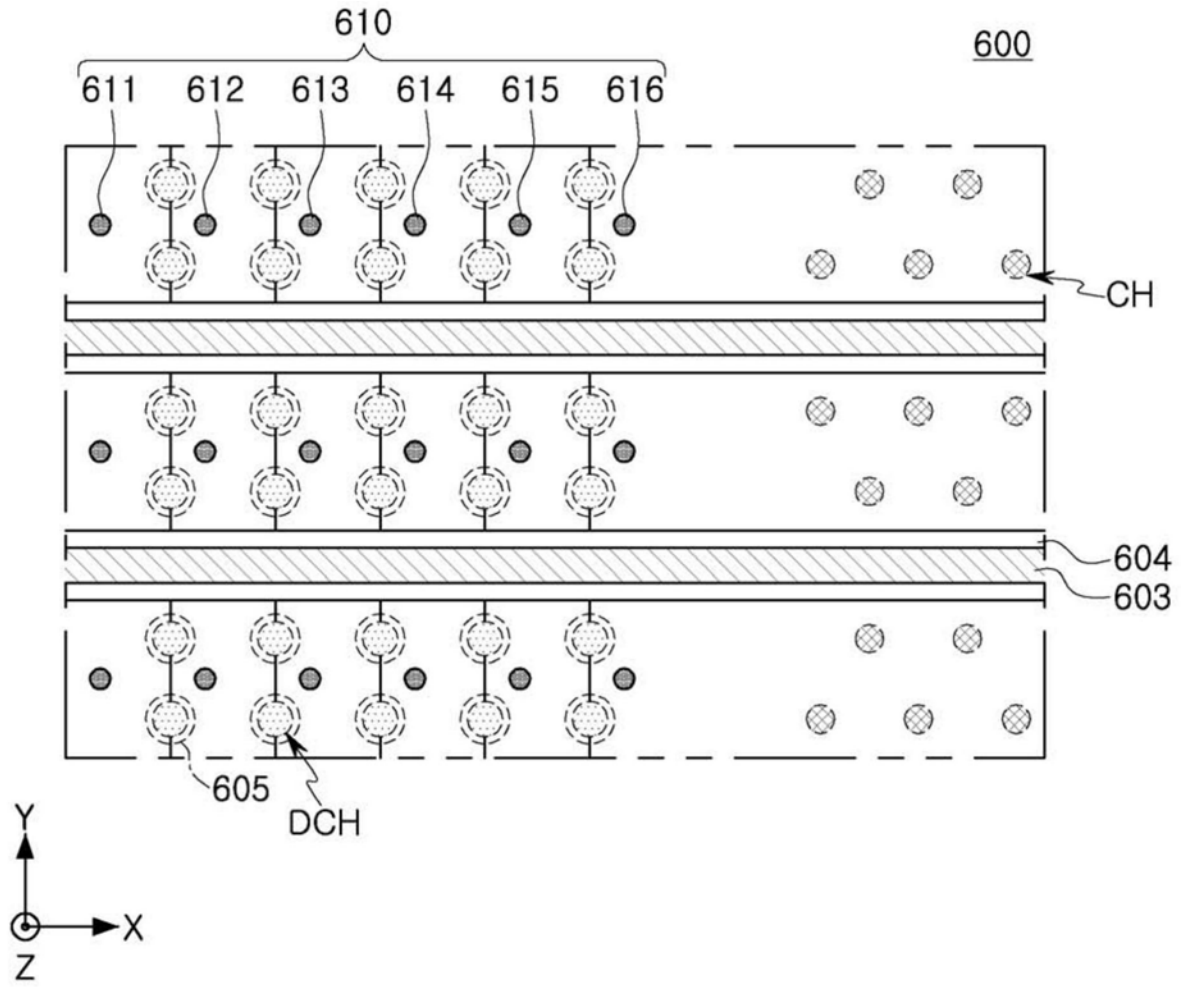


图20

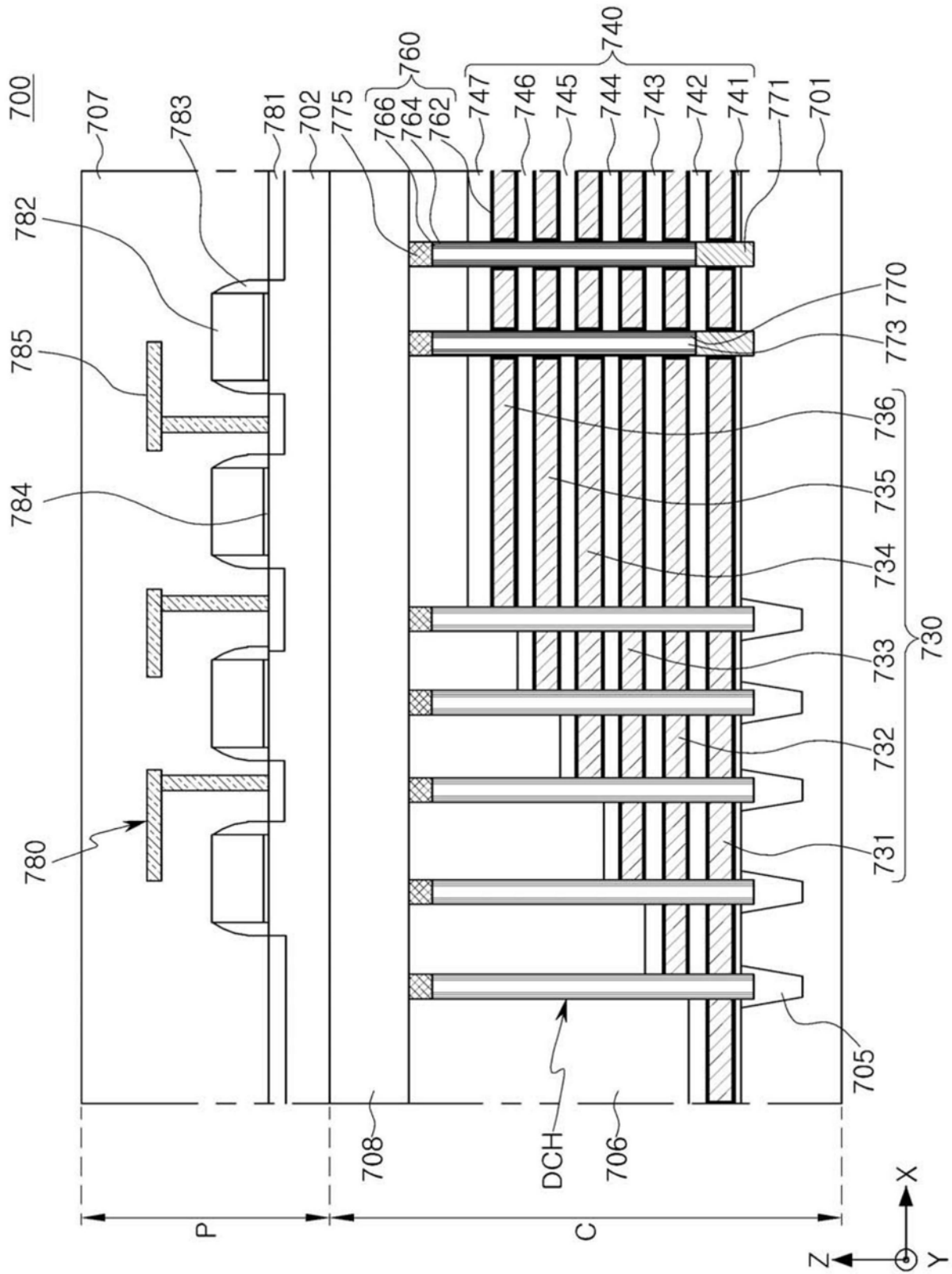


图21

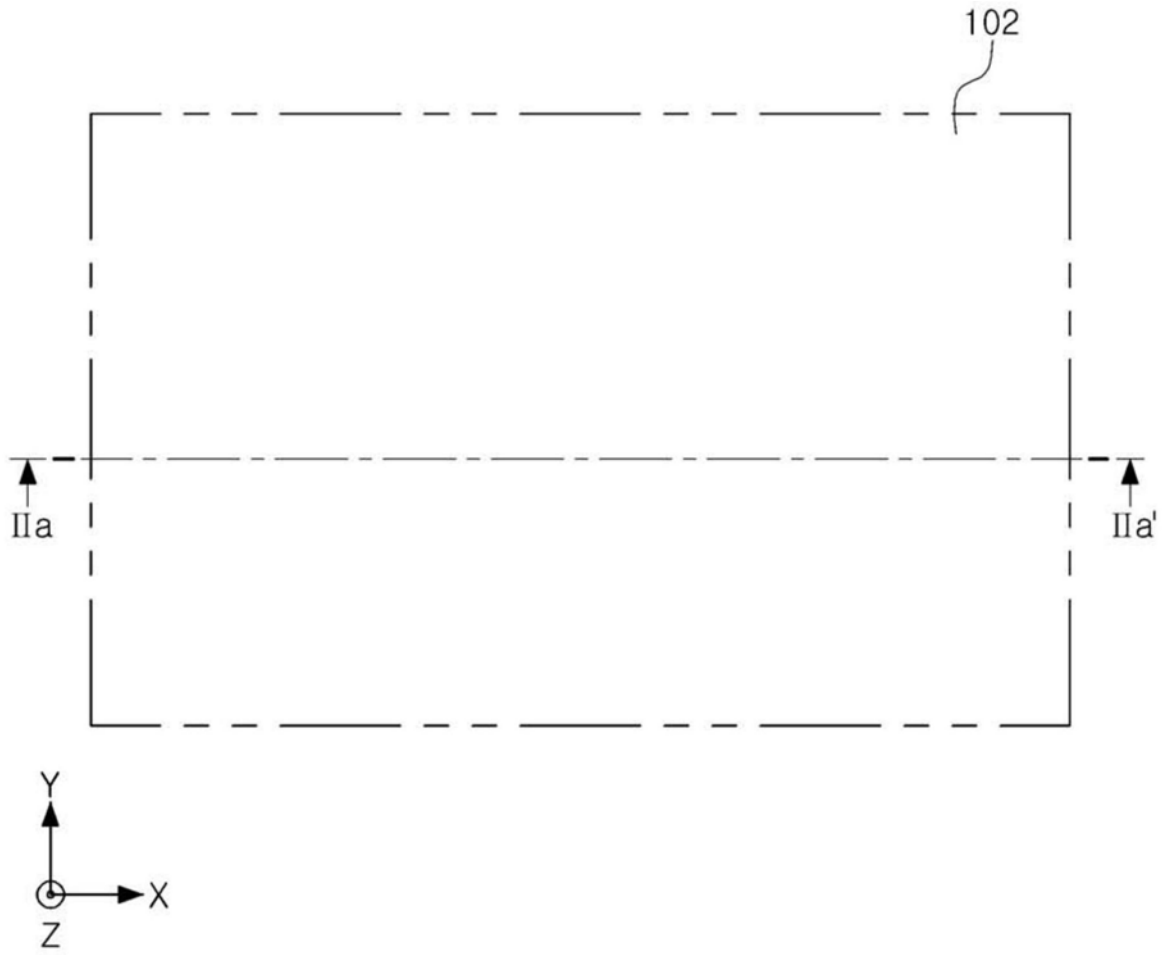


图22A

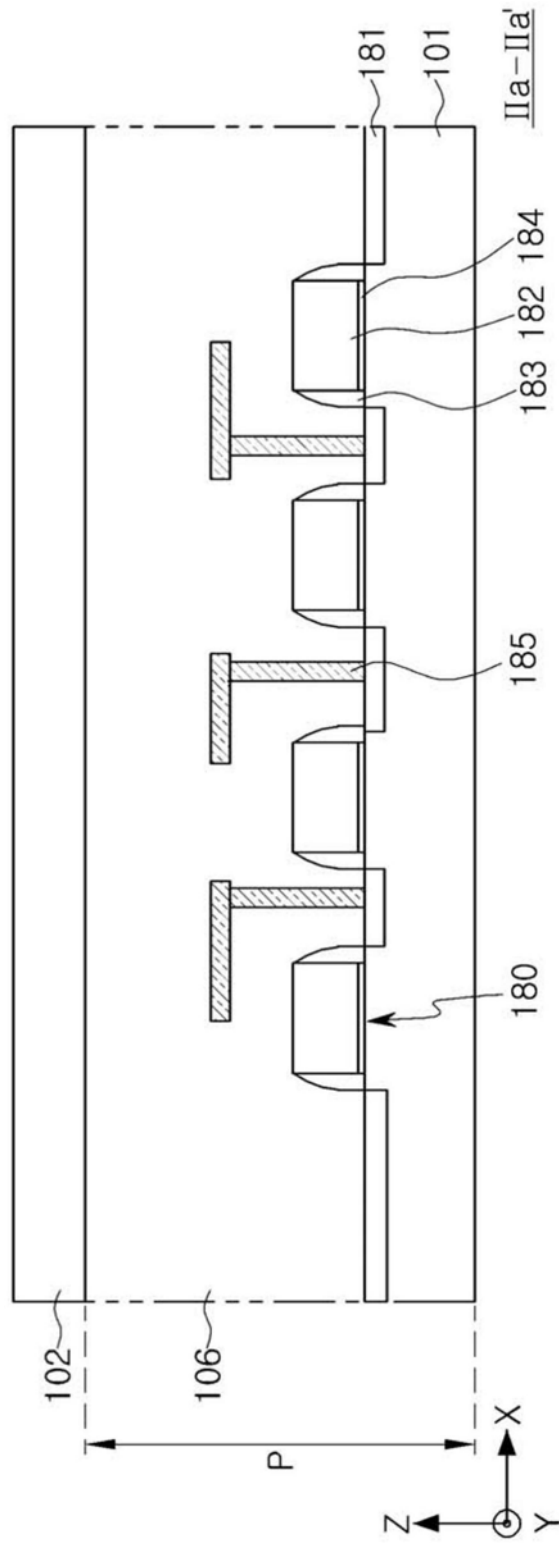


图22B

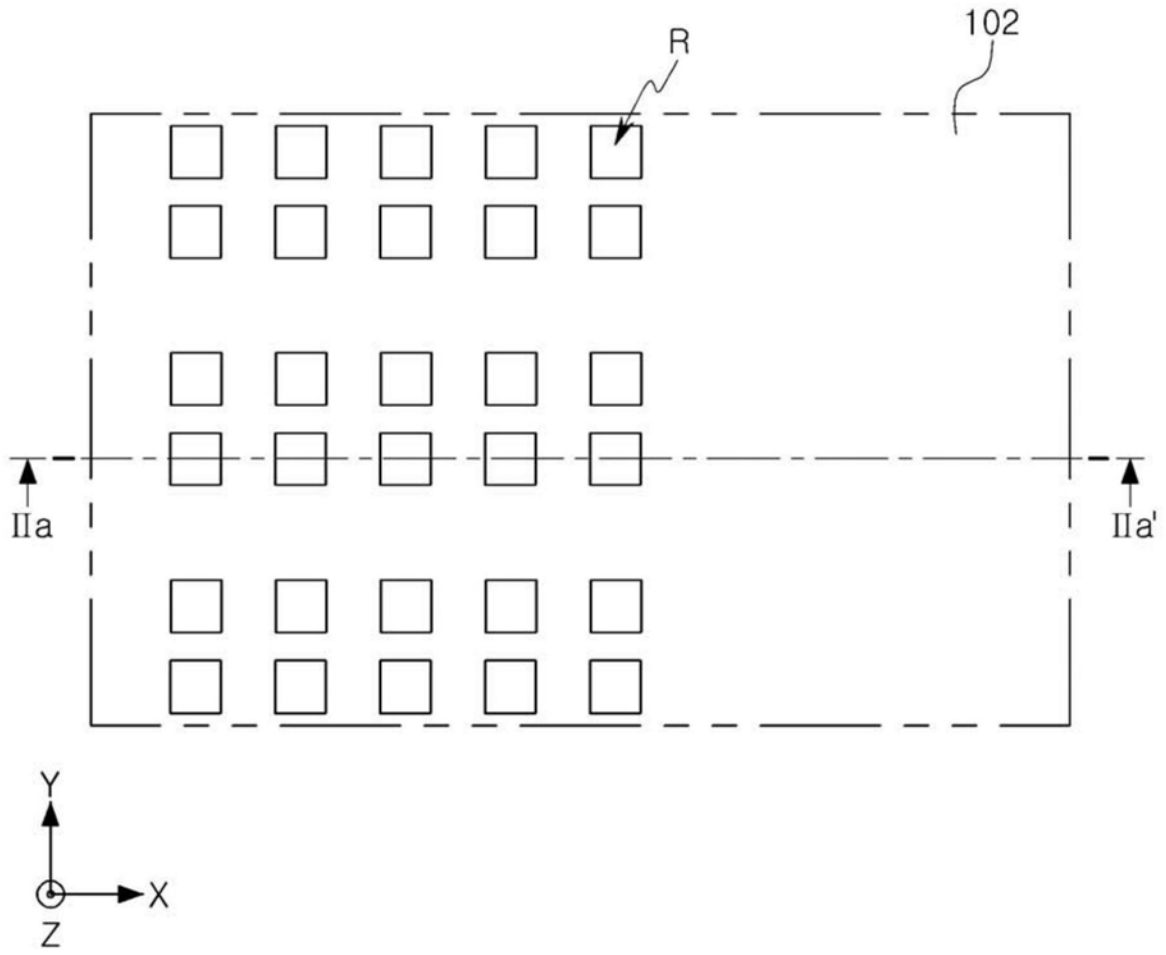


图23A

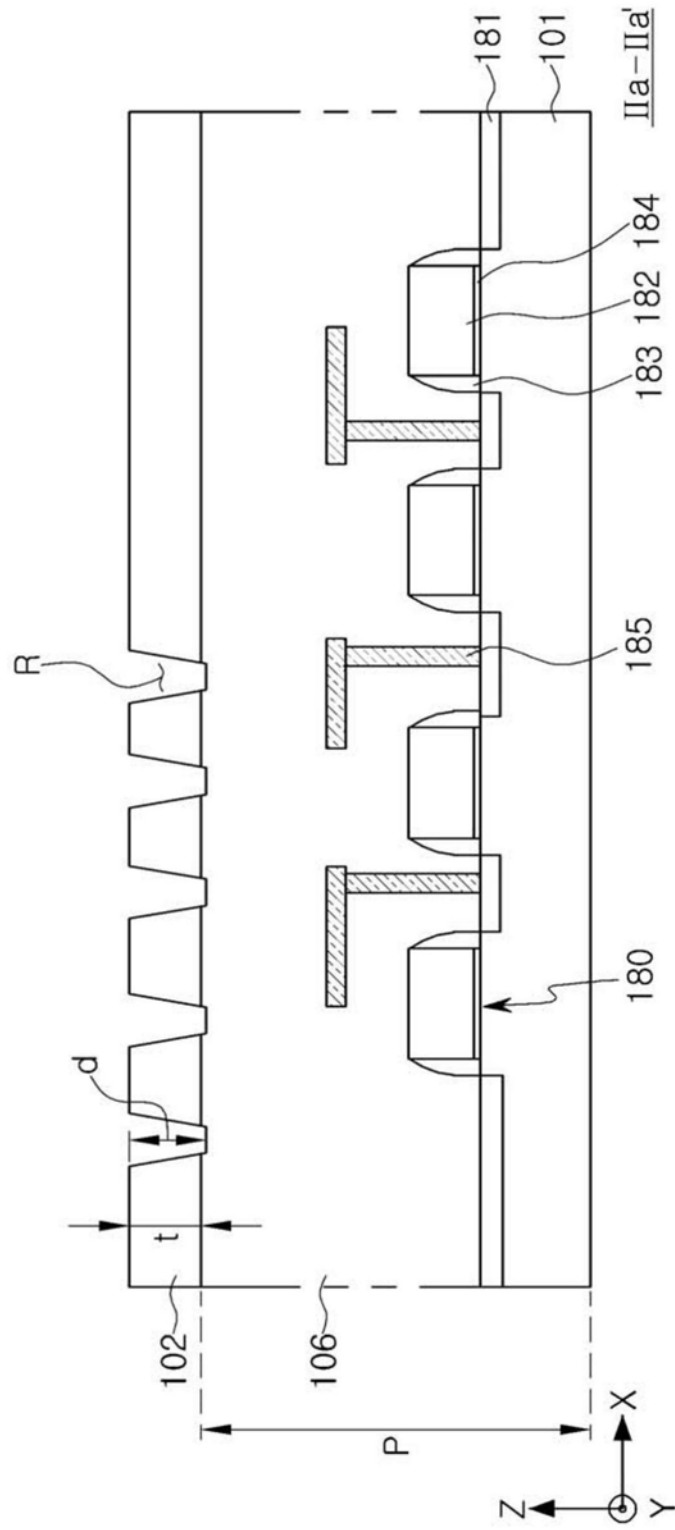


图23B

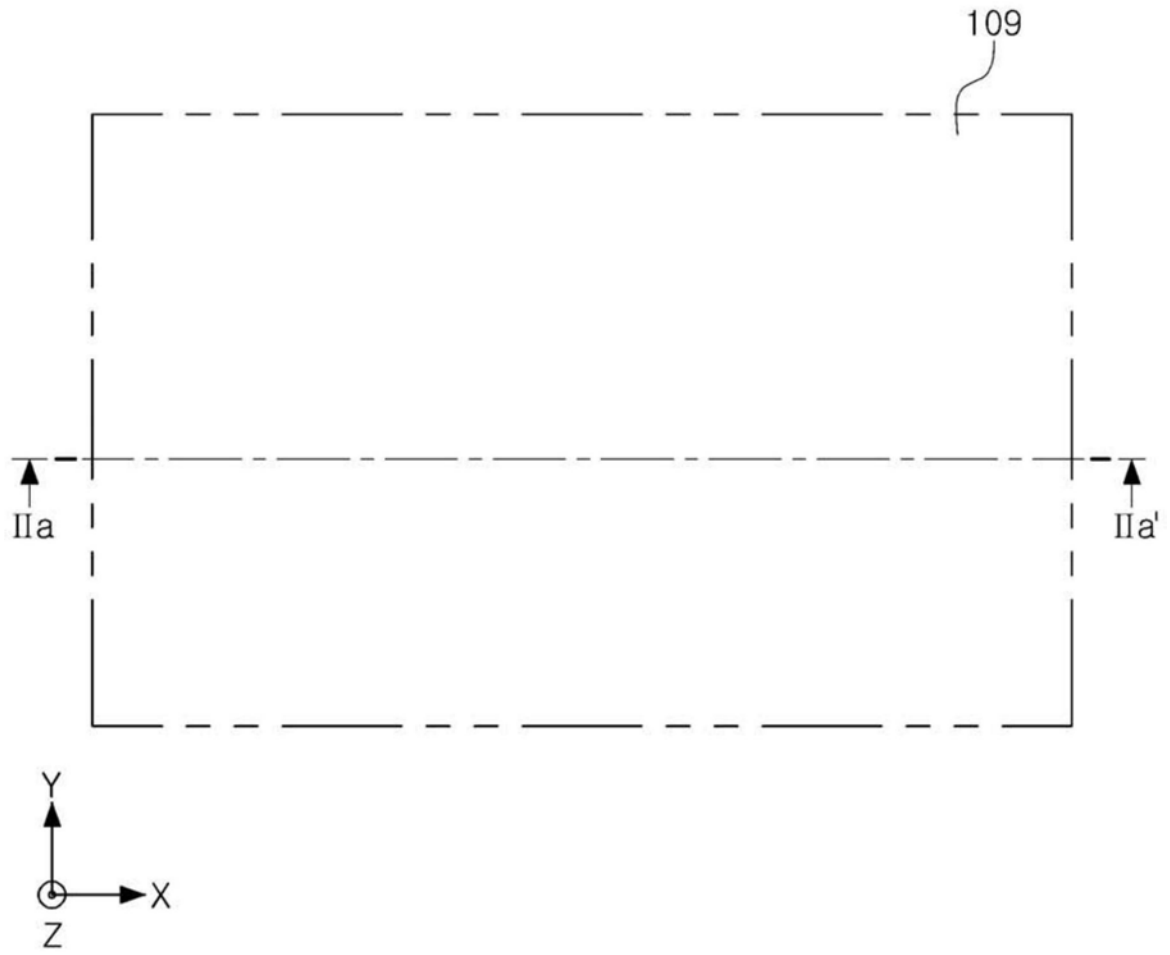


图24A

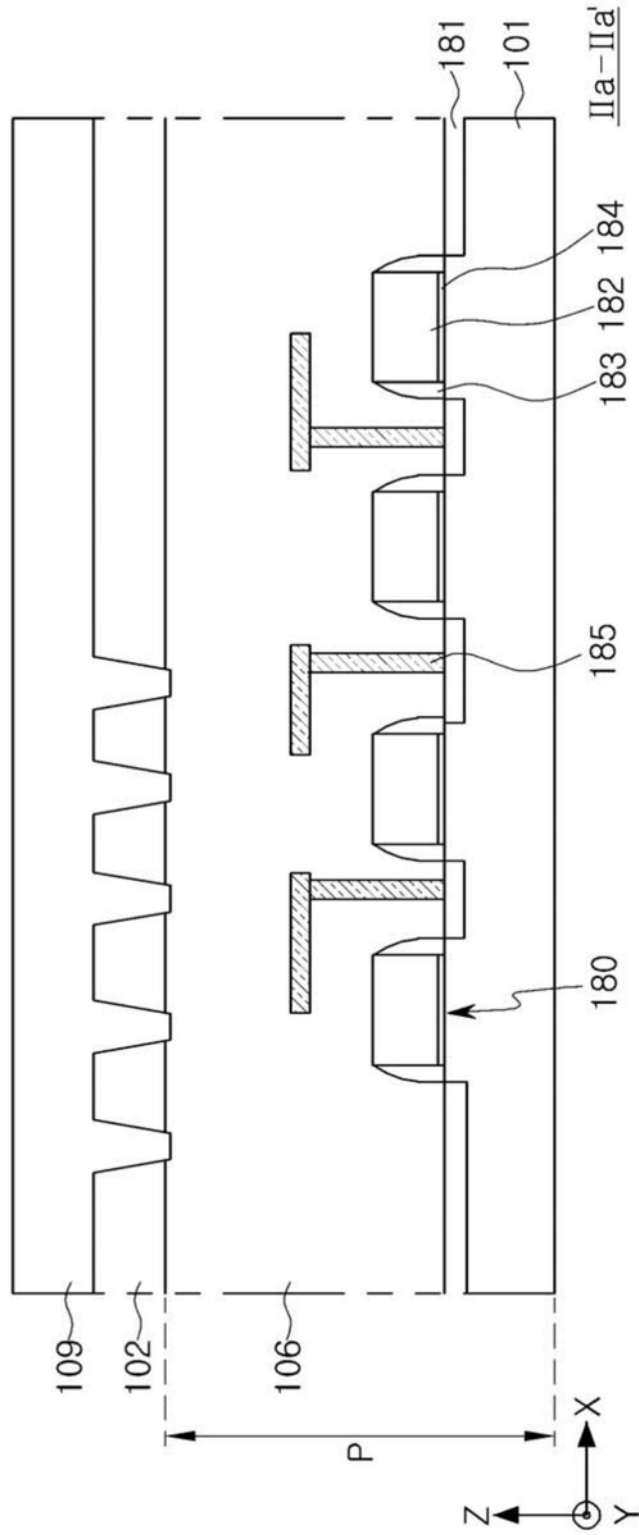


图24B

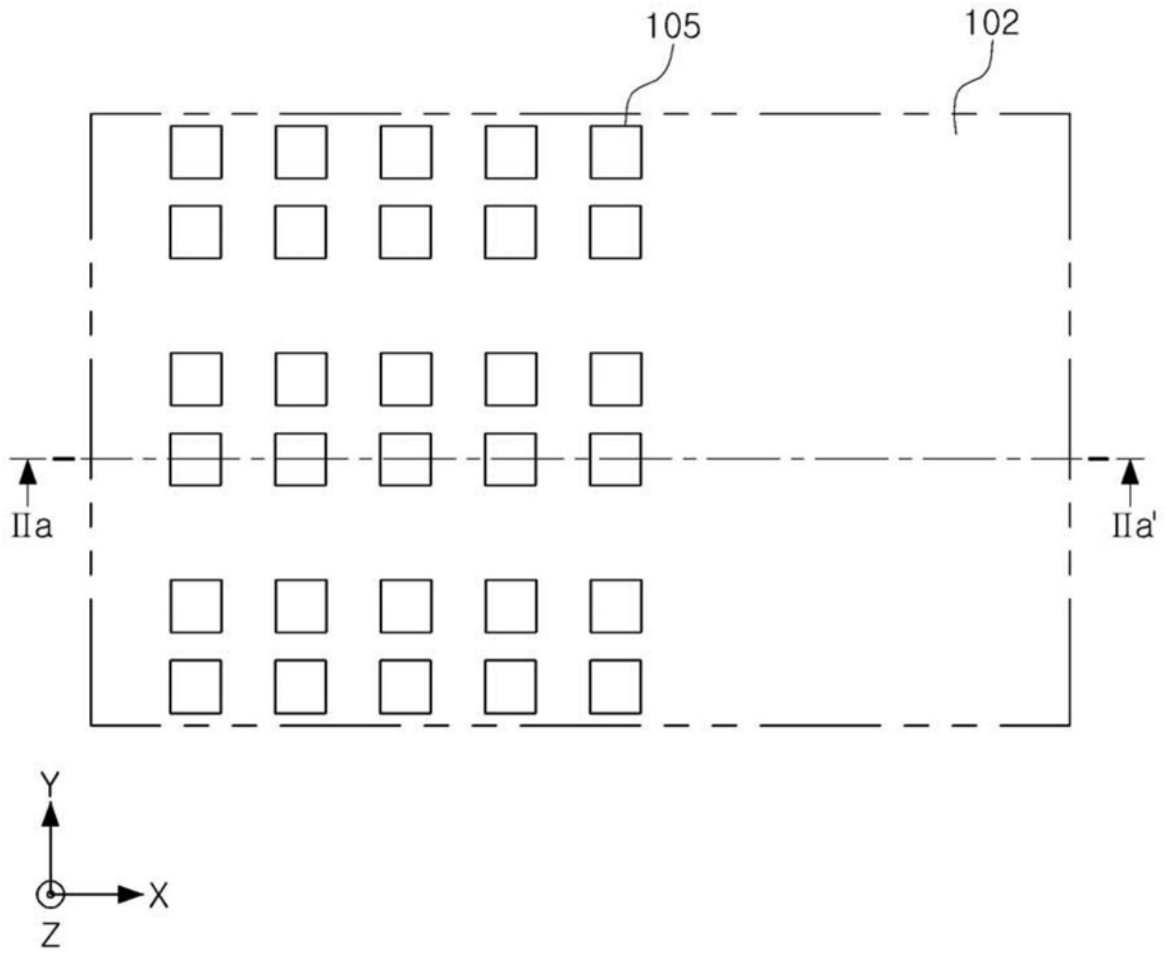


图25A

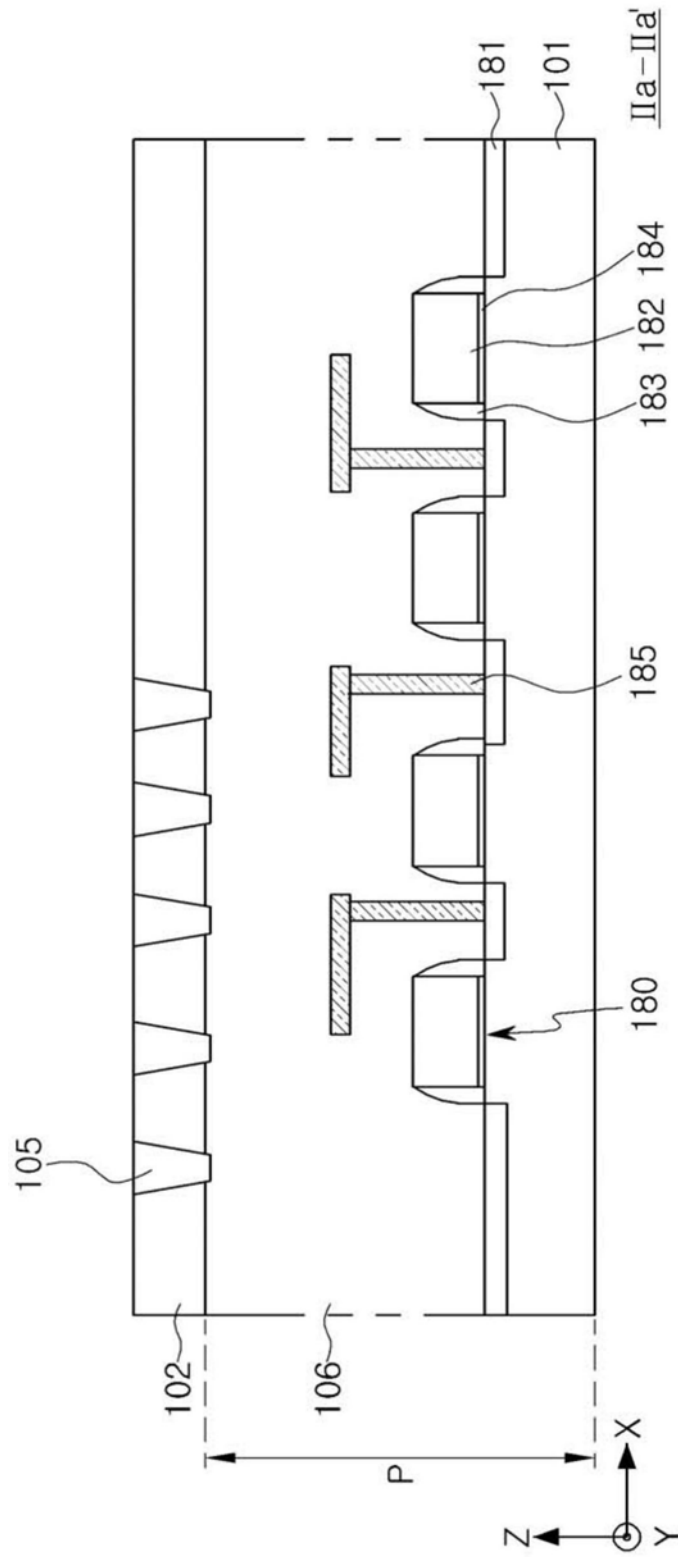


图25B

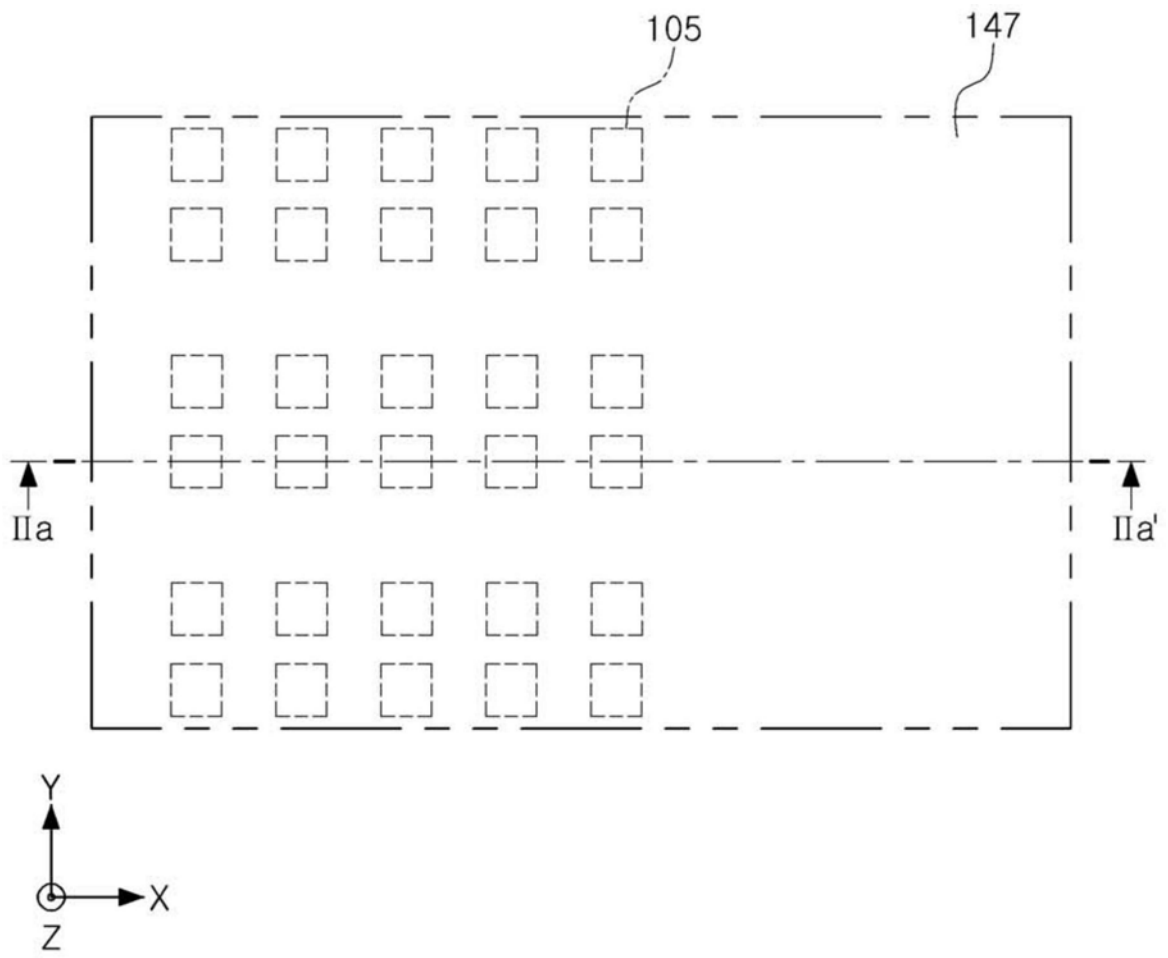


图26A

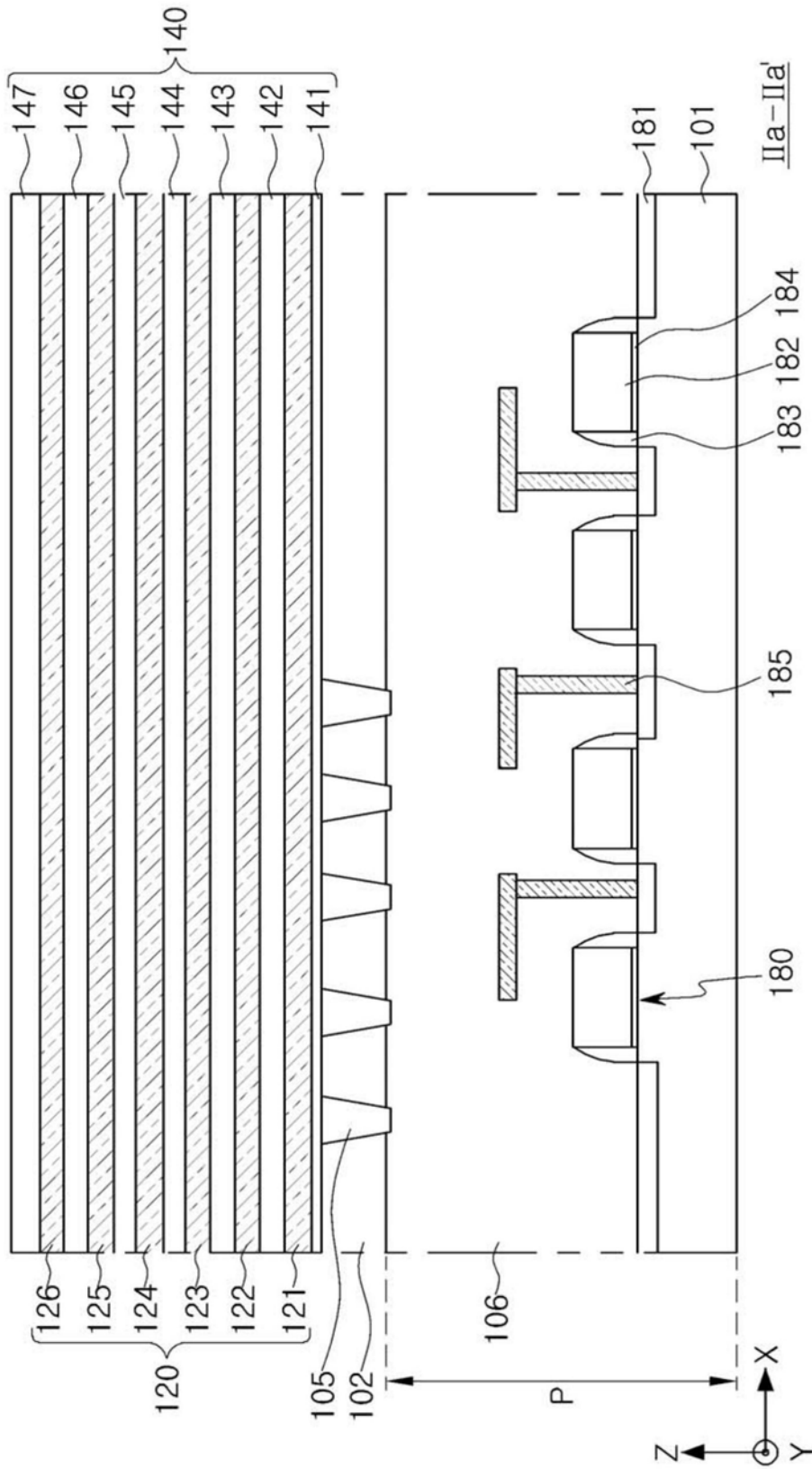


图26B

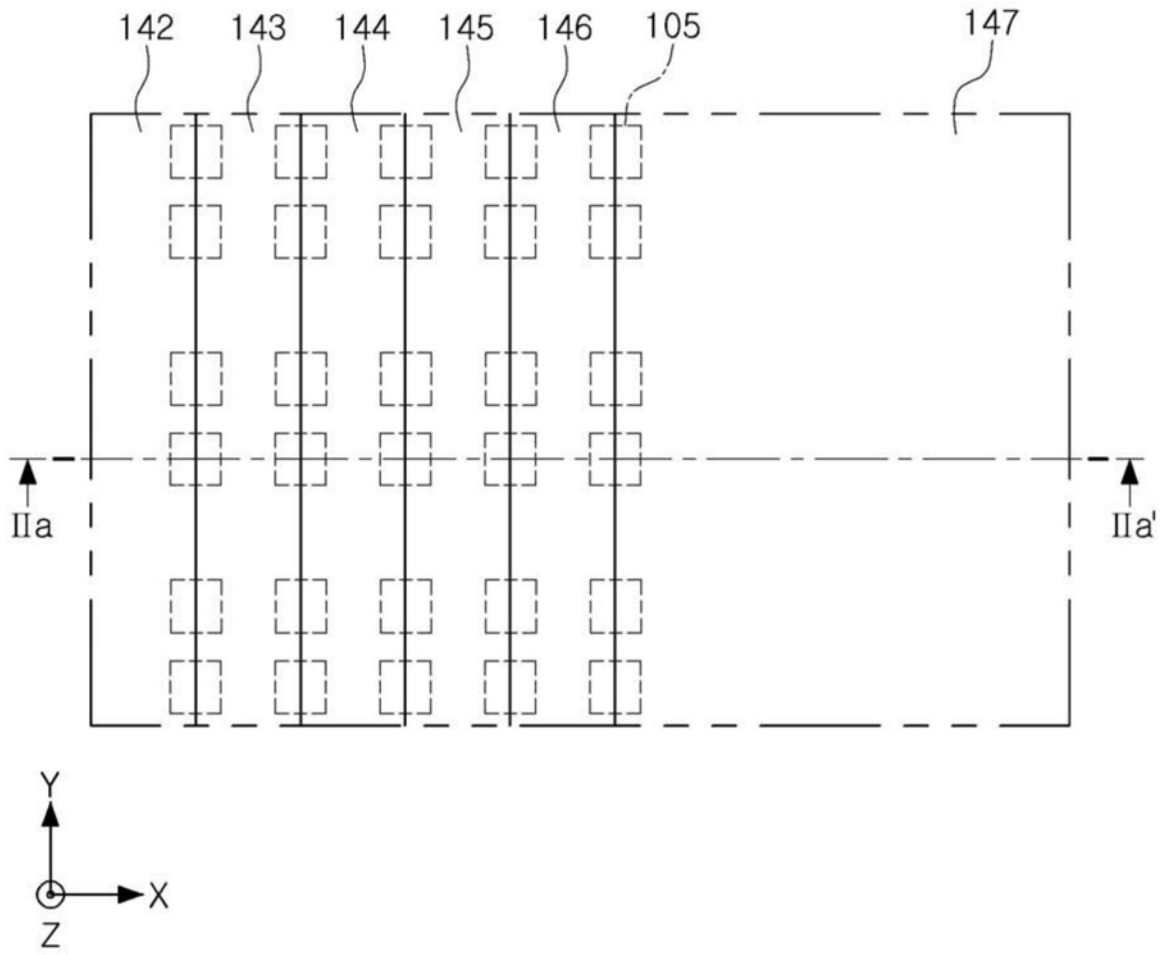


图27A

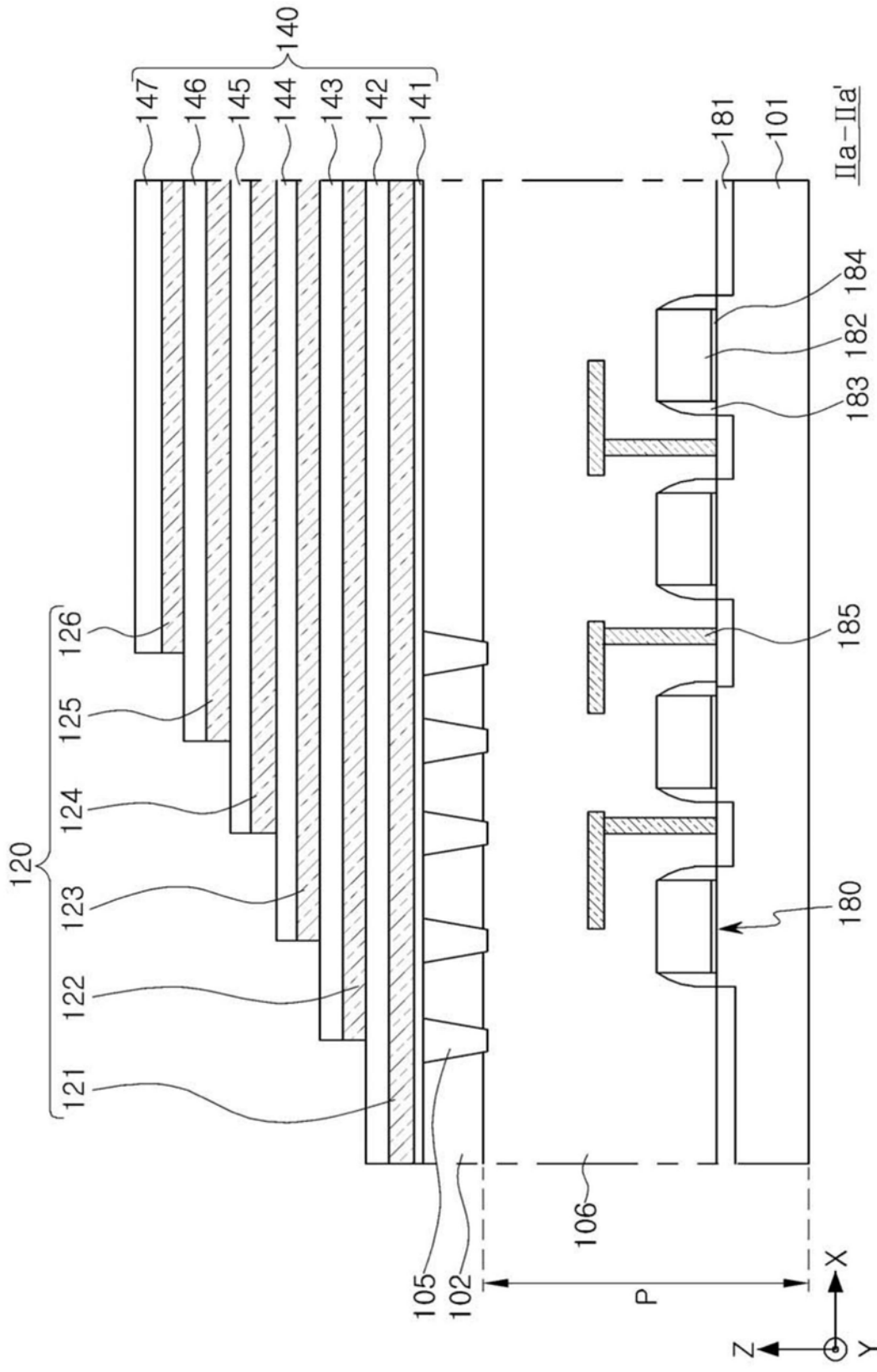


图27B

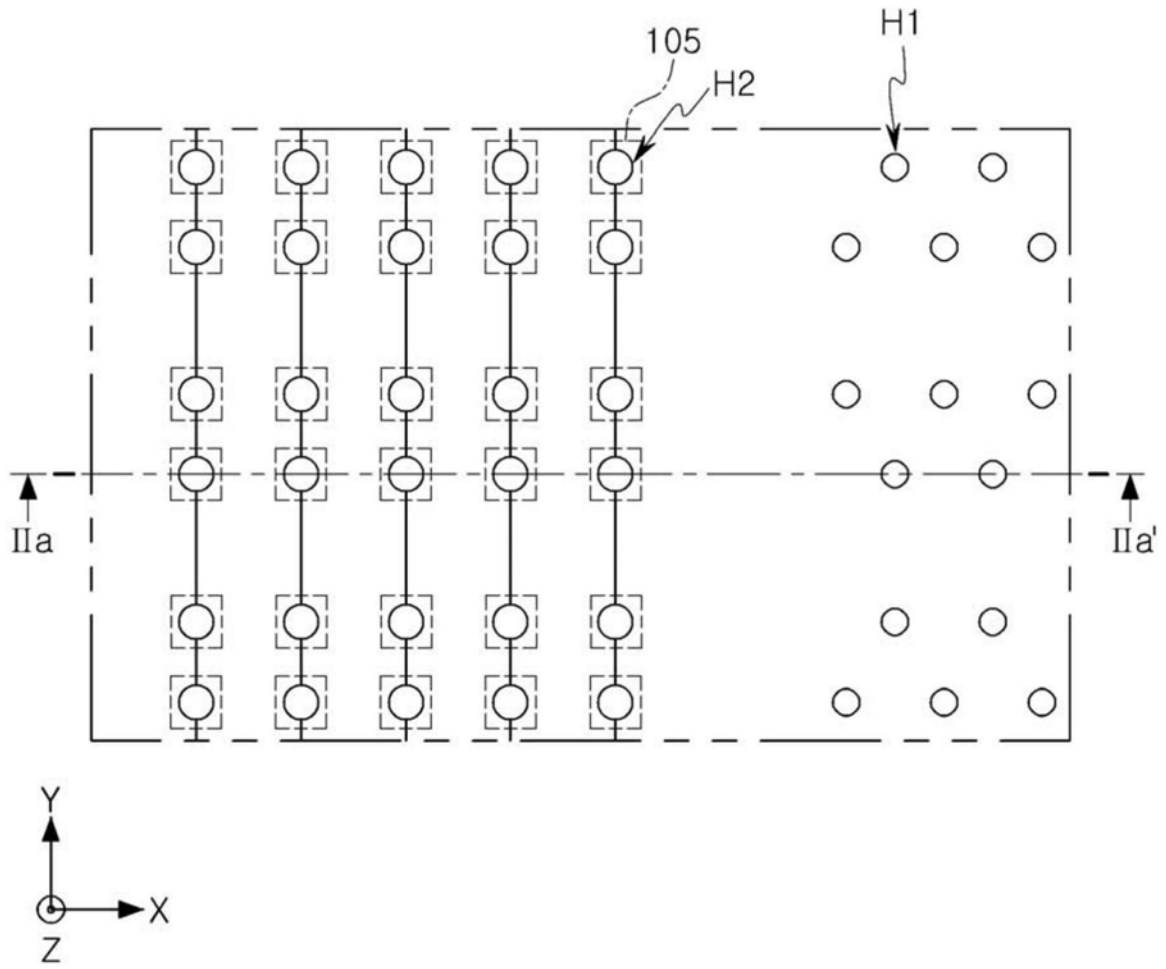


图28A

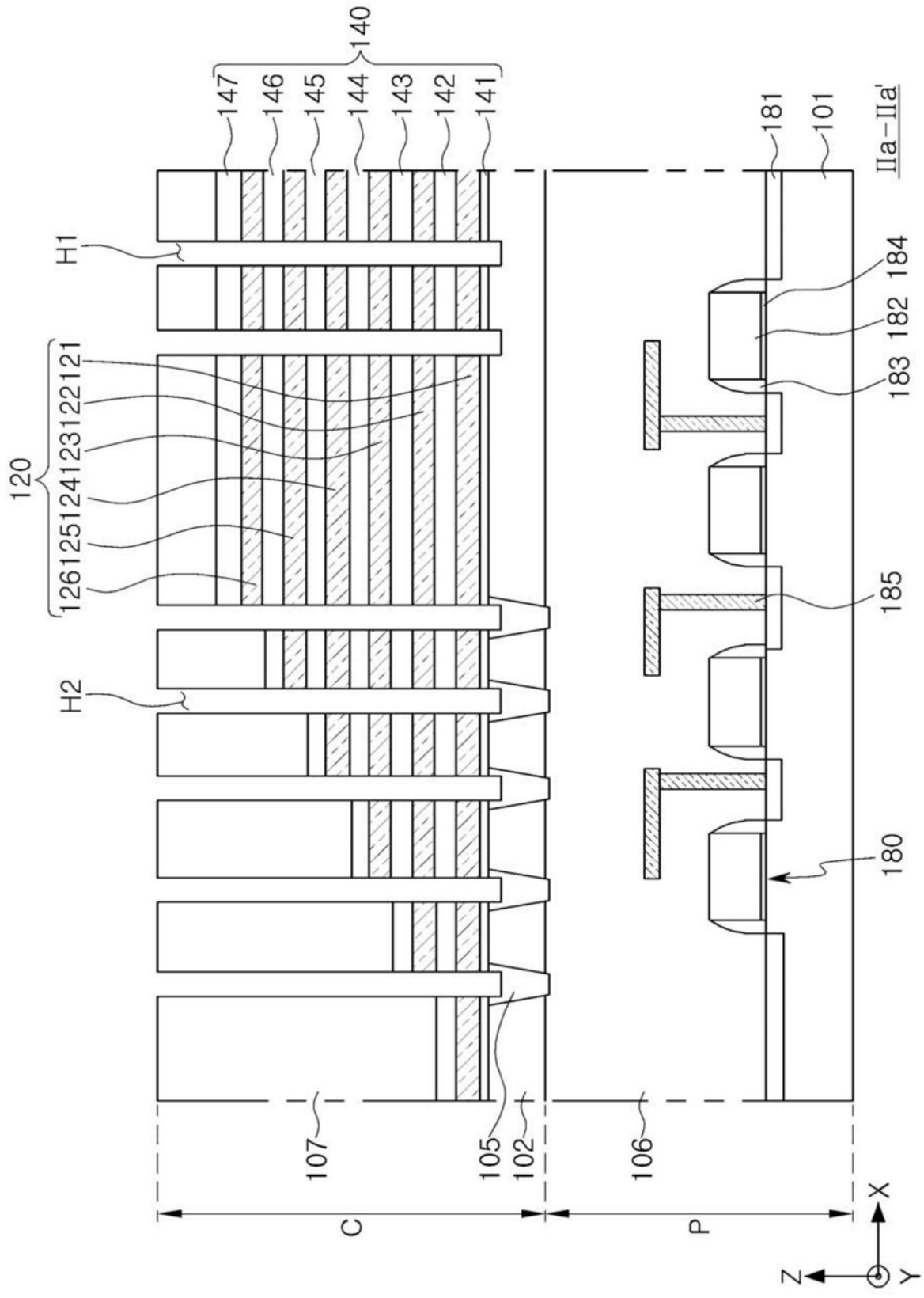


图28B

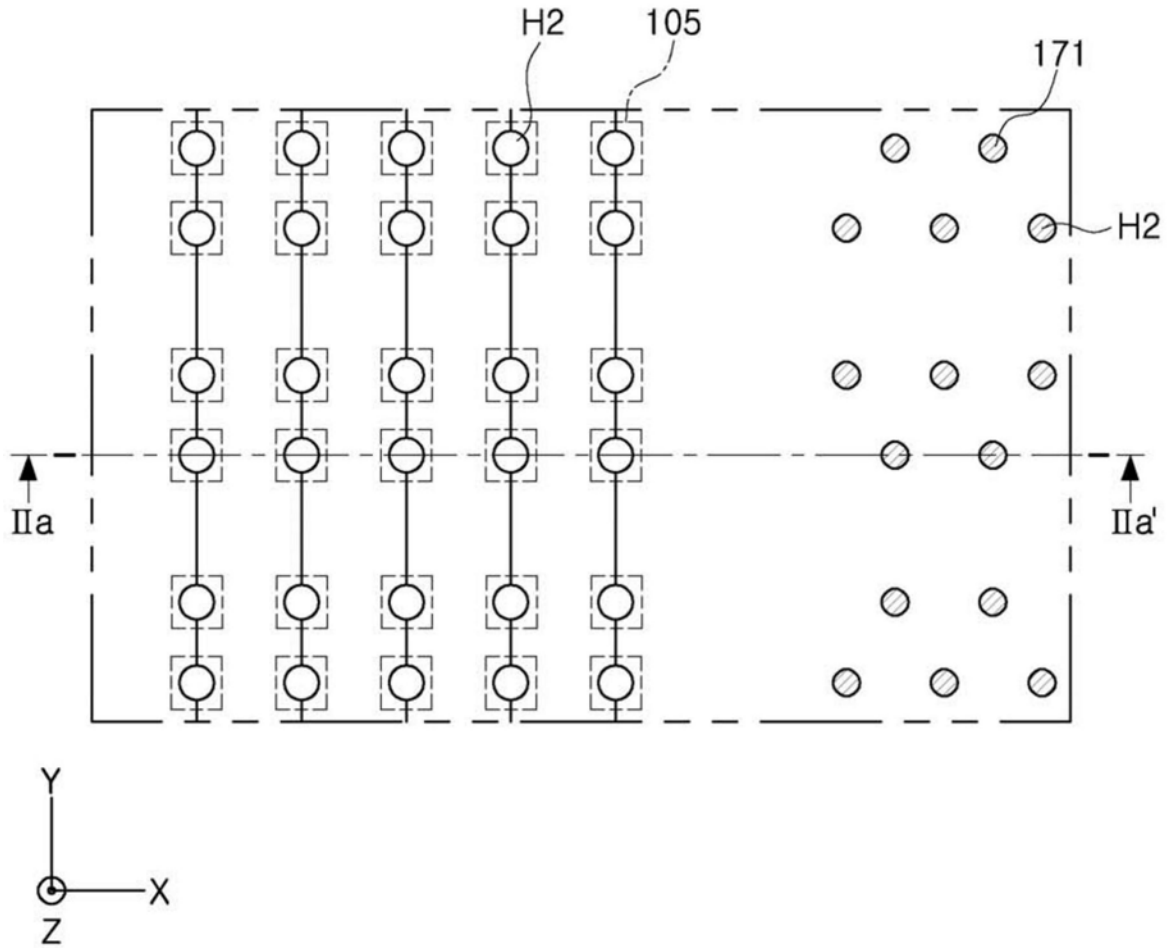


图29A

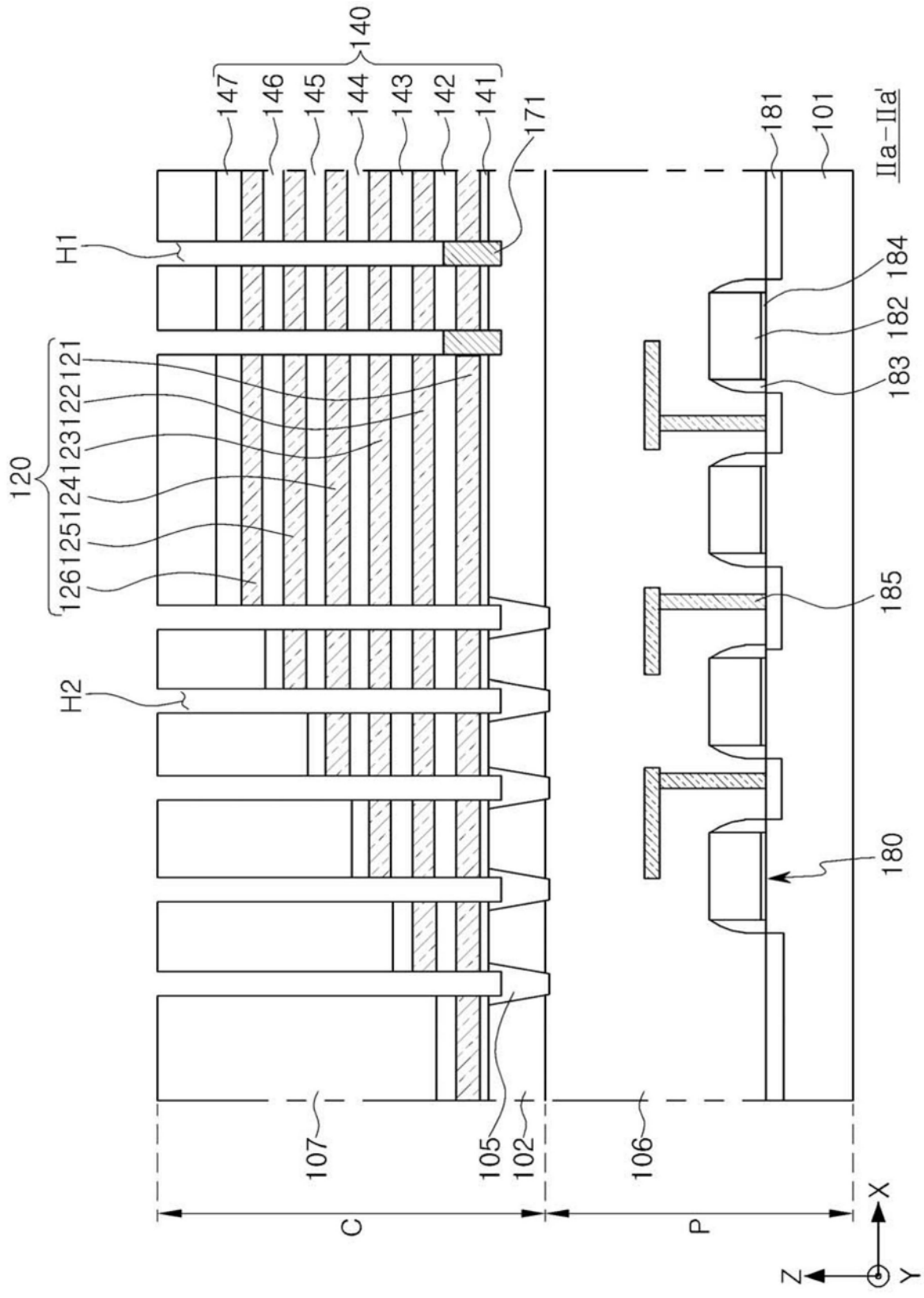


图29B

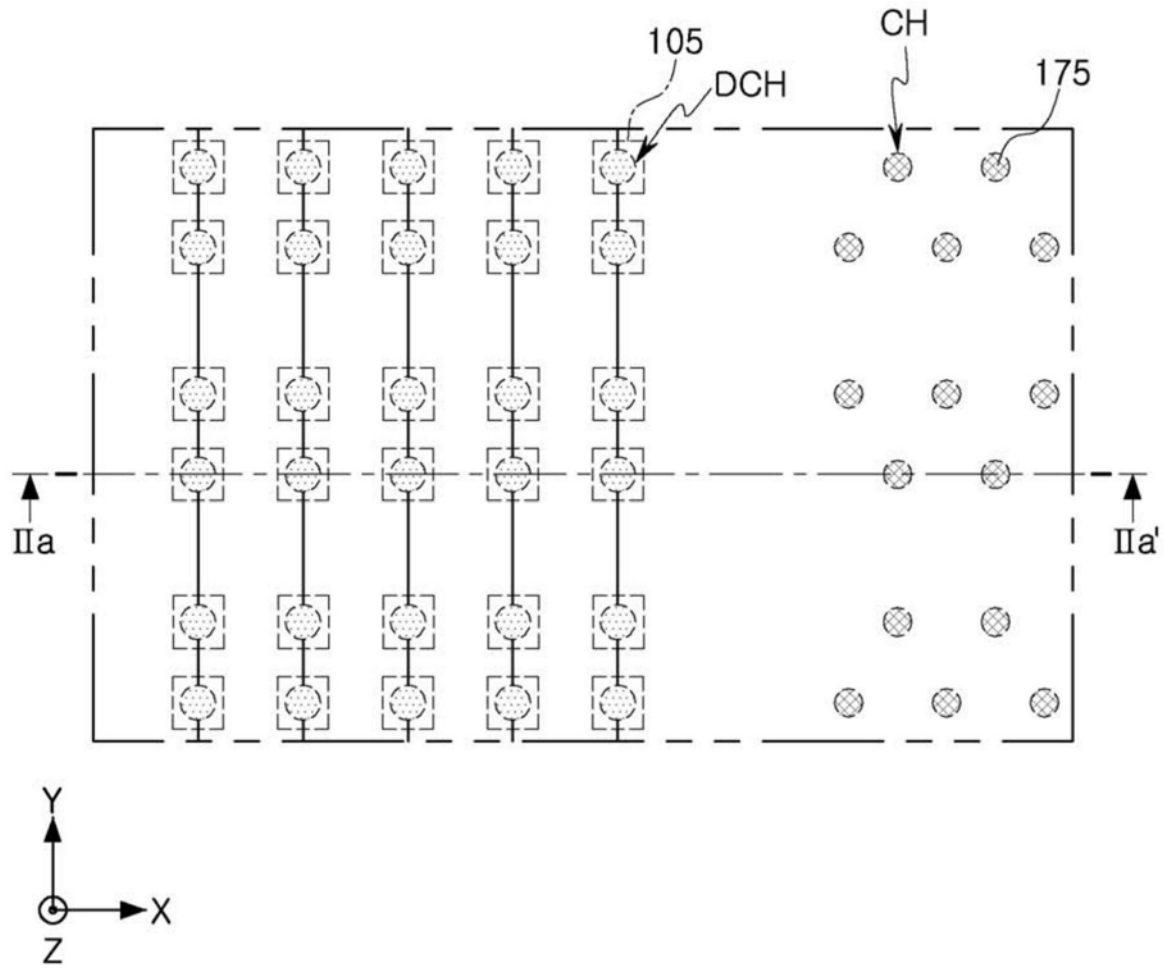


图30A

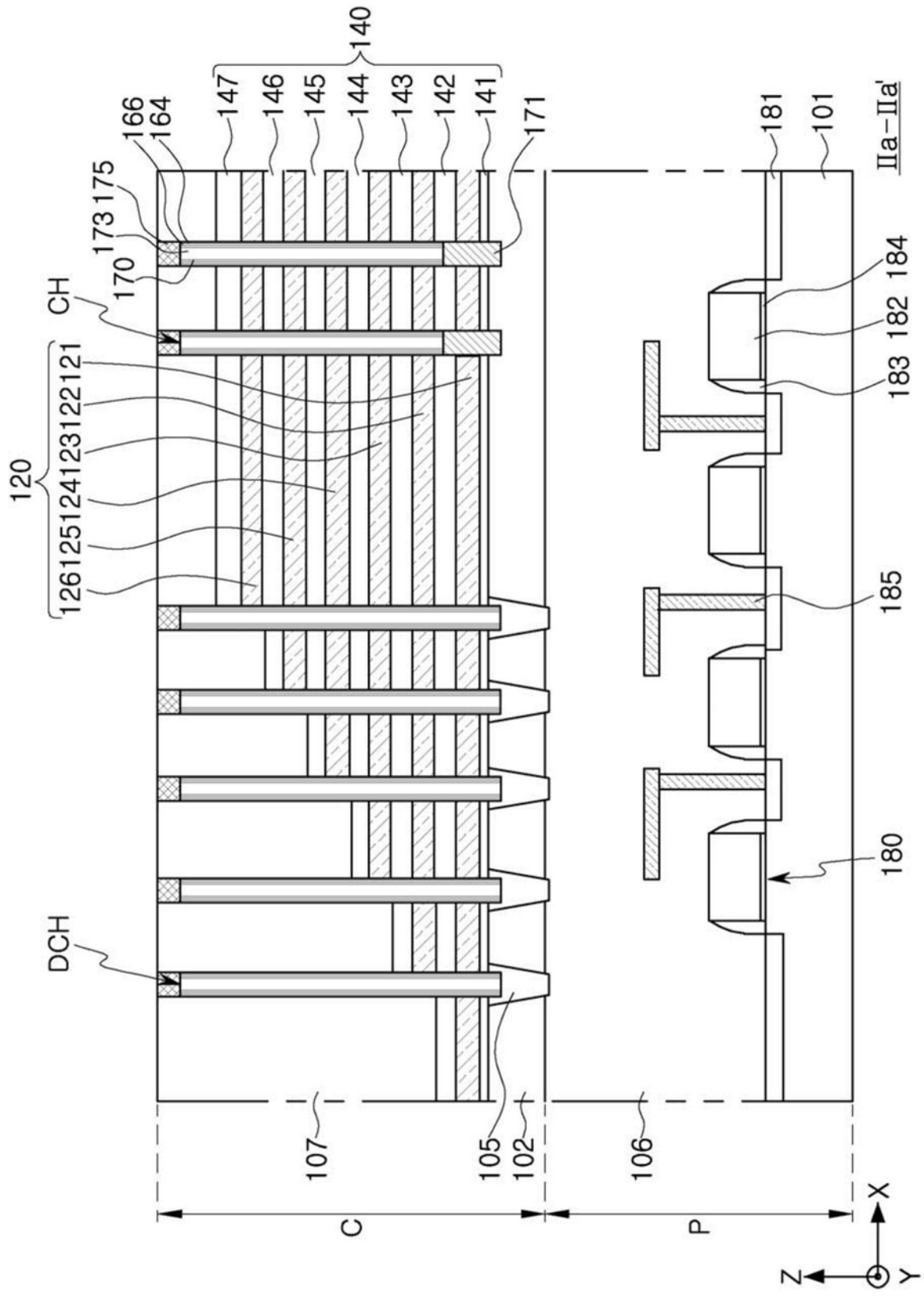


图30B

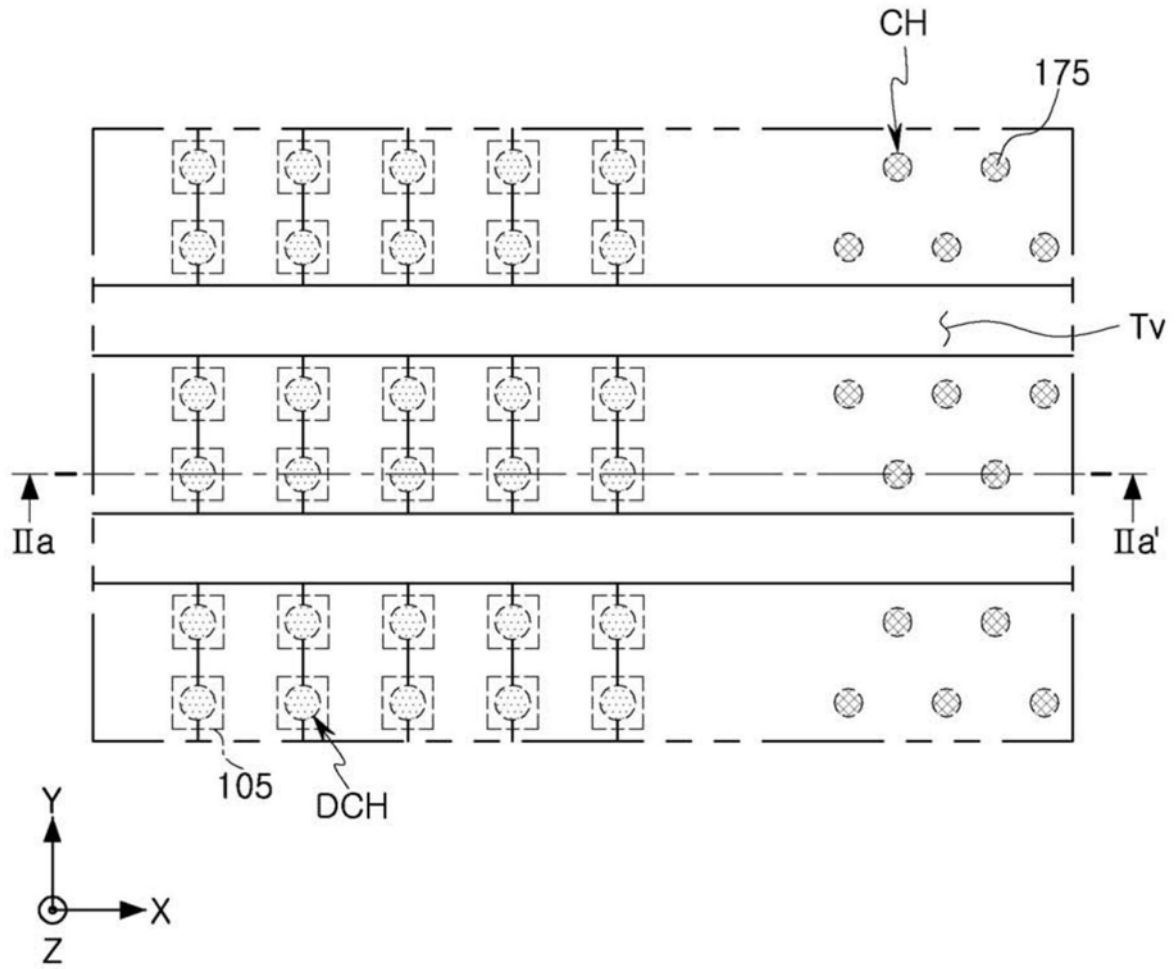


图31A

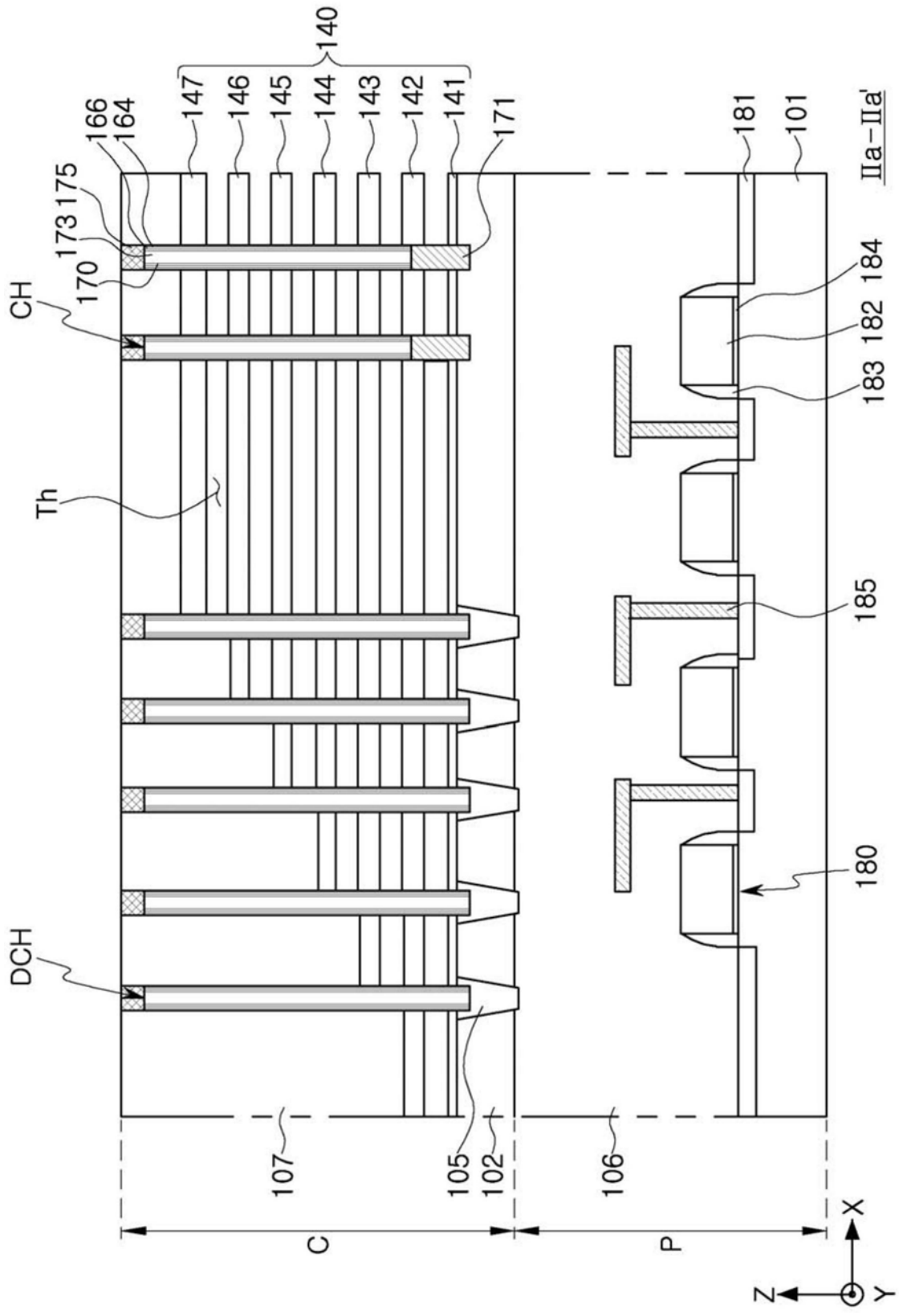


图31B

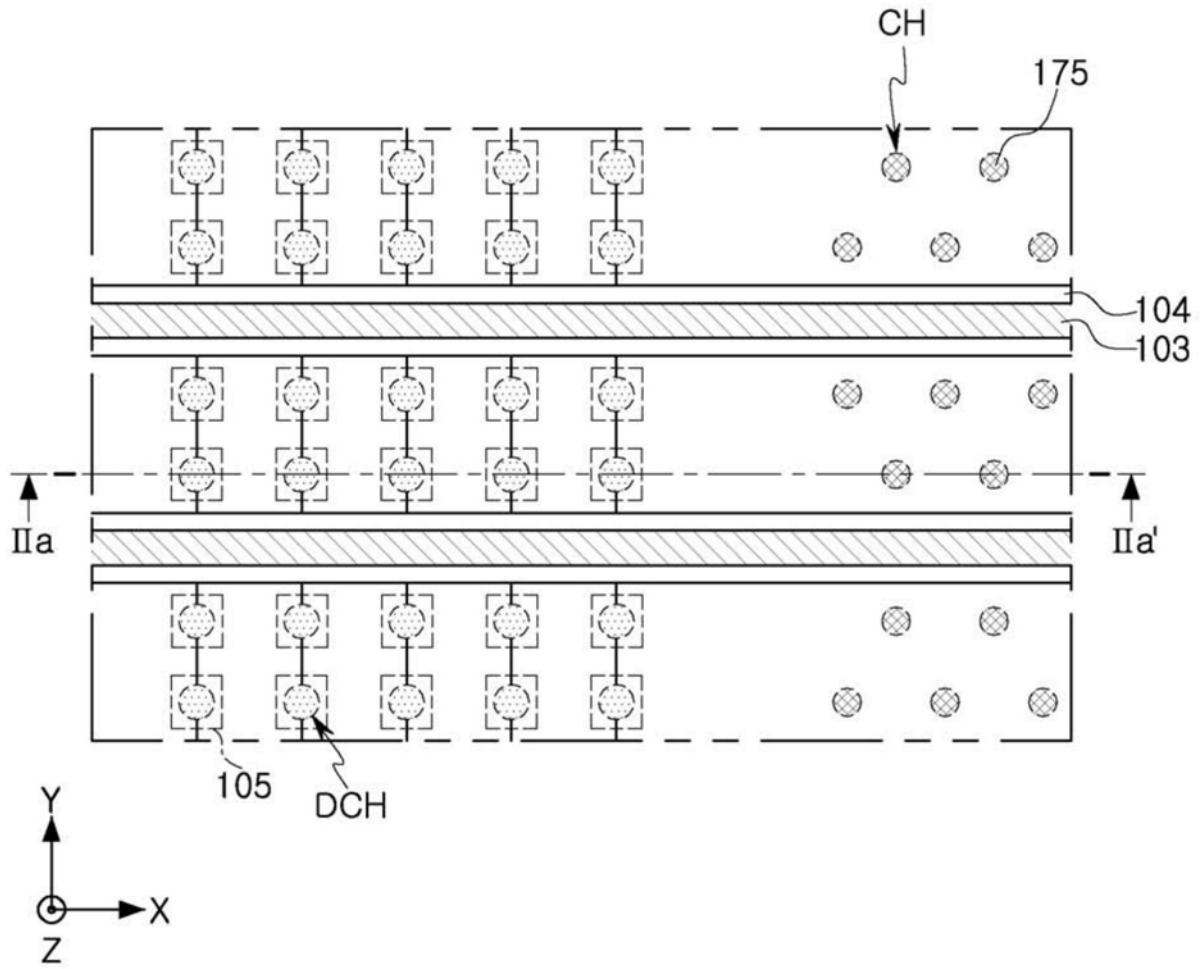


图32A

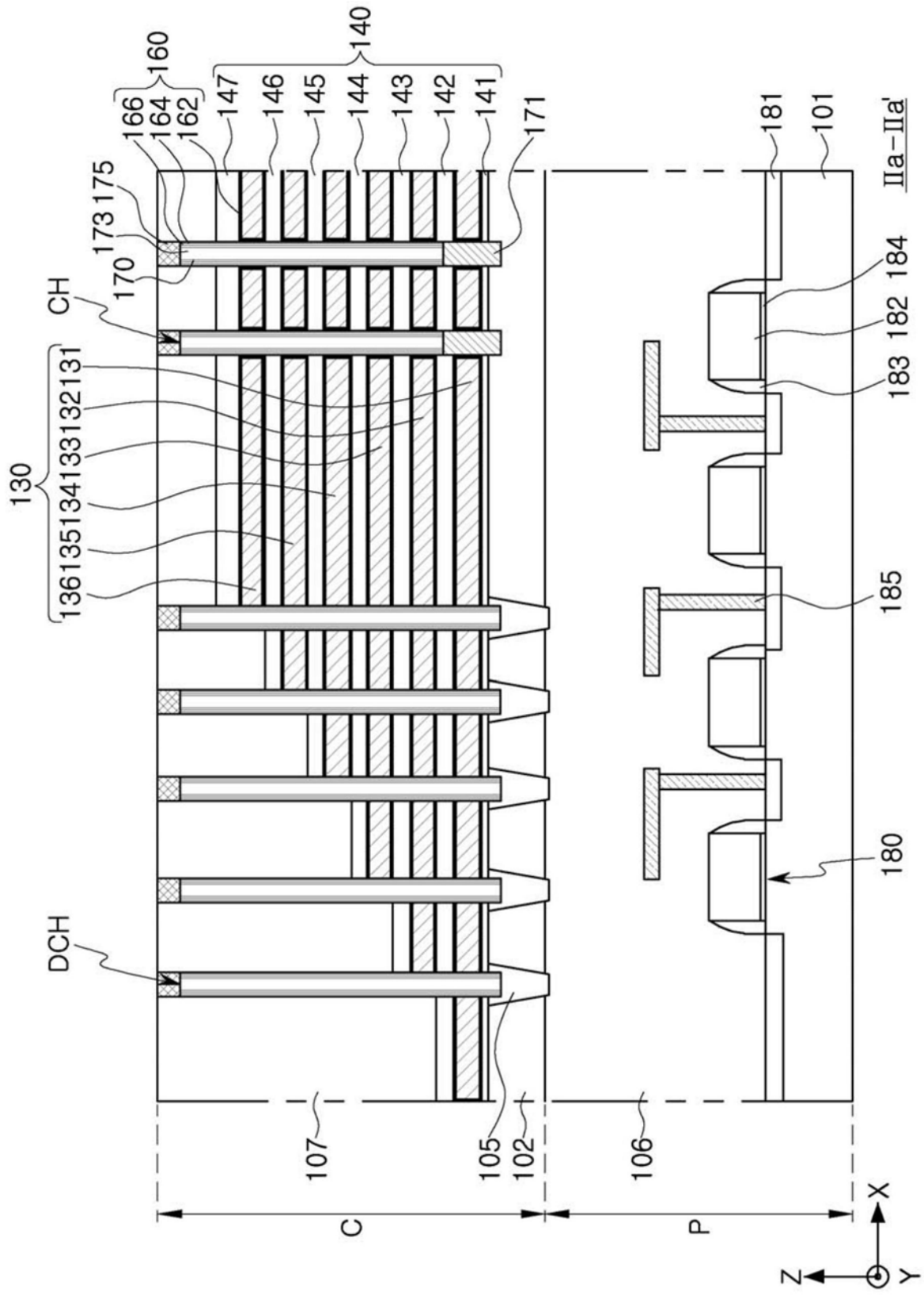


图32B

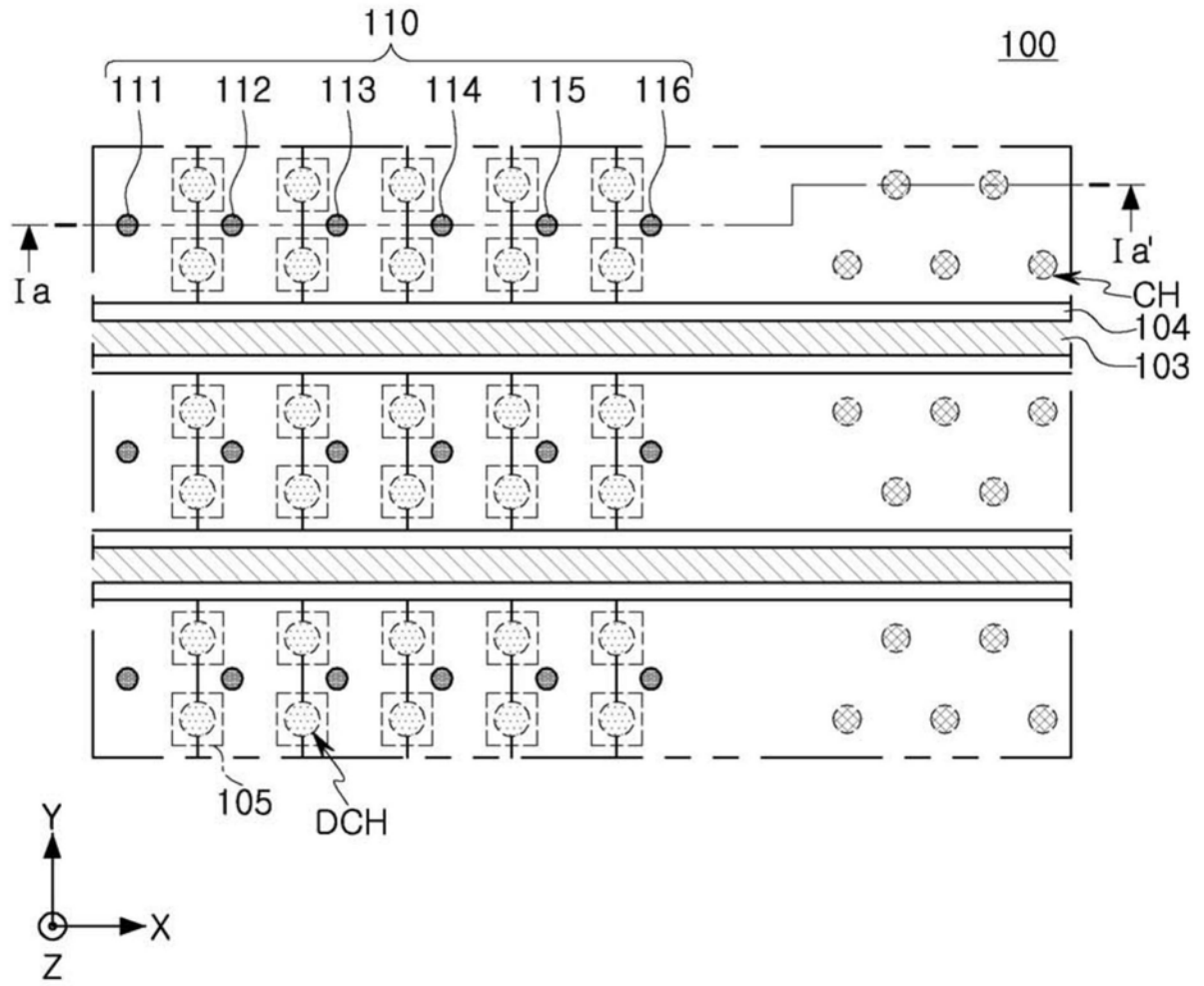


图33A

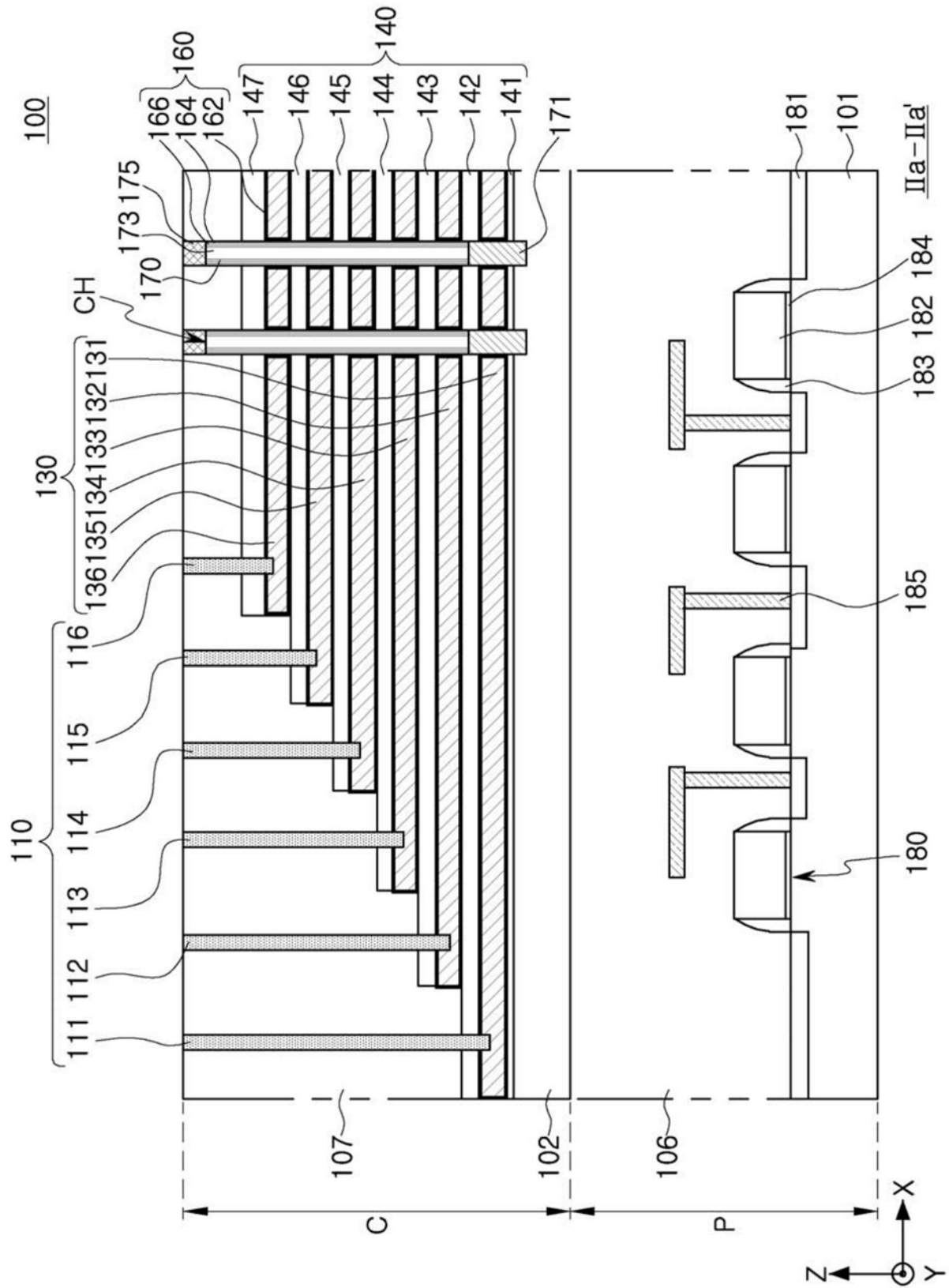


图33B

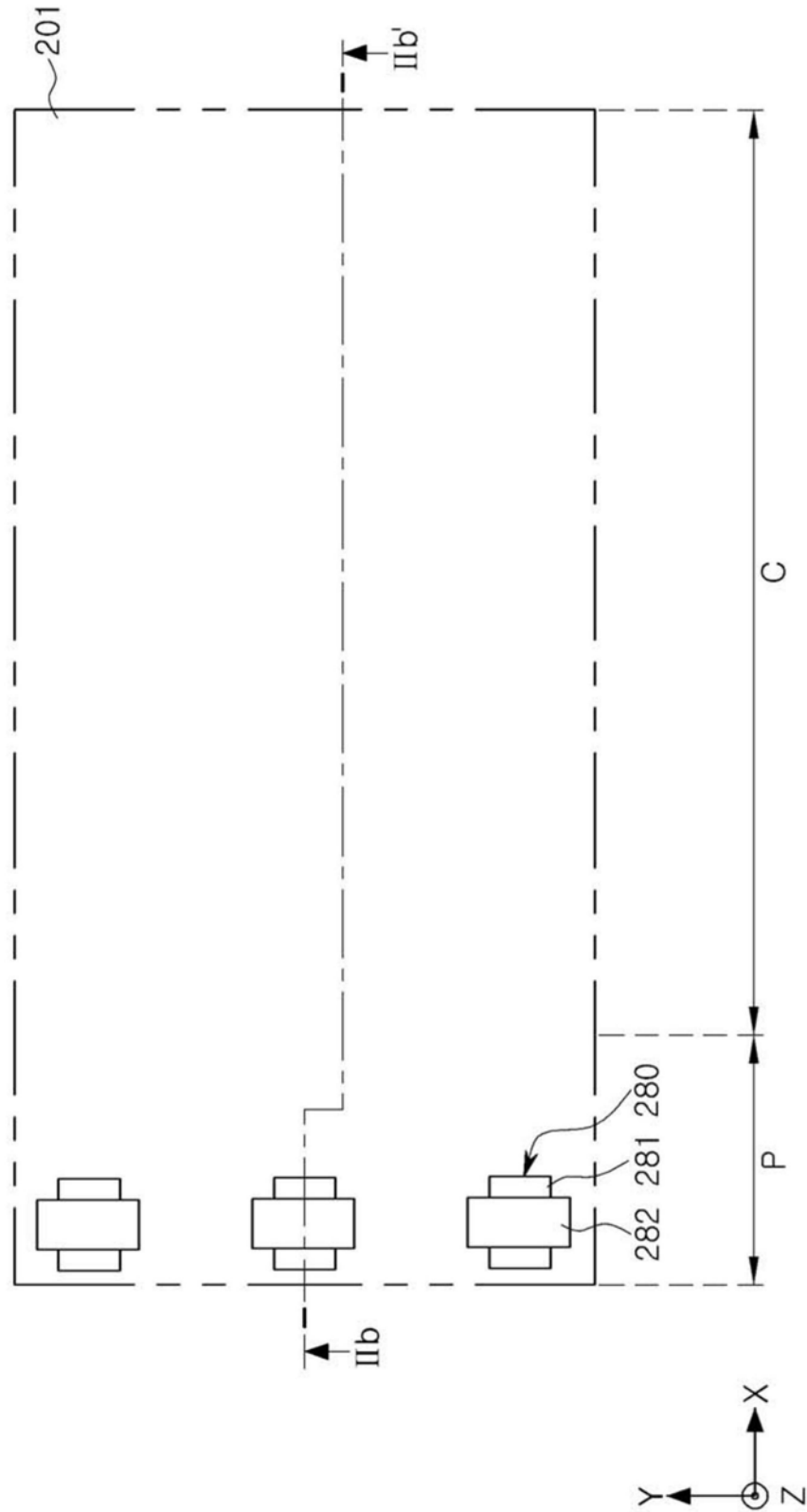


图34A

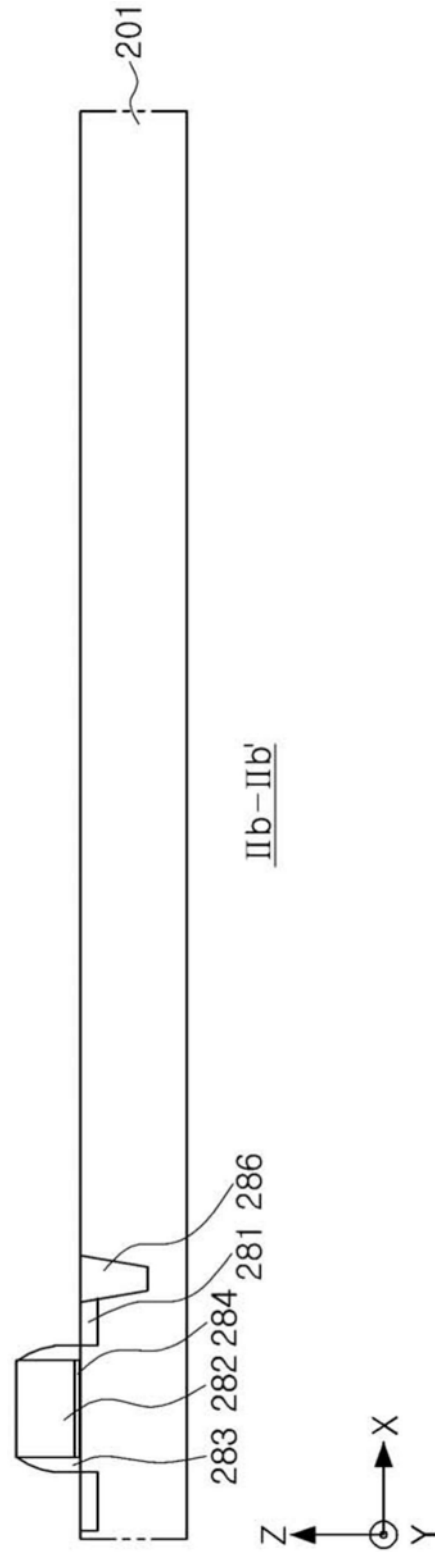


图34B

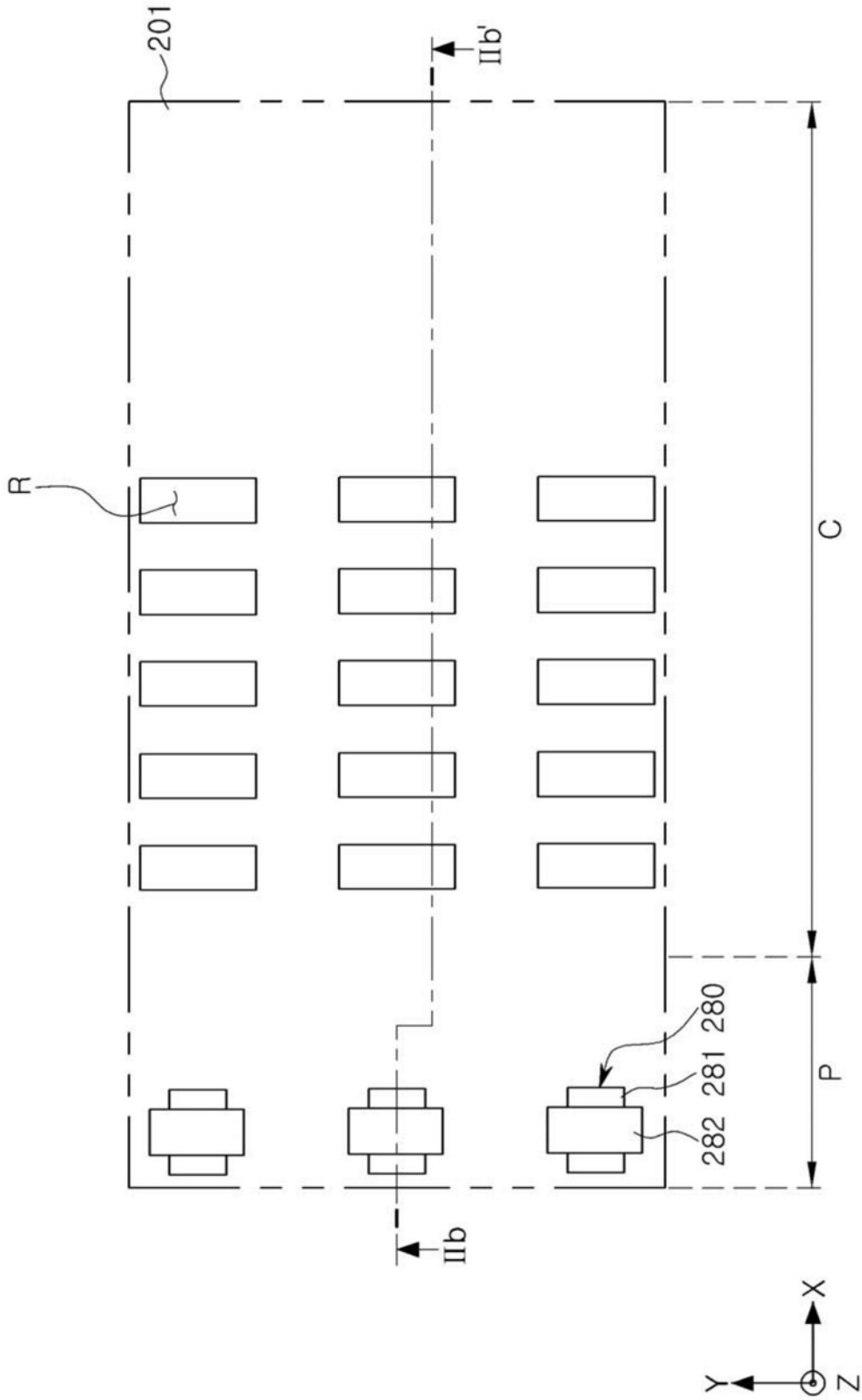


图35A

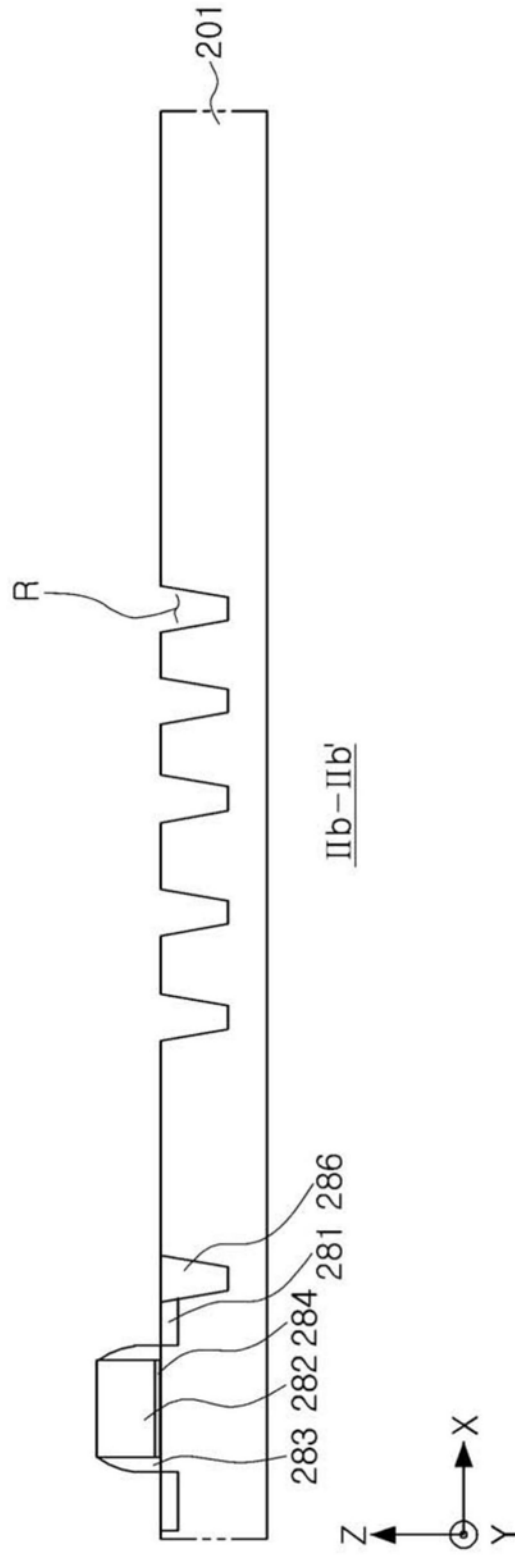


图35B

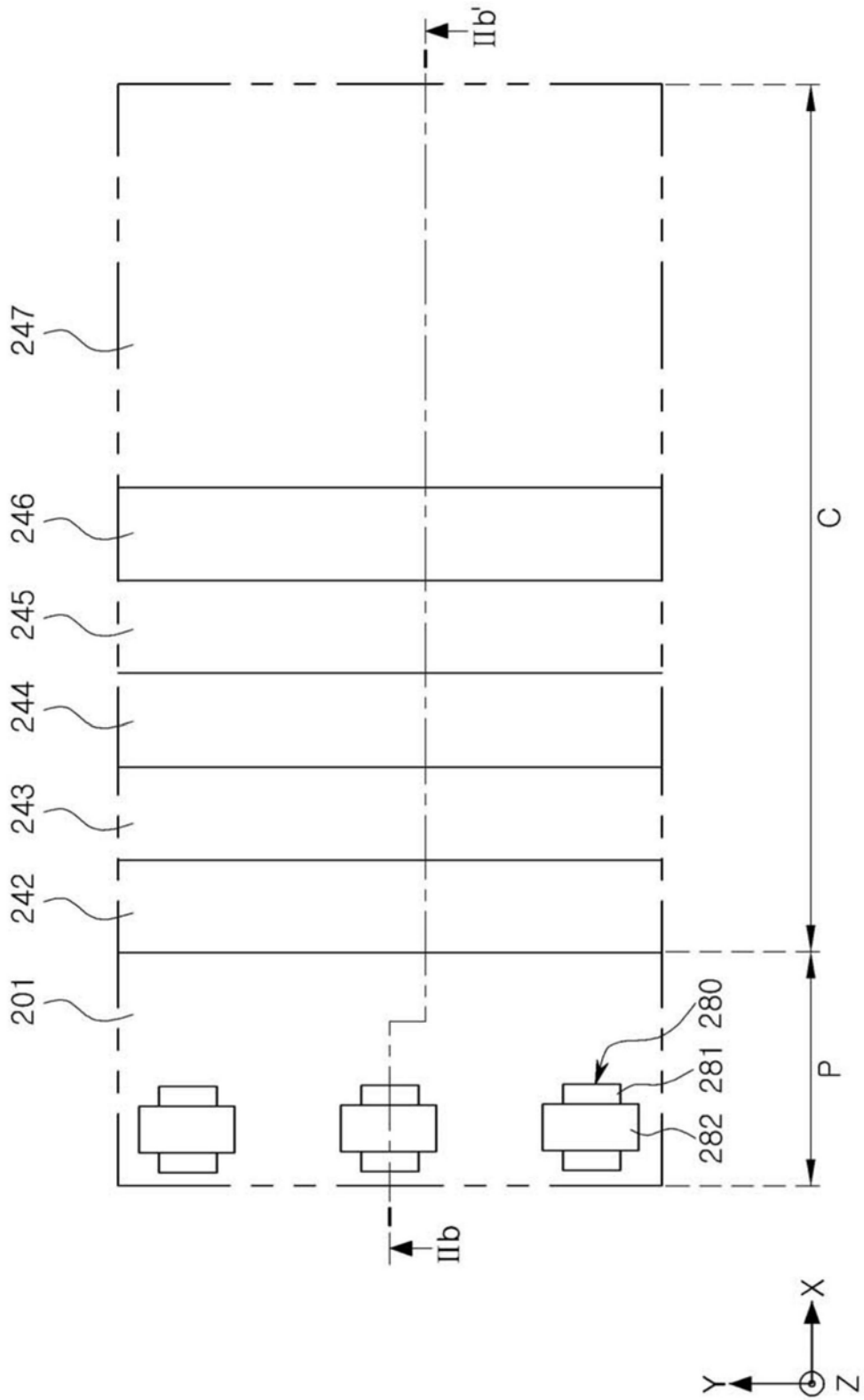


图36A

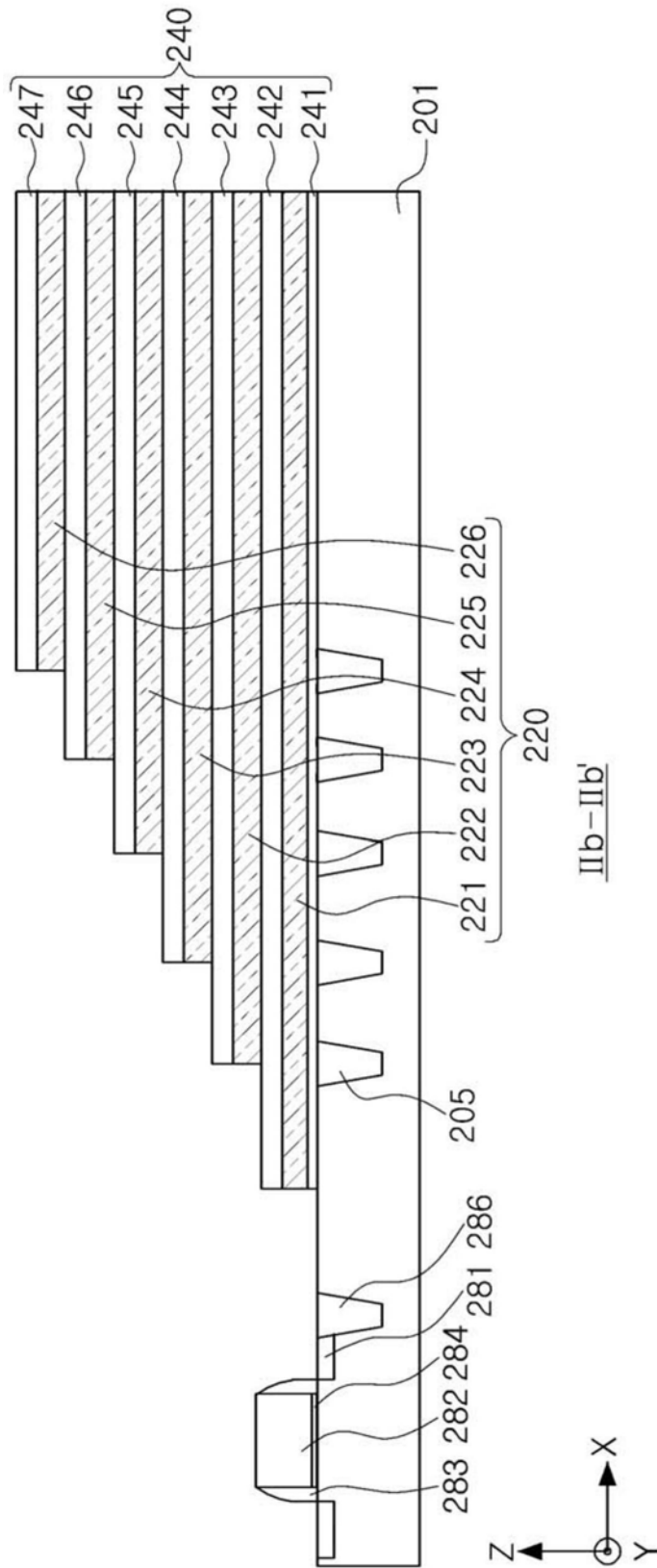


图36B

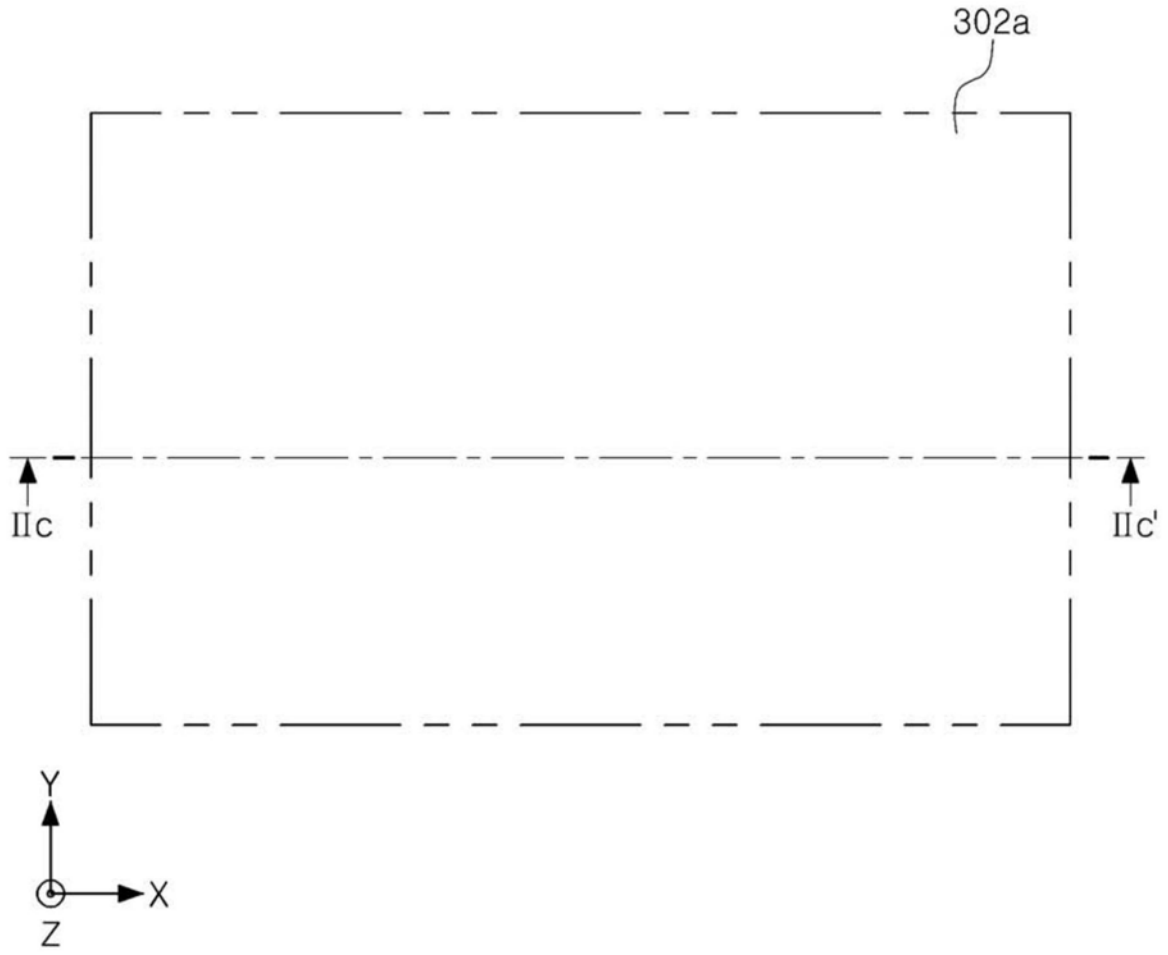


图37A

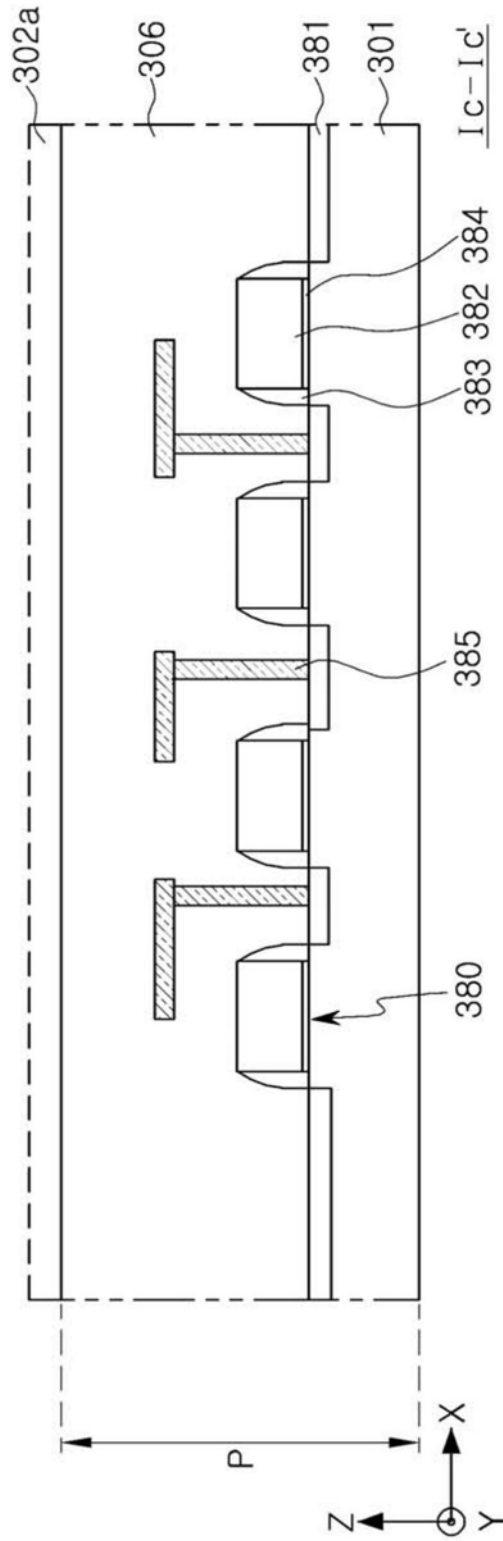


图37B

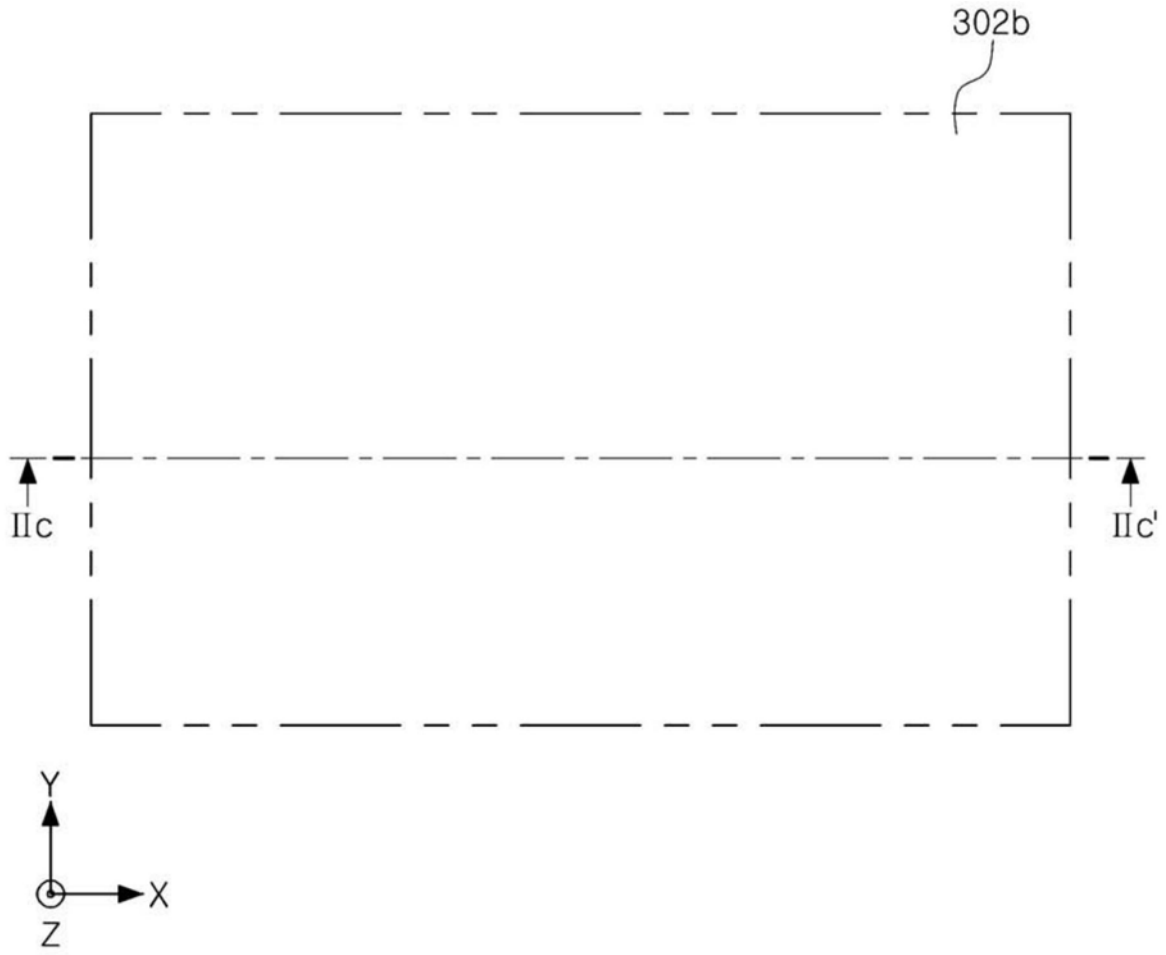


图38A

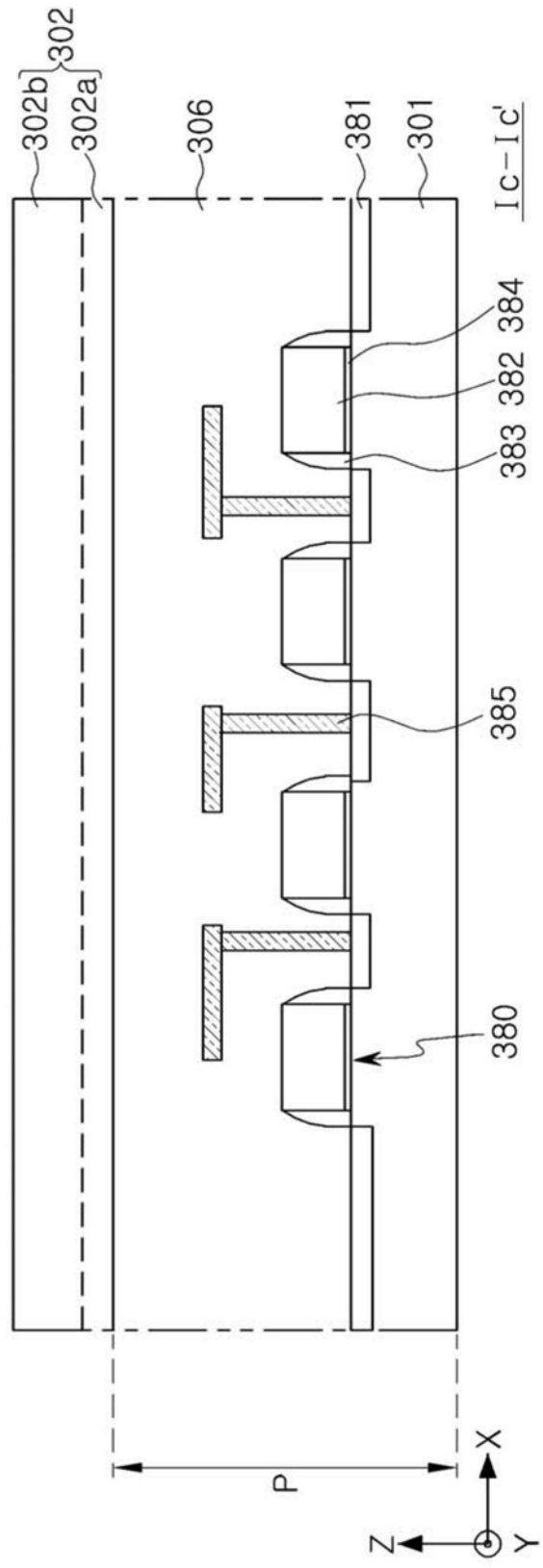


图38B

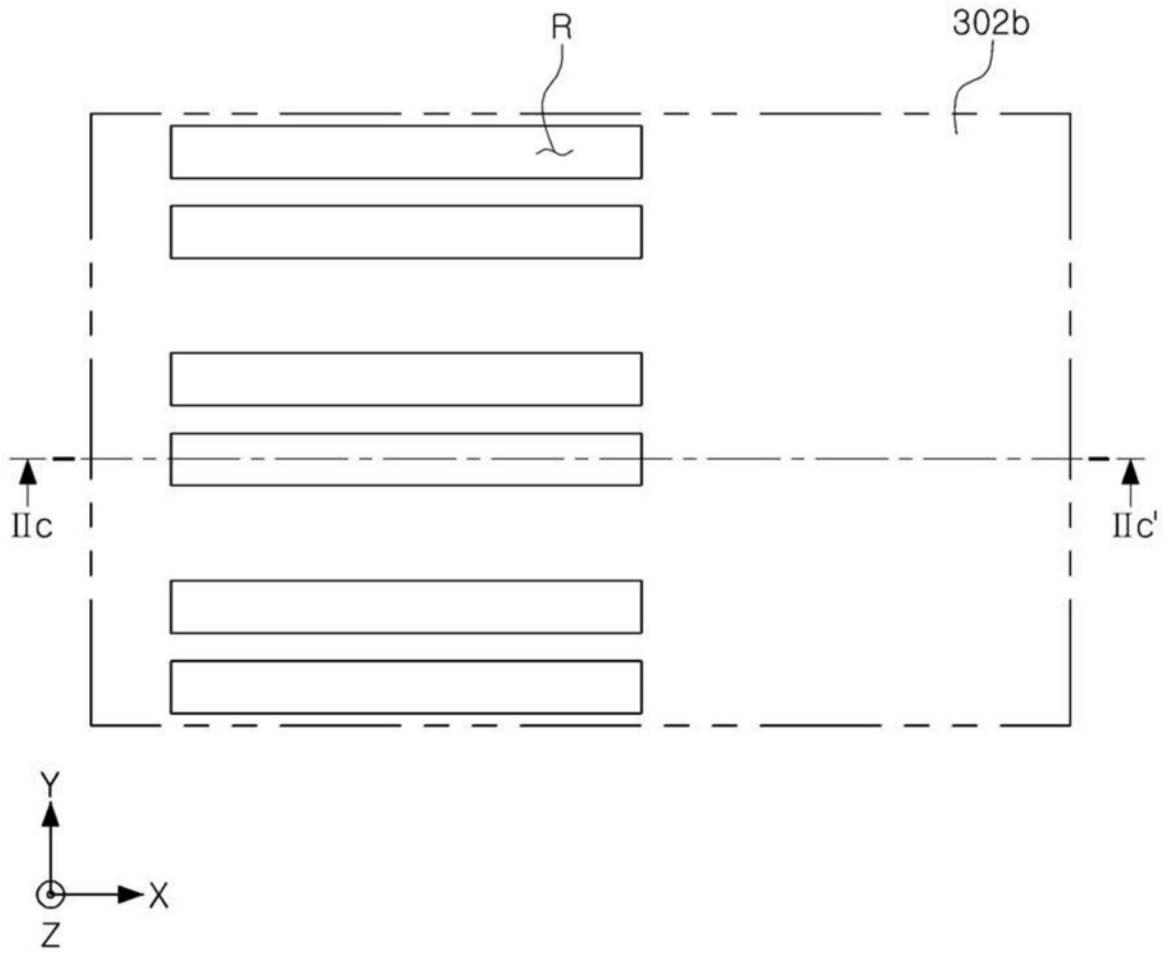


图39A

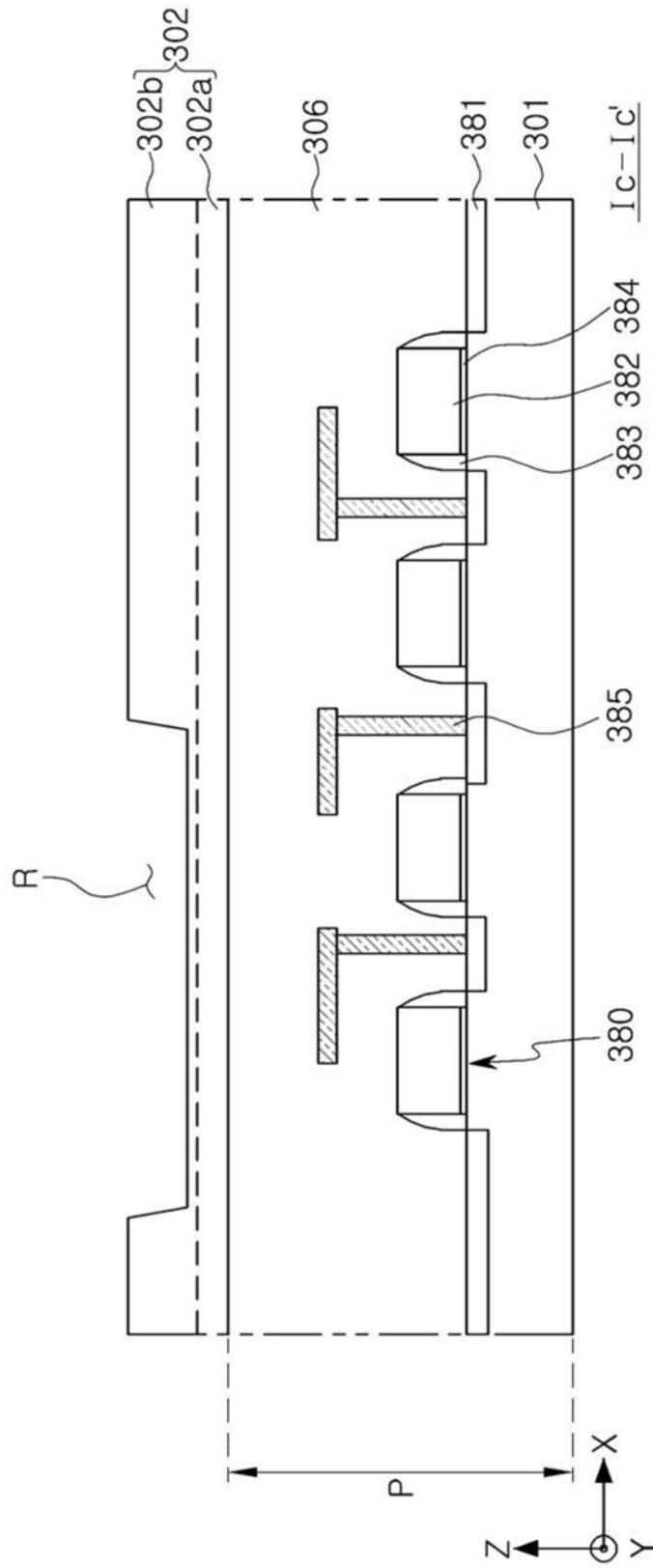


图39B

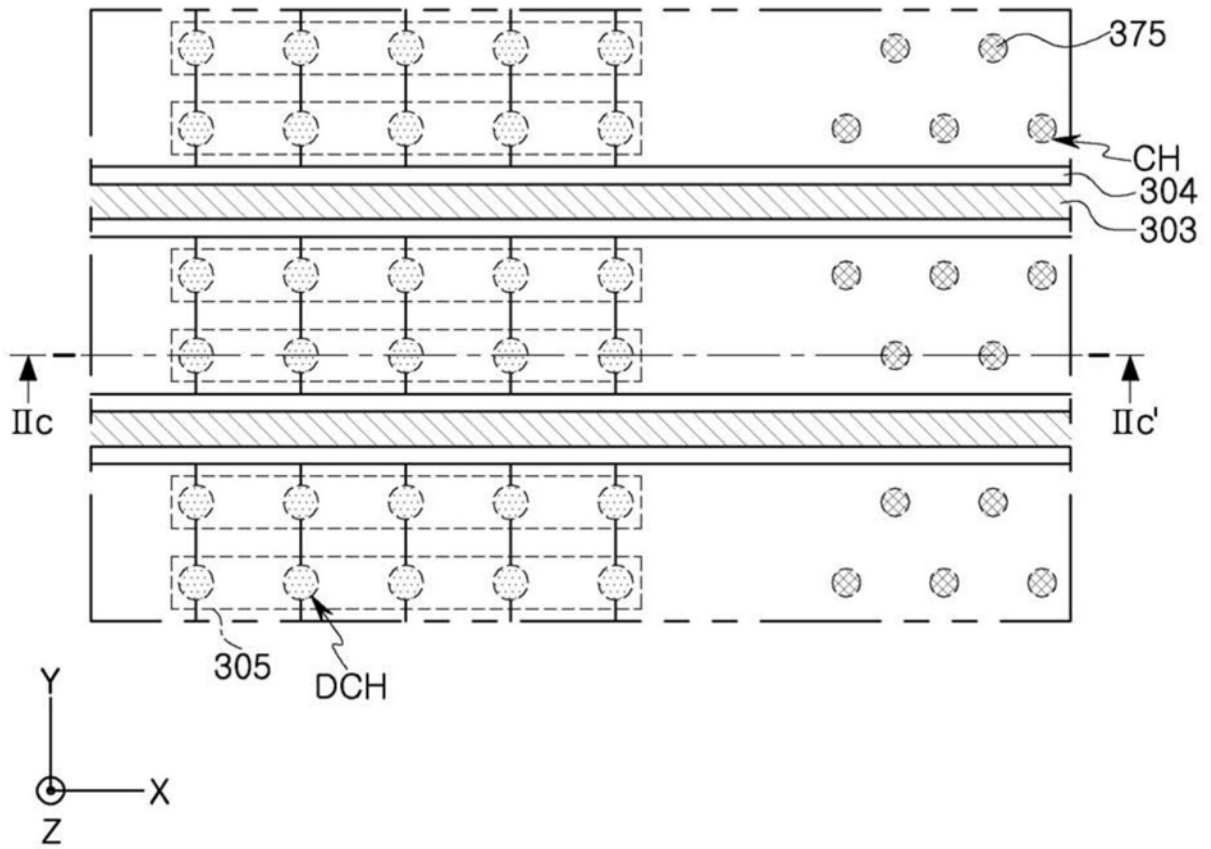


图40A

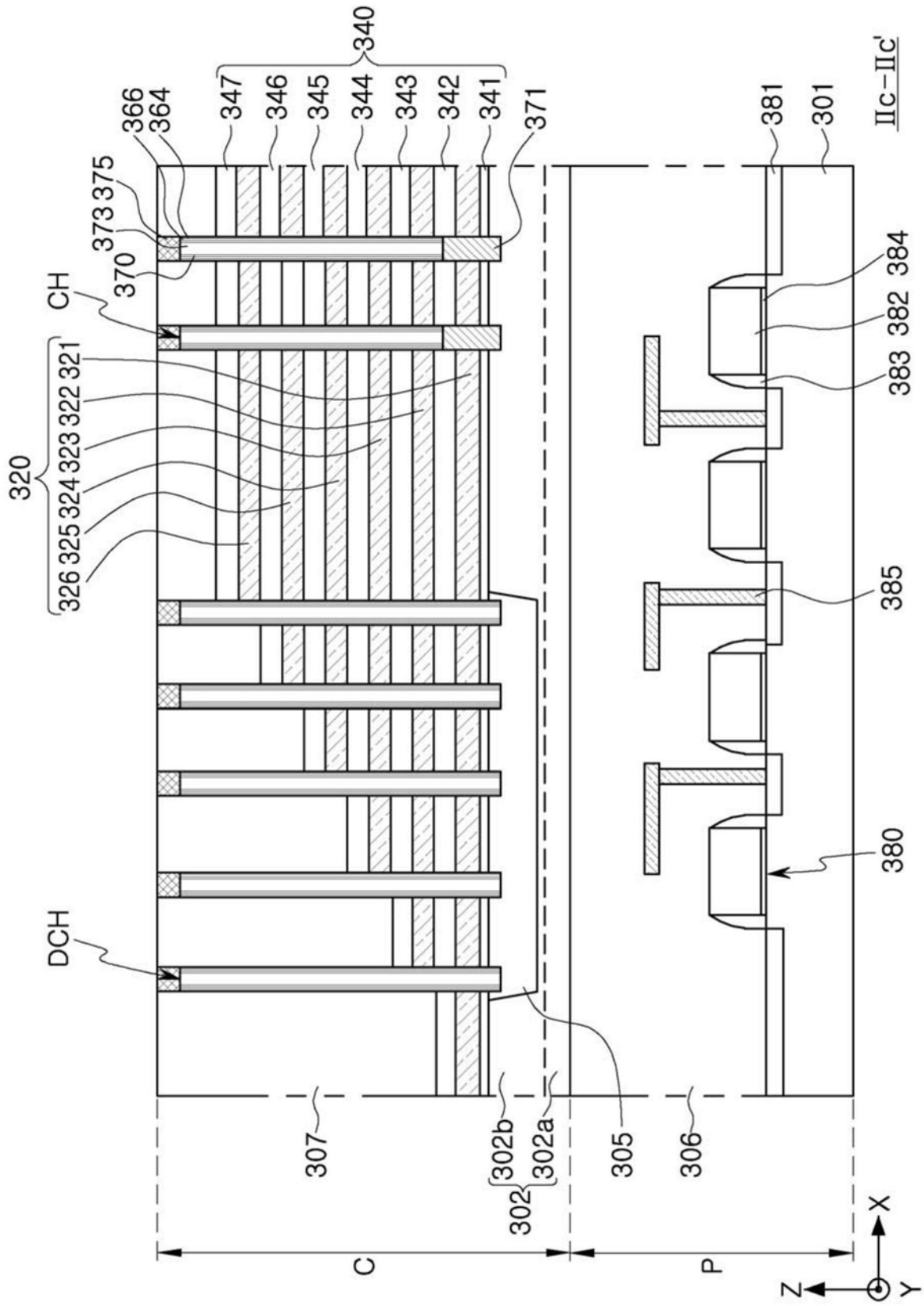


图40B

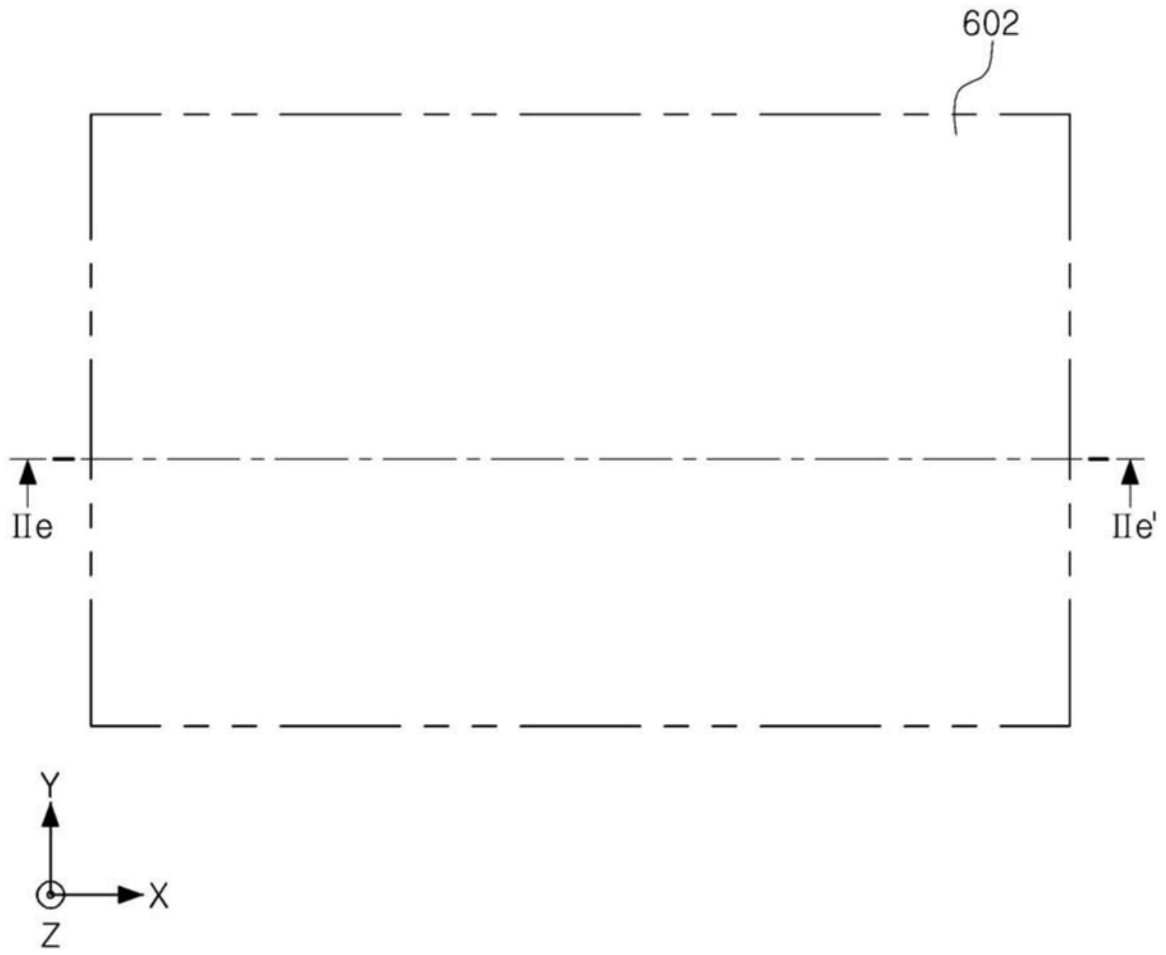


图41A

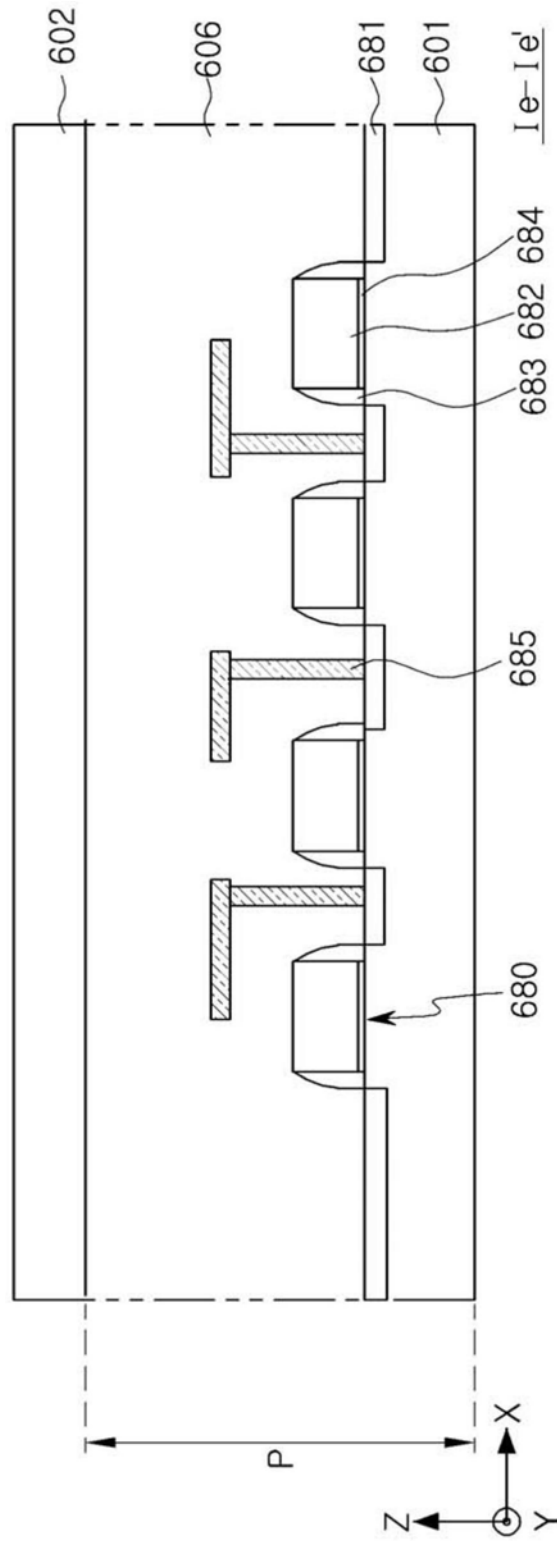


图41B

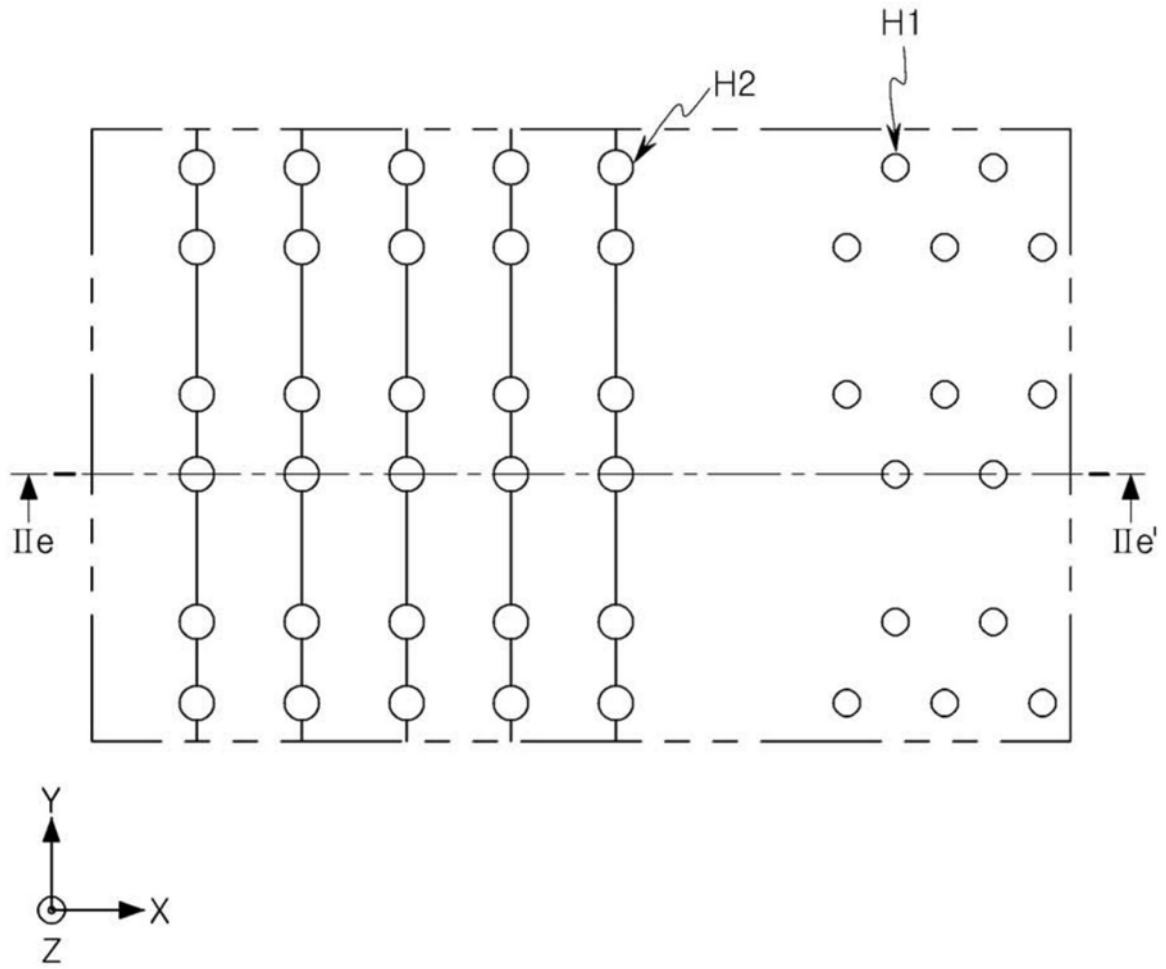


图42A

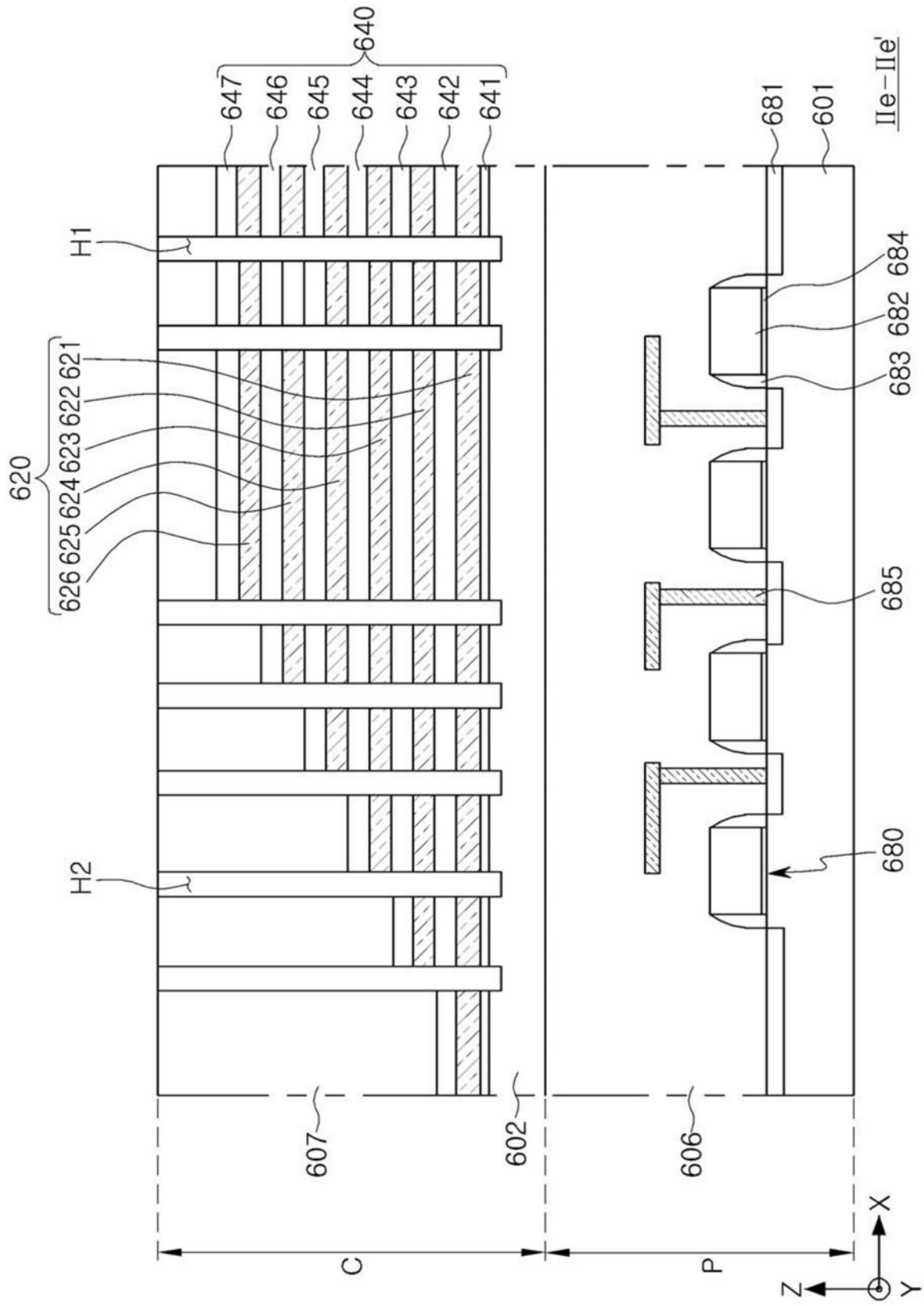


图42B

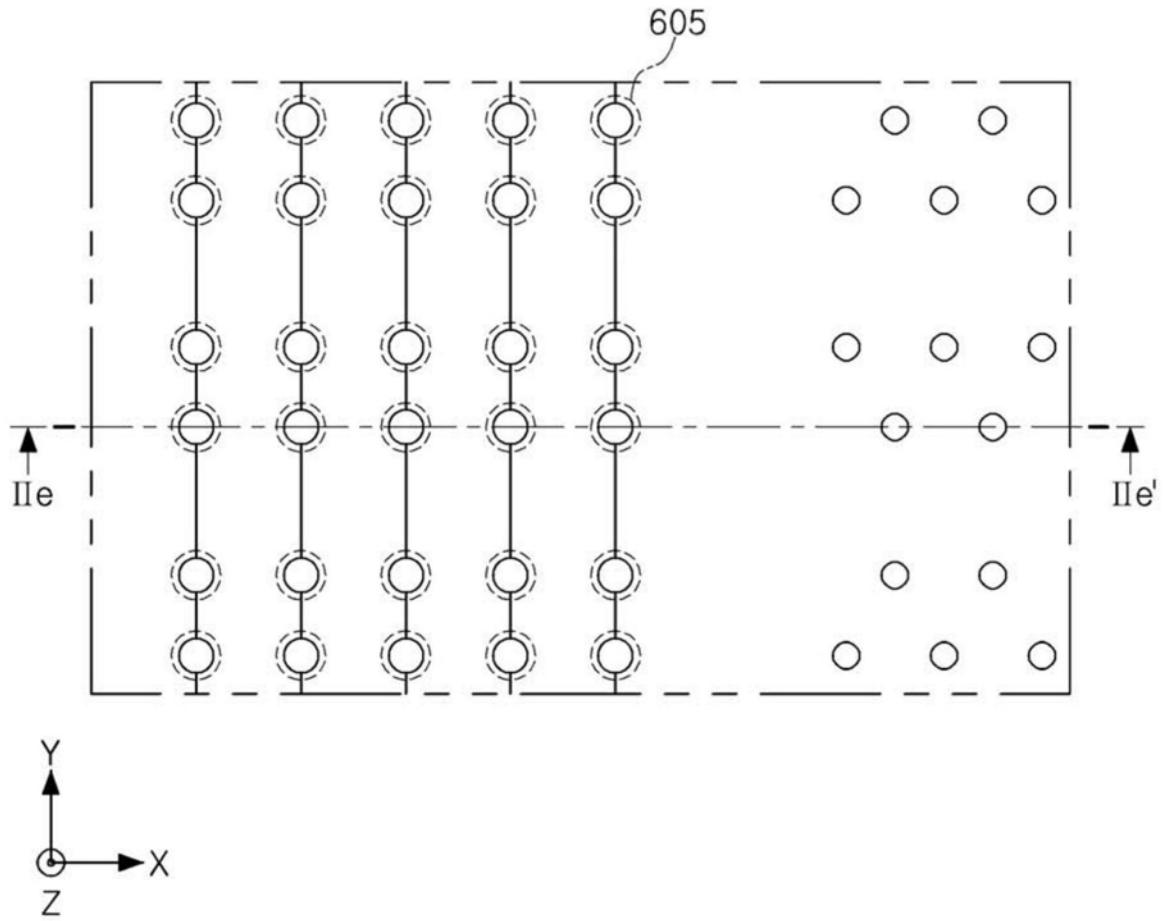


图43A

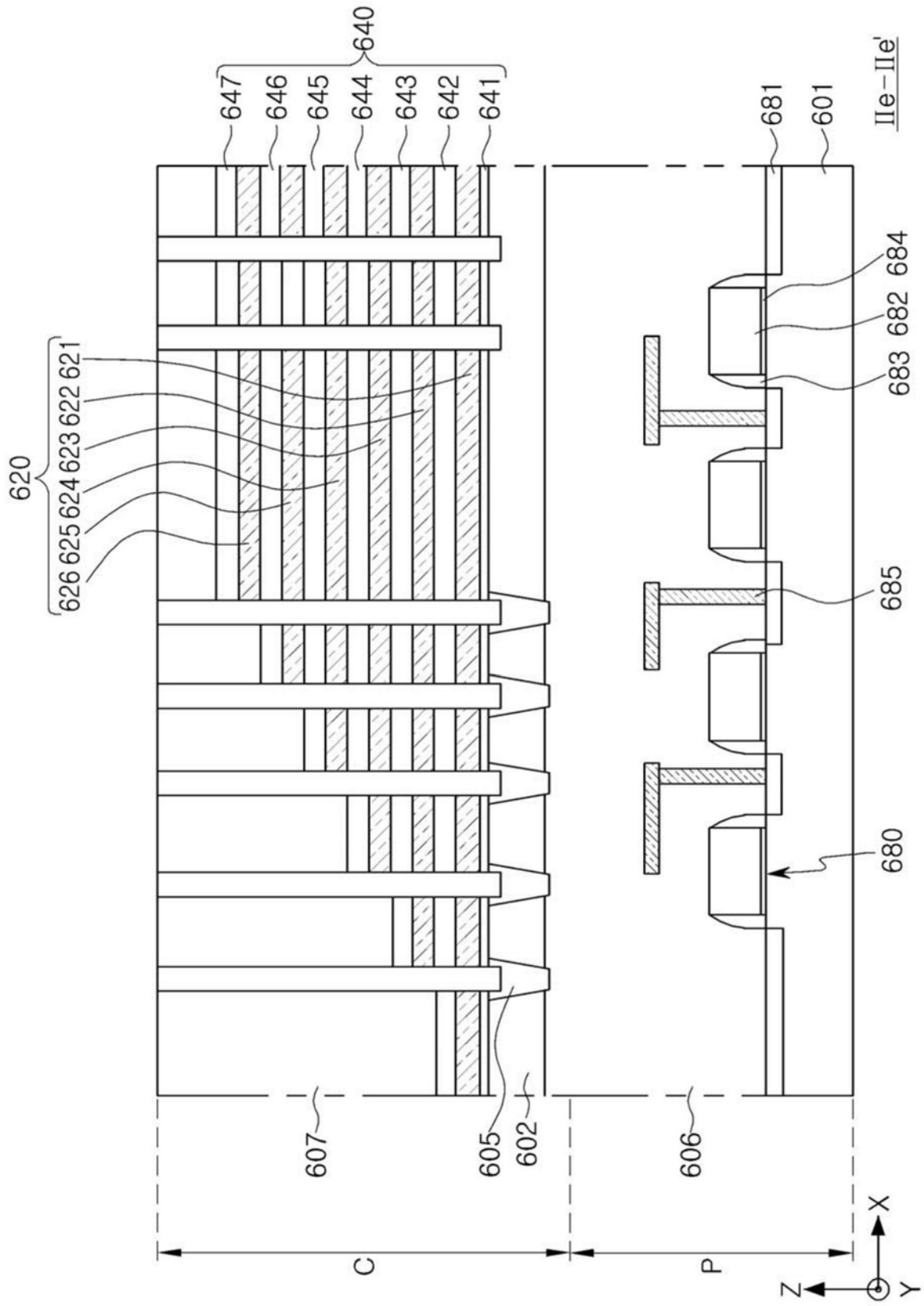


图43B

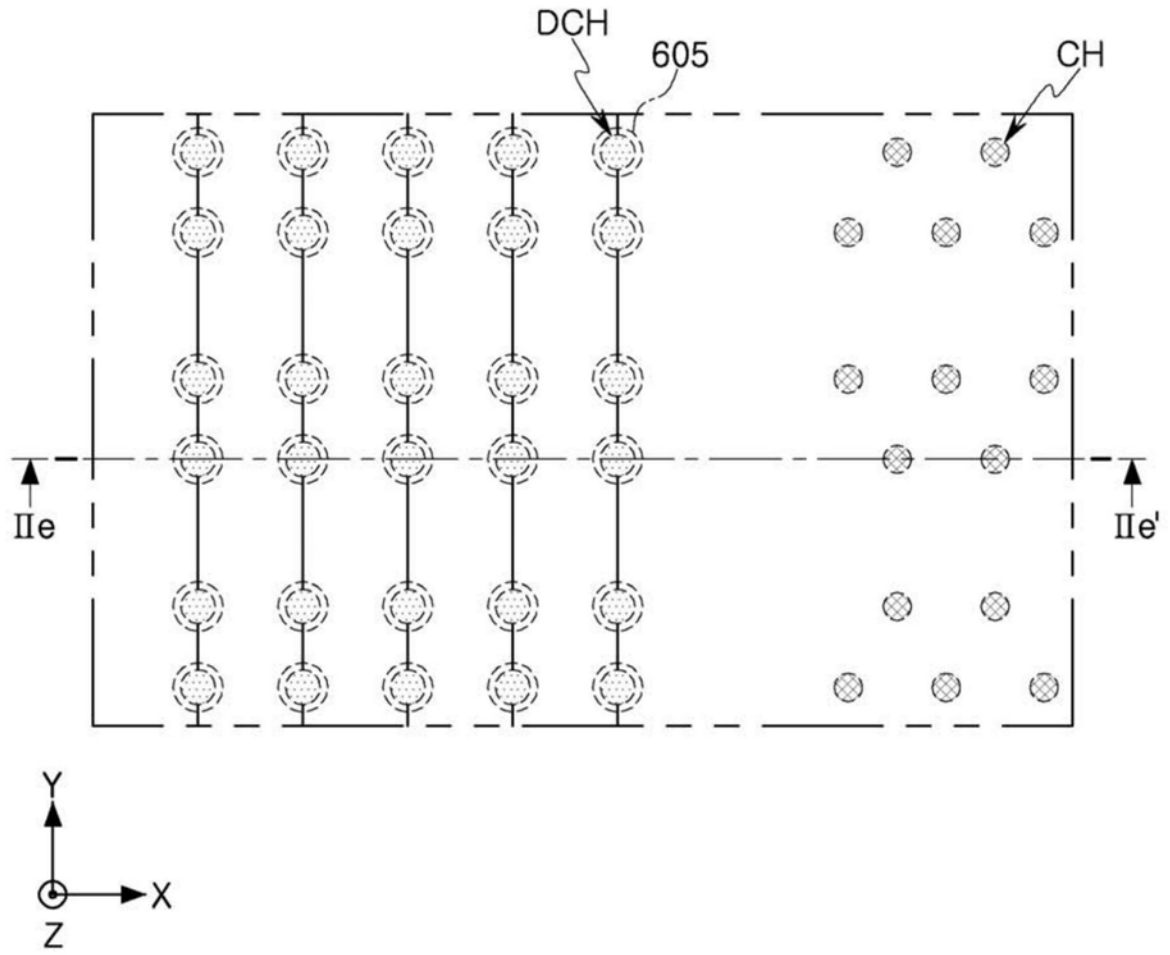


图44A

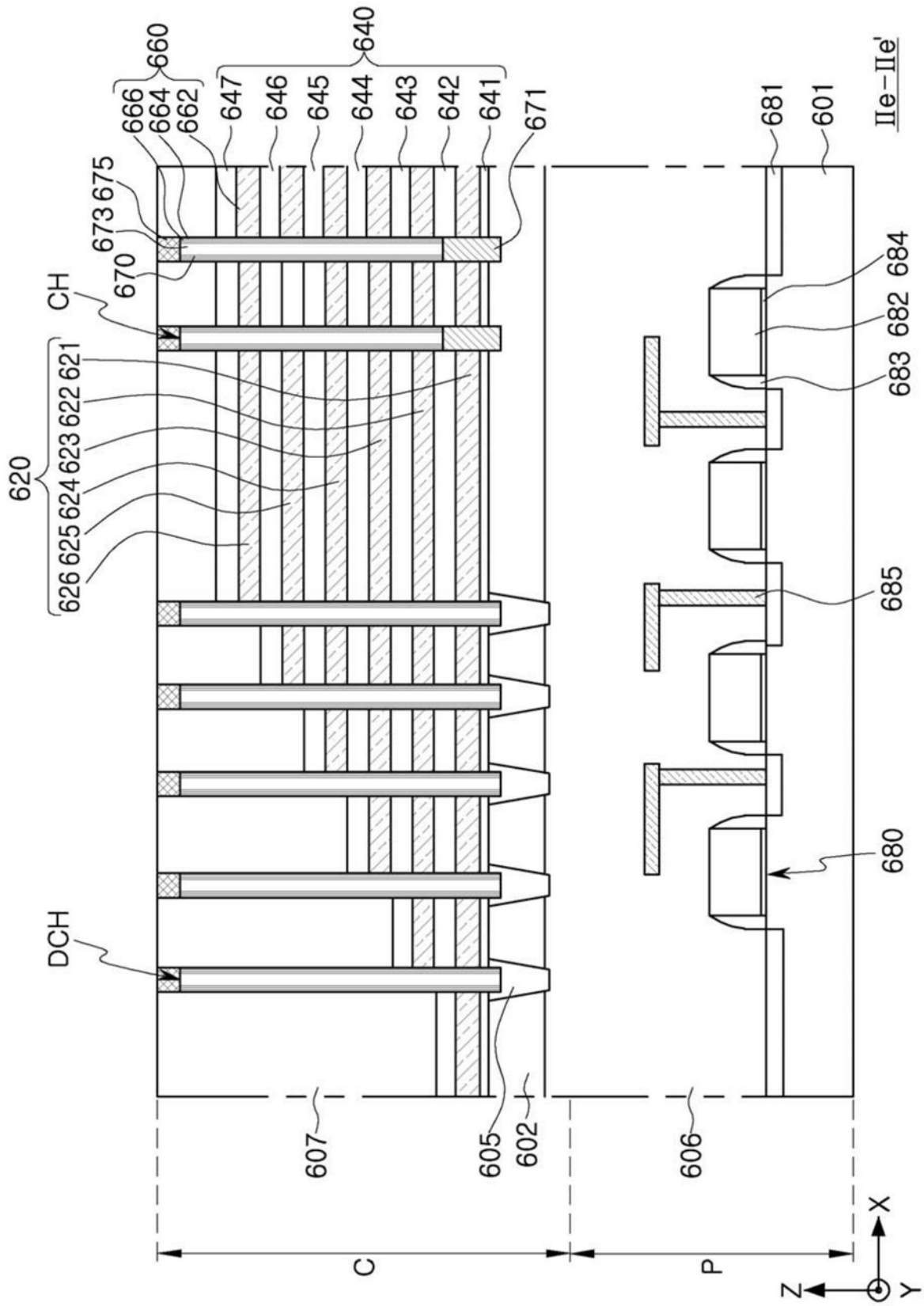


图44B

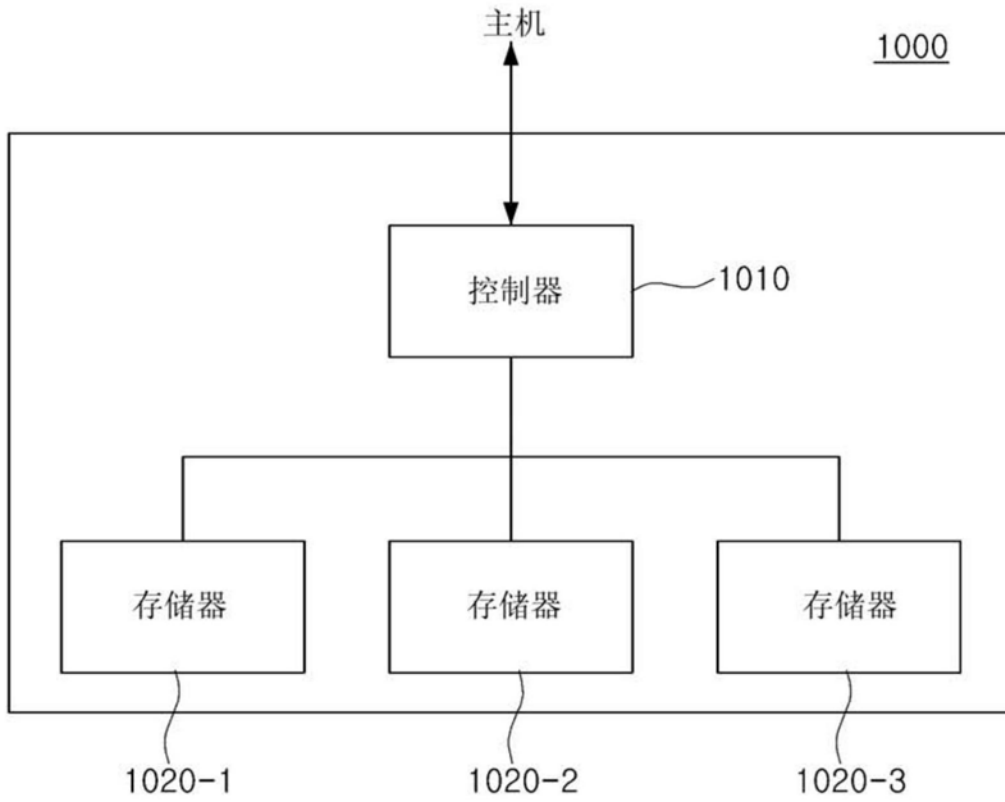


图45

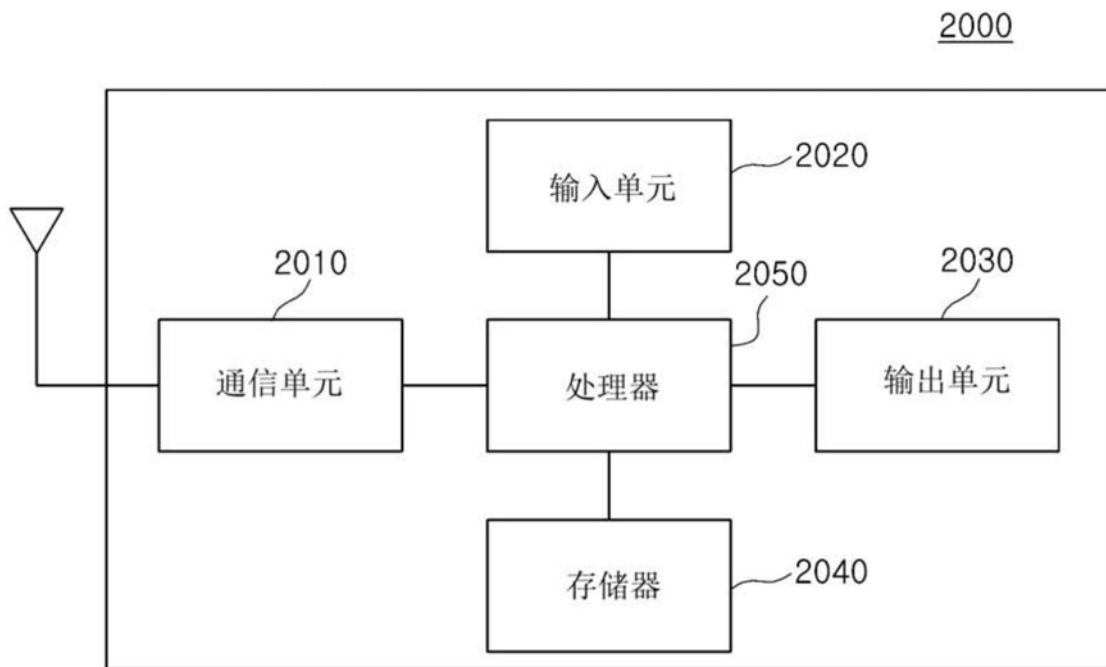


图46