

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

97119936

※ 申請日期：

97.5.29

※IPC 分類：G11C 17/16 (2006.01)

G11C 29/04 (2006.01)

一、發明名稱：(中文/英文)

在積體電路中之一次可程式化元件系統

ONE TIME PROGRAMMABLE ELEMENT SYSTEM IN AN
INTEGRATED CIRCUIT

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B.

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,
U.S.A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 普拉賢 U 肯喀爾

KENKARE, PRASHANT U.

2. 麥克 茲明

ZIMIN, MICHAEL

國 籍：(中文/英文)

1. 美國 U.S.A.

2. 以色列 ISRAEL

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年06月06日；11/759,028

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種具有一可修復記憶體陣列(301)的系統，該可修復記憶體陣列具有冗餘記憶體單元以取代在製造之後偵測到的一或多個缺陷記憶體單元。該系統還包括非記憶體陣列電路，其具有可調整諸如操作電流、操作電壓、電阻、電容、時序特性及一操作模式的一或多個操作參數的電路。可使用一組一次可程式化元件(105)來選擇性地儲存資訊以用於修改操作參數與以冗餘記憶體單元取代該等缺陷記憶體單元。

六、英文發明摘要：

A system with a repairable memory array (301) having redundant memory cells to replace one or more defective memory cells that are detected after fabrication. The system also includes non memory array circuits having circuitry that may adjust one or more operating parameters such as operating current, operating voltage, resistance, capacitance, timing characteristics and an operating mode. A set of one time programmable elements (105) can be used to selectively store information for modifying operating parameters and replacing the defective memory cells with redundant memory cells.

七、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

100	積體電路/系統實施電路
101	熔線系統
103	熔線陣列電路
105	一次可程式化元件/熔線庫
106	測試埠
107	熔線庫
108	內建自我測試(BIST)埠
109	熔線庫
110	線
111	熔線庫
112	控制線
113	熔線控制器
114	資料線
115	熔線讀取單元
117	傳輸單元
119	程式化單元
121	匯流排
123	類比電路
125	匯流排介面單元(BIU)
127	電壓調節器電路
129	匯流排介面單元(BIU)

131	電源管理電路
133	匯流排介面單元(BIU)
135	數位邏輯電路
137	匯流排介面單元(BIU)
141	記憶體陣列電路
143	匯流排介面單元(BIU)
151	記憶體陣列電路
153	匯流排介面單元(BIU)
161	記憶體陣列電路
163	匯流排介面單元(BIU)
171	鎖相迴路電路
173	匯流排介面單元(BIU)
175	時脈分佈電路
177	匯流排介面單元(BIU)

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明一般係關於積體電路且更明確地說係關於具有一次可程式化元件之積體電路。

本申請案係為已於2007年6月6日在美國申請之專利申請案第11/759,028號。

【先前技術】

諸如熔線與PROM(Programmable ROM；可程式化ROM)單元的一次可程式化(OTP)元件係用於積體電路中以用於在製造一積體電路之後調整該電路。例如，可使用一可程式化熔線來針對特定條件調整一積體電路之電路或校正製造缺陷。

OTP元件之一特定用途係用於提供修復資訊，其控制冗餘單元在取代一記憶體陣列之缺陷單元中的使用。另一用途係用於藉由修整一類比電路之一電容或電阻值或致能與停用該系統之部分來調諧類比電路。一近來的趨勢係雖然在一共同程序技術下但可能在不同的製造設備中製造相同的產品。儘管作出最佳的工程努力，各設備仍可能會具有一略微不同的程序。OTP元件的使用允許產品功能性針對各製造設備的獨立最佳化。

隨著積體電路技術的進步，積體電路特徵(例如電晶體閘極長度)一直在減小，從而允許在一積體電路中實施更多的電路。實施諸如一積體電路中之一熔線的OTP元件之一挑戰係熔線大小減低一直未以與電晶體特徵之大小減低幾乎相同的速率進步。因此，隨著積體電路技術進步，熔

線可能要求該積體電路之一更大的相對部分。

在一些使用 OTP 元件的積體電路中，不同的電路各包括專用 OTP 元件以用於向一記憶體陣列提供冗餘修復資訊及用於為非記憶體陣列電路提供非冗餘資訊(例如)用於修整、調諧及/或時序調整。例如，一類比電路之各可組態電路會包括其本身的 OTP 元件以用於提供程式化該特徵的能力。此一系統要求一積體電路包括比可能需要的更大的 OTP 元件總數。

需要一改良技術以用於在包括記憶體陣列電路與非記憶體陣列電路兩者之一積體電路中實施 OTP 元件。此外，需要使用一統一方法以用於實施針對包括記憶體陣列電路與非記憶體陣列電路的多類電路的 OTP 元件解決方式。

【實施方式】

下文提出一用於實施本發明之模式的詳細說明。該說明旨在解說本發明，而不應視為限制本發明。

圖 1 係一積體電路 100 之一熔線系統的方塊圖。熔線系統 101 允許在若干裝置之任一者之中使用一可程式化熔線的能力，從而提供一積體電路中熔線系統之靈活性。積體電路 100 還可包括類似於熔線系統 101 的其他熔線系統。此等系統之各系統可相關聯於記憶體陣列電路或非記憶體陣列電路或記憶體陣列與非記憶體陣列電路之一組合。

系統 101 包括一熔線陣列電路 103，其包括具有圖 1 所示之熔線庫 105、107、109 及 111 的複數個熔線庫。系統 101 包括一熔線控制器 113。熔線控制器 113 包括程式單元 119 以用於經由線 110 來程式化熔線陣列電路 103 之熔線。控制

器 113 包括一熔線讀取單元 115 以用於讀取儲存於陣列電路 103 之程式化熔線中的資訊。控制器 113 還包括一傳輸單元 117 以用於將儲存於陣列電路 103 之熔線中的資訊提供至匯流排 121 上的裝置。在一具體實施例中，相對於諸如雷射可程式化熔線的非電可程式化 OTP 元件，程式單元 119 係用於電可程式化 OTP 元件。

控制器 113 包括一測試埠 106 與一內建自我測試(BIST)埠 108 以用於存取熔線系統 101。可使用包括掃描的多種方法來外部存取測試埠 106。可藉由用於測試該等記憶體陣列電路或非記憶體陣列電路的晶片上內建自我測試引擎來控制內建自我測試埠 108。對於非電 OTP 實施方案而言，可在使用諸如雷射程式化的非電方式實際程式化之前將兩個埠都用於修復解決方式的確認。對於電 OTP 實施方案而言，可將該測試埠 106 用於一非自動化方法，其要求在該系統外部的控制。可將該內建自我測試埠 108 用於以一自動化方式提供程式化資訊而不外部干預。內建自我測試埠 108 之此一用途亦可稱為自我程式化。

系統 101 包括積體電路 100 之若干電路，其使用儲存於熔線陣列電路 103 之程式化熔線中的資訊(熔線資訊)。例如，系統 101 包括三個記憶體陣列電路 141、151 及 161，其係用以儲存資訊以用於該積體電路 100 之操作。記憶體陣列電路之範例可包括 SRAM(Static Random Access Memory；靜態隨機存取記憶體)記憶體、DRAM(dynamic RAM；動態 RAM)記憶體及非揮發性記憶體(例如快閃記憶體、

MRAM(Magnetoresistive RAM；磁阻式RAM))。可將此類記憶體陣列電路作為主記憶體、一快取記憶體或用作啟動記憶體來用於積體電路100或用於一實施電路100的系統。記憶體陣列電路141、151及161將該熔線資訊用於將冗餘記憶體位置(例如列、行、區塊或位元)實施為一記憶體陣列之缺陷位置的取代位置。該用於修復一缺陷記憶體陣列的熔線資訊通常包括：編碼位址，其用於識別缺陷行或列；以及一啟用信號，其指示該缺陷行或列應藉由一冗餘行或列來取代。

記憶體陣列電路包括包含於一或多個記憶體陣列內的記憶體單元與控制電路，該控制電路控制讀取或寫入該等記憶體單元所要求的各種時序信號。作為一範例，此等時序信號可控制位元線預充電、字線持續時間、感測放大器致能、感測放大器預充電及寫入持續時間的時序性能。此等操作參數之各操作參數受處理影響並可使用熔線在製造之後進行電位控制。用於記憶體陣列電路之後製造操作參數最佳化的熔線的其他可能用途包括調整記憶體組態、省電模式、參考電壓、感測差動電壓、位元線保持器強度及輸入或輸出門鎖結構之時序控制。在一些具體實施例中，僅一小部分記憶體陣列電路係預期要求控制電路之後製造基於冗餘的修復或最佳化。因此，非常需要橫跨記憶體陣列電路來靈活使用熔線，尤其係當其係關於時序信號與電壓位準之基於冗餘的修復與最佳化的使用時。

各記憶體陣列電路141、151及161分別包括一匯流排介

面單元(BIU)143、153及163以用於接收來自匯流排121之熔線資訊。

系統101包括一鎖相迴路電路171，其具有一BIU 173以用於接收來自匯流排121之熔線資訊。電路171包括一鎖相迴路(未顯示)，其將接收的熔線資訊用於調整該鎖相迴路之时序與調諧操作參數。此類操作參數之範例包括一電壓控制振盪器電路之選擇、時脈脈衝邊緣之調整、調整內部電容、修改濾波器參數、改變裝置導電性及時脈除法器值之界定。

系統101包括一時脈分佈電路175，其具有一BIU 177以用於接收來自匯流排121之熔線資訊。時脈分佈電路175將該熔線資訊用於調整时序與調諧操作參數以致使用一所需延遲量來程式化整個積體電路100中分佈的時脈產生器。在一些具體實施例中，一時脈產生器包括一多工器，其允許選擇預定延遲值。適當的延遲值係藉由對該多工器之選擇信號來決定。可在製造之後使用熔線資訊來控制此等選擇信號。針對此電路之熔線資訊的其他用途包括藉由修改寄生負載或修改裝置導電性來平衡時脈樹。

系統101包括類比電路123，其具有一BIU 125以用於接收來自匯流排121之熔線資訊。類比電路123包括在整個積體電路100中分佈的類比電路，其具有可使用該熔線資訊程式化的電路(例如可修整電容器與電阻器)。可將此類資訊用於後製造調整操作參數，例如電壓位準之循軌、電壓位準與電流之量值、電阻值、電容值、電感值及时序延遲

以便改良該類比電路之效能或精度。

電壓調節器電路127包括一BIU 129以接收來自匯流排121之熔線資訊。電壓調節器電路127可包括一或多個電壓調節器(未顯示)。電壓調節器電路127使用該熔線資訊來調整藉由該些調節器提供之調節的電壓。在一具體實施例中，電壓調節器電路127會使用該熔線資訊來調整提供至該等電壓調節器的參考電壓。在其他具體實施例中，該電壓調節器電路127可將熔線資訊用於改良穩定性、雜訊免疫力及精度。

電源管理電路131包括一BIU 133以用於接收來自匯流排121之熔線資訊。電源管理電路131包括控制系統功率消耗的電源管理電路。通常，此包括控制系統操作電壓、系統頻率及改變操作模式的能力以使得系統功率係最小化。可在製造之後藉由熔線資訊來電位上修改此等操作參數。

數位邏輯電路135包括一BIU 137以用於接收來自匯流排121之熔線資訊。數位邏輯電路135包括位於積體電路100中的數位電路，其可使用該熔線資訊來程式化。可將此類熔線資訊用於在製造之後修改該電路之操作參數。例如，可將熔線資訊用於以冗餘邏輯來後製造取代缺陷電路並用於在製造之後選擇性調整動態邏輯區塊中的保持器大小。

在一具體實施例中，熔線資訊係在製造之後經由控制器113之程式化單元119來在熔線陣列電路103中加以程式化。在一具體實施例中，程式化單元119係使用BIST埠108來耦合至內部BIST(內建自我測試)引擎或透過測試埠106

來耦合至一外部控制單元。因此，存在多個可能方法用於控制程式化單元119與與熔線陣列電路103的可程式性。

在一些具體實施例中，在啟動(例如一開機重設)期間，熔線陣列電路103中的資訊係藉由傳輸單元117以資料單元大小的增量(例如2、4、8、12、14、16、24、32、64個位元)提供於匯流排121上。各BIU皆括一識別號碼。若該識別號碼匹配該資料單元大小的增量之一特定識別符欄，則BIU將資料單元其餘部分中的熔線資訊提供至其個別電路以用於組態該等電路。

其他一次可程式化裝置系統可具有其他組態。例如，其他熔線系統包括多個熔線，其中該等記憶體陣列電路會在一匯流排上而其他電路可在其他匯流排上。在此一具體實施例中，控制器113可具有額外的傳輸單元117。同樣在其他具體實施例中，其他類型之電路或不同數目之電路類型可在一熔線系統中接收熔線資訊。例如，其他熔線系統可包括二十個記憶體陣列電路。同樣在其他具體實施例中，圖1所示的不同電路可共用一BIU。例如，在一些具體實施例中，該電源管理電路131與該電壓調節器電路127可接收來自相同BIU的熔線資訊。同樣在其他具體實施例中，可將控制器113耦合至類似於熔線陣列電路103的額外熔線陣列。同樣，在其他具體實施例中，一積體電路100可包括類似於熔線系統101的多個熔線系統。

圖2係鎖相迴路電路171的方塊圖。如圖2所示，電路171包括一鎖相迴路227與組態單元225。單元225組態鎖相迴

路227以用於一電壓控制振盪器電路之選擇、時脈脈衝邊緣之調整、調整內部電容、修改濾波器參數、改變裝置導電性及時脈除法器值之界定，或任何其他與調整調諧或時序相關的操作參數。在一具體實施例中，單元225可包括一或多個傳遞閘極或其他開關，其係藉由BIU 173之暫存器213、215、217及219之輸出來經由線223加以控制。

在所示具體實施例中，匯流排121係一14位元寬匯流排。該匯流排的四個位元線201係連接至BIU 173之一ID匹配電路207。兩個線203係連接至BIU 173之一暫存器控制電路211。其餘八個線205係連接至8位元資料暫存器213、215、217及219之各8位元資料暫存器。在所示具體實施例中，匯流排121係一並列數位匯流排。然而，在其他具體實施例中，匯流排121可具有其他組態，例如串列、差動。

ID匹配電路207包括一匯流排獨特ID號碼。在所示具體實施例中，該ID號碼係4位元寬。在一開機重設期間，當控制器113之傳輸單元117將熔線資訊提供於匯流排121上時，若ID匹配電路207偵測到線201匹配該獨特ID號碼，則ID匹配電路207控制暫存器控制電路211根據藉由該暫存器控制電路211在線203上接收的兩個位元來將8位元的資訊載入至該四個暫存器213、215、217及219之一者中。例如，若線203提供一「01」，則暫存器控制電路211會將線205之資訊載入至暫存器215中，其係藉由啟動相關聯於該暫存器的寫入致能線221之寫入致能線。

在所示具體實施例中，暫存器213、215、217及219之各暫存器位置皆表示一位元的可組態資訊，其用於控制32位元組態單元225。

在一具體實施例中，暫存器213、215、217及219之各位元皆包括一預設值。若針對該暫存器無熔線資訊係藉由BIU 173所接收，則暫存器213、215、217及219會將該等預設值提供至單元225。當一暫存器(213、215、217及219)係以熔線資訊程式化時，則將該熔線資訊提供至單元225而非該等預設值。

因此，在一些具體實施例中，僅需要程式化暫存器213、215、217及219之一或兩個位元。在此一情況下，僅包含該一或兩個位元的該些暫存器(213、215、217及219)會係以熔線資訊寫入。暫存器213、215、217及219之其他未係寫入的暫存器會提供該等預設值。

在先前技術之系統中，PLL(phase lock loop；鎖相迴路)電路171會要求32個熔線，每一熔線針對暫存器213、215、217及219之一位元。使用此類系統，若僅一位元需要係調整，則不會使用其他31個熔線。然而，使用本文說明的具體實施例，僅具有要調整之位元的暫存器(213、215、217及219)係寫入。因而，僅需要熔線陣列電路103之14個熔線(8個熔線用於該資料，四個熔線用於該ID匹配識別符，及兩個熔線用於向至暫存器控制電路211之線203提供的資訊)來程式化鎖相迴路227。

如上面的範例所示，圖1之熔線系統致能熔線陣列電路

103之熔線係藉由耦合至控制器113之電路所共用。使用圖1之系統，可按需要將一熔線指派給任何電路。因此，與先前技術之熔線實施方案相比，程式化積體電路100所需的熔線數目可減低。

其他具體實施例可包括匯流排121之一不同數目的線。同樣，其他具體實施例可針對線201、203及/或205包括不同數目的線。此外，其他具體實施例可實施不同的電路以用於使用熔線資訊程式化一電路。

圖3係可修復記憶體陣列電路141的方塊圖。記憶體陣列電路141包括一記憶體單元陣列301以用於儲存資訊。陣列301中之資訊係藉由將位址提供至控制邏輯309與感測放大器307來寫入至記憶體陣列301與從記憶體陣列301讀取。記憶體陣列電路141可修復，因為其包括冗餘單元，其在所示具體實施例中係實施為冗餘行305與冗餘列303，但在其他具體實施例中可以不同組態加以實施。例如，可在一第二陣列中實施該等冗餘單元。電路141包括冗餘邏輯311以用於決定要以冗餘行305取代陣列301之哪一行與要以冗餘列303取代陣列301之哪一列。

在一具體實施例中，冗餘邏輯311包括傳遞閘極或其他類型之開關，其係藉由列修復資料暫存器321與行修復資料暫存器323中的資訊所控制。此等開關係控制以使得至陣列301之缺陷列或行的位址存取該冗餘列或行。在一具體實施例中，冗餘列303取代陣列301之一列，其係藉由寫入至暫存器321的熔線資訊所識別。冗餘行305取代陣列

301之一行，其係藉由寫入至暫存器323之熔線資訊所識別。若無熔線資訊係寫入至暫存器321與323，則該些暫存器將提供預設值從而指示不需要取代。用於程式化冗餘單元在一記憶體陣列電路中之使用的熔線資訊係一類冗餘資訊。

亦可藉由在匯流排121上接收的熔線資訊來調整記憶體陣列電路141之操作參數。作為一範例，可調整時序信號以控制位元線預充電、字線持續時間、感測放大器致能、感測放大器預充電及寫入持續時間的時序性能。此等性能之各性能受處理影響並可使用熔線在製造之後進行電位控制。用於記憶體電路141之後製造操作參數最佳化的熔線的其他可能用途包括調整記憶體組態、省電模式、參考電壓、感測差動電壓、位元線保持器強度及輸入或輸出門鎖結構之時序控制。可調整此等參數以校正預料之外的設計邊限或未預料到的程序變更以使得所需記憶體操作效能係實現。此等調整係藉由將熔線資訊寫入至暫存器325或327之一者來進行。調諧暫存器325與327中的資訊控制哪一參數係調整。暫存器325與327各提供預設值，在無熔線資訊係寫入至該些暫存器的條件下。

BIU 143包括一ID匹配電路317，其經由線331接收四個線之熔線資訊。暫存器控制電路319經由線333接收兩個位元之熔線資訊。暫存器321、323、325及327之各暫存器皆係連接至線線335以接收來自匯流排121的8個位元之資訊。

以與ID匹配電路207與暫存器控制電路211運作以將資訊寫入至暫存器213、215、217及219類似的方式，ID匹配電路317與暫存器控制電路319運作以將來自線335之熔線資訊寫入至暫存器321、323、325及327之一者。

在所示具體實施例中，可使用熔線陣列電路103中的熔線資訊來修復記憶體陣列301之一列與一行兩者。在一具體實施例中，藉由單元117將一第一熔線資料單元提供於匯流排121上以將一缺陷列之一指示寫入至暫存器321。此一資料單元會包括線331上之一ID識別符，其指示該熔線資訊係用於記憶體陣列電路141。匯流排121上之資料還包括線333上之值，其指示暫存器321要以來自線335之熔線資訊來寫入。隨後熔線資訊之另一資料單元會係放置於匯流排121上，其指示該熔線資訊係用於記憶體陣列電路141與行修復暫存器323。若該等記憶體操作參數需要調諧，則該等調諧暫存器325與327可以類似於暫存器321與323之一方式寫入。

若在啟動期間記憶體陣列電路141上不需要程式化，則暫存器321、323、325或327無一會係以熔線資訊寫入。因此，該些暫存器會提供預設值。

相對於先前技術之積體電路，使用圖3之具體實施例，可將冗餘修復與非冗餘修復熔線資訊兩者都提供至記憶體陣列電路141。此不僅允許熔線係針對一特定記憶體電路之冗餘修復與非冗餘修復資訊(例如時序與調諧資訊)所共用，還允許一熔線陣列係在一積體電路之記憶體陣列電路

與其他非記憶體陣列電路(電路123、127、131、135、175、171)之中使用。此在記憶體陣列與非記憶體陣列電路之中「共用」熔線(或其他類型之OTP元件)的能力可提供熔線實施方案的靈活性。與熔線使用不可共用的先前技術之系統相比，此類靈活性可最終減低所需熔線的數目。此在使用熔線的系統中尤為重要，因為在積體電路中熔線大小減低一直未以與電晶體特徵之大小減低幾乎相同的速率進步。

在其他具體實施例中，各記憶體電路可包括多個BIU。例如，可將一BIU用於接收冗餘熔線資訊，並且可將另一BIU用於接收非冗餘(例如時序、調諧)資訊。

圖4顯示時脈分佈電路175之一具體實施例的方塊圖。時脈分佈電路175包括複數個時脈再生電路409、421、423、425及427，其係遍佈積體電路100定位。時脈再生電路175使積體電路100具有於積體電路100中之各種位置處可程式化地延遲一時脈信號的能力。

時脈再生電路409包括一多工器419與四個不同的延遲元件D1、D2、D3及D4，其各係耦合至多工器419之一輸入。各延遲元件係耦合至一時脈輸入。該四個延遲元件之各延遲元件具有一不同的延遲長度。根據選擇多工器419之哪一輸入，時脈輸出1提供具有一不同延遲之一時脈信號。電路421、423、425及427係以與電路409類似之一方式來組態。

各再生電路(409、421、423、425及427)之多工器選擇

輸入係耦合至兩個位元的10位元調諧暫存器403。因而，藉由各時脈產生電路提供之延遲可藉由將熔線資訊寫入至BIU 177之暫存器403來程式化。在一具體實施例中，若無熔線資訊係寫入至暫存器403，則暫存器403將提供預設值。

BIU 177不同於BIU 143與173，因為其不包括一暫存器控制電路(211、319)。因此，在所示具體實施例中，以BIU 143與173提供至該等暫存器控制電路211與319的兩個位元之熔線資訊可作為程式化資料用於組態電路。因此，暫存器403係十個位元而BIU 143與BIU 173之暫存器係8個位元。寫入至暫存器403係藉由ID匹配電路401來控制。

因此，在所示具體實施例中，可實施一系統，其中藉由控制器113提供之相同長度資料單元可根據如何實施該BIU而包括不同大小的程式化資訊。

圖5顯示熔線陣列電路103的方塊圖。熔線陣列電路103包括具有熔線庫105、107及111的若干熔線庫。在所示具體實施例中，各熔線庫包括14個熔線(F0至F13)之一熔線陣列510。各熔線庫包括一熔線偵測電路512以用於決定各陣列之熔線狀態。各庫之熔線偵測電路512係耦合至一熔線庫選擇器507。熔線庫選擇器507係用以自各庫讀取該熔線資訊。在一具體實施例中，選擇器507將來自一庫之14個位元提供於資料線114上以回應在控制線112上接收一熔線庫位址。

熔線陣列電路103還包括一程式化控制器501以用於程式

化該等熔線庫之熔線。熔線陣列電路103還包括一偵測電路控制器503，其控制偵測該等熔線庫中之熔線之狀態的熔線偵測電路512。

在其他具體實施例中，一熔線陣列電路可具有其他組態。同樣，在使用其他類型之OTP元件(例如PROM單元)之處，實施該些元件之電路可具有其他組態。

在一具體實施例中，在一開機重設之後，控制器113旋即藉由將該熔線庫之一位址提供於控制線112上來從各熔線庫讀取該資訊，其中儲存於該熔線庫中的熔線資訊係提供於資料線114上。接著，控制器113之單元117將該熔線資訊作為一14位元資料單元提供於匯流排121上。匯流排121上之一電路的一BIU之各ID匹配電路皆尋找匹配其匯流排獨特ID的資料單元中之ID欄。若一BIU找到一匹配，則該匯流排上之熔線資訊係載入該BIU之暫存器中。控制器113持續提供該資訊直至所有熔線資訊係提供於匯流排121上。在其他具體實施例中，其他控制器可藉由其他方法將該熔線資訊提供至一匯流排上之電路。

圖6繪示可儲存於陣列電路103之不同熔線庫中的不同資訊欄。如圖6所示，該系統提供具有不同長度之資料程式化欄以用於程式化不同電路的靈活性。

欄601、603、605、607及608之各欄包括一ID子欄，其具有一用以識別其中要寫入該資訊的匯流排121上之電路的識別符。因此，可藉由程式化該ID欄中之匯流排獨特ID(或多個匯流排系統中之系統獨特ID)來將陣列103之任

何庫用於系統101中之任何電路。此藉由若干不同電路使用一庫的能力使該電路具有減低所使用熔線總數的靈活性。

欄601可用於程式化一具有一相對較大數目之行與列的較大記憶體陣列電路。例如，該較大記憶體陣列電路可類似於圖3所示之記憶體陣列電路141。使用此一記憶體陣列電路，該冗餘修復資訊需要係一相對較大的欄以考量較大位址。欄601包括一選擇子欄(例如)以用於指定該冗餘修復資訊是否係針對一系列或一行。相反，欄603係用於一具有一更小數目之列與行的相對更小記憶體陣列電路。使用此記憶體陣列電路，可使用一熔線資料單元來傳送兩個不同的資料欄(例如一冗餘列與一冗餘行)。欄603不包括一選擇欄。替代地，欄603可包含針對兩個分離記憶體陣列電路的修復資訊。

欄605顯示針對一時脈分佈電路(例如電路175)的熔線資訊。在此具體實施例中，各時脈再生欄係以一特定子欄(例如CR1、CR2)來程式化。欄607包括針對PLL電路171的暫存器選擇與時序資訊。

欄608係用於程式化一記憶體陣列電路。欄608包括針對冗餘修復資訊之一子欄與針對調諧資訊之一子欄。欄608提出一範例，其中可藉由一資料單元將冗餘與非冗餘資訊兩者提供於匯流排121上。

圖7係說明設計、製造、測試及程式化一積體電路之熔線之操作的流程圖。

在操作 701 中，在設計期間，具有可組態電路之各電路係設計以耦合至匯流排 121 並係指派一匯流排獨特或系統獨特識別欄。接著，各電路之匹配 ID 電路(例如 207、317 及 401)係設計以辨識在匯流排 121 上傳輸的獨特 ID 電路。

在操作 703 中，根據一設計來製造該積體電路。在一具體實施例中，使用半導體程序來製造該積體電路。以在一未程式化狀態中的熔線在製造該積體電路。

在操作 705 中，測試該積體電路以決定是否需要或要求該等可組態電路之任一者的組態。在一具體實施例中，針對缺陷單元、缺陷行、缺陷陣列或缺陷區塊來測試該等記憶體陣列。同樣，執行各種測試以決定該積體電路上不同區塊的功能性與強固性。此等測試可包括(但不限於)測量電壓調節器輸出、功率消耗、PLL 抖動、PLL 頻率、時脈扭斜特徵化、類比電路輸出位準及功能圖案效能的頻率/電壓相依。

在操作 707 中，發展用於以冗餘與非冗餘資訊程式化該等熔線的解決方式。此解決方式係基於操作 705 中之測試的結果。在一具體實施例中，具有要求程式化之位元的 BIU 之個別暫存器係識別。該資訊係以公式表述以用於程式化至各熔線庫中發展該 ID 子欄、該選擇子欄(若需要)及所有程式化資訊，其不僅針對要修改之位元還針對相同暫存器的其他位元。例如，若要修改一 BIU 之一暫存器(例如 213、403)之一位元，則將該暫存器之其他位元的預設值寫入至其他熔線。以此方式，修改的一 BIU 之暫存器將為

不需要修改的該些位元提供預設值。

在操作 709 中，以該解決方式來程式化該等熔線庫。在一具體實施例中，一熔線係藉由允許該熔線保持不變來程式化以表示一第一資料狀態或藉由「熔斷」該熔線以產生一開放或高阻抗來程式化以表示一第二資料狀態。然而，在其他具體實施例中可以其他方式來程式化 OTP 元件。在操作 711 中，再次測試該積體電路以確保該修復或調整係成功的。

如上所示，可減低用於一積體電路中的熔線數目，其中可在不同電路之中使用熔線。在一範例中，可藉由決定一積體電路上所需的每一可能熔線與將該些使用分成子群組來決定所需熔線數目，其中較佳的係一子群組中之熔線係功能上相關。可能需要分組該些使用，其中若需要改變一使用，則存在一相對較高的機會的係該群組的其他使用亦將改變。在一具體實施例中，熔線數目將係一小部分 (<25%) 關於冗餘修復與非冗餘調諧、最佳化或模式選擇的最大可能使用。在一具體實施例中，對於一不成熟製程中的產品最初發行而言，會預期熔線庫之數目較大。所建議解決方式之一優點係可在產品修訂之間修改熔線庫之數目而不改變該系統的其他實施方案細節。

在其他具體實施例中可使用其他用於設計、製造、測試及程式化熔線之積體電路的程序。

可用於系統 101 中的熔線之範例包括多晶矽化金屬熔線、金屬熔線或雷射可程式化熔線。然而，在其他具體實

施例中，可使用其他類型之一次可程式化元件來代替該等熔線，例如可程式化ROM(唯讀記憶體)單元(例如電可程式化ROM)。

在一具體實施例中，一系統包括一記憶體陣列電路，其包括冗餘記憶體單元以用於取代在製造之後偵測到的缺陷記憶體單元。該系統還包括一非記憶體陣列電路。該非記憶體陣列電路包括用於在製造之後調整一群組之一操作參數的電路，該群組由一操作電流、一操作電壓、一電阻、一電容、一導電性、一電感、一頻率、一時序特性、一調諧特性、自一組電路的一電路之選擇及一操作模式組成。該系統包括一次可程式化元件。該一次可程式化元件可程式化以用於儲存用於在製造之後修改該系統的資訊。該一次可程式化元件可在製造之後可程式化地指派給一電路群組之任一電路，該群組包含該記憶體陣列電路與該非記憶體陣列電路。該一次可程式化元件可程式化以儲存針對該群組之任一電路的資訊，其包含取代在製造之後偵測到的記憶體陣列電路之一缺陷記憶體單元與在製造之後調整該非記憶體陣列電路之操作參數。該系統包括控制電路，其係耦合至該一次可程式化元件以接收儲存於該一次可程式化元件中之程式化的資訊，該控制電路係耦合至該記憶體陣列電路並係耦合至該非記憶體陣列電路以將儲存於該一次可程式化元件中之程式化的資訊提供至該一次可程式化元件係可程式化地指派的電路群組之一電路。

在另一具體實施例中，在一積體電路中，一系統包括一

或多個可修復記憶體陣列電路，其可在製造之後以冗餘記憶體單元修復以取代一或多個缺陷記憶體單元。該系統還包括一或多個非記憶體陣列電路，其可在製造之後藉由修改該等非記憶體陣列電路之一或多個操作參數來調整。該系統進一步包括複數個一次可程式化元件，其可程式化以係指派給該一或多個可修復記憶體陣列電路之任一者以用於以該等冗餘記憶體單元修復該一或多個缺陷記憶體單元，或指派給該一或多個非記憶體電路之任一者以用於修改該一或多個操作參數。

在另一具體實施例中，一系統包括一第一電路，其可在製造之後根據程式化的冗餘修復資訊來以冗餘電路進行修復以取代缺陷電路。該系統包括一第二電路，其可在製造之後根據程式化的調整資訊來藉由修改該第二電路之一操作參數進行調整。該系統進一步包括複數個可程式化熔線集。該複數個集之各集可程式化以係指派給包含該第一電路與該第二電路之一電路群組之任一電路。該系統進一步包括控制電路，其係耦合至該複數個可程式化熔線集以接收來自該複數個可程式化熔線集之資訊。控制電路係耦合至該第一電路以用於將程式化的冗餘修復資訊自指派給該第一電路之複數個集之可程式化熔線提供至該第一電路，並係耦合至該第二電路以用於將程式化的調整資訊自指派給該第二電路之複數個集之可程式化熔線提供至該第二電路。

雖然已顯示且說明本發明之特定具體實施例，熟習此項

技術者將認識到，基於本文之教導可在不脫離本發明及其更廣態樣之情況下進行進一步變化與修改，因而隨附申請專利範圍將在其範疇內包含屬於本發明之真正精神與範疇內之所有此類變化與修改。

【圖式簡單說明】

藉由參考附圖可更佳地理解本發明，而其眾多目的、特徵及優點將為熟習此項技術者所明白。

圖1係依據本發明之一具體實施例的一積體電路之一OTP元件系統的方塊圖。

圖2係依據本發明之一具體實施例的圖1之一電路之一具體實施例的方塊圖。

圖3係依據本發明之一具體實施例的圖1之一電路之一具體實施例的方塊圖。

圖4係依據本發明之一具體實施例的圖1之一電路之一具體實施例的方塊圖。

圖5係依據本發明之一具體實施例之一熔線庫的方塊圖。

圖6係提出依據本發明之一具體實施例的一熔線系統之熔線欄的圖式。

圖7係顯示依據本發明之一具體實施例的一積體電路之一熔線系統的設計與程式化之操作的流程圖。

除非另有提及，否則，不同圖式中使用的相同參考符號指示相同的項目。該等圖式不必按比例繪製。

【主要元件符號說明】

100	積體電路/系統實施電路
101	熔線系統
103	熔線陣列電路
105	一次可程式化元件/熔線庫
106	測試埠
107	熔線庫
108	內建自我測試(BIST)埠
109	熔線庫
110	線
111	熔線庫
112	控制線
113	熔線控制器
114	資料線
115	熔線讀取單元
117	傳輸單元
119	程式化單元
121	匯流排
123	類比電路
125	匯流排介面單元(BIU)
127	電壓調節器電路
129	匯流排介面單元(BIU)
131	電源管理電路
133	匯流排介面單元(BIU)
135	數位邏輯電路

137	匯流排介面單元(BIU)
141	記憶體陣列電路
143	匯流排介面單元(BIU)
151	記憶體陣列電路
153	匯流排介面單元(BIU)
161	記憶體陣列電路
163	匯流排介面單元(BIU)
171	鎖相迴路電路
173	匯流排介面單元(BIU)
175	時脈分佈電路
177	匯流排介面單元(BIU)
201	位元線
203	線
205	線
207	ID匹配電路
211	暫存器控制電路
213	暫存器
215	暫存器
217	暫存器
219	暫存器
221	寫入致能線
223	線
225	組態單元
227	鎖相迴路

301	可修復記憶體陣列
303	冗餘列
305	冗餘行
307	感測放大器
309	控制邏輯
311	冗餘邏輯
317	ID匹配電路
319	暫存器控制電路
321	列修復資料暫存器
323	行修復資料暫存器
325	暫存器
327	暫存器
331	線
333	線
335	線
401	ID匹配電路
403	10位元調諧暫存器
409	時脈再生電路
419	多工器
421	時脈再生電路
423	時脈再生電路
425	時脈再生電路
427	時脈再生電路
501	程式化控制器

503	偵側電路控制器
507	熔線庫選擇器
510	熔線陣列
512	熔線偵側電路
D1	延遲元件
D2	延遲元件
D3	延遲元件
D4	延遲元件

十、申請專利範圍：

1. 一種一次可程式化元件系統，其包含：

一記憶體陣列電路，其包含冗餘記憶體單元以用於取代在製造之後偵測到的缺陷記憶體單元；

一非記憶體陣列電路，該非記憶體陣列電路包含用於在製造之後調整一群組之一操作參數的電路，該群組由一操作電流、一操作電壓、一電阻、一電容、一導電性、一電感、一頻率、一時序特性、一調諧特性、自一組電路的一電路之選擇及一操作模式組成；

一一次可程式化元件，該一次可程式化元件可程式化以用於儲存用於在製造之後修改該系統的資訊，該一次可程式化元件可在製造之後可程式化地指派給包含該記憶體陣列電路與該非記憶體陣列電路的一電路群組之任一電路，其中該一次可程式化元件可程式化以儲存針對該群組之任一電路的資訊，其包含取代在製造之後偵測到的該記憶體陣列電路之一缺陷記憶體單元與在製造之後調整該非記憶體陣列電路之該操作參數；

控制電路，其係耦合至該一次可程式化元件以接收儲存於該一次可程式化元件中之程式化的資訊，該控制電路係耦合至該記憶體陣列電路並係耦合至該非記憶體陣列電路以將儲存於該一次可程式化元件中之該程式化的資訊提供至該一次可程式化元件係可程式化地指派的該電路群組之該一電路。

2. 如請求項1之系統，其進一步包含：

一匯流排，該控制電路係經由該匯流排耦合至該記憶體陣列電路與該非記憶體陣列電路以用於提供儲存於該一次可程式化元件中的資訊。

3. 如請求項1之系統，其進一步包含：

一第二一次可程式化元件，該第二一次可程式化元件係用於儲存用於將該一次可程式化元件可程式化地指派給該電路群組之該任一電路的資訊。

4. 如請求項1之系統，其中該一次可程式化元件係一熔線。

5. 一種在一積體電路中之一一次可程式化元件系統，該系統包含：

一或多個可修復記憶體陣列電路，其可在製造之後以冗餘記憶體單元進行修復以取代一或多個缺陷記憶體單元；

一或多個非記憶體陣列電路，其可在製造之後藉由修改該等非記憶體陣列電路之一或多個操作參數來調整；以及

複數個一次可程式化元件，其可程式化以係指派給該一或多個可修復記憶體陣列電路之任一者以用於以該等冗餘記憶體單元修復該一或多個缺陷記憶體單元，或指派給該一或多個非記憶體電路之任一者以用於修改該一或多個操作參數。

6. 如請求項5之系統，其進一步包含：

一匯流排，其係耦合至該一或多個可修復記憶體陣列

電路並耦合至該一或多個非記憶體陣列電路；以及

控制電路，其係耦合至該複數個一次可程式化元件，該控制電路係耦合至該匯流排以提供在該複數個一次可程式化元件中程式化的資訊。

7. 如請求項6之系統，其中該控制電路將來自該複數個一次可程式化元件的該資訊提供於資料單元中，其中提供於該匯流排上的該等資料單元各包括一識別符以用於識別該資料單元包括用於修改之資訊的該一或多個非記憶體陣列電路之一指定者或該一或多個可修復記憶體陣列電路之一指定者。
8. 如請求項7之系統，其中針對各資料單元之該識別符係在該複數個一次可程式化元件中程式化。
9. 如請求項5之系統，其中該複數個一次可程式化元件之各一次可程式化元件係一熔線。
10. 如請求項5之系統，其中該一或多個記憶體陣列電路包括一時脈電路，其中該一或多個操作參數包括該時脈電路之一時脈線的複數個延遲之一指定延遲。
11. 如請求項5之系統，其中該一或多個非記憶體陣列電路包括一電壓調節器電路，其中該一或多個操作參數包括藉由該電壓調節器電路之一電壓調節器提供之一調節的電壓位準。
12. 如請求項5之系統，其中該一或多個非記憶體陣列電路包括一鎖相迴路電路，其中該一或多個操作參數包括該鎖相迴路電路之一鎖相迴路的一調諧參數或一時序參

數。

13. 如請求項5之系統，其中該一或多個非記憶體陣列電路包括一電源管理單元，其中該一或多個操作參數包括由該電源管理單元之一操作模式、一系統操作電壓及一系統頻率組成之群組之至少一者。
14. 如請求項5之系統，其中該一或多個操作參數包括由一操作電流、一操作電壓、一電阻、一電容、一導電性、一電感及一時序特性組成之一群組之至少一者。
15. 如請求項5之系統，其中該一或多個非記憶體陣列電路包括由一類比電路與一數位邏輯電路組成之一群組之至少一者，其中該群組之該一或多個操作參數包括由一該數位邏輯電路之一數位邏輯操作參數與該類比電路之一類比電路操作參數組成之一群組之至少一者。
16. 如請求項5之系統，其中該複數個一次可程式化元件可程式化以係指派給該一或多個可修復記憶體陣列電路之任一者以用於修改該一或多個可修復記憶體陣列電路之一或多個操作參數。
17. 一種一次可程式化元件系統，其包含：
 - 一第一電路，其可在製造之後根據程式化的冗餘修復資訊來以冗餘電路進行修復以取代缺陷電路；
 - 一第二電路，其可在製造之後根據程式化的調整資訊來藉由修改該第二電路之一操作參數進行調整；
 - 複數個可程式化熔線集，該複數個集之各集可程式化以係指派給包含該第一電路與該第二電路之一電路群組

之任一電路；

控制電路，其係耦合至該複數個可程式化熔線集以接收來自該複數個可程式化熔線集之資訊，該控制電路係耦合至該第一電路以用於將該程式化的冗餘修復資訊自指派給該第一電路之該複數個集之可程式化熔線提供至該第一電路並係耦合至該第二電路以用於將該程式化的調整資訊自指派給該第二電路之該複數個集之可程式化熔線提供至該第二電路。

18. 如請求項17之系統，其中該第一電路進一步包含一第一可修復記憶體陣列電路而該第二電路進一步包含一第二可修復記憶體陣列電路。
19. 如請求項17之系統，其中該第一電路進一步包含一第一可修復記憶體陣列電路而該第二電路進一步包含一非記憶體陣列電路。
20. 如請求項17之系統，其中該複數個可程式化熔線集之每一集可程式化以儲存一識別符，其識別該每一集係指派的包含該第一電路與該第二電路之電路群組之一電路。
21. 如請求項17之系統，其進一步包含：

一匯流排，其中該控制電路係經由該匯流排耦合至該第一電路與該第二電路以用於傳達該程式化的冗餘修復資訊與該程式化的調整資訊。

十一、圖式：

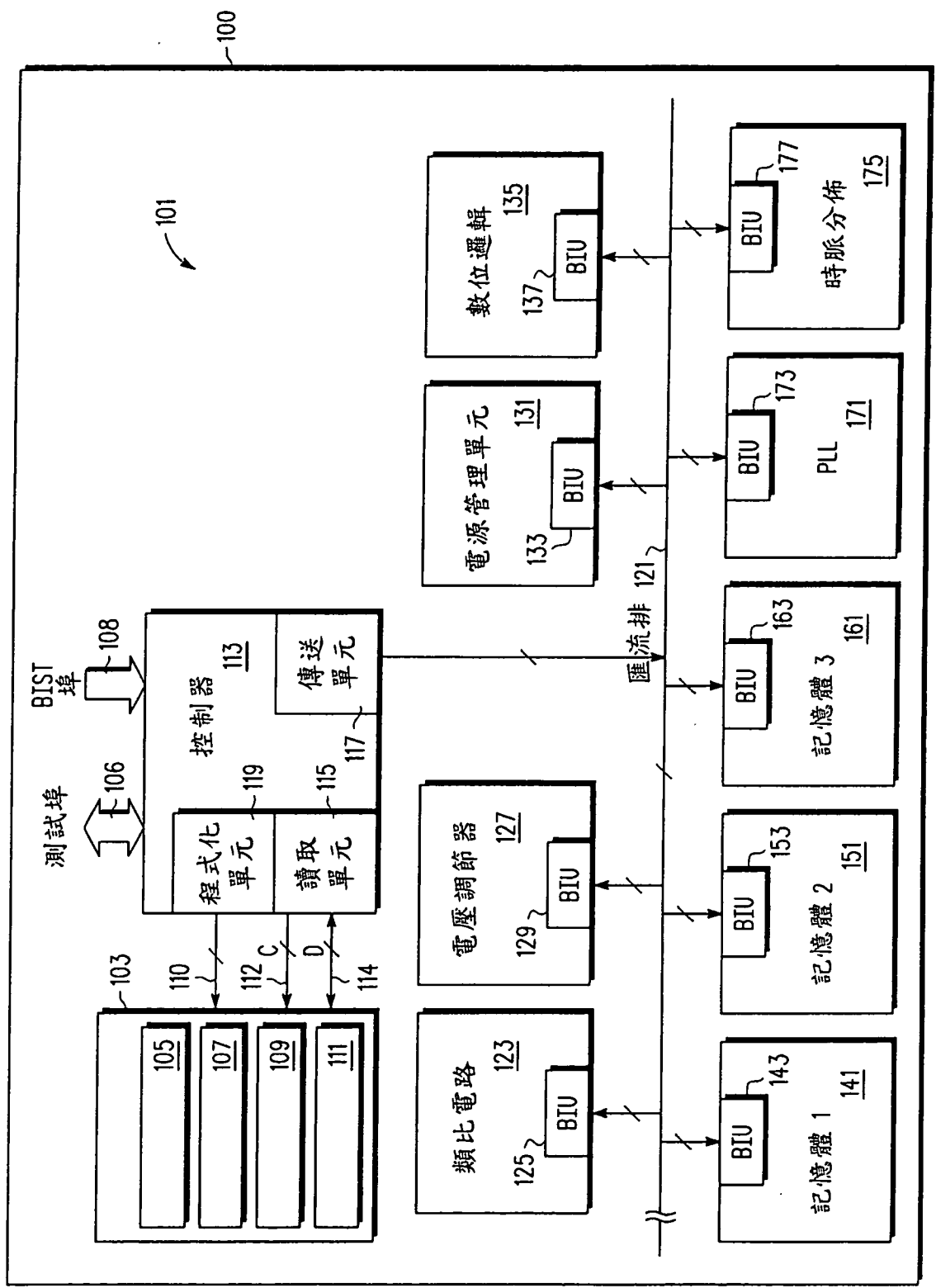


圖1

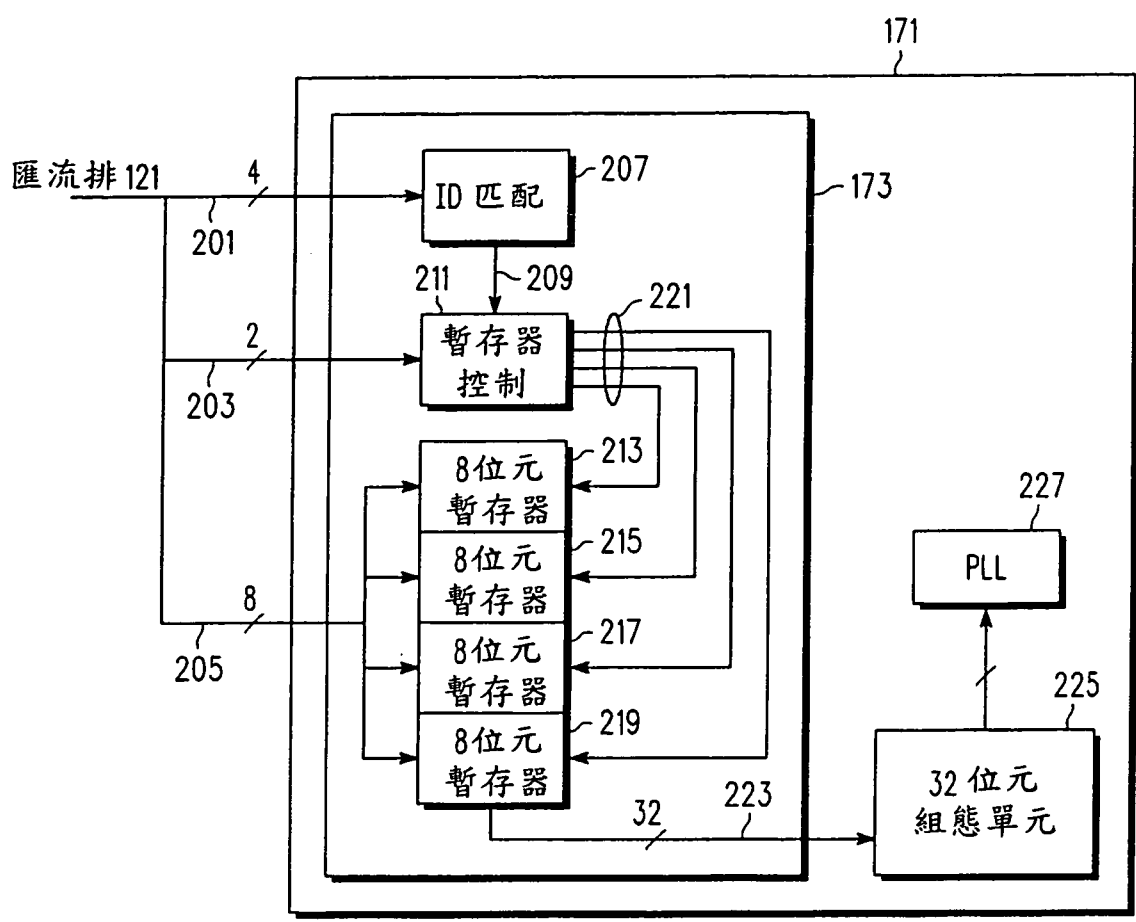


圖 2

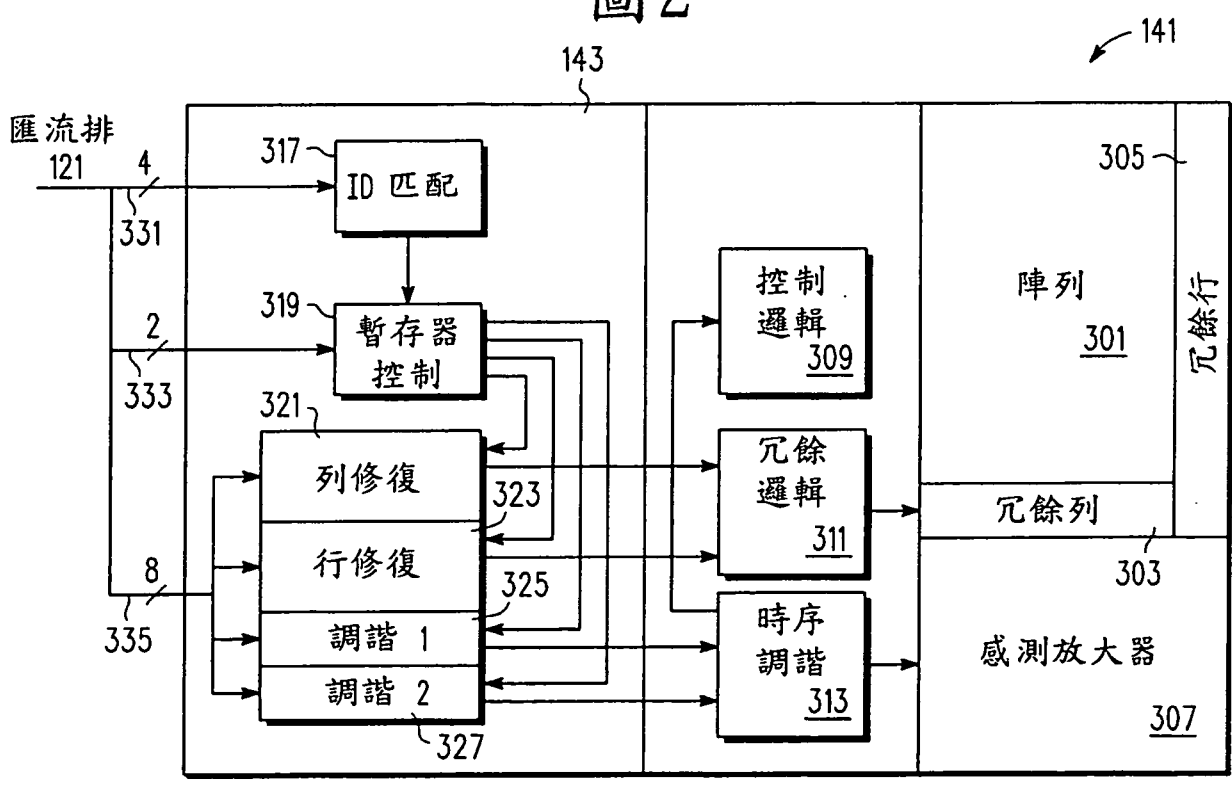


圖 3

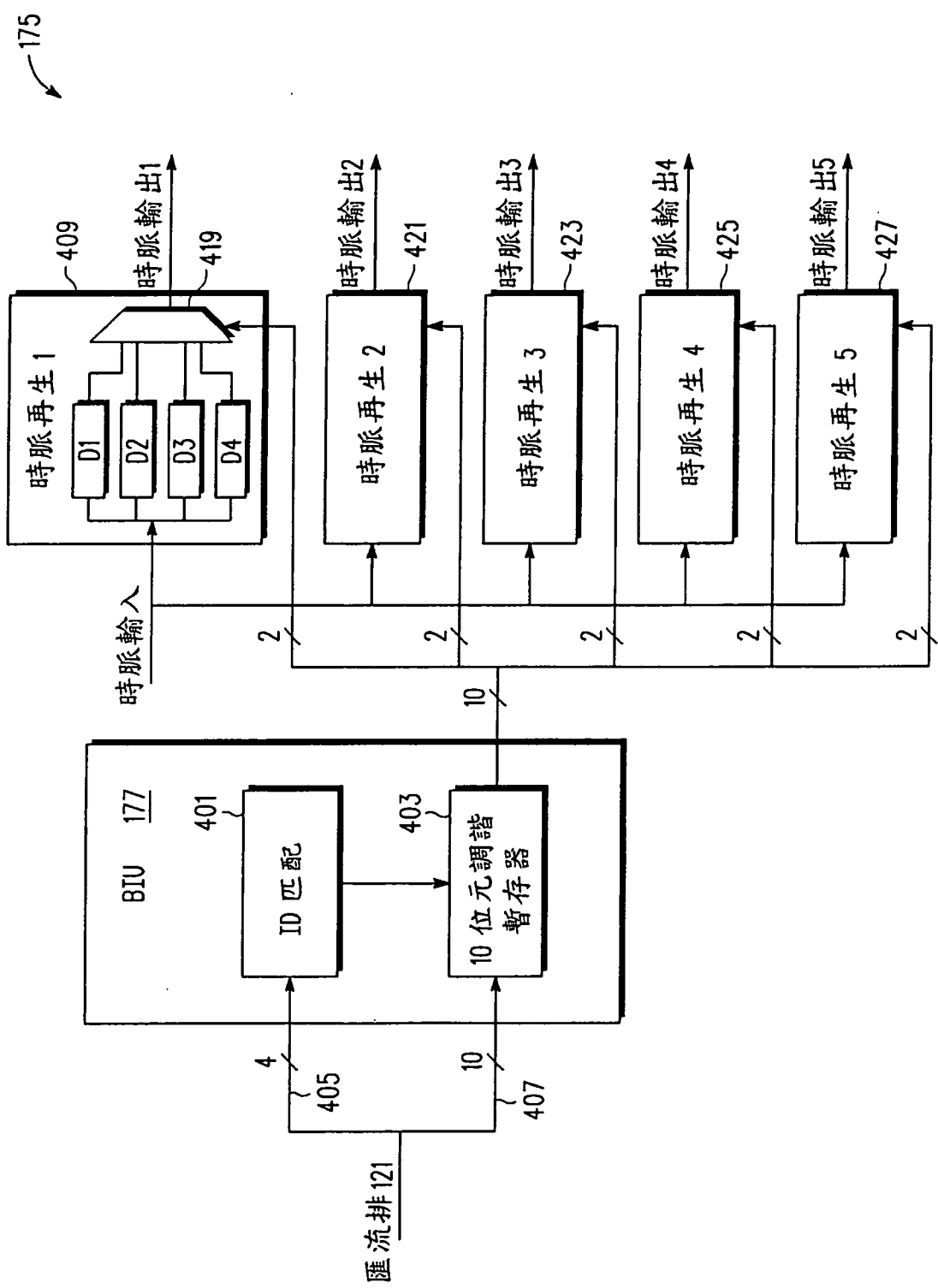


圖4

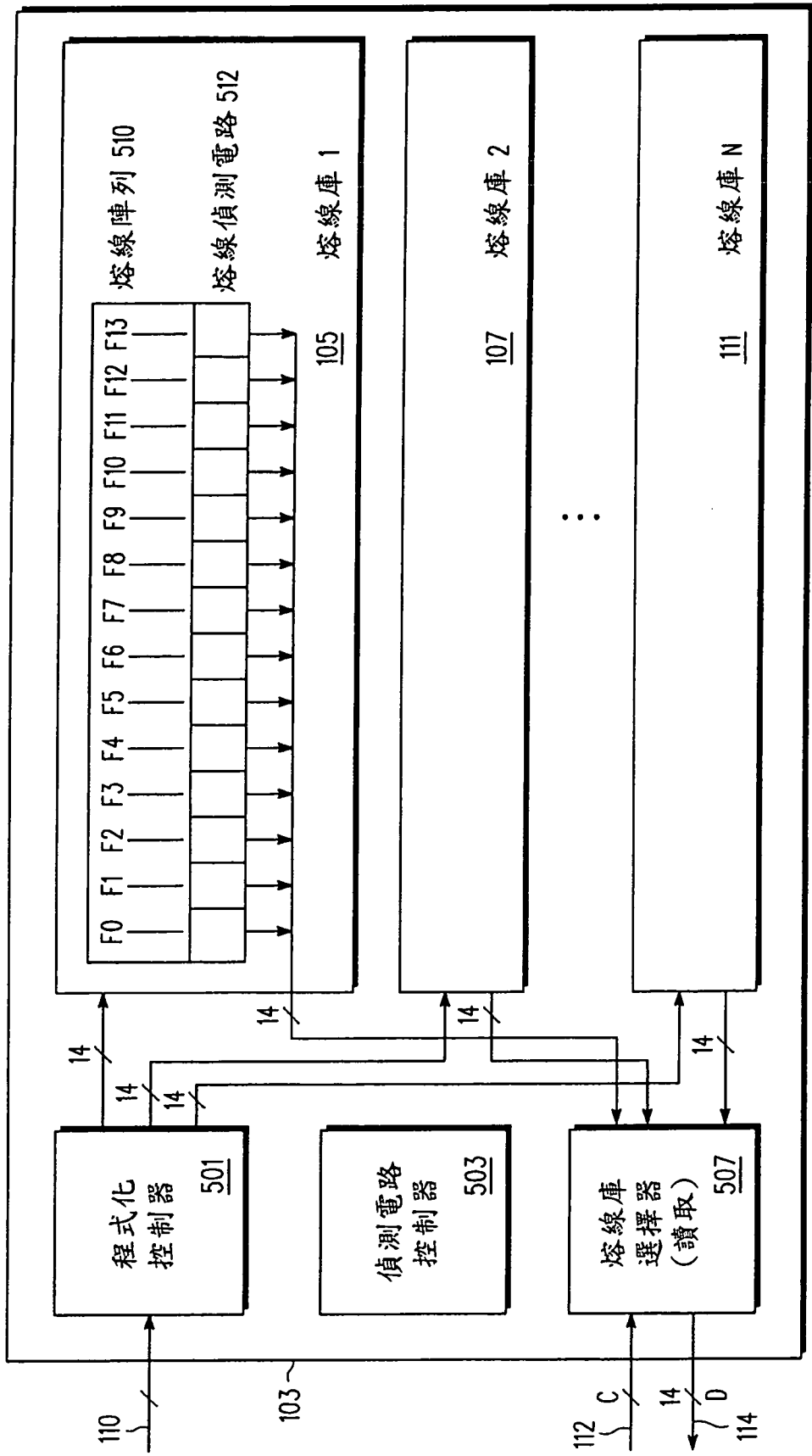


圖5

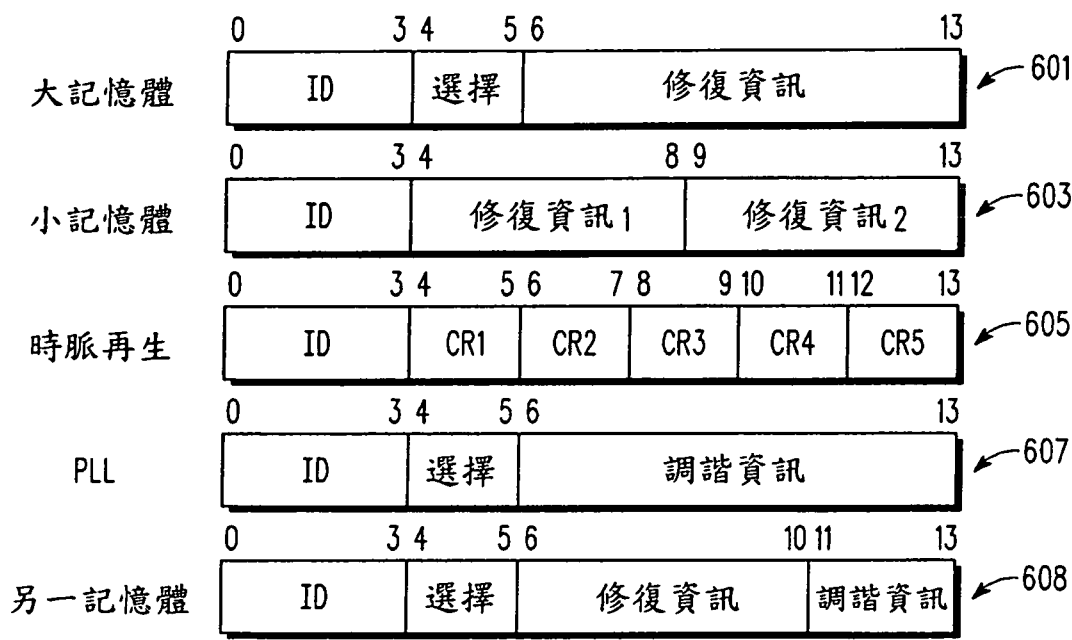


圖 6

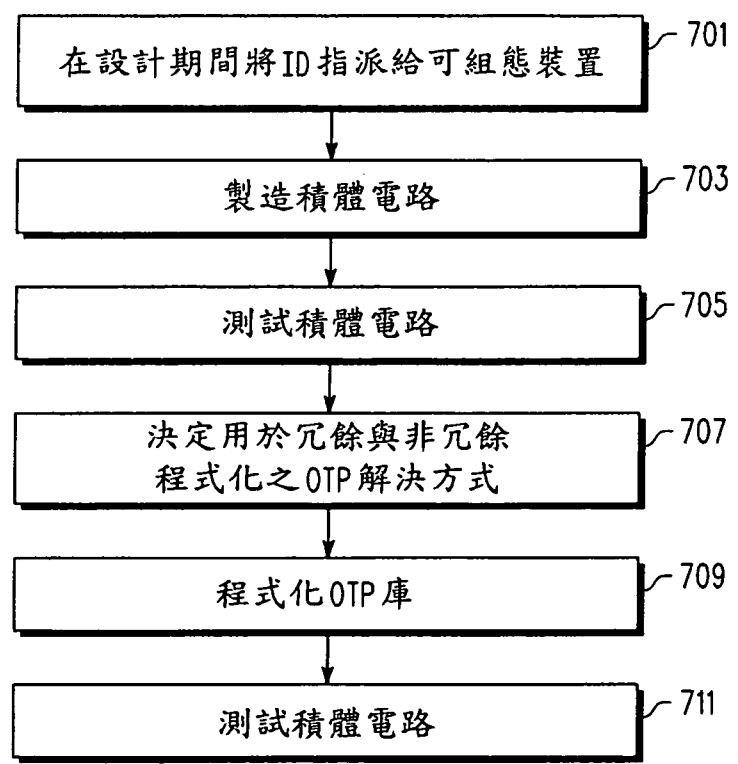


圖 7