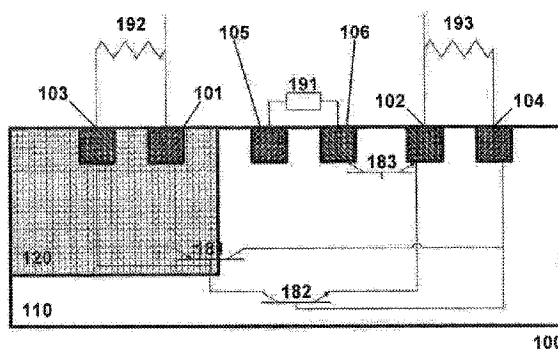




(45) 授权公告日 2015.08.26



1. 一种静电放电 ESD 保护电路,包括:

第一导电类型的第一低掺杂阱;

第二导电类型的第二低掺杂阱;

在第一低掺杂阱中形成的第一导电类型的第一高掺杂区;

在第一低掺杂阱中形成的第二导电类型的第二高掺杂区;

在第二低掺杂阱中形成的第一导电类型的第三高掺杂区;

在第二低掺杂阱中形成的第二导电类型的第四高掺杂区;

在第二高掺杂区和第二低掺杂阱之间的第一低掺杂阱中形成的第一导电类型的第五高掺杂区;

完全在第二高掺杂区和第二低掺杂阱之间的第一低掺杂阱中形成的第二导电类型的第六高掺杂区,其中,第六高掺杂区通过外部电连接连接到第五高掺杂区;以及

触发电路,用于在 ESD 事件期间接通所述 ESD 保护电路,其中所述触发电路与第一高掺杂区、第二高掺杂区、第三高掺杂区、第四高掺杂区、第五高掺杂区或者第六高掺杂区的至少一个耦合。

2. 根据权利要求 1 所述的静电放电 ESD 保护电路,还包括:

第一电阻器,耦合在第一高掺杂区和第二高掺杂区之间;以及

第二电阻器,耦合在第三高掺杂区和第四高掺杂区之间。

3. 根据权利要求 1 所述的静电放电 ESD 保护电路,其中:

第五高掺杂区与第六高掺杂区直接相连,并且没有其他区域与第五高掺杂区和第六高掺杂区相连;

第二高掺杂区是所述 ESD 保护电路的阴极;以及

第三高掺杂区是所述 ESD 保护电路的阳极。

4. 根据权利要求 1 所述的静电放电 ESD 保护电路,其中所述触发电路包括以下至少之一:

第一触发电路,耦合在第四高掺杂区和第二高掺杂区之间;

第二触发电路,耦合在第三高掺杂区和第一高掺杂区之间

第三触发电路,其中第五高掺杂区与第六高掺杂区相连,并且第三触发电路耦合在第三高掺杂区和第五高掺杂区之间;

第四触发电路,耦合在第四高掺杂区和第一高掺杂区之间;以及

第五触发电路,其中第五高掺杂区与第六高掺杂区相连,并且第五触发电路耦合在第四高掺杂区和第五高掺杂区之间;

其中第一、第二、第三、第四和第五触发电路的任一个配置用于在 ESD 事件期间接通所述 ESD 保护电路。

5. 根据权利要求 1 所述的静电放电 ESD 保护电路,其中:

第六高掺杂区形成于第二高掺杂区和第五高掺杂区之间。

6. 根据权利要求 1 所述的静电放电 ESD 保护电路,其中:

没有高掺杂区形成于第五高掺杂区和第二低掺杂区之间

没有高掺杂区形成于第五高掺杂区和第六高掺杂区之间;以及

没有高掺杂区形成于第六高掺杂区和第二高掺杂区之间。

7. 根据权利要求 1 所述的静电放电 ESD 保护电路,其中:  
第五高掺杂区通过连接元件与第六高掺杂区耦合;  
其中所述连接元件包括以下至少之一:金属连接、通孔、电阻器、电容器、二极管、金属氧化物半导体(MOS)器件、双极型晶体管和控制电路。
8. 根据权利要求 7 所述的静电放电 ESD 保护电路,其中:  
所述连接元件在半导体器件的正常工作期间处于第一状态,并且其中所述连接元件在 ESD 事件的第一时间段期间处于第二状态。
9. 根据权利要求 8 所述的静电放电 ESD 保护电路,其中:  
所述连接元件在 ESD 事件的第二时间段期间处于第一状态。
10. 根据权利要求 1 所述的静电放电 ESD 保护电路,还包括:  
第一导电类型的第七高掺杂区,形成于第六高掺杂区和第二高掺杂区之间;以及  
第二导电类型的第八区域,形成于第二高掺杂区和第三高掺杂区之间的第一低掺杂阱中,其中第八区域至少部分地包围第六高掺杂区和第七高掺杂区。
11. 根据权利要求 1 所述的静电放电 ESD 保护电路,还包括:  
第二导电类型的第七区域,至少部分地包围第六高掺杂区。
12. 根据权利要求 11 所述的静电放电 ESD 保护电路,其中:  
第七区域的掺杂水平高于第二低掺杂阱的掺杂水平,并且第七区域的掺杂水平低于第六高掺杂区的掺杂水平。
13. 根据权利要求 1 所述的静电放电 ESD 保护电路,还包括:  
第一导电类型的第七区域,至少部分地包围第五高掺杂区。
14. 根据权利要求 13 所述的静电放电 ESD 保护电路,其中:  
第七区域的掺杂水平高于第一低掺杂阱的掺杂水平,并且第七区域的掺杂水平低于第五高掺杂区的掺杂水平。
15. 根据权利要求 1 所述的静电放电 ESD 保护电路,还包括:  
第二导电类型的第三低掺杂阱,包围第一低掺杂阱和第二低掺杂阱。
16. 根据权利要求 1 所述的静电放电 ESD 保护电路,还包括:  
第二导电类型的第三低掺杂阱;以及  
第二导电类型的第四低掺杂阱,位于第一低掺杂阱下方,并且至少部分地位于第二低掺杂阱和第三低掺杂阱的下方;  
其中第二低掺杂阱、第三低掺杂阱和第四低掺杂阱的组合至少部分地包围第一低掺杂阱。
17. 根据权利要求 1 所述的静电放电 ESD 保护电路,还包括:  
第二导电类型的第三低掺杂阱;  
第二导电类型的第四低掺杂阱,位于第一低掺杂阱、第二低掺杂阱和第三低掺杂阱的下方;以及  
第一导电类型的第五低掺杂阱,位于第四低掺杂阱和第二低掺杂阱之间;  
其中第三低掺杂阱和第四低掺杂阱的组合至少部分地包围第一低掺杂阱、第二低掺杂阱和第五低掺杂阱。
18. 根据权利要求 1 所述的静电放电 ESD 保护电路,其中:

第一导电类型是 p 型,而第二导电类型是 n 型。

19. 根据权利要求 1 所述的静电放电 ESD 保护电路,其中:

第一导电类型是 n 型,而第二导电类型是 p 型。

20. 根据权利要求 1 所述的静电放电 ESD 保护电路,还包括:

第二导电类型的第七区域,形成于第一低掺杂阱和第二低掺杂阱之间的结处,其中第七区域至少部分地延伸到第一低掺杂阱和第二低掺杂阱中,并且其中所述触发电路包括第七区域。

21. 根据权利要求 7 所述的静电放电 ESD 保护电路,

其中所述金属连接包括金属触点和金属线中至少之一。

## 高保持电压器件

[0001] 相关申请的交叉参考

[0002] 本申请要求 2010 年 2 月 22 日递交的美国临时申请 No. 61/306,658 的权益,通过引用将其全部包含在本文中。

### 技术领域

[0003] 本发明涉及一种半导体器件。

### 背景技术

[0004] 可控硅整流器 (SCR) 是一种能够在低工作电压下传导高电流的器件。将维持电流的 SCR 两端的电压称作保持电压。SCR 通常用于半导体中的静电放电保护 (ESD)。对于经典的 SCR,保持电压典型地是约 1.2V。当通过 ESD 事件触发 SCR 时,SCR 安全地传导来自 ESD 事件的电流,保护所述半导体器件。

[0005] 当在利用大于 1.2V 的电源电压操作的系统中实现 SCR 时,SCR 可能变成闭锁。闭锁的 SCR 在正常工作期间传导电流,并且不只是在 ESD 事件期间作为保护器件。由此,SCR 可能经常烧坏。

[0006] 为了解决闭锁问题,使得可以在利用较高电源电压操作的系统中实现 SCR,可以通过添加与 SCR 串联的二极管或者通过堆叠串联的多个 SCR 来增加 SCR 的保持电压。在高电压 (HV) 应用中的这些解决方案的问题是需要太多的附加元件以达到电源电压以上的保持电压。二极管只可以将保持电压增加 0.7V,实践中将要求太多的二极管。同样地,按照需要堆叠许多串联的 SCR 也是不实用的。由于附加元件的个数,实现二极管或 SCR 所需要的面积太大。另外,由于来自许多附加器件的达林顿效应 (Darlington effect) 导致的泄露也将太高。

[0007] 替代地,在 HV 技术中可以使用其他器件,例如齐纳二极管、栅极接地 n- 型沟道金属氧化物半导体 (GGNMOS) 和电阻性互补金属氧化物半导体 (RC-MOS),然而这些器件也占用较大的面积并且表现出触发问题。

[0008] 需要一种具有大于电源电压的高保持电压和高电流容量的新器件。

### 发明内容

[0009] 一种高保持电压 (HV) 静电放电 (ESD) 保护电路,包括:可控硅整流器 (SCR) 器件和位于 SCR 器件的阳极和阴极之间长度 (LAC) 内的补偿区域,所述补偿区域增加了 SCR 器件的保持电压。所述补偿区域可以向 SCR 器件引入负反馈机制,这可以影响 SCR 的回路增益,并且使其在较高的保持电压下达到再生反馈。

### 附图说明

[0010] 根据以下描述可以进行更详尽的理解,以下描述作为示例给出并且结合附图进行理解,其中:

- [0011] 图 1 示出了高保持电压 (HV) 静电放电 (ESD) 保护电路的第一实施例。
- [0012] 图 2 示出了图 1 所示的 HV ESD 保护电路的第一实施例的顶视图。
- [0013] 图 3 示出了在替代的阱中包括可控硅整流器 (SCR) 补偿区域的 HVESD 保护电路的第二实施例。
- [0014] 图 4 示出了包括用于 SCR 补偿区域的替代布局的 HV ESD 保护电路的第三实施例的顶视图。
- [0015] 图 5 示出了包括 SCR 阴极和补偿区域的替代布局的 HV ESD 保护电路的第四实施例的顶视图。
- [0016] 图 6 示出了包括将补偿区域延伸的低掺杂区域的 HV ESD 保护电路的第五实施例。
- [0017] 图 7 示出了包括具有低掺杂区域的补偿区域的替代布局的 HV ESD 保护电路的第六实施例。
- [0018] 图 8 示出了 HV ESD 保护电路的第七实施例, 所述 HV ESD 保护电路包括将第一导电性的第一补偿区域延伸的第一导电性的低掺杂区域和将第二导电性的第二补偿区域延伸的第二导电性的第二低掺杂区域。
- [0019] 图 9 示出了包括在两个补偿区域下面延伸的低掺杂区域的 HV ESD 保护电路的第八实施例。
- [0020] 图 10 示出了 HV ESD 保护电路的第九实施例, 所述 HV ESD 保护电路包括具有第一导电类型的第一阱区的补偿区域和具有第二导电类型的第二阱区的补偿区域。
- [0021] 图 11 示出了包括多对补偿区域的 HV ESD 保护电路的第十实施例。
- [0022] 图 12 示出了包括按照第一结构连接的多对补偿区域的 HV ESD 保护电路的第十一实施例。
- [0023] 图 13 示出了包括按照第二结构连接的多对补偿区域的 HV ESD 保护电路的第十二实施例。
- [0024] 图 14 示出了包括按照第三结构连接的多对补偿区域的 HV ESD 保护电路的第十三实施例。
- [0025] 图 15 示出了包括用于促进负反馈的附加补偿区域的 HV ESD 保护电路的第十四实施例。
- [0026] 图 16 示出了包括用于在第一位置中阻碍表面隔离的栅极的 HV ESD 保护电路的第十五实施例。
- [0027] 图 17 示出了包括用于在第二位置中阻碍表面隔离的栅极的 HV ESD 保护电路的第十六实施例。
- [0028] 图 18 示出了包括分离为两个区域的第一补偿区域的 HV ESD 保护电路的第十七实施例。
- [0029] 图 19 示出了包括分离为两个区域的第二补偿区域的 HV ESD 保护电路的第十八实施例。
- [0030] 图 20 示出了包括深阱 / 掩埋层结构的第一种实现的 HV ESD 保护电路的第十九实施例。
- [0031] 图 21 示出了包括深阱 / 掩埋层结构的第二种实现的 HV ESD 保护电路的第二十实施例。

[0032] 图 22 示出了包括将阱与深阱 / 掩埋层结构隔开的隔离区域的 HVESD 保护电路的第二十一实施例。

[0033] 图 23 示出了包括用于影响补偿区域操作的控制电路的 HV ESD 保护电路的第二十二实施例。

[0034] 图 24 示出了包括用于影响阱区的外部电路的 HV ESD 保护电路的第二十三实施例。

[0035] 图 25 示出了包括外部触发器的 HV ESD 保护电路的第二十四实施例。

[0036] 图 26 示出了包括用于影响反向击穿电压的阱区的 HV ESD 保护电路的第二十五实施例。

[0037] 图 27 示出了包括用于调节反向击穿电压的栅极区的 HV ESD 保护电路的第二十六实施例。

[0038] 图 28 示出了包括用于补偿的附加 SCR 的 HV ESD 保护电路的第二十七实施例。

[0039] 图 29 示出了包括第一两指状物配置的 HV ESD 保护电路的第二十八实施例。

[0040] 图 30 示出了图 29 所示的 HV ESD 保护电路的第二十八实施例的顶视图。

[0041] 图 31 示出了包括第二两指状物配置的 HV ESD 保护电路的第二十九实施例。

[0042] 图 32 示出了图 31 所示的 HV ESD 保护电路的第二十九实施例的顶视图。

### 具体实施方式

[0043] 这里描述的电路包括导电类型的多个阱,其中所述导电类型包括 N 型和 P 型。当下文中进行参考时,第一导电类型可以是与第二导电类型相反。例如,如果第一导电类型是 N 型,第二导电类型可以是 P 型。同样地,如果第一导电类型是 P 型,第二导电类型可以是 N 型。在以下实施例中,可以利用任一种配置的导电类型来实现电路。附图可以描述特定类型的双极型晶体管,然而可以利用相反导电类型的区域实现附图中所示的电路,其结果是相反类型的晶体管。在这种情况下,PNP 双极型晶体管将变成 NPN 双极型晶体管,而 NPN 双极型晶体管将变成 PNP 双极型晶体管。

[0044] 在以下描述中,在多个附图中的相应部件类似地使用共同的数字标示。通常,部件序号将以附图序号开始。例如,图 1 中所示的阳极区域 101 与图 5 中所示的类似阳极区域 501 相对应。同样地,在图 6 中所示的由区域 601、603 和 610 形成的双极型器件 681 与图 21 中所示的由区域 2101、2103 和 2110 形成的类似双极型器件 2181 相对应。在一些情况下,为了清楚地说明或者由于附图的取向,在附图中可能不会明确地示出双极型晶体管。然而,应该理解的是,由附图 x 中的区域 x02、x10 和 x20 形成的双极型器件 x82 可以与由附图 y 中的区域 y02、y10 和 y20 形成的双极型器件 y82 类似。

[0045] 本领域普通技术人员应该理解的是可以将区域视为用作多个功能。例如,阱区可以用作第一晶体管的发射极和可控硅整流器 (SCR) 的阳极。由此,在以下描述中依赖于其起到的作用情形来将相同的区域称作不同的术语。作为示例,针对相同的区域,可能先看到描述发射极 601,随后看到描述阳极 601。数字标示将提供对于正在考虑的区域的确切符号,同时前述描述应该在讨论的情形下有利于描述的可读性。

[0046] 图 1 示出了高电压 (HV) 静电保护 (ESD) 电路 100 的第一实施例。HV ESD 保护电路 100 包括区域 101、104 和 105,其可以是第一导电类型的高掺杂的。区域 102、103 和 106

可以是第二导电类型的高掺杂的。阱区 110 可以是第一导电类型的,并且可以具有比区域 101、104 和 105 更低的掺杂水平。阱区 120 可以是第二导电类型的,并且可以具有比区域 102、103 和 106 更低的掺杂水平。高掺杂区 101 和 103 可以形成于阱区 120 中,并且高掺杂区 102、104、105 和 106 可以形成于阱区 110 中。高掺杂区 101、102、103、104、105 和 106 可以通过场氧化物、沟槽隔离或者等效的材料在芯片表面上分离。半导体芯片可以包括除了 HVESD 保护电路 100 之外的其他电路。

[0047] 区域 101(发射极)、110(集电极)和 120(基极)可以形成第一双极型器件 181。区域 102(发射极)、110(基极)和 120(集电极)可以形成第二双极型器件 182,所述第二双极型器件 182 可以是与第一双极型器件 181 相反类型的。双极型器件 181 和 182 可以耦合以形成 SCR 器件。可以将区域 101 和 102 分别称作 SCR 器件的阳极和阴极。可以将这两个区域之间的间隔称作阳极-阴极间隔(LAC)。区域 105 和 106 可以形成于 LAC 中。区域 105 和 106 可以通过连接 191 耦合。连接 191 可以是金属触点、通孔、金属线、电阻器、电容器、二极管、金属氧化物半导体(MOS)器件、双极型器件、控制电路、在区域 105 和 106 之间形成连接的任意其他电子元件或者元件的组合。区域 102(发射极)、106(集电极)和 110(基极)可以形成双极型器件 183。阳极 101 可以通过电阻性元件 192 与区域 103 耦合。同样地,阴极 102 可以通过电阻性元件 193 与区域 104 耦合。区域 110 的阱电阻可以产生将区域 105 与区域 104 耦合的电阻性路径。

[0048] 区域 101 是双极型器件 181 的发射极。当将区域 101 和 120 之间的结正向偏置时,双极型器件 181 开始将集电极电流注入到阱 110 中。该电流可以包括阱 110 中的多数载流子。可以通过区域 104 和电阻器 193 将所述电流抽取到阴极 102。通过电阻器 193 的电流可以在电阻器 193 两端产生电压差,使得区域 110 和区域 102 之间的结可以变成正向偏置。区域 102 可以是两个双极型器件 182 和 183 的发射极。流过双极型器件 182 的电流可以是阱 120 中的集电极电流的形式。可以通过电阻器 192 和区域 103 从阳极 101 抽取该电流。流过电阻器 192 的电流可以在电阻器两端产生电压差,所述电压差可以将区域 101 和 120 之间的结正向偏置。

[0049] 电流的上述行为描述了正反馈回路。一旦将所述结正向偏置,例如通过外部触发电流,正反馈可以保持 SCR 器件是激活的。如果反馈电流足够高到保持所述结正向偏置,而无需注入连续的外部触发电流,所述双极型器件 181 和 182 之间的反馈可以是再生的。所述再生反馈可以保持 SCR 器件是激活的。

[0050] 当包括 SCR 在内的双极型器件(在这种情况下是双极型器件 181 和 182)的正向增益的乘积大于或等于单位 1 时,SCR 可以维持是再生的。将该乘积统称为回路增益。如果回路增益大于或等于 1,强制进入双极型器件 181 或 182 的少量电流可以乘以双极型器件的正向增益,并且注入到其他双极型器件的基极。然后,可以将所述电流乘以其他双极型器件的正向增益,并且注入到第一双极型器件的基极。这种正反馈操作可以将双极型器件驱动至饱和,其中所述电流不能再增加。对于典型的 SCR 器件,阳极和阴极两端的保持电压可以是 1.2V。

[0051] 双极型晶体管的有效正向增益可以通过厄利效应(Early effect)依赖于集电极-发射极电压,其中:

$$[0052] \quad dI_c/dV_{ce} = I_c/|V_A|, \quad (1)$$

[0053] 其中,  $V_A$  是厄利电压,  $I_C$  是集电极电流, 而  $dI_C/dV_{ce}$  是集电极电流变化与集电极-发射极电压变化之比。由此, 在阳极 101 和阴极 102 之间施加的电压的增加可以增加回路增益, 并且因此增加双极型器件 181 和 182 之间的正反馈。增加的正反馈可以增加 SCR 的触发速度。

[0054] 通过增加图 1 中的 SCR 的保持电压, 可以将区域 105 和 106 看作是 SCR 补偿区域。如果在图 1 的 SCR 的阳极 101 和阴极 102 之间不存在区域 105 和 106, SCR 可以表现出 1V 至 2V 的典型保持电压。增加区域 105 和 105 可以通过从 SCR 器件转移出电流向所述 SCR 器件引入负反馈机制。区域 102 可以用作双极型器件 183 和双极型器件 182 的发射极。区域 110 也可以用作双极型器件 182 和 183 的基极。由此, 当双极型器件 182 传导电流时, 双极型器件 183 也可以传导电流。可以使得双极型器件 183 比双极型器件 182 更有效率, 使得可以通过双极型器件 183 而不是双极型器件 182 来传导相对更大部分的发射极电流。由此, 双极型器件 182 的更少的集电极电流对于正反馈有贡献, 其负补偿 SCR 回路增益。

[0055] 当双极型器件 183 传导电流时, 可以将其集电极 106 处的电压抽取至阴极 102 的电压。同样地, 通过连接 191, 可以依赖于连接 191 的特性, 将区域 105 的电压抽取至集电极 106 的电压。在图 1 中, 区域 105 的电压可以类似于区域 106 的电压。在双极型晶体管 181 的集电极附近的区域中, 区域 105 的电压可以保持区域 110 的电压为低。区域 105 的低电压可以提供电流流至阴极 102 的替代路径, 而不是通过区域 104 或者双极型器件 182。区域 110 的较低局部电压也可以使其对于区域 110-102 的结更加难以变成正向偏置。由此, 可以减小双极型器件 181 和 182 之间的 SCR 反馈机制的增益, 可以将其看作是引入负反馈。

[0056] 为了增加 SCR 的正反馈以应对由区域 105 和 106 引入的负反馈效应, 可以增加 SCR 器件两端的电压, 这可以增加双极型器件的正向增益。一旦正反馈大到足以应对负反馈, 使得 SCR 的回路增益大于或等于 1, 所述 SCR 可以是再生的。由此, 由于区域 105 和 106 引入的负反馈, 图 1 中描述的 SCR 的保持电压可以更高。

[0057] 将区域 105 和 106 设置在 SCR 器件的 LAC 内可以通过影响 SCR 器件的反馈周期以及补偿 SCR 器件回路增益来改变 SCR 器件的特性。将区域 105 和 106 设置在 SCR 器件的阳极 101 和阴极 102 之间显著地影响了 SCR 器件的操作。

[0058] 可以将设置在阳极 101 和阴极 102 之间的阱 110 中的区域 105 和 106 看作是有效地位于双极型器件 182 的基极内。双极型器件 183 可以有效地从双极型器件 182 的基极抽取少数载流子, 其可以降低双极型器件 182 的正向增益。由于由双极型器件 181 注入到阱 110 中的电流以及由双极型器件 182 注入到阱 120 中的电流的方向性, 将区域 105 和 106 设置在如图 1 所示的 LAC 内具有显著的效果。总体上电流可以从阳极 101 朝着阴极 102 流动。因此, 可以将区域 105 和 106 直接设置于这一电流路径中, 显著地影响了 SCR 器件的操作。将区域 105 和 106 设置于 LAC 外部将对于 SCR 器件的性能几乎没什么影响。

[0059] 设置在 LAC 内的区域 105 和 106 可以使得双极型器件 183 相对于双极型器件 182 更强。如果将区域 105 和 106 设置在 LAC 外部, 183 的集电极将不再位于双极型器件 182 的基极中。由此, 双极型器件 183 可以对于 SCR 器件的正反馈周期具有降低的影响。另外, 由于双极型器件 181 注入的多数载流子从阱 120 的方向到达阱 110 和区域 102 之间的结, 将少数载流子从区域 102 注入到阱 110 中可以主要沿阱 120 的方向发生。如果将区域 105 和 106 设置在 LAC 外部, 双极型器件 182 将优于双极型器件 183。

[0060] 将区域 105 和 106 设置于 LAC 内使得能够将区域 105 设置为紧邻双极型器件 181 的集电极结,这有助于最小化集电极和区域 105 之间的阱电阻。相反地,将区域 105 设置于 LAC 外部增加了双极型器件 181 的区域 105 和集电极结之间的距离。双极型器件 181 的集电极结将电流注入到阱 110 中。增加的距离可以导致双极型器件 181 的集电极结和区域 105 之间增加的阱电阻,其可以导致在所述电阻两端建立 (build-up) 较高电压。建立较高电压将允许阱 110 和区域 102 之间的结更加易于变成正向偏置。因此,将区域 105 和 106 设置于 LAC 外部,通过减小它们对于 SCR 器件的负反馈的贡献而减小了它们的有效性。

[0061] 如果将区域 105 和 106 设置于 LAC 的外部,SCR 的正反馈可以比区域 105 和 106 的负反馈影响相对更强。这种情况可以导致失控效应 (runaway effect)。电流可能会优选阳极 101 和阴极 102 之间的直接路径,而不是通过区域 105 和 106 的路径,这可能会降低它们的影响。对于直接路径的优选可以导致更加强烈的正反馈,进一步减小了区域 105 和 106 的影响。由此,将区域 105 和 106 设置于 LAC 内对于增加保持电压是优选的。

[0062] 图 2 示出了图 1 所示的 HV ESD 保护电路 100 的实施例的顶视图。尽管在图 2 中未示出,区域 101、110 和 120 可以形成双极型器件 181;区域 102、110 和 120 可以形成双极型器件 182;以及区域 102、106 和 110 可以形成双极型器件 183。区域 101、102、103、以及 104、110 和 120 可以形成 SCR 器件。补偿区域 105 和 106 可以引入负反馈效应,其可以增加 SCR 器件的保持电压。区域 101-106 的宽度和长度可以对于每一个区域是不同的,与图 1 和图 2 所示的不同。

[0063] 图 3 示出了 HV ESD 保护电路 300 的实施例,其中可以将补偿区域 305 和 306 设置于阱区 320 内。区域 305 可以是第二导电类型的高掺杂,而区域 306 可以是第一导电类型的高掺杂。区域 301、306 和 320 形成双极型晶体管 383,所述双极型晶体管可以利用双极型器件 381 来完成,并且可以减小双极型器件 381 而不是双极型器件 382 的有效正向增益,其与图 1 所示的类似。应当理解,可以应用于区域 310 的各种实现也可以应用于区域 320。区域 310 和 320 的掺杂水平可以影响最终的保持电压。

[0064] 图 4 示出了 HV ESD 保护电路 400 的实施例的顶视图,其中可以按照交错的方式而不是如替代实施例中所示的平行方式实现补偿区域 405 和 406。所示的交错布局可以通过度补偿区域 405 和 406 的布局进行优化来增加面积效率。区域 405 和 406 也可以按照多种方式通过连接器元件相连,以适应具体需要的性能,并且实现区域之间所需的电压关系。

[0065] 图 5 示出了 HV ESD 保护电路 500 的实施例的顶视图,其中可以将区域 502 分段,并且可以将补偿区域 506 延伸到 502 的段之间的空间。区域 502 和 506 的布局可以相对于双极型晶体管 582 增加双极型晶体管 583 的有效性,可以导致更高的保持电压。尽管可以将区域 502 和 506 分段并且按照图 5 所示的布局取向,应当理解,替代的布局是可能的,其对于 SCR 器件的特定需要行为是优选的。

[0066] 图 6 示出了 HV ESD 保护电路 600 的实施例,其中区域 606 可以被阱区 636 包围。区域 636 可以是与区域 606 相同导电性的,但是具有比区域 606 更低的掺杂浓度。在一个实施例中,区域 636 至少接触区域 606,并且在另一个实施例中,区域 636 完全包围区域 606。如图 6 所示,区域 636 可以将补偿区域 606 进一步延伸到阳极 601 和阴极 602 之间的电流路径中。区域 636 也可以通过增加其集电极 606 的结面积来增加双极型器件 683 的有效性。在一个实施例中,区域 636 可以是比区域 606 更深地延伸到区域 610 中的低掺杂区。在另

一个实施例中,区域 636 可以是与区域 620 相同的阱类型。在再一个实施例中,区域 636 可以是比区域 606 更深地延伸到区域 610 中的任意阱区,并且具有与区域 606 相同的导电性。应该理解的是可以将与阱区 636 类似类型的阱区添加至这里所述实施例的任一个,或者从中去除。

[0067] 图 7 示出了 HV ESD 保护电路 700 的实施例,与图 6 所示实施例类似,其中交换补偿区域 705 和 706 的位置,使得区域 706 更靠近阳极 701,而区域 705 更靠近阴极 702。区域 736 与图 6 的区域 636 类似并且是与区域 706 相同导电类型的。区域 736 可以将区域 706 更深地延伸到区域 710 中。

[0068] 图 8 示出了 HV ESD 保护电路 800 的实施例,与图 6 所示实施例类似,其中 HV ESD 保护电路 800 还包括区域 835。区域 835 可以是与区域 805 相同导电类型的。在一个实施例中,区域 835 至少接触区域 805,并且在另一个实施例中,区域 835 完全包围区域 805。如图 8 所示,区域 835 可以将区域 805 进一步延伸到阳极 801 和阴极 802 之间的电流路径。在一个实施例中,区域 835 可以是比区域 810 更深地延伸到区域 805 中的低掺杂区。区域 805 可以具有低电压,而区域 835 可以将所述低电压进一步延伸到区域 810 中,这可以引起将更大量的电流通过双极型器件 883 而不是双极型器件 882 转移。

[0069] 图 9 示出了 HV ESD 保护电路 900 的实施例,与图 8 所示的实施例类似,其中区域 935 可以延伸到区域 905 和 906 两者下方。区域 935 可以是与区域 905 相同导电类型的。在该实施例中,可以不形成与图 8 的区域 836 类似的低掺杂区。

[0070] 图 10 示出了 HV ESD 保护电路 1000 的实施例,包含与图 3 和图 6 所示实施例类似的特征,其中 HV ESD 保护电路 1000 可以包括补偿区域 1005 和 1006 以及补偿区域 1007 和 1008 两者。区域 1005、1006 和 1010 可以形成第一补偿双极型器件,而区域 1007、1008 和 1020 可以形成第二补偿双极型器件。图 10 示出了区域 1036,所述区域 1036 可以是与区域 1006 相同导电性的,并且可以与图 6 中区域 636 如何延伸区域 606 类似地延伸区域 1006。包括区域 1005、1006、1007 和 1008 可以降低 SCR 器件的效率,这可以增加保持电压。

[0071] 图 11 示出了 HV ESD 保护电路 1100 的实施例,与图 10 所示的实施例类似,其中区域 1105 可以延伸到区域 1106 和 1107 两者下方。区域 1105 和 1107 可以是第一导电类型的。区域 1106 和 1108 可以是第二导电类型的。区域 1136 和 1138 可以是第二导电类型的,并且分别延伸区域 1106 和 1108。尽管图 11 所示的实施例描述了两个耦合的成对补偿区域,可以将任意个数的耦合对补偿区域设置于 SCR 器件的 LAC 内。添加耦合对可以增加 SCR 器件的保持电压,同时增加 SCR 器件的面积消耗。

[0072] 图 12-14 示出了 HV ESD 保护电路的实施例,包括多个耦合对的补偿区域的几种可能变换(permutation)。应当理解,图 12-14 所示的耦合对结构只是耦合对的连接和设置的多种可能变换的三种。以下三个示例并非意味着对于耦合对区域的潜在结构和布置的排除性列举。

[0073] 图 12 示出了 HV ESD 保护电路 1200 的实施例,包括补偿区域 1205 和 1206,所述补偿区域可以彼此相邻并且可以通过连接元件 1291 耦合。补偿区域 1207 和 1208 可以彼此相邻,并且可以通过连接元件 1294 耦合。耦合对可以通过连接元件 1295 彼此耦合。

[0074] 图 13 示出了 HV ESD 保护电路 1300 的实施例,包括可以通过连接元件 1391 耦合的补偿区域 1305 和 1306 以及可以通过连接元件 1394 耦合的补偿区域 1307 和 1308。在图

13 所示的实施例中,可以将区域设置为使得区域 1305 位于耦合对 1307 和 1308 之间,而区域 1308 位于耦合对 1305 和 1306 之间。

[0075] 图 14 示出了 HV ESD 保护电路 1400 的实施例,包括可以通过连接元件 1491 耦合的补偿区域 1405 和 1406 以及可以通过连接元件 1494 耦合的补偿区域 1407 和 1408。在图 14 所示的实施例中,可以将区域 1407 和 1408 设置于区域 1405 和 1406 之间。

[0076] 图 15 示出了 HV ESD 保护电路 1500 的实施例,其中区域 1507 和 1508 可以与区域 1506 是相同导电类型的,并且可以设置在区域 1506 和区域 1502 之间。区域 1507 和 1508 可以通过连接元件 1594 耦合。在该实施例中,可以通过区域 1502、1508 和 1510 形成附加的双极型晶体管。可以将区域 1507 看作是双极型器件 1583 的发射极,其中在前述实施例中,通过区域 1502 类似地构建双极型器件 1583 的发射极。所述附加的双极型晶体管可以从区域 1510 抽取附加的高能少数载流子。可以将区域 1508 处收集的高能少数载流子减小为低能少数载流子,因为在更高电压通过区域 1507 注入少数载流子。由于减小的动量,可以通过区域 1506 更加容易地收集所述低能载流子,这增加了双极型器件 1583 的效率。由于 LAC 内的额外区域 1507 和 1508 产生更长的基极长度,可以减小双极型器件 1582 的有效性。尽管图 15 描述了一对耦合区域 1507 和 1508,可以将任意对的类似耦合区域设置于 LAC 内。

[0077] 图 16 示出了 HV ESD 保护电路 1600 的实施例,其中可以将栅极 1694 设置于补偿区域 1606 和阴极 1602 之间。栅极 1694 可以阻碍在区域 1602 和 1606 之间局部的芯片表面隔离层,这可以增加双极型器件 1683 的效率。替代地,可以设置特定的层(例如浅沟隔离(STI)块)以防止在区域 1602 和 1606 之间形成隔离层。

[0078] 图 17 示出了 HV ESD 保护电路 1700 的实施例,其中可以将栅极 1794 设置于补偿区域 1705 和 1706 之间。栅极 1794 可以阻碍在区域 1705 和 1706 之间局部的芯片表面隔离层,这可以改善区域 1705 和 1706 之间的连接。替代地,可以设置特定的层(例如浅沟隔离(STI)块)以防止在区域 1705 和 1706 之间形成隔离层。

[0079] 图 18 示出了 HV ESD 保护电路 1800 的实施例,其中可以将补偿区域 1806 分离为区域 1806A 和 1806B。可以将补偿区域 1805 设置于区域 1806A 和 1806B 之间。区域 1805、1806A 和 1806B 可以通过连接元件 1891 耦合在一起。应当理解,在 LAC 内的区域 1805、1806A 和 1806B 的各种其他相对设置是可能的。还应当理解,可以将区域 1806 分离为多于 2 个区域。

[0080] 图 19 示出了 HV ESD 保护电路 1900 的实施例,其中可以将补偿区域 1905 分离为区域 1905A 和 1905B。可以将补偿区域 1906 设置于区域 1905A 和 1905B 之间。区域 1905A、1905B 和 1906 可以通过连接元件 1991 耦合在一起。应当理解,在 LAC 内的区域 1905A、1905B 和 1906 的各种其他相对设置是可能的。还应当理解,可以将区域 1905 分离为多于 2 个区域。

[0081] 图 20 示出了 HV ESD 保护电路 2000 的实施例,其中可以添加深或者掩埋层 2021 以隔离阱区 2010。区域 2010 可以隔离为将其与芯片中的其他器件隔开,或者针对处理问题。区域 2010 可以是第一导电类型的,而区域 2003、2020、2021、2022 和 2023 可以是第二导电类型的。掩埋层 2021 可以将区域 2003 和区域 2023 电阻性地耦合。区域 2003 和 2023 可以安全地与相同的节点相连,而不会在 SCR 器件的操作中带来任何显著的干扰。

[0082] 图 21 示出了 HV ESD 保护电路 2100 的实施例,与图 20 上所示的实施例类似,其中

深阱区 2121 不能完全延伸到阱区 2120 或 2122 的下方。

[0083] 图 22 示出了 HV ESD 保护电路 2200 的实施例,与图 20 和 21 所示的实施例类似,其中可以添加附加的区域 2212 以将阱区 2220 与掩埋层 2221 隔开。区域 2210A、2210B 和 2212 可以是第一导电类型的,而区域 2220、2221、2222A 和 2222B 可以是第二导电类型的。在该实施例中,可以将区域 2201 与区域 2223A 和 2223B 隔开。也可以通过区域 2210A、2210B 和 2212 将区域 2220 与区域 2221、2222A 和 2222B 隔离。区域 2222A 和 2222B 可以通过第二导电类型的单阱形成。区域 2223A 和 2223B 可以通过第二导电类型的单个环形区域形成。区域 2210A 和 2210B 可以通过第一导电类型的单阱形成。

[0084] 图 23 示出了 HV ESD 保护电路 2300 的实施例,其中控制电路 2394 和 / 或 2395 可以与补偿区域 2305 和 2306 耦合。控制电路可以是以下的任一个:电阻器、电容器、二极管、MOS 器件、双极型器件、这些元件的任意组合或者可以用于更改通过补偿区域 2306 部分地形成的双极型器件 2383 行为的任意其他电子元件。控制电路可以改变双极型器件 2383 的集电极的电阻,这影响了双极型器件 2383 的操作,进而可以影响 SCR 器件的反馈。

[0085] 通过改变 SCR 器件的反馈,可以调节保持电压。在 ESD 事件期间,可能需要低保持电压以防止对于芯片的损坏以及减小功耗。诸如控制电路 2394 和 2395 之类的附加电路可以在已经通过 ESD 事件触发 SCR 器件之后更改 SCR 器件的保持电压。在一个实施例中,控制电路可以用作开关,用于在第一 ESD 时间段期间将区域 2305 和 2306 去耦合,在第一 ESD 事件中可以耗散最高的 ESD 能量。第一 ESD 时间段的典型持续时间可以是在 30ns-100ns 之间。通过将补偿区域 2305 和 2306 去耦合,HVESD 保护电路 2300 可以表现出低保持电压。在第一 ESD 时间段之后,所述开关可以将区域 2305 和 2306 短接在一起,这可以增加通过补偿区域 2305 和 2306 引入的负反馈。增加负反馈可以增加保持电压,这可以避免正常芯片操作期间的闭锁。尽管已经针对单个的补偿区域对 2305 和 2306 描述了该实施例,应当理解,该技术可以应用于引入多种负反馈效应的多个补偿区域。

[0086] 图 24 示出了 HV ESD 保护电路 2400 的实施例,包括外部电路 2492 和 2493 来代替图 6 中类似所示的电阻器。应当理解,HV ESD 保护电路的任意实施例(包括这里描述的任意实施例),诸如图 1 的电阻器 192 和 193 之类的外部电阻可以不是必要的。作为示例,外部电路 2492 可以耦合在区域 2401 和 2403 之间,并且外部电路 2493 可以耦合在区域 2402 和 2404 之间。外部电路 2492 和 2493 可以分别控制阱区 2420 和 2410 的偏置。

[0087] 图 25 示出了 HV ESD 保护电路 2500 的实施例,包括外部触发器 2594-2598。外部触发器可以是电阻器、电容器、二极管、MOS 器件、双极型器件或者用于接通 SCR 器件的任意电子部件或者部件的组合。可以存在触发器 2594-2598 的任一个触发器。同样可以存在触发器 2594-2598 的任意组合。如图 25 所示,触发器可以与区域 2501、2502、2503、2504、2505 或 2506 的任一个耦合。在 ESD 事件期间,触发器可以将电流注入到区域(例如,构成 SCR 的双极型器件的基极)中,这引起 SCR 的结正向偏置并且接通 HV ESD 保护电路 2500。

[0088] 图 26 示出了 HV ESD 保护电路 2600 的实施例,与图 6 类似,并且包括与区域 2620 相同导电类型的区域 2609。替代地,区域 2609 可以是与区域 2610 相同导电类型的。如果区域 2620 中的电压相对于区域 2610 增加达到区域 2620 和 2610 之间的结的反向击穿电压,则可以感应出电流,并且流过区域 2603 和 2604,可以将其看作是 SCR 的触发信号。然后,所感应的电流可以触发 SCR 器件接通。区域 2609 可以降低区域 2620 和 2610 之间的结的反

向击穿电压。可以将区域 2609 看作是用于调节触发电压的一种方式。

[0089] 图 27 示出了 HV ESD 保护电路 2700 的实施例,与图 26 类似,包括设置于区域 2709 和 2706 之间的栅极 2794。栅极 2794 可以阻碍在区域 2709 和 2706 之间局部的芯片表面隔离层,进而可以调节区域 2720 和 2710 之间的结的反向击穿电压。替代地,可以设置特定的层(例如浅沟隔离(STI)块)以防止在区域 2709 和 2706 之间形成隔离层。

[0090] 图 28 示出了 HV ESD 保护电路 2800 的实施例,包括在 SCR 器件的 LAC 中的补偿区域 2805、2806 和 2807。区域 2805、2807 和 2810 可以是第一导电类型的,而区域 2806 和 2802 可以是第二导电类型的。区域 2836 可以是第二导电类型的低掺杂区域,并且在区域 2806 和 2807 下面延伸。第一双极型器件可以由区域 2836(集电极)、区域 2810(基极)和区域 2802(发射极)形成。第二双极型器件可以由区域 2807(发射极)、区域 2836(基极)和区域 2810(集电极)形成。当第一双极型器件传导电流时,可以从区域 2806 抽取所述电流,这可以引起区域 2836 中的电压降。所述电压降可以引起区域 2836 和 2807 之间的结变成正向偏置。所述正向偏置的结可以引起第二双极型器件导通,并且将电流注入到区域 2810 中。由此,第一双极型器件和第二双极型器件形成了附加的 SCR。所述附加的 SCR 通过建立对于阴极 2802 的优选电流路径降低了双极型器件 2882 的效率,可以增加 SCR 器件的保持电压。

[0091] 图 29 示出了 HV ESD 保护电路 2900 的实施例,包括多个指状物配置。在图 29 所示的实施例中,左半部分和右半部分每一个均构成了两个指状物配置的一个指状物。区域 2903 可以是对于左半“A”指状物和右半“B”指状物公共的触发器接头(tap)。区域 2920 可以是与对于指状物两者公共的区域 2903 相同导电类型的低掺杂区域。尽管图 29 示出了具有两个指状物的实施例,应当理解,具有任意个数指状物的结构是可能的。

[0092] 图 30 示出了图 29 所示的 HV ESD 保护电路 2900 的实施例的顶视图。可以将图 29 中所示的补偿区域 2905 实现为区域 2920 周围的单个环形区域 2905。可以将图 29 所示的补偿区域 2906 实现为区域 2905 周围的单个环形区域 2906。可以通过如图 30 所示包围环形区域 2906,将在图 29 中延伸区域 2906 的低掺杂区 2936 实现为区域 2936。

[0093] 图 31 示出了 HV ESD 保护电路 3100 的实施例,包括多个指状物配置。在图 31 所示的实施例中,左半部分和右半部分每一个均构成了两个指状物配置的一个指状物。区域 3104 可以是对于左半“A”指状物和右半“B”指状物公共的触发器接头。尽管图 31 示出了具有两个指状物的实施例,应当理解,具有任意个数指状物的结构是可能的。应当理解,图 31 与图 29 的不同之处在于图 31 所示的实施例可以具有第一导电类型的中心阱,而图 29 所示的实施例可以具有第二导电类型的中心阱。

[0094] 图 32 示出了图 31 所示的 HV ESD 保护电路 3100 的实施例的顶视图。可以将图 31 中所示的补偿区域 3106 实现为区域 3102A、3102B 和 3104 周围的单个环形区域 3106。可以将图 31 所示的补偿区域 3105 实现为区域 3105 周围的单个环形区域 3106。可以通过如图 32 所示包围环形区域 3106,将在图 31 中延伸区域 3106 的低掺杂区 3136 实现为区域 3136。可以将图 31 所示的补偿区域 3103 实现为单个环形区域 3103。可以将图 31 所示的补偿区域 3120 实现为单个环形区域 3120。

[0095] 尽管贯穿附图 1-32 示出了区域和间距的具体尺寸,应当理解,其他尺寸的区域和间距也是可以的。尽管附图通常按照单指状物布局描述了 HV ESD 保护电路,应当理解,也

可以将附图中所示的实施例实现为多指状物布局。

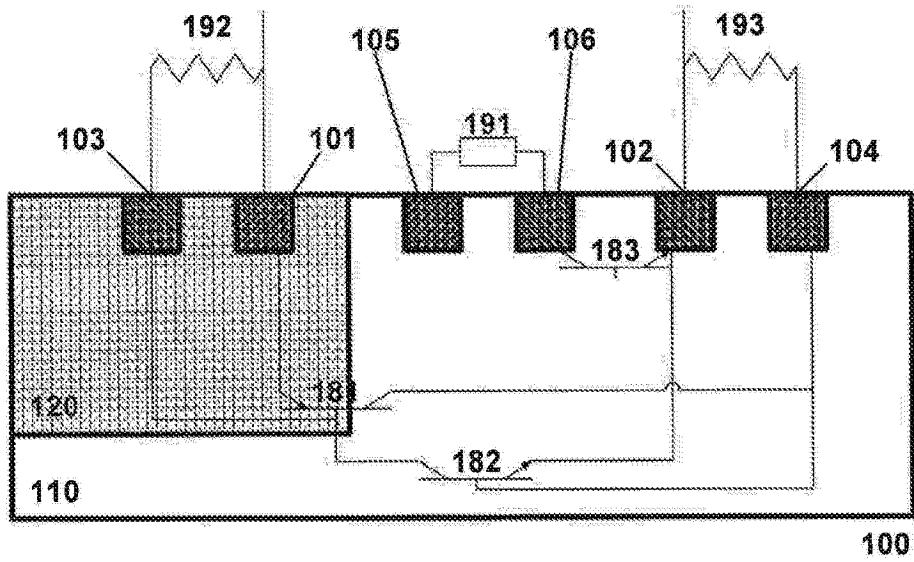


图 1

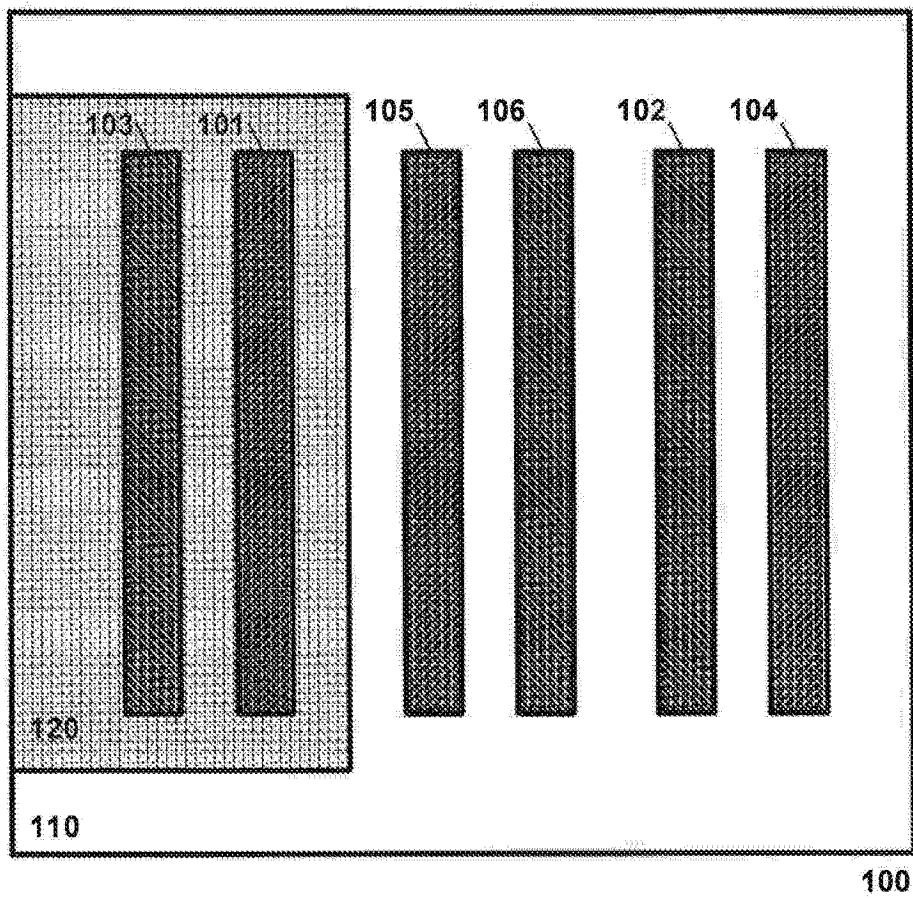


图 2

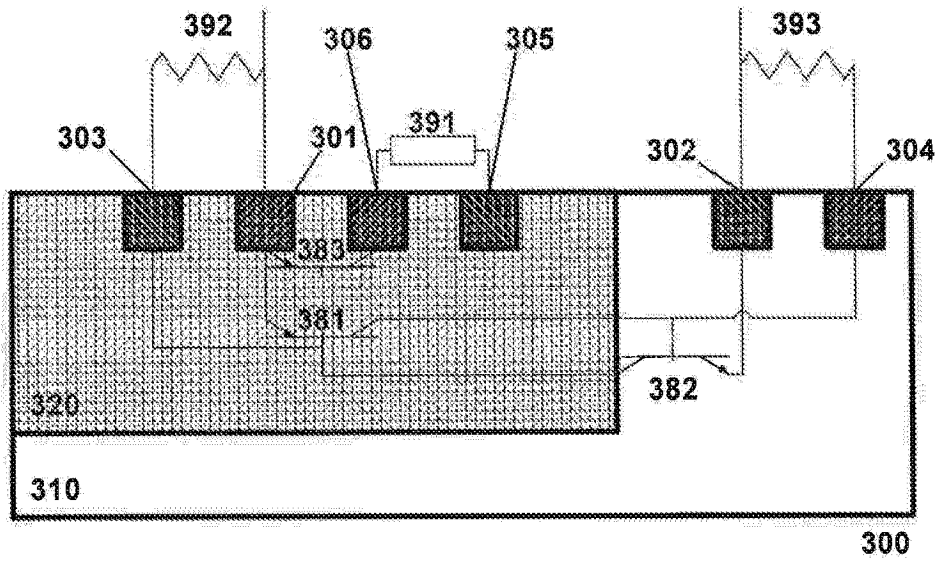


图 3

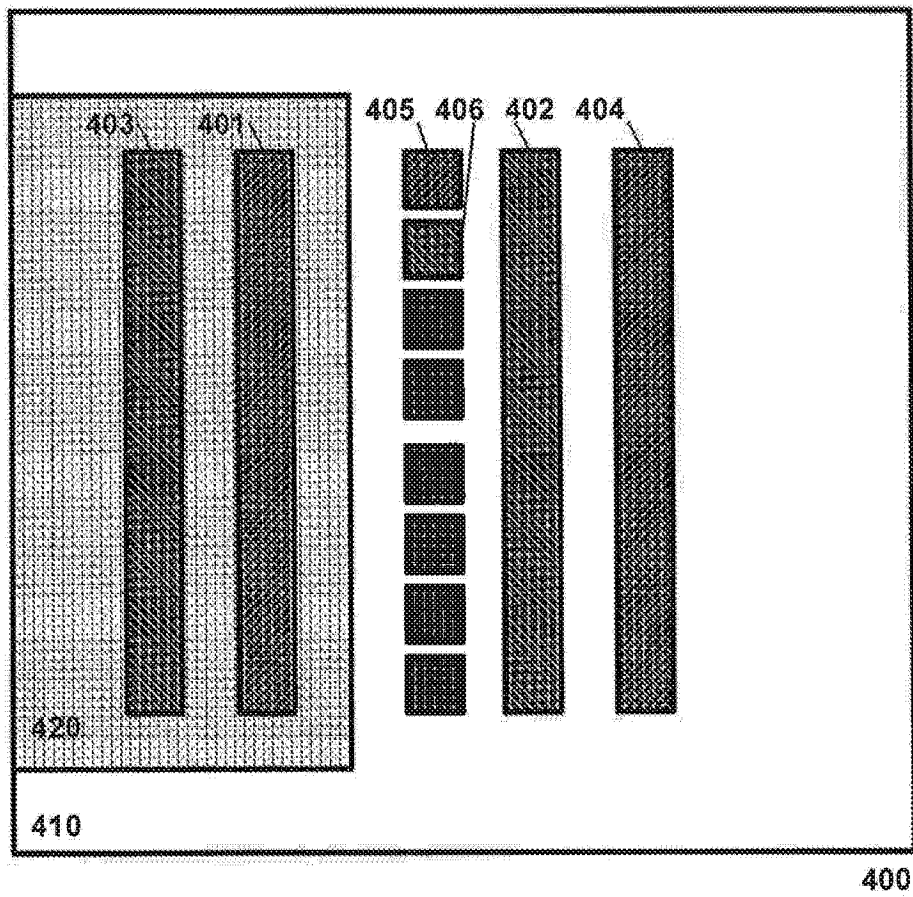


图 4

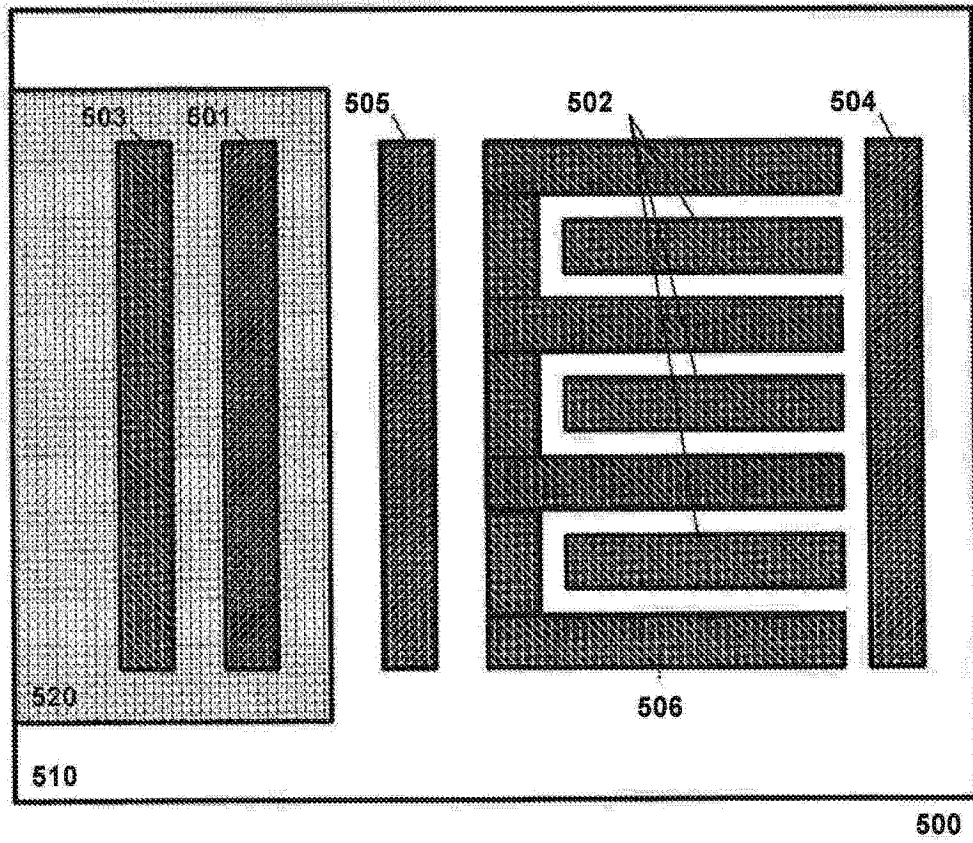


图 5

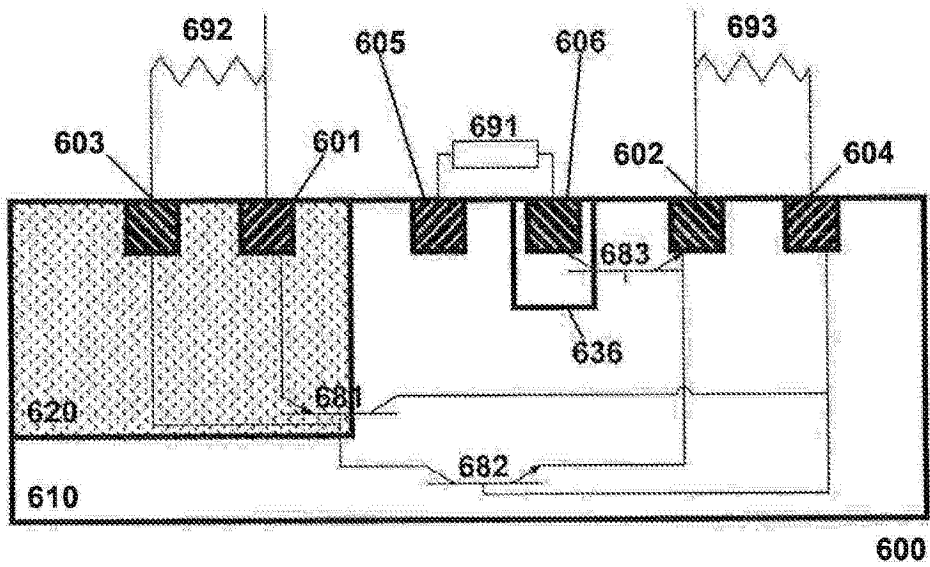


图 6

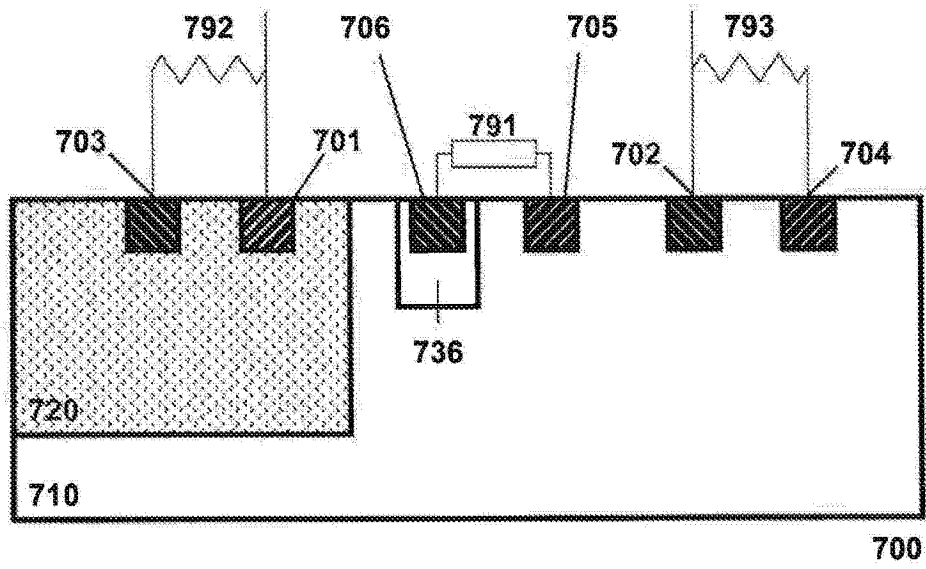


图 7

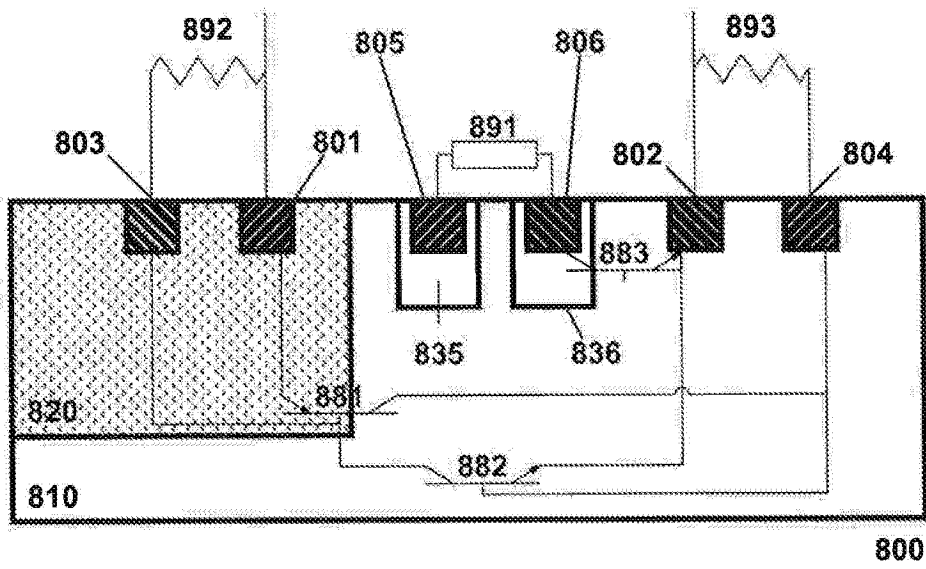


图 8

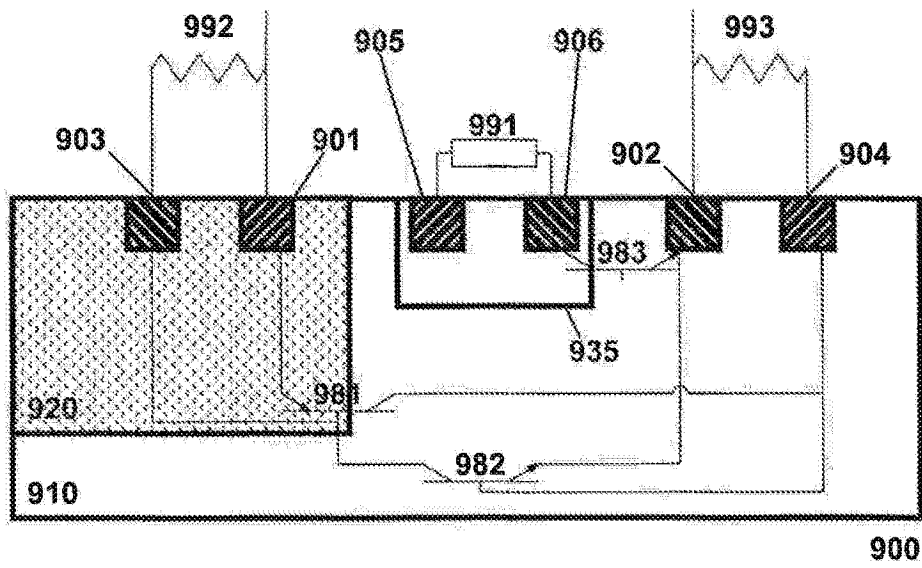


图 9

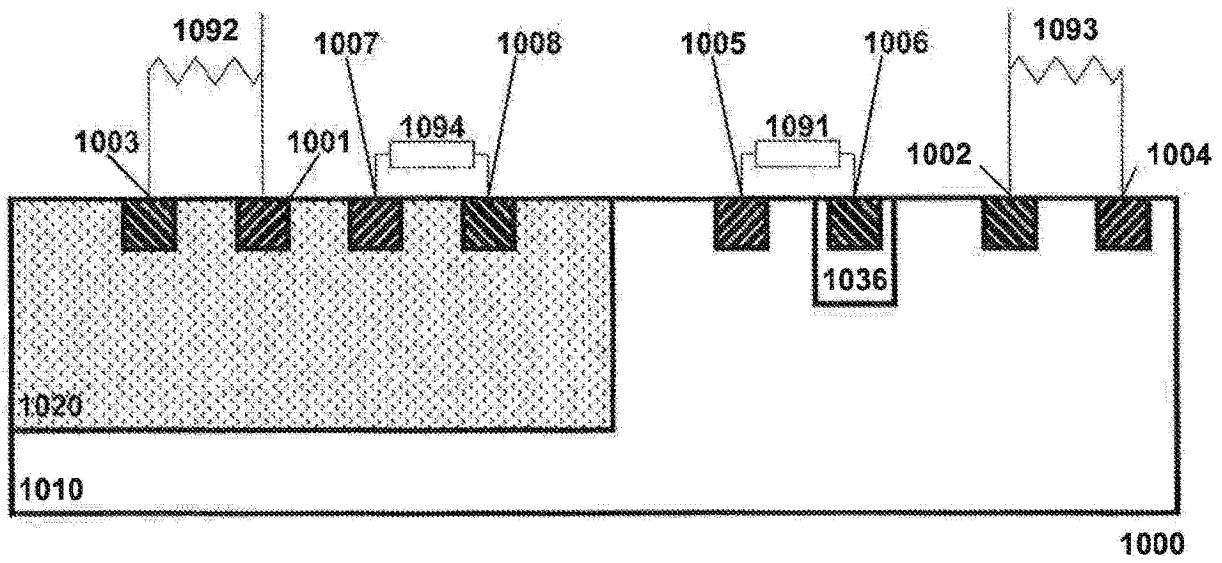


图 10

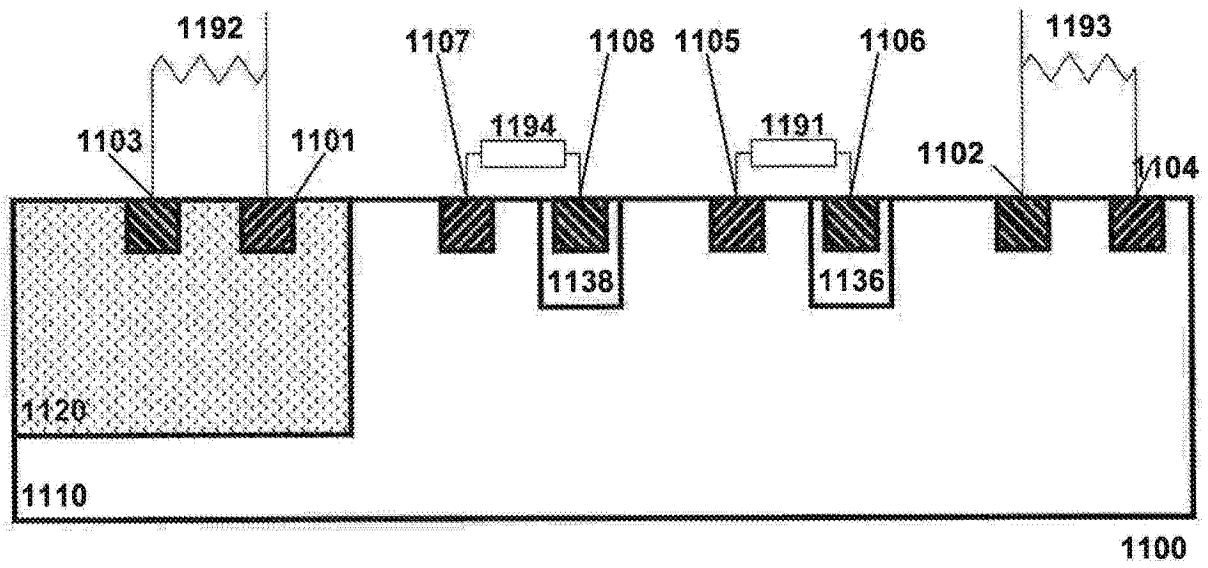


图 11

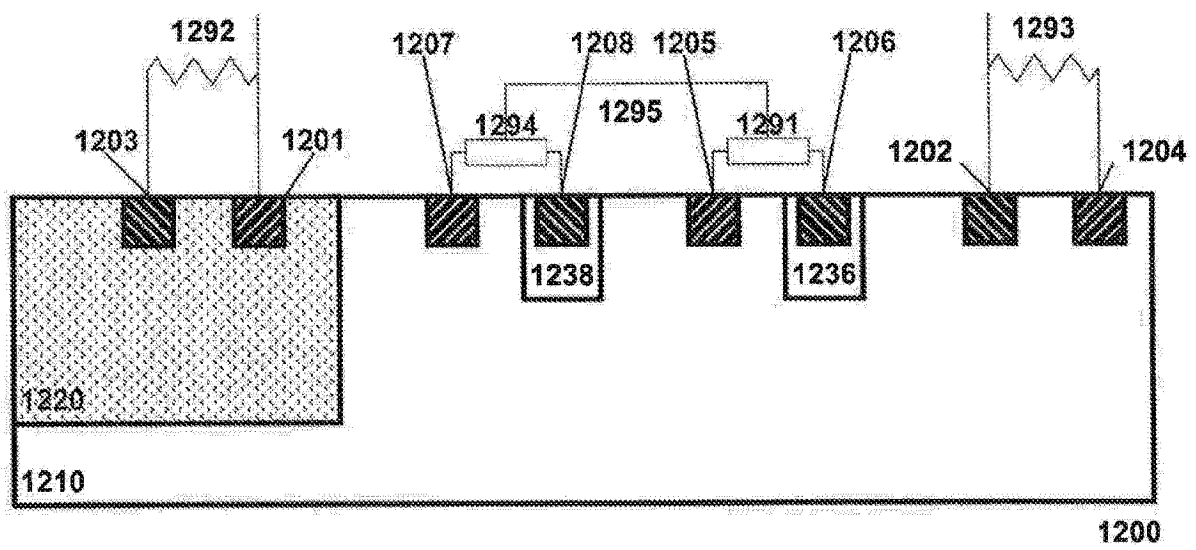


图 12

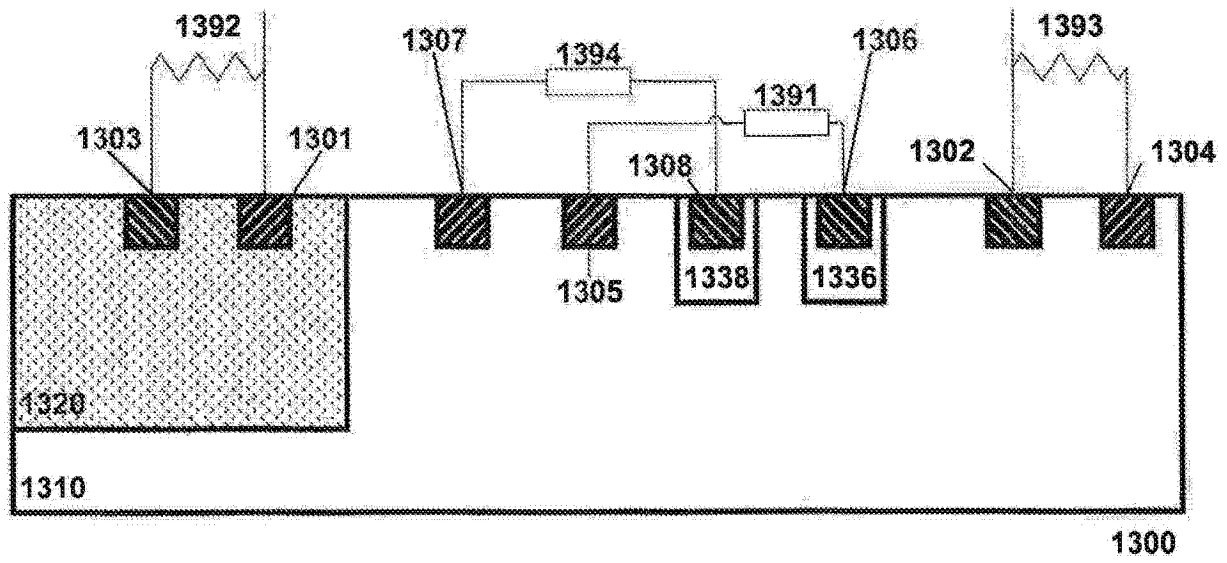


图 13

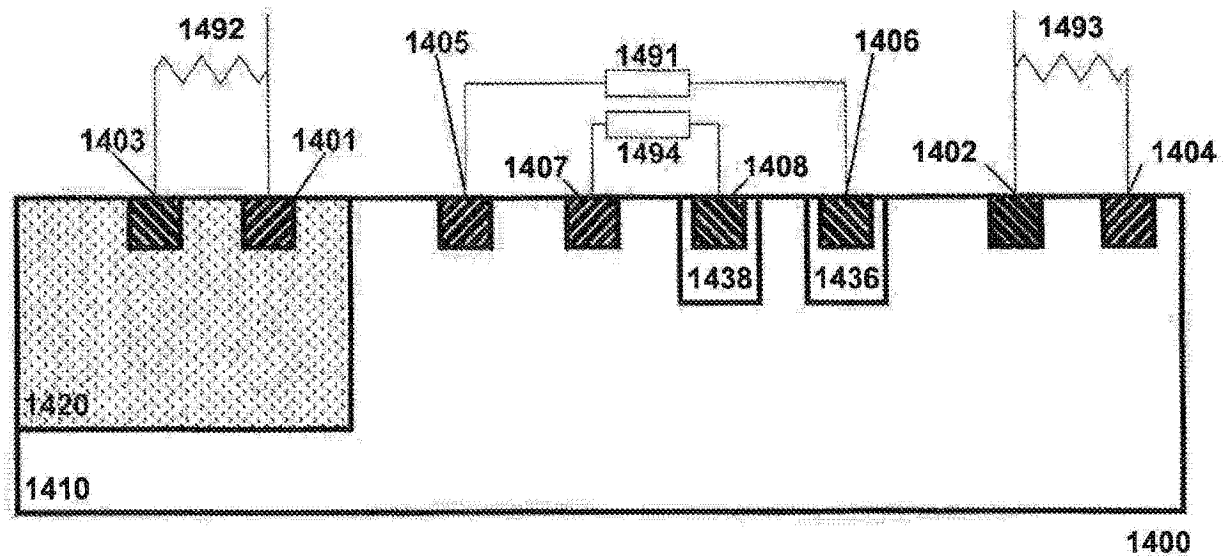


图 14

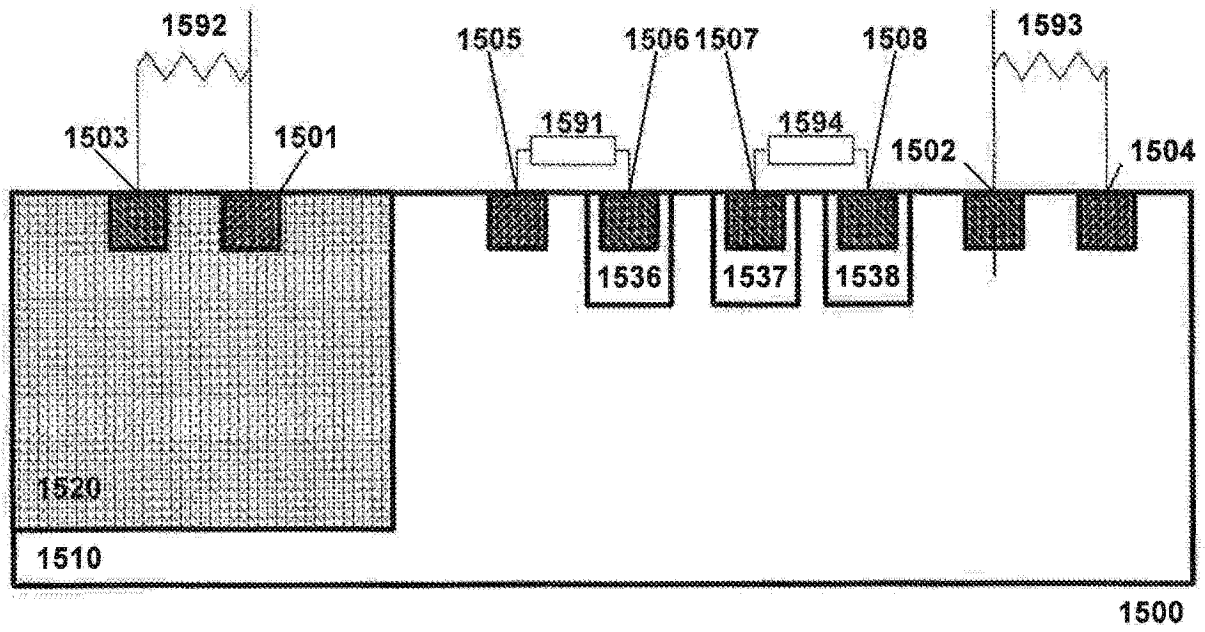


图 15

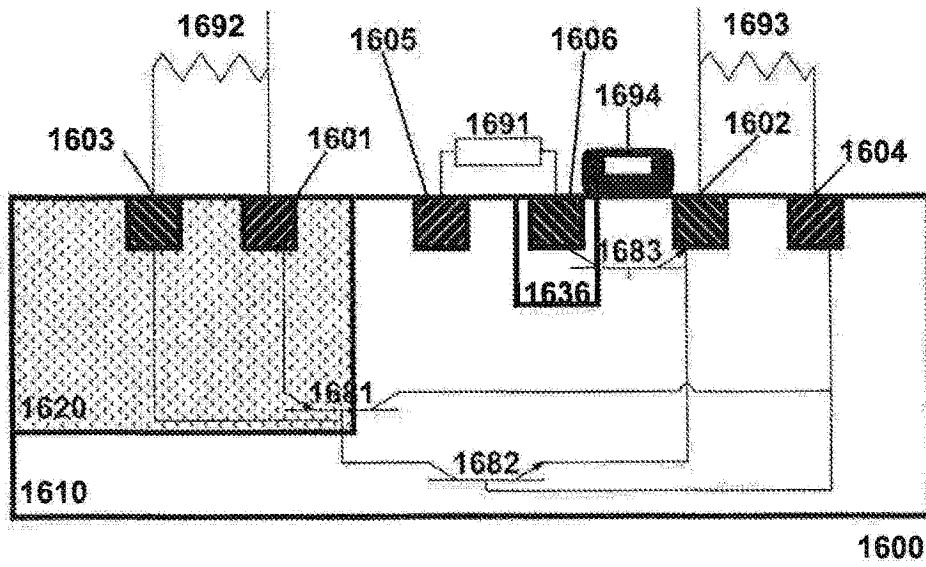


图 16

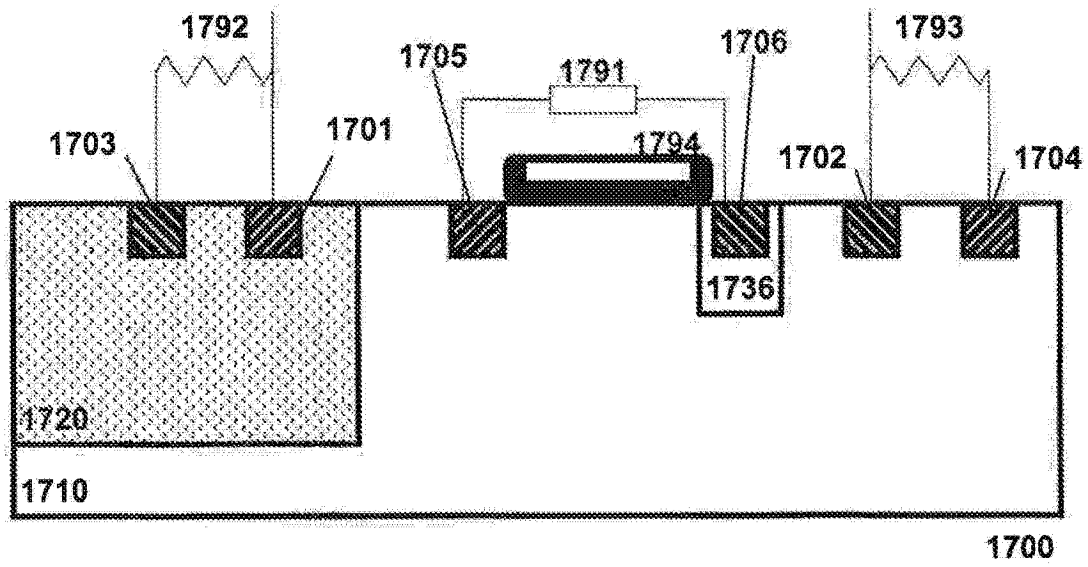


图 17

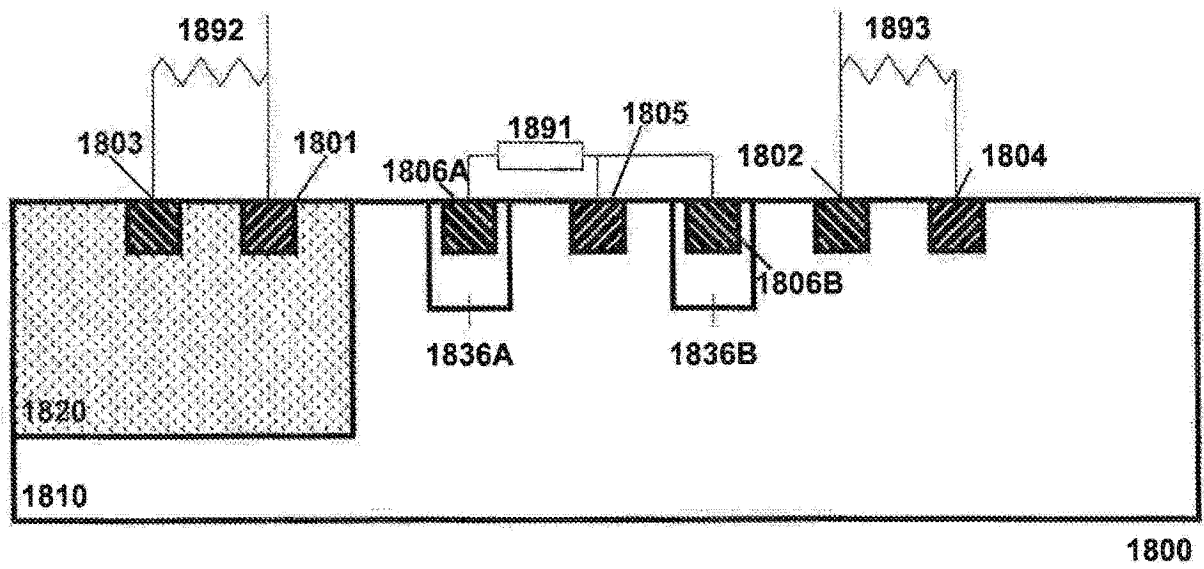


图 18

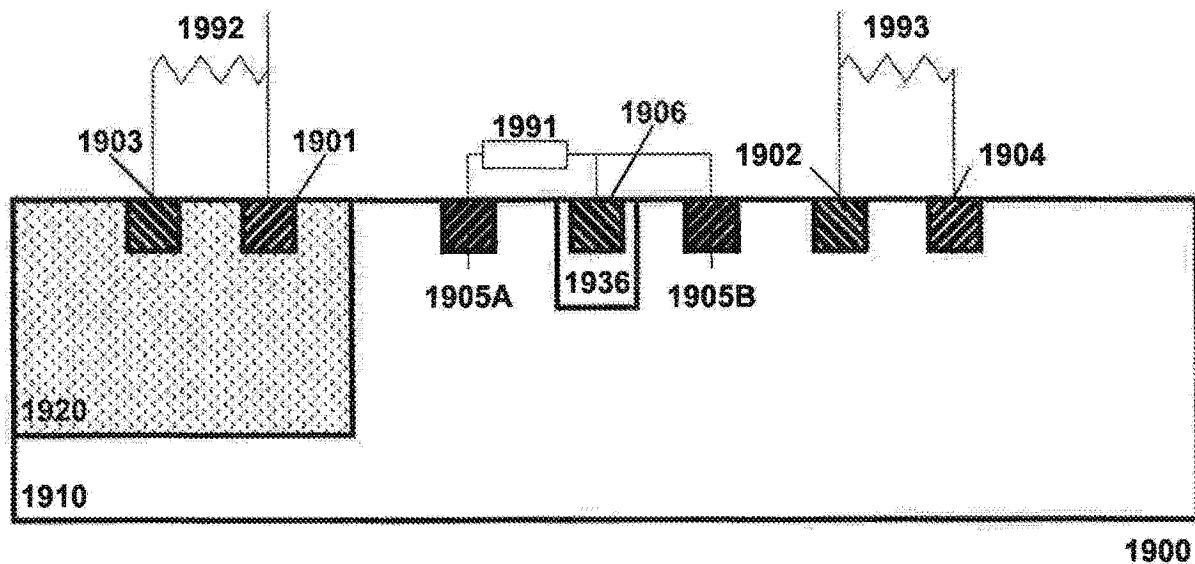


图 19

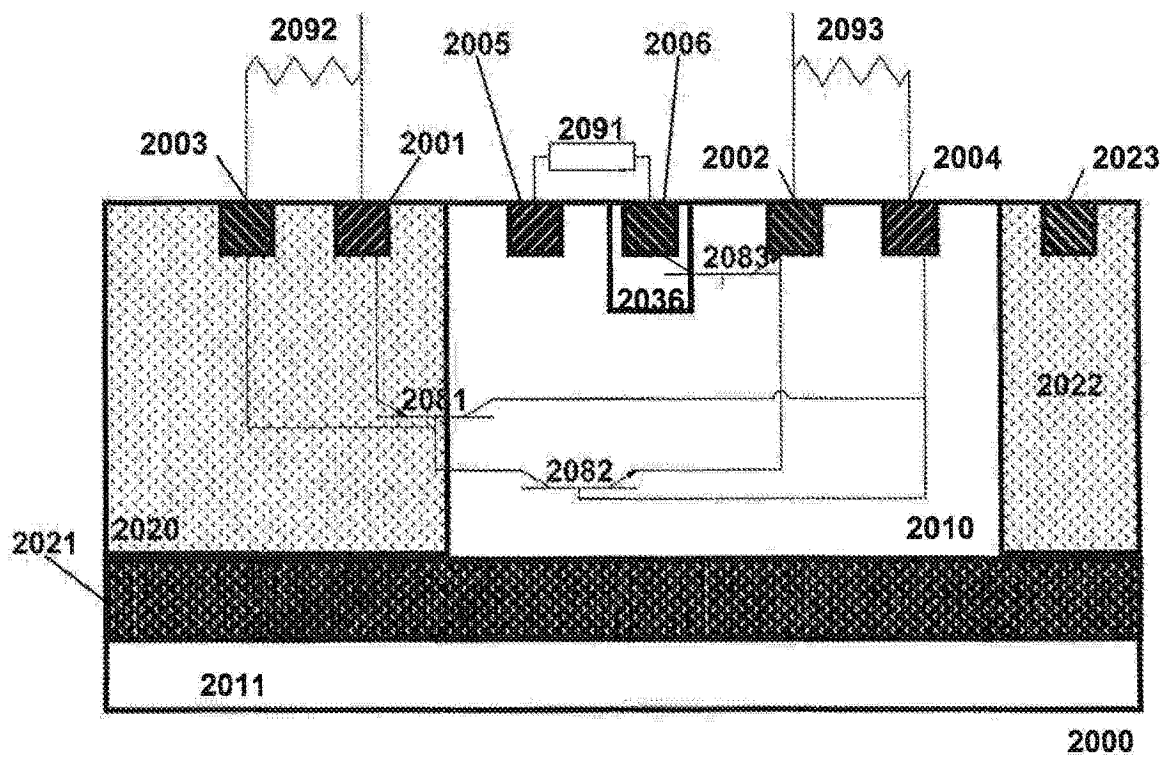


图 20

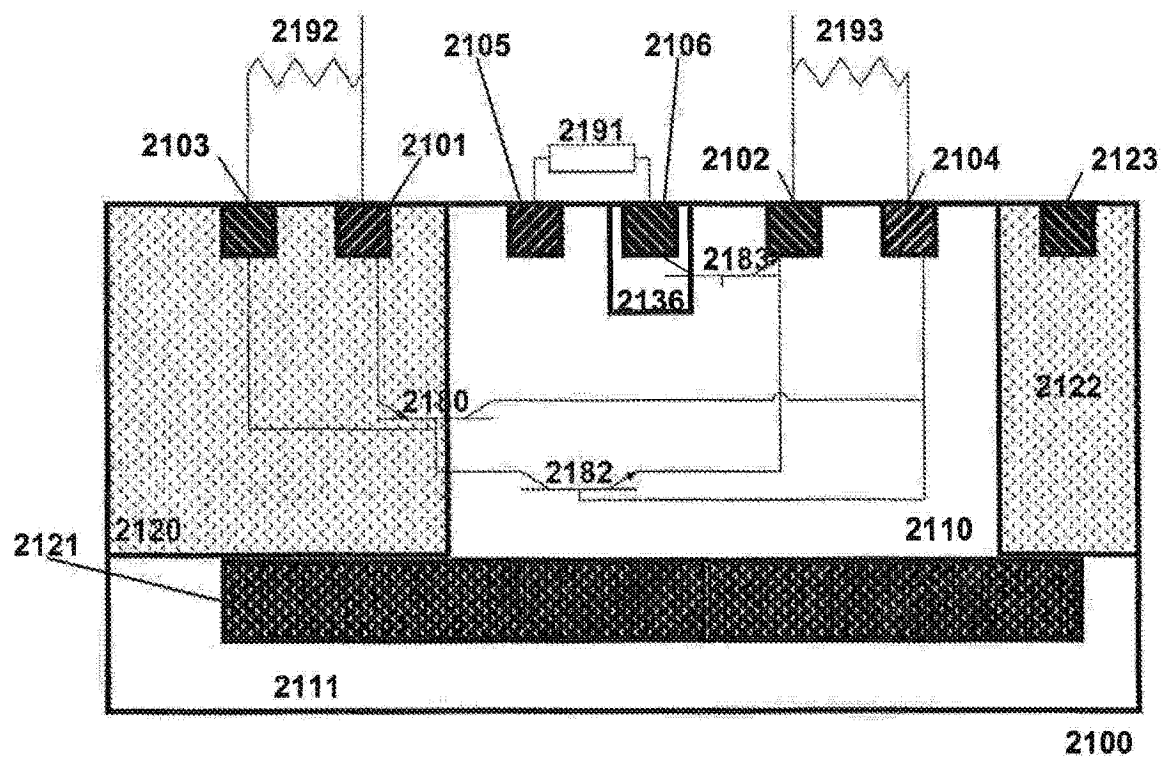


图 21

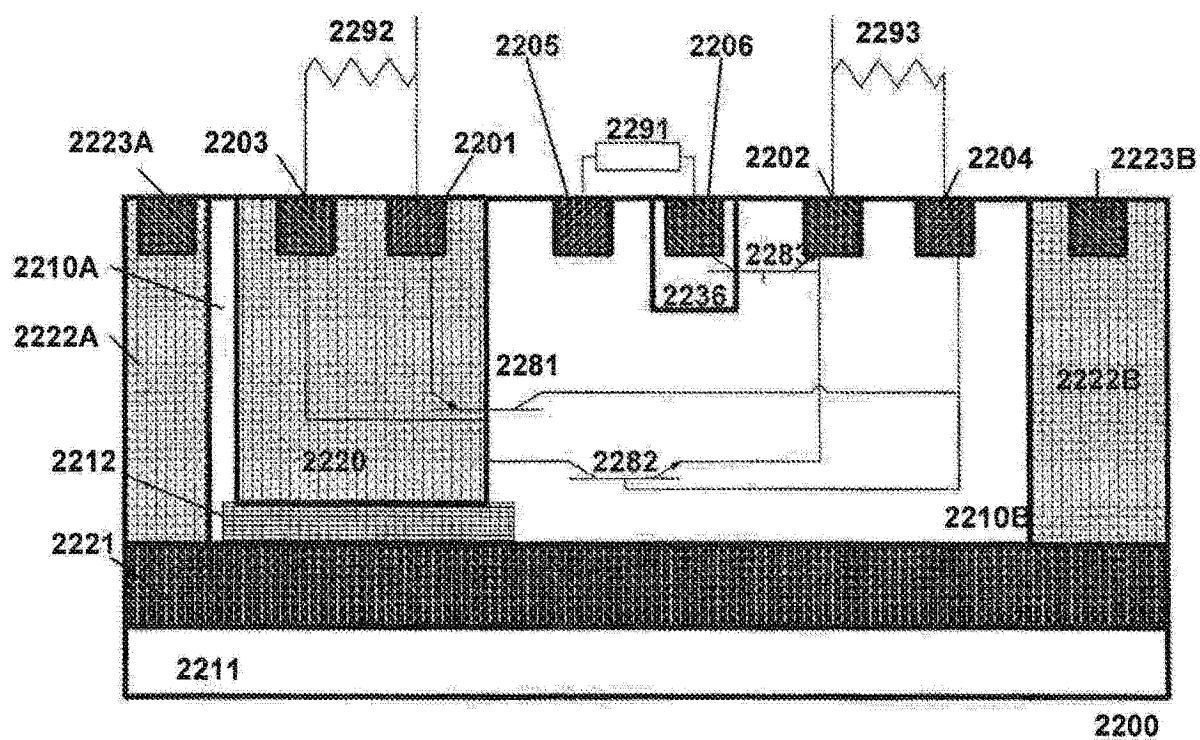


图 22

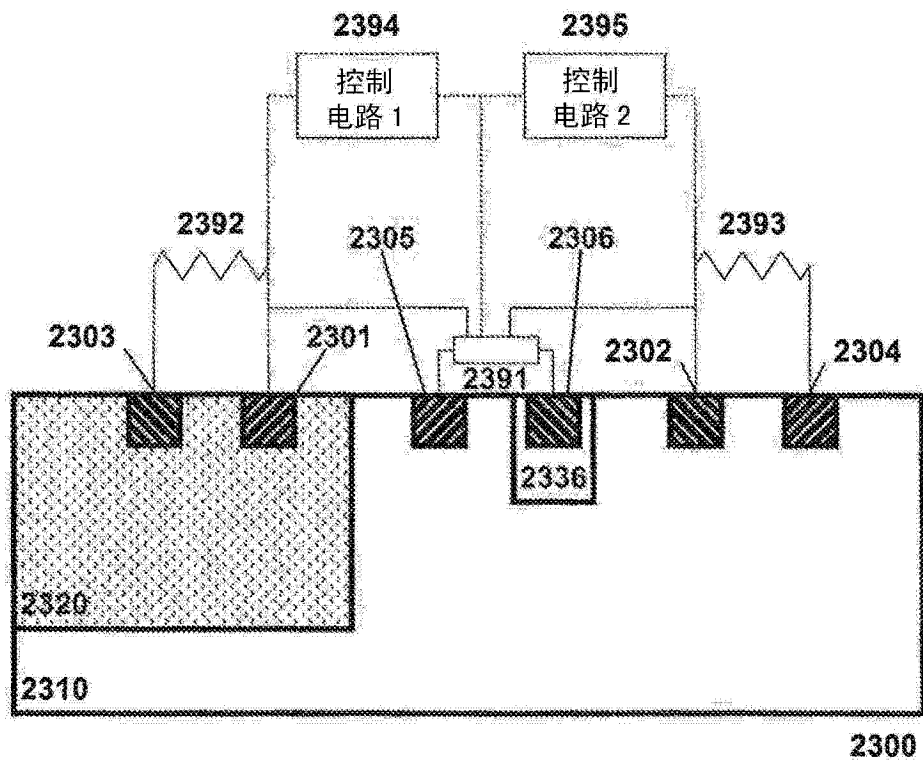


图 23

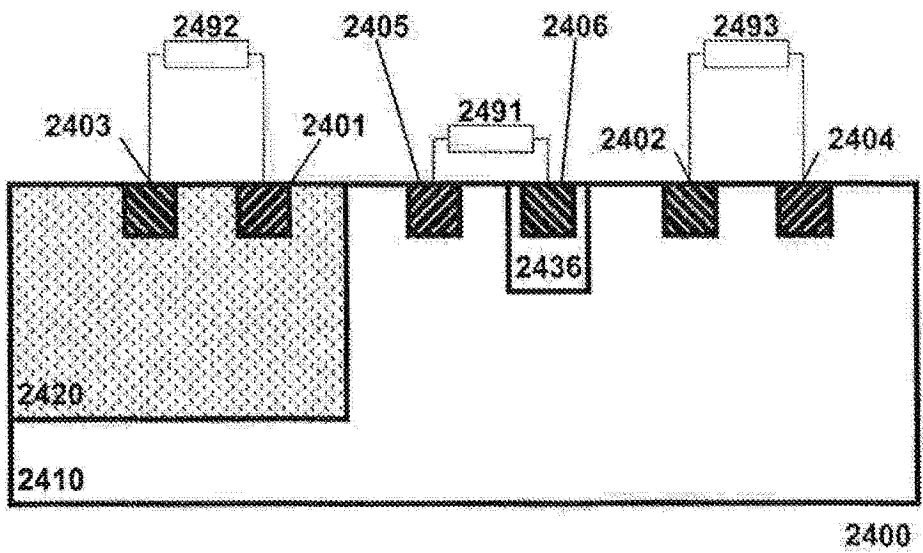


图 24

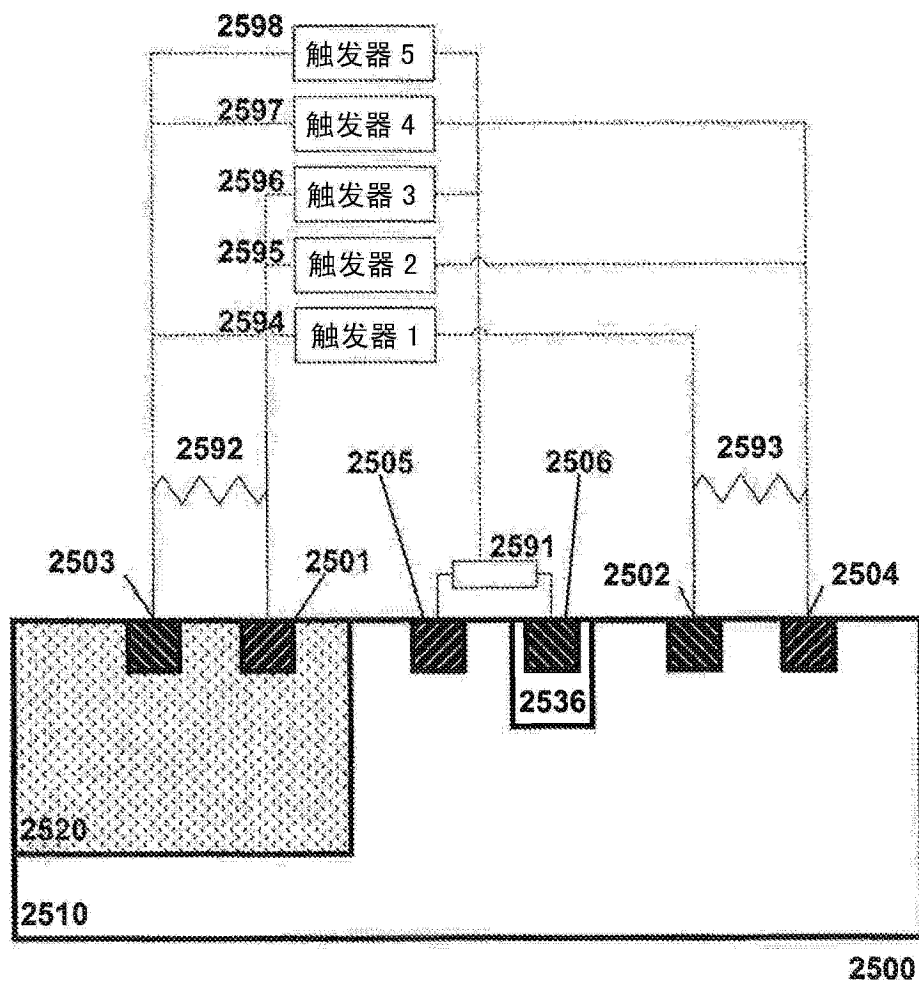


图 25

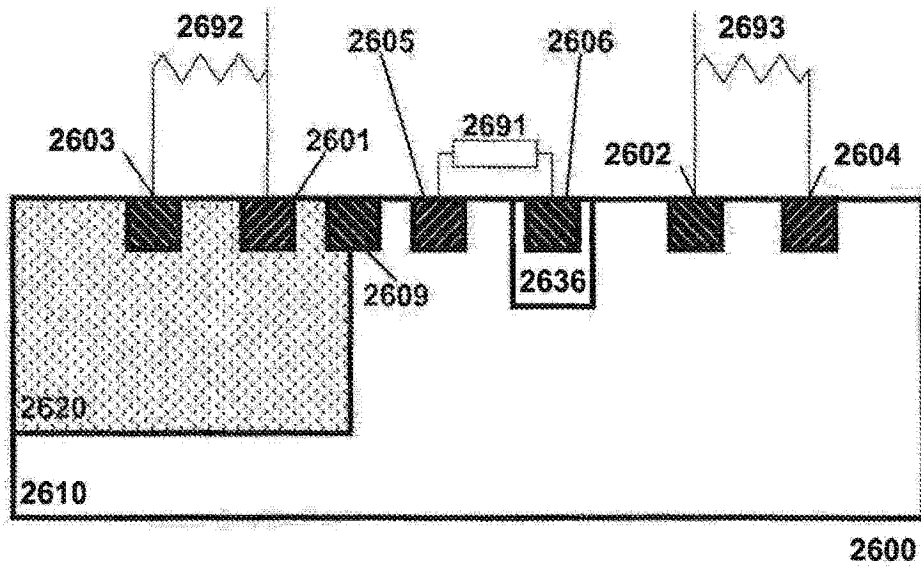


图 26

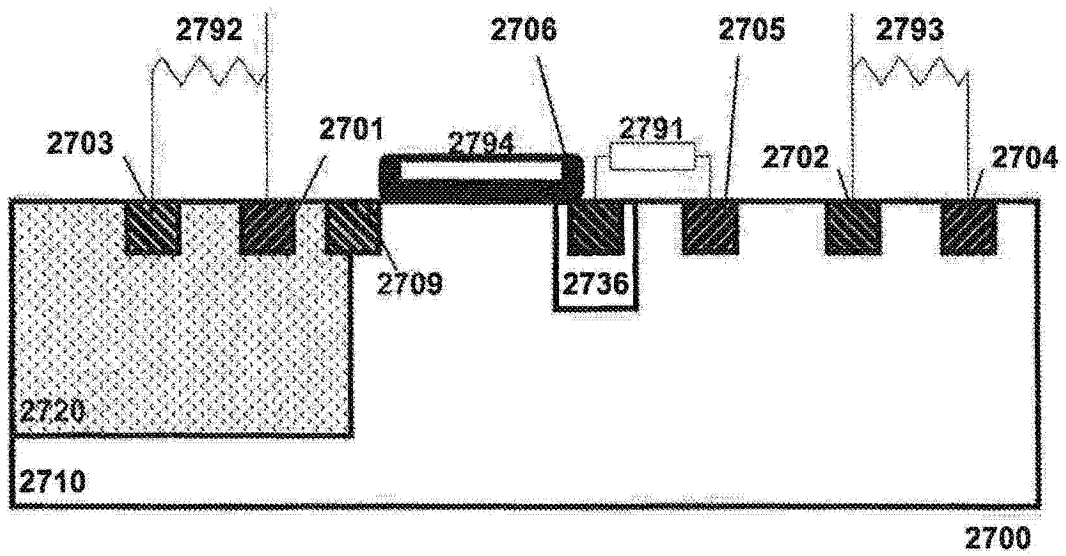


图 27

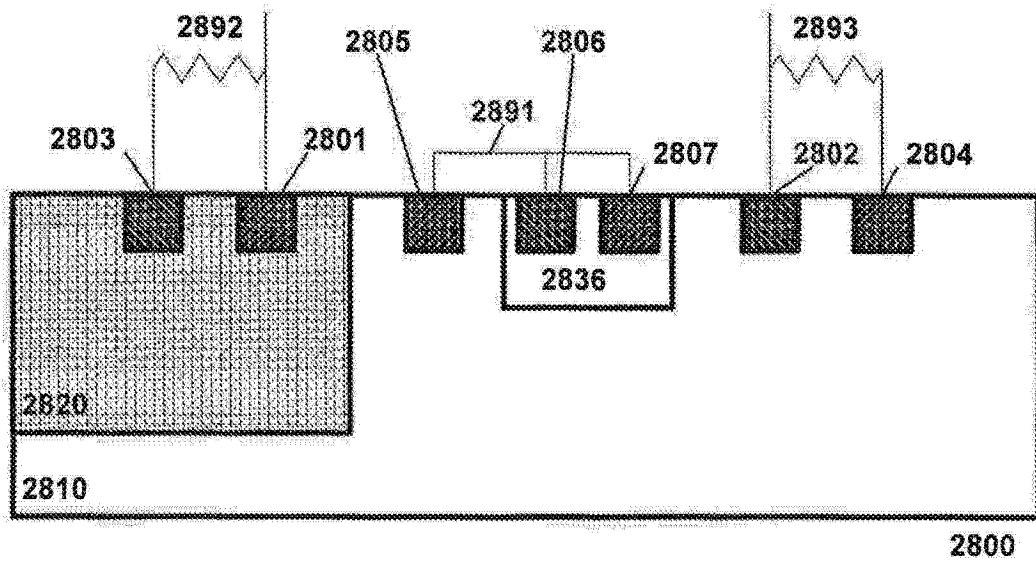


图 28

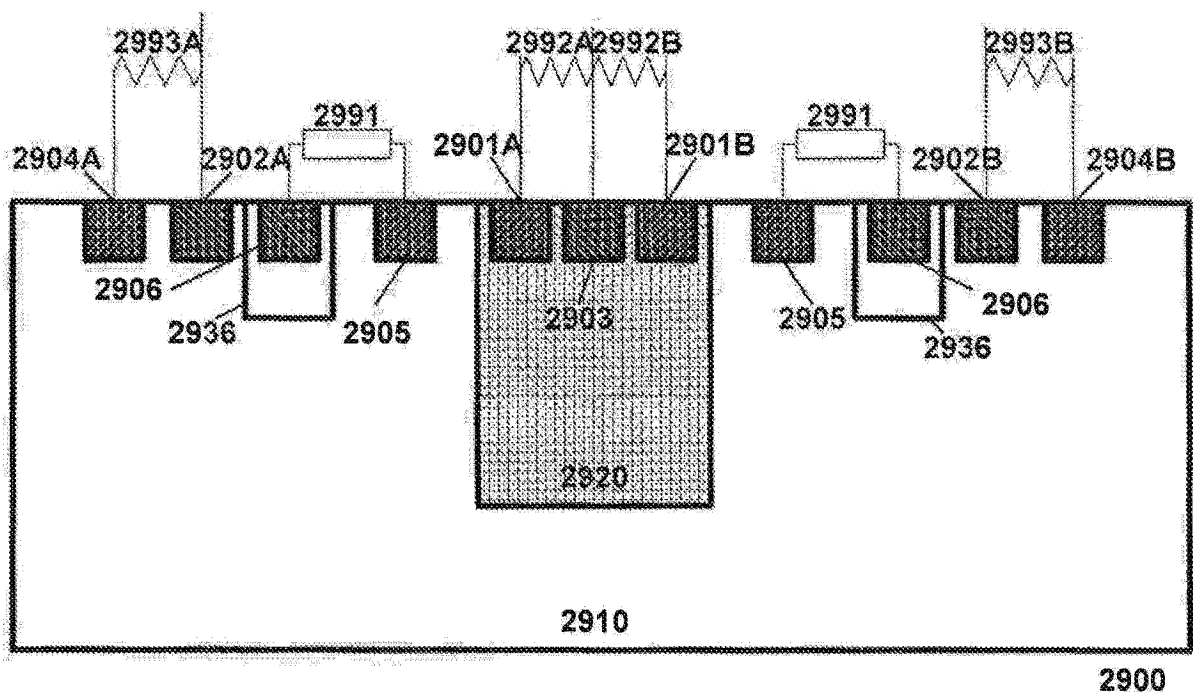


图 29

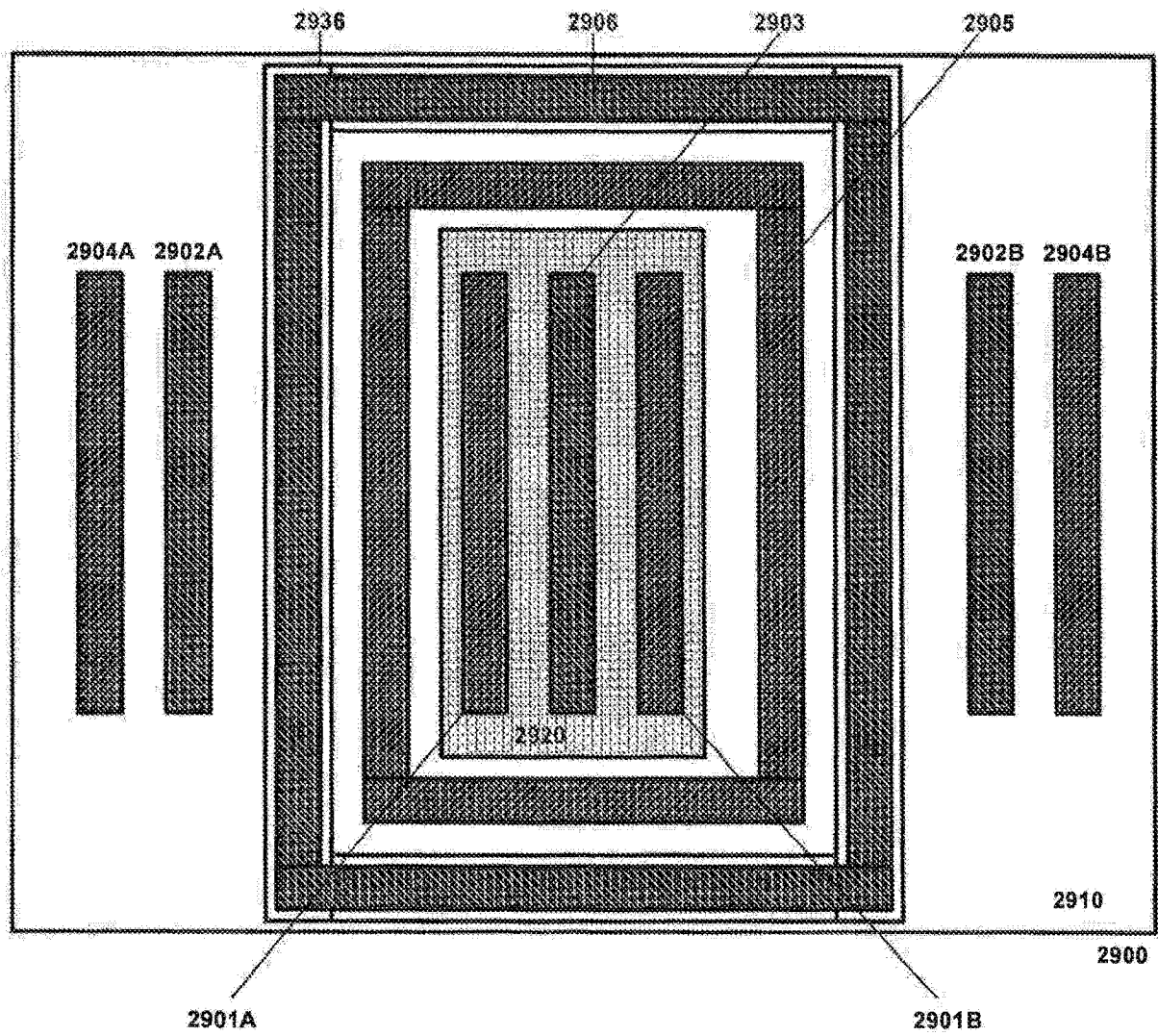


图 30

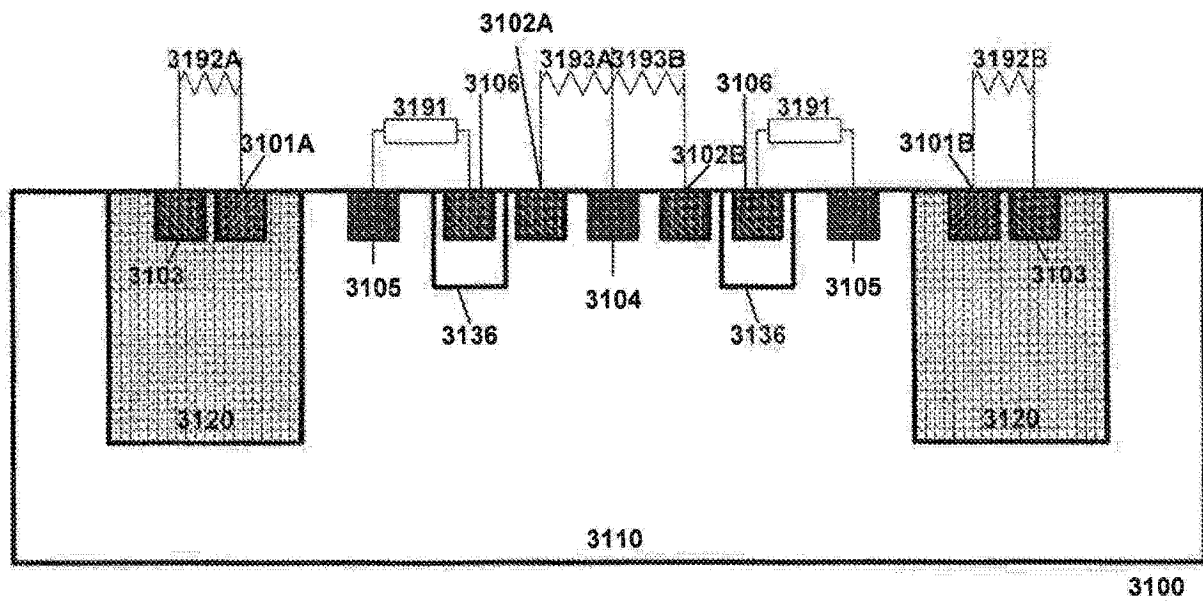


图 31

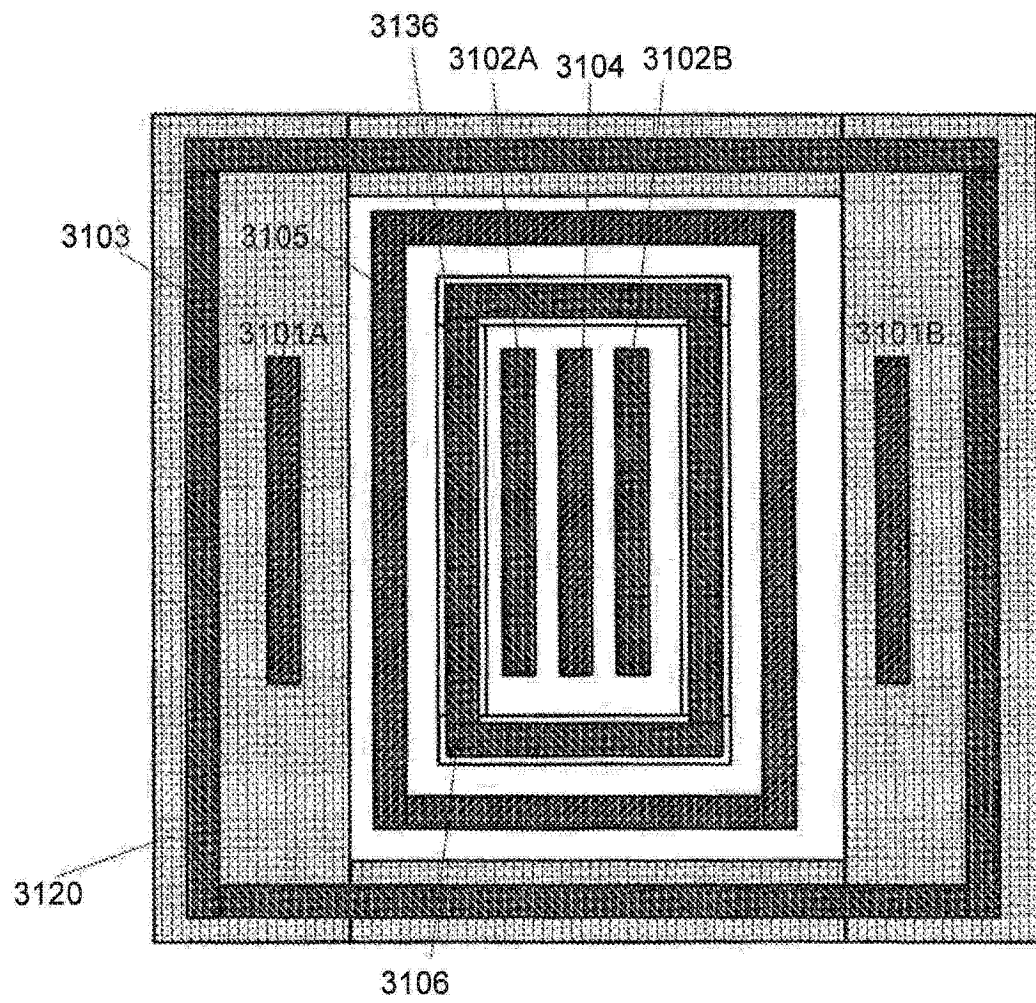


图 32