

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 1 年 8 月 8 日 (2019.8.8)

【公開番号】特開 2018-186233 (P2018-186233A)

【公開日】平成 30 年 11 月 22 日 (2018.11.22)

【年通号数】公開・登録公報 2018-045

【出願番号】特願 2017-88677 (P2017-88677)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/739 (2006.01)

【F I】

H 0 1 L 29/78 6 5 2 J

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 5 G

H 0 1 L 29/78 6 5 5 B

H 0 1 L 29/78 6 5 5 A

H 0 1 L 29/78 6 5 2 M

H 0 1 L 29/78 6 5 2 F

【手続補正書】

【提出日】令和 1 年 6 月 27 日 (2019.6.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板 (10) にトレンチ (14a、14b) が形成されると共に、前記トレンチ上にゲート絶縁膜 (15) を介してゲート電極 (16a、16b) が配置された半導体装置において、

第 1 導電型のドリフト層 (11) と、

前記ドリフト層上に配置され、前記ドリフト層よりも高不純物濃度とされた第 1 導電型のキャリアストレージ層 (13) と、

前記ドリフト層上に配置された第 2 導電型のベース層 (12) と、

前記ドリフト層を挟み、前記ベース層と反対側に形成された第 2 導電型のコレクタ層 (22) と、を有する前記半導体基板と、

前記ベース層を貫通すると共に、前記半導体基板の面方向における所定方向に延設された前記トレンチの壁面に形成された前記ゲート絶縁膜と、前記ゲート絶縁膜上に形成された前記ゲート電極と、を有する複数のトレンチゲート構造と、

前記ベース層の表層部に選択的に形成されると共に前記半導体基板の一面 (10a) の一部を構成し、前記トレンチと接する第 1 導電型のエミッタ領域 (17) と、

前記ベース層および前記エミッタ領域と電氣的に接続される第 1 電極 (20) と、

前記コレクタ層と電氣的に接続される第 2 電極 (23) と、を備え、

複数の前記ゲート電極は、所定のゲート電圧が印加される複数の第 1 ゲート電極 (16a) と、前記第 1 電極と電氣的に接続されることで前記第 1 電極と同電位とされる第 2 ゲート電極 (16b) と、を有し、

前記複数の第 1 ゲート電極は、前記所定方向と交差する方向であって、前記半導体基板の面方向に沿った方向において、少なくとも一部が隣合って配置されており、

前記キャリアストレージ層は、少なくとも隣合う前記第 1 ゲート電極と前記第 2 ゲート電極との間の領域に形成され、

隣合う前記第 1 ゲート電極同士の間領域は、前記第 1 ゲート電極に所定のゲート電圧が印加され、前記第 1 電極から第 1 キャリアが供給されると共に前記第 2 電極から第 2 キャリアが供給されることで前記第 1 電極と前記第 2 電極との間に電流が流れる際、前記第 2 キャリアが隣合う前記第 1 ゲート電極同士の間領域の方が隣合う前記第 1 ゲート電極と前記第 2 ゲート電極との間の領域より前記第 1 電極へと抜け易くなるように、隣合う前記第 1 ゲート電極と前記第 2 ゲート電極との間に形成された前記キャリアストレージ層より第 1 導電型の不純物濃度が低くされた領域を有しており、

前記キャリアストレージ層は、隣合う前記第 1 ゲート電極で挟まれる領域に形成された第 1 キャリアストレージ層 ( 3 1 ) と、隣合う前記第 1 ゲート電極と前記第 2 ゲート電極との間の領域に形成された第 2 キャリアストレージ層 ( 3 2 ) と、を有し、

前記第 1 キャリアストレージ層は、前記ベース層の表層部のうちの前記エミッタ領域の下方に形成された第 1 領域 ( 3 1 a ) と、前記ベース層の表層部のうちの前記エミッタ領域と異なる領域の下方に形成され、前記第 2 キャリアストレージ層より第 1 導電型の不純物濃度が低くされた第 2 領域 ( 3 1 b ) とを有し、

前記第 1 領域は、前記第 2 キャリアストレージ層と同じ不純物濃度とされている半導体装置。

【請求項 2】

前記半導体基板の一面から前記キャリアストレージ層が形成された領域の深さにおいて、隣合う前記第 1 ゲート電極同士の間領域は、隣合う前記第 1 ゲート電極と前記第 2 ゲート電極との間の領域より、第 1 導電型の不純物濃度が低くされた領域を有している請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 ゲート電極を複数有し、

複数の前記第 2 ゲート電極は、前記所定方向と交差する方向であって、前記半導体基板の面方向に沿った方向において、少なくとも一部が隣合って配置されており、

前記第 1 電極は、前記第 1 ゲート電極が配置された前記トレンチと接するベース層および前記エミッタ領域のみと電氣的に接続されている請求項 1 または 2 に記載の半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

上記目的を達成するための請求項 1 では、半導体基板 ( 1 0 ) にトレンチ ( 1 4 a 、 1 4 b ) が形成されると共に、トレンチ上にゲート絶縁膜 ( 1 5 ) を介してゲート電極 ( 1 6 a 、 1 6 b ) が配置された半導体装置において、第 1 導電型のドリフト層 ( 1 1 ) と、ドリフト層上に配置され、ドリフト層よりも高不純物濃度とされた第 1 導電型の CS 層 ( 1 3 ) と、ドリフト層上に配置された第 2 導電型のベース層 ( 1 2 ) と、ドリフト層を挟み、ベース層と反対側に形成された第 2 導電型のコレクタ層 ( 2 2 ) と、を有する半導体基板と、ベース層を貫通すると共に、半導体基板の面方向における所定方向に延設されたトレンチの壁面に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、を有する複数のトレンチゲート構造と、ベース層の表層部に選択的に形成されると共に半導体基板の一面 ( 1 0 a ) の一部を構成し、トレンチと接する第 1 導電型のエミッタ領域 ( 1 7 ) と、ベース層およびエミッタ領域と電氣的に接続される第 1 電極 ( 2 0 ) と、コレクタ層と電氣的に接続される第 2 電極 ( 2 3 ) と、を備え、複数のゲート電極は、所定のゲート電圧が印加される複数の第 1 ゲート電極 ( 1 6 a ) と、第 1 電極と電氣的に接続されることで第 1 電極と同電位とされる第 2 ゲート電極 ( 1 6 b ) と、を有し、複数の

第 1 ゲート電極は、所定方向と交差する方向であって、半導体基板の面方向に沿った方向において、少なくとも一部が隣合って配置されており、CS 層は、少なくとも隣合う第 1 ゲート電極と第 2 ゲート電極との間の領域に形成され、隣合う第 1 ゲート電極同士の間領域は、第 1 ゲート電極に所定のゲート電圧が印加され、第 1 電極から第 1 キャリアが供給されると共に第 2 電極から第 2 キャリアが供給されることで第 1 電極と第 2 電極との間に電流が流れる際、第 2 キャリアが隣合う第 1 ゲート電極同士の間領域の方が隣合う第 1 ゲート電極と第 2 ゲート電極との間の領域より第 1 電極へと抜け易くなるように、隣合う第 1 ゲート電極と第 2 ゲート電極との間に形成された CS 層より第 1 導電型の不純物濃度が低くされた領域を有している。そして、キャリアストレージ層は、隣合う第 1 ゲート電極で挟まれる領域に形成された第 1 キャリアストレージ層 (31) と、隣合う第 1 ゲート電極と第 2 ゲート電極との間の領域に形成された第 2 キャリアストレージ層 (32) と、を有し、第 1 キャリアストレージ層は、ベース層の表層部のうちのエミッタ領域の下方に形成された第 1 領域 (31a) と、ベース層の表層部のうちのエミッタ領域と異なる領域の下方に形成され、第 2 キャリアストレージ層より第 1 導電型の不純物濃度が低くされた第 2 領域 (31b) とを有し、第 1 領域は、第 2 キャリアストレージ層と同じ不純物濃度とされている。