

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和1年8月8日(2019.8.8)

【公開番号】特開2018-186233(P2018-186233A)

【公開日】平成30年11月22日(2018.11.22)

【年通号数】公開・登録公報2018-045

【出願番号】特願2017-88677(P2017-88677)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 29/739 (2006.01)

【F I】

H 01 L 29/78 6 5 2 J

H 01 L 29/78 6 5 3 A

H 01 L 29/78 6 5 5 G

H 01 L 29/78 6 5 5 B

H 01 L 29/78 6 5 5 A

H 01 L 29/78 6 5 2 M

H 01 L 29/78 6 5 2 F

【手続補正書】

【提出日】令和1年6月27日(2019.6.27)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板(10)にトレンチ(14a、14b)が形成されると共に、前記トレンチ上にゲート絶縁膜(15)を介してゲート電極(16a、16b)が配置された半導体装置において、

第1導電型のドリフト層(11)と、

前記ドリフト層上に配置され、前記ドリフト層よりも高不純物濃度とされた第1導電型のキャリアストレージ層(13)と、

前記ドリフト層上に配置された第2導電型のベース層(12)と、

前記ドリフト層を挟み、前記ベース層と反対側に形成された第2導電型のコレクタ層(22)と、を有する前記半導体基板と、

前記ベース層を貫通すると共に、前記半導体基板の面方向における所定方向に延設された前記トレンチの壁面に形成された前記ゲート絶縁膜と、前記ゲート絶縁膜上に形成された前記ゲート電極と、を有する複数のトレンチゲート構造と、

前記ベース層の表層部に選択的に形成されると共に前記半導体基板の一面(10a)の一部を構成し、前記トレンチと接する第1導電型のエミッタ領域(17)と、

前記ベース層および前記エミッタ領域と電気的に接続される第1電極(20)と、

前記コレクタ層と電気的に接続される第2電極(23)と、を備え、

複数の前記ゲート電極は、所定のゲート電圧が印加される複数の第1ゲート電極(16a)と、前記第1電極と電気的に接続されることで前記第1電極と同電位とされる第2ゲート電極(16b)と、を有し、

前記複数の第1ゲート電極は、前記所定方向と交差する方向であって、前記半導体基板の面方向に沿った方向において、少なくとも一部が隣合って配置されており、

前記キャリアストレージ層は、少なくとも隣合う前記第1ゲート電極と前記第2ゲート電極との間の領域に形成され、

隣合う前記第1ゲート電極同士の間の領域は、前記第1ゲート電極に所定のゲート電圧が印加され、前記第1電極から第1キャリアが供給されると共に前記第2電極から第2キャリアが供給されることで前記第1電極と前記第2電極との間に電流が流れる際、前記第2キャリアが隣合う前記第1ゲート電極同士の間の領域の方が隣合う前記第1ゲート電極と前記第2ゲート電極との間の領域より前記第1電極へと抜け易くなるように、隣合う前記第1ゲート電極と前記第2ゲート電極との間に形成された前記キャリアストレージ層により第1導電型の不純物濃度が低くされた領域を有しており、

前記キャリアストレージ層は、隣合う前記第1ゲート電極で挟まれる領域に形成された第1キャリアストレージ層(31)と、隣合う前記第1ゲート電極と前記第2ゲート電極との間の領域に形成された第2キャリアストレージ層(32)と、を有し、

前記第1キャリアストレージ層は、前記ベース層の表層部のうちの前記エミッタ領域の下方に形成された第1領域(31a)と、前記ベース層の表層部のうちの前記エミッタ領域と異なる領域の下方に形成され、前記第2キャリアストレージ層より第1導電型の不純物濃度が低くされた第2領域(31b)とを有し、

前記第1領域は、前記第2キャリアストレージ層と同じ不純物濃度とされている半導体装置。

【請求項2】

前記半導体基板の一面から前記キャリアストレージ層が形成された領域の深さにおいて、隣合う前記第1ゲート電極同士の間の領域は、隣合う前記第1ゲート電極と前記第2ゲート電極との間の領域より、第1導電型の不純物濃度が低くされた領域を有している請求項1に記載の半導体装置。

【請求項3】

前記第2ゲート電極を複数有し、
複数の前記第2ゲート電極は、前記所定方向と交差する方向であって、前記半導体基板の面方向に沿った方向において、少なくとも一部が隣合って配置されており、

前記第1電極は、前記第1ゲート電極が配置された前記トレンチと接するベース層および前記エミッタ領域のみと電気的に接続されている請求項1または2に記載の半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

上記目的を達成するための請求項1では、半導体基板(10)にトレンチ(14a、14b)が形成されると共に、トレンチ上にゲート絶縁膜(15)を介してゲート電極(16a、16b)が配置された半導体装置において、第1導電型のドリフト層(11)と、ドリフト層上に配置され、ドリフト層よりも高不純物濃度とされた第1導電型のCS層(13)と、ドリフト層上に配置された第2導電型のベース層(12)と、ドリフト層を挟み、ベース層と反対側に形成された第2導電型のコレクタ層(22)と、を有する半導体基板と、ベース層を貫通すると共に、半導体基板の面方向における所定方向に延設されたトレンチの壁面に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極と、を有する複数のトレンチゲート構造と、ベース層の表層部に選択的に形成されると共に半導体基板の一面(10a)の一部を構成し、トレンチと接する第1導電型のエミッタ領域(17)と、ベース層およびエミッタ領域と電気的に接続される第1電極(20)と、コレクタ層と電気的に接続される第2電極(23)と、を備え、複数のゲート電極は、所定のゲート電圧が印加される複数の第1ゲート電極(16a)と、第1電極と電気的に接続されることで第1電極と同電位とされる第2ゲート電極(16b)と、を有し、複数の

第1ゲート電極は、所定方向と交差する方向であって、半導体基板の面方向に沿った方向において、少なくとも一部が隣合って配置されており、CS層は、少なくとも隣合う第1ゲート電極と第2ゲート電極との間の領域に形成され、隣合う第1ゲート電極同士の間の領域は、第1ゲート電極に所定のゲート電圧が印加され、第1電極から第1キャリアが供給されると共に第2電極から第2キャリアが供給されることで第1電極と第2電極との間に電流が流れる際、第2キャリアが隣合う第1ゲート電極同士の間の領域の方が隣合う第1ゲート電極と第2ゲート電極との間の領域より第1電極へと抜け易くなるように、隣合う第1ゲート電極と第2ゲート電極との間に形成されたCS層より第1導電型の不純物濃度が低くされた領域を有している。そして、キャリアストレージ層は、隣合う第1ゲート電極で挟まれる領域に形成された第1キャリアストレージ層(31)と、隣合う第1ゲート電極と第2ゲート電極との間の領域に形成された第2キャリアストレージ層(32)と、を有し、第1キャリアストレージ層は、ベース層の表層部のうちのエミッタ領域の下方に形成された第1領域(31a)と、ベース層の表層部のうちのエミッタ領域と異なる領域の下方に形成され、第2キャリアストレージ層より第1導電型の不純物濃度が低くされた第2領域(31b)とを有し、第1領域は、第2キャリアストレージ層と同じ不純物濃度とされている。