



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

197740
(11) (B1)

(51) Int. Cl.³
G 05 B 11/01

(22) Přihlášeno 19 12 77
(21) (PV 8494-77)

(40) Zveřejněno 31 08 79

(45) Vydáno 28 02 83

(75)
Autor vynálezu

SLEZÁK KAREL ing., VYŠKOV

(54) Vstupní obvod

Vynález se týká vstupního obvodu pro přizpůsobení úrovně přenášeného signálu parametrům navazujících obvodů.

Při přenosu číslicových dat na větší vzdálenosti vznikají obtíže s rušením přenášeného signálu, zvláště při průmyslovém nasazení. Přenos signálů na úrovni transistorově vázaných logických obvodů, tzn. TTL obvodů, je nevhodný vzhledem k malé odolnosti těchto obvodů proti rušení. Proto se přenos provádí se zvýšenou úrovní signálů, a pro vlastní zpracování v následných transistorově vázaných logických obvodech se předřazuje vstupní obvod, obvykle transistor ve funkci spínače který má za účel přizpůsobení logické úrovně přenosu na úroveň transistorově vázaných logických obvodů. Statická odolnost zařízení proti rušení se tím zvyšuje a je dána odolností vstupního obvodu. Dynamická odolnost proti krátkým, amplitudově vysokým rušivým impulsům, se obvykle zvyšuje vstupním obvodem integračního charakteru. Prakticky se to provádí pasivními nebo aktivními filtry, jako jsou předřazený RC obvod nebo zpětnovazební kondenzátor. Tyto filtry však způsobují pouze zeslabení rušivého signálu. Je-li amplituda nebo střída rušení vysoká, i takto zeslabená úroveň rušivého signálu přesáhne mez odolnosti vstupního obvodu a rušivý signál se dostane do TTL obvodů.

Uvedený nedostatek je odstraněn vstupním obvodem podle vynálezu, jehož podstatou jsou dvě hradla NAND, z nichž první hradlo NAND má na diodový vstup připojen první ochranný odpor a výstup připojen přes druhý ochranný odpor na diodový vstup druhého hradla NAND, přičemž přímý vstup prvního hradla NAND je uzemněn přes první zpožďovací kondenzátor a přímý vstup druhého hradla NAND je uzemněn přes druhý zpožďovací kondenzátor.

Realizace vstupního obvodu podle vynálezu je založena na diodově vázaných logických obvodech označovaných jako obvody DTL, jakým je obvod provádějící negaci logického součinu, neboli hradlo NAND. Výsledný obvod si zachovává statickou odolnost dosud používaných vstupních obvodů avšak dynamicky je odolný proti všem kladným i záporným rušivým impulsům jejichž doba trvání nepřesáhne zvolenou mez a to bez ohledu na jejich amplitudu a střídu.

Příklady provedení vstupního obvodu podle vynálezu jsou uvedeny na přiložených výkresech, na nichž na obr. 1 je zapojení jednoho hradla NAND složeného z diskretních prvků, na obr. 2 je vstupní obvod složený z integrovaných hradel a na obr. 3 jsou znázorněny průběhy vstupních a výstupních signálů.

Hradlo NAND složené z diskretních prvků je tvořeno transistorem **T** s bási uzemněnou přes první odpor **r1**, s přímo uzemněným emitorem a s kolektorem připojeným přes druhý odpor **r2** na svorku kladného napájecího napětí U_k tvořící napájecí vstup 1 hradla. Přímý vstup 2 hradla je přes Zenerovu diodu **Z** připojen na bási transistoru **T**, a přes třetí odpor **r3** o velikosti R_3 spojen s napájecím vstupem 1 hradla. Diodový vstup 3 hradla je přes diodu **D** připojen k Zenerově diodě **Z**. Výstup 4 hradla je vyveden z kolektoru transistoru **T**. Mezi přímý vstup 2 a zem 5 je zapojen zpoždovací kondenzátor 6 o hodnotě C_6 a v sérii s diodovým vstupem 3, je zapojen ochranný odpor 7 o velikosti R_7 . Je-li na diodovém vstupu 3 signál o úrovni logické nuly je na přímém vstupu potenciál daný napájecím napětím U , třetím odporem **r3**, a diodou **D** s ochranným odporem 7. Protože ochranný odpor 7 je mnohem menší než třetí odpor **r3** je tento potenciál velmi malý a Zenerova dioda **Z** i transistor **T** jsou uzavřeny a na výstupu 4 hradla je signál o úrovni logické jedničky. Po průchodu signálu o úrovni logické jedničky na diodový vstup 3, se dioda **D** uzavírá a přes třetí odpor **r3** se nabízí zpoždovací kondenzátor 6. Je-li vstupní impuls dostatečně dlouhý, pak napětí na přímém vstupu 2 přestoupí prahové napětí Zenerovy diody **Z** a transistor **T** se otevře a na výstupu 4 se objeví signál o úrovni logické nuly. Doba zpoždění t_z průchodu čela impulsu je dána časovou konstantou $R_3 C_6$ a platí, že

$$t_z = 0,7 R_3 \cdot C_6$$

Je-li vstupní impuls krátký, nestačí se dioda **D** a transistor **T** otevřít a zpoždovací kondenzátor 6 se rychle vybije přes diodu **D** a ochranný odpor 7. Velikost **R7** ochranného odporu 7 vzhledem k velikosti R_3 odporu **r3** je zanedbatelná a proto je doba vybití ochranného kondenzátoru 6 a tím doba přípravy k dalšímu odměřování délky vstupního impulsu též zanedbatelná. Impuls kratší než doba zpoždění t_z tedy na výstup neprojde. Zapojením dvou takto uspořádaných hradel do série obdržíme obvod odolný proti dynamickému rušení kladnými i zápornými impulsy, nezávislé na amplitudě rušivého signálu, jehož délka je kratší než doba zpoždění t_z . Místo hradel sestavených z diskretních prvků je vhodné používat integrovaných hybridních hradel. Takový vstupní obvod obsahuje dvě hradla NAND 10, 20. První hradlo NAND 10 má přímý vstup 12 uzemněný přes první

zpoždovací kondenzátor 16 a na jeho diodový vstup 13 je připojen první ochranný odpor 17. Výstup 14 prvního hradla NAND 10 je přes druhý ochranný odpor 27 připojen na diodový vstup 23 druhého hradla NAND 20. Přímý vstup 22 druhého hradla NAND 20 je uzemněn přes druhý zpoždovací kondenzátor 26. Napájecí vstup 11 prvního hradla NAND 10 i napájecí vstup 21 druhého hradla NAND 20 jsou připojeny na svorku kladného napětí U_k . Mezi výstupem 24 druhého hradla NAND 20 a zemí je zařazen dělicí odpor 8. Uzemňovací vstup 15 prvního hradla NAND 10 a uzemňovací vstup 25 druhého hradla NAND 20 jsou připojeny na svorku nulového potenciálu. Doba zpoždění t_z čela impulsu při průchodu prvním hradlem NAND 10 je dána vztahem

$$t_{z10} = 0,7 \cdot R_3 \cdot C_{16}$$

kde R_3 je hodnota třetího odporu tohoto hradla a C_{16} je hodnota prvního zpoždovacího kondenzátoru 16. Obdobně pro dobu zpoždění t_{z20} čela impulsu při průchodu druhým hradlem NAND 20 platí

$$t_{z20} = 0,7 \cdot R_3 \cdot C_{26}$$

kde R_3 je hodnota odporu třetího odporu hradla a C_{26} je hodnota druhého zpoždovacího kondenzátoru 26. Pro správnou funkci předmětného vstupního obvodu musí zpoždovací doba t_{z10} prvního hradla NAND 10 splňovat podmínku

$$t_{por} < t_{z10} < t_{imp},$$

kde t_{por} je maximální délka poruchového impulsu a t_{imp} je minimální délka zpracovávaného impulsu. Přitom mezi hodnotou C_{16} prvního zpoždovacího kondenzátoru 16 a hodnotou C_{26} druhého zpoždovacího kondenzátoru 26 musí platit

$$2 \cdot C_{16} < C_{26}.$$

Funkce vstupního obvodu je nezávislá na vnitřním detailním uspořádání hradel, je možno použít jak integrované hradlo, tak i diodově vázané logické obvody z diskretních prvků. Použije-li se jako kolektorového napětí transistoru druhého hradla NAND 20 napájecí napětí rovné napájecímu napětí následných tranzistorově vázaných logických obvodů, není třeba zařadit dělicí odpor 8.

Doba zpoždění čela impulsu při průchodu prvním hradlem NAND 10 je v obr. 3 označena τ_{z1} , druhým hradlem NAND 20 je opatřena τ_{z2} .

PŘEDMĚT VYNÁLEZU

1. Vstupní obvod pro přizpůsobení úrovně přenášeného signálu parametrů navazujících obvodů, vyznačující se tím, že obsahuje dvě hradla NAND (10, 20), z nichž první hradlo NAND (10) má na diodový vstup (13) připojen první ochranný odpor (17) a výstup (14) připojen přes druhý ochranný odpor (27) na diodový vstup (23) druhého hradla NAND (20), přičemž přímý vstup (12) prvního hradla NAND (10) je uzemněn přes první zpožďovací kondensátor (16) a přímý vstup (22) druhého hradla NAND (20) je uzemněn přes druhý zpožďovací kondensátor (26).

2. Vstupní obvod podle bodu 1, vyznačující se tím, že pro parametry prvního zpožďovacího kondenzátoru (16) a třetího odporu (R_3) prvního hradla NAND (10) platí

$$0,7 \cdot R_3 \cdot C_{16} = t_{z10},$$

kde R_3 je hodnota třetího odporu prvního hradla NAND (10) a C_{16} je hodnota prvního zpožďovacího kondensátoru (16) a t_{z10} je doba zpoždění čela impulsu v prvním hradle NAND (10) pro niž platí

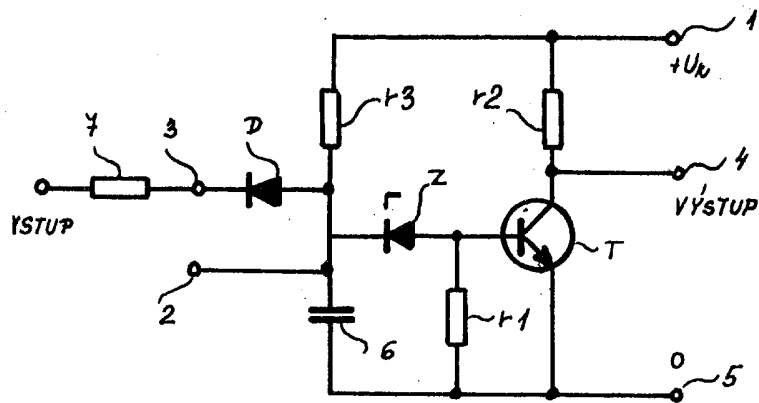
$$t_{por} < t_{z10} < t_{imp},$$

kde t_{por} je délka poruchového impulsu a t_{imp} je minimální délka zpracovávaného impulsu.

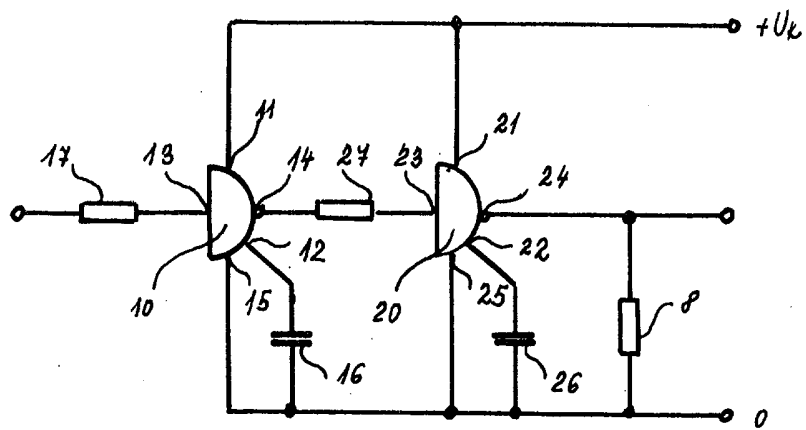
3. Vstupní obvod podle bodů 1 a 2, vyznačující se tím, že mezi parametry prvního zpožďovacího kondensátoru (16) a druhého zpožďovacího kondensátoru (26) platí vztah

$$2C_{16} < C_{26}$$

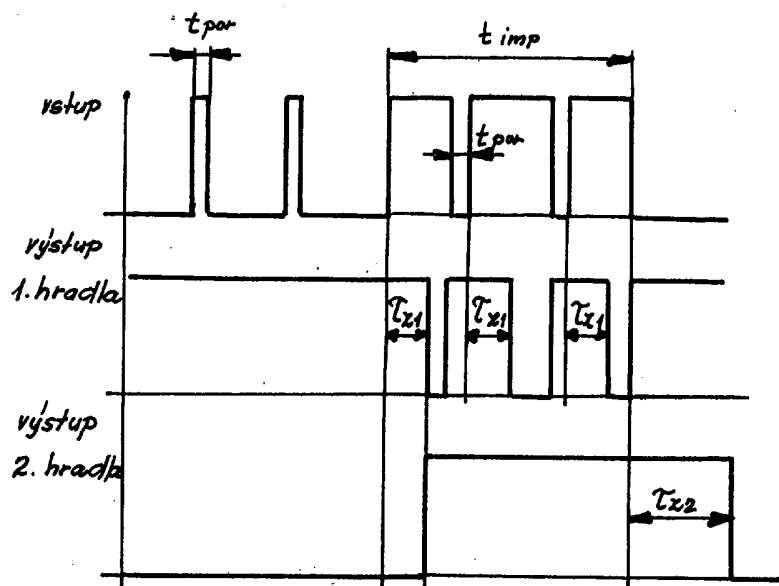
4. Vstupní obvod podle bodu 1 až 3, vyznačující se tím, že výstup obvodu je uzemněn přes dělicí odpor (8).



obr. 1



obr. 2



obr. 3