

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5018028号
(P5018028)

(45) 発行日 平成24年9月5日 (2012.9.5)

(24) 登録日 平成24年6月22日 (2012.6.22)

(51) Int.Cl.	F I
HO 1 L 27/04 (2006.01)	HO 1 L 27/04 B
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A
HO 3 F 3/34 (2006.01)	HO 1 L 27/04 F
	HO 3 F 3/34 Z

請求項の数 16 (全 41 頁)

(21) 出願番号	特願2006-305154 (P2006-305154)	(73) 特許権者	000002369
(22) 出願日	平成18年11月10日 (2006.11.10)		セイコーエプソン株式会社
(65) 公開番号	特開2008-124192 (P2008-124192A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成20年5月29日 (2008.5.29)	(74) 代理人	100090479
審査請求日	平成21年3月12日 (2009.3.12)		弁理士 井上 一
		(74) 代理人	100104710
			弁理士 竹腰 昇
		(74) 代理人	100124626
			弁理士 榎並 智和
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	福沢 晃弘
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
最終頁に続く			

(54) 【発明の名称】 基準電圧供給回路、アナログ回路及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

基準電圧用の第1型のオペアンプを有し、増幅対象信号の周波数が第1の周波数である第1の回路に対して第1のアナログ基準電圧線を介してアナログ基準電圧を供給する第1の供給回路と、

基準電圧用の第2型のオペアンプを有し、増幅対象信号の周波数が前記第1の周波数よりも低い第2の周波数である第2の回路に対して第2のアナログ基準電圧線を介してアナログ基準電圧を供給する第2の供給回路とを含み、

前記基準電圧用の第1型のオペアンプの差動部の差動段トランジスタのチャンネル幅をW1aとし、チャンネル長をL1aとし、前記基準電圧用の第1型のオペアンプの差動部に流れるバイアス電流をIaとし、前記基準電圧用の第2型のオペアンプの差動部の差動段トランジスタのチャンネル幅をW1bとし、チャンネル長をL1bとし、前記基準電圧用の第2型のオペアンプの差動部に流れるバイアス電流をIbとした場合に、 $W1b \times L1b > W1a \times L1a$ 、 $Ia > Ib$ であることを特徴とする基準電圧供給回路。

【請求項 2】

請求項1において、

前記第1の供給回路からアナログ基準電圧が供給される前記第1の回路における増幅対象信号の前記第1の周波数をf1とし、前記第2の供給回路からアナログ基準電圧が供給される前記第2の回路における増幅対象信号の前記第2の周波数をf2とし、周波数-ノイズ特性におけるフリッカノイズと熱ノイズのコーナ周波数をfcrとした場合に、前記

10

20

基準電圧用の第 1 型のオペアンプでは、 $f_1 - f_{cr} < f_{cr} - f_2$ であり、前記基準電圧用の第 2 型のオペアンプでは、 $f_{cr} - f_2 < f_1 - f_{cr}$ であることを特徴とする基準電圧供給回路。

【請求項 3】

請求項 1 又は 2 において、

前記基準電圧用の第 2 型のオペアンプの差動部の能動負荷段トランジスタのチャンネル長を L_{3b} とした場合に、 $L_{1b} < L_{3b}$ であることを特徴とする基準電圧供給回路。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記基準電圧用の第 1 型のオペアンプの前記差動段トランジスタの W/L 比を RT_{1a} とし、前記基準電圧用の第 1 型のオペアンプの能動負荷段トランジスタの W/L 比を RT_{3a} とした場合に、 $RT_{1a} > RT_{3a}$ であることを特徴とする基準電圧供給回路。

10

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記基準電圧用の第 2 型のオペアンプの前記差動段トランジスタの実効ゲート電圧を V_{eff} とし、ドレイン・ソース間に流れる電流を I_{ds} とし、移動度を μ とし、単位面積あたりのゲート容量を C_{ox} とし、 W/L 比を RT_{1b} とし、ボルツマン定数を k とし、絶対温度を T とし、電子電荷量を q とし、プロセス変動パラメータを P ($P > 1$) とした場合に、 $P \times (k \times T / q) > V_{eff} = \{ 2 \times I_{ds} / (\mu \times C_{ox} \times RT_{1b}) \}^{1/2} > k \times T / q$ の関係を満たす比に、前記 W/L 比 RT_{1b} が設定されていることを特徴とする基準電圧供給回路。

20

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

前記基準電圧用の第 2 型のオペアンプを構成する素子のうち前記差動段トランジスタの配置領域の面積を S_{df} とし、前記基準電圧用の第 2 型のオペアンプを構成する素子のうち前記差動段トランジスタ以外の素子の配置領域の面積を S_{re} とした場合に、 $S_{df} > S_{re}$ であることを特徴とする基準電圧供給回路。

【請求項 7】

請求項 6 において、

前記基準電圧用の第 2 型のオペアンプの前記差動段トランジスタは並列接続された J 個 ($J > 2$) のトランジスタにより構成され、前記差動段トランジスタの前記配置領域には、並列接続された前記 J 個のトランジスタが配置されていることを特徴とする基準電圧供給回路。

30

【請求項 8】

請求項 7 において、

前記基準電圧用の第 2 型のオペアンプの能動負荷段トランジスタは並列接続された I 個 ($J > I > 2$) のトランジスタにより構成され、

前記差動段トランジスタを構成する前記 J 個のトランジスタが X 方向に沿って並んで配置されると共に、前記 J 個のトランジスタの Y 方向側には、前記能動負荷段トランジスタを構成する前記 I 個のトランジスタが X 方向に沿って並んで配置されることを特徴とする基準電圧供給回路。

40

【請求項 9】

請求項 1 乃至 8 のいずれかにおいて、

前記第 1 の供給回路は、

前記基準電圧用の第 1 型のオペアンプを用いて、電圧のインピーダンス変換を行う回路であり、

前記第 2 の供給回路は、

前記基準電圧用の第 2 型のオペアンプを用いて、電圧のインピーダンス変換を行う回路であることを特徴とする基準電圧供給回路。

【請求項 10】

50

請求項 1 乃至 9 のいずれかにおいて、

前記第 1、第 2 の供給回路の前段側に設けられ、基準電圧用の第 3 型のオペアンプを有し、前記第 1、第 2 の供給回路に対して電圧を供給する第 3 の供給回路を含み、

前記基準電圧用の第 3 型のオペアンプの差動部の差動段トランジスタのチャネル幅を $W1c$ とし、チャネル長を $L1c$ とし、前記基準電圧用の第 3 型のオペアンプの差動部に流れるバイアス電流を Ic とした場合に、 $W1c \times L1c > W1a \times L1a$ 、 $Ic > Ib$ であることを特徴とする基準電圧供給回路。

【請求項 11】

請求項 10 において、

$W1c \times L1c > W1b \times L1b$ 、 $Ic > Ia$ であることを特徴とする基準電圧供給回路。 10

【請求項 12】

請求項 1 乃至 11 のいずれかに記載の基準電圧供給回路と、

前記基準電圧供給回路の前記第 1 の供給回路から、前記第 1 のアナログ基準電圧線を介してアナログ基準電圧が供給される前記第 1 の回路と、

前記基準電圧供給回路の前記第 2 の供給回路から、前記第 2 のアナログ基準電圧線を介してアナログ基準電圧が供給される前記第 2 の回路とを含むことを特徴とするアナログ回路。

【請求項 13】

請求項 12 において、 20

所望信号を含む信号に対して所与の周波数の信号をミキシングするミキサを含み、

前記第 1 の回路は、前記ミキサの前段側に設けられる回路であり、

前記第 2 の回路は、前記ミキサの後段側に設けられる回路であることを特徴とするアナログ回路。

【請求項 14】

請求項 13 において、

前記第 1 の回路は、入力信号を増幅する第 1 の増幅回路であり、

前記基準電圧供給回路は、前記第 1 の増幅回路に対して前記第 1 のアナログ基準電圧線を介してアナログ基準電圧を供給することを特徴とするアナログ回路。 30

【請求項 15】

請求項 13 又は 14 において、

前記第 2 の回路は、前記ミキサからのミキシング後の信号を増幅する第 2 の増幅回路又はミキシング後の信号のフィルタ処理を行うフィルタ部であり、

前記基準電圧供給回路は、前記第 2 の増幅回路又は前記フィルタ部に対して前記第 2 のアナログ基準電圧線を介してアナログ基準電圧を供給することを特徴とするアナログ回路。

【請求項 16】

請求項 12 乃至 15 のいずれかに記載のアナログ回路と、

前記アナログ回路の検出情報に基づいて処理を行う処理部と、

を含むことを特徴とする電子機器。 40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基準電圧供給回路、アナログ回路及び電子機器に関する。

【背景技術】

【0002】

アナログ回路を構成するトランジスタのノイズには、熱ノイズとフリッカノイズがある。このうち熱ノイズは、高い周波数帯域で支配的なノイズであり、絶対温度に比例する。一方、フリッカノイズは、低い周波数領域で支配的なノイズであり、信号周波数が低くなるにつれてノイズレベルが大きくなる。 50

【 0 0 0 3 】

一方、電波時計の受信装置やジャイロセンサの検出装置などのアナログ回路では、ミキサ等により周波数の変換が行われる。具体的には、例えばキャリア信号の周波数から所望信号の周波数への変換が行われる。このため、アナログ回路を構成するオペアンプの小振幅増幅の対象となる信号周波数として、高い信号周波数と低い信号周波数が混在する。

【 0 0 0 4 】

ところが、これまでは、電波時計の受信装置やジャイロセンサの検出装置などのアナログ回路に対してアナログ基準電圧を供給する基準電圧供給回路では、このような信号周波数の違いを考慮したオペアンプの最適なサイジング設計は行われていなかった。また低ノイズと低消費電力の両立に関しても、考慮されていなかった。

10

【 特 許 文 献 1 】 特 開 平 4 - 2 1 4 0 5 4 号 公 報

【 発 明 の 開 示 】

【 発 明 が 解 決 し よ う と す る 課 題 】

【 0 0 0 5 】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、低ノイズと低消費電力を両立できる基準電圧供給回路、アナログ回路及び電子機器を提供することにある。

【 課 題 を 解 決 す る た め の 手 段 】

【 0 0 0 6 】

本発明は、基準電圧用の第1型のオペアンプを有し、第1のアナログ基準電圧線に対してアナログ基準電圧を供給する第1の供給回路と、基準電圧用の第2型のオペアンプを有し、第2のアナログ基準電圧線に対してアナログ基準電圧を供給する第2の供給回路とを含み、前記基準電圧用の第1型のオペアンプの差動部の差動段トランジスタのチャンネル幅を $W1a$ とし、チャンネル長を $L1a$ とし、前記基準電圧用の第1型のオペアンプの差動部に流れるバイアス電流を Ia とし、前記基準電圧用の第2型のオペアンプの差動部の差動段トランジスタのチャンネル幅を $W1b$ とし、チャンネル長を $L1b$ とし、前記基準電圧用の第2型のオペアンプの差動部に流れるバイアス電流を Ib とした場合に、 $W1b \times L1b > W1a \times L1a$ 、 $Ia > Ib$ である基準電圧供給回路に関係する。

20

【 0 0 0 7 】

本発明によれば、基準電圧供給回路の第1の供給回路は、第1型のオペアンプを用いて、第1のアナログ基準電圧線に対してアナログ基準電圧を供給する。一方、第2の供給回路は、第2型のオペアンプを用いて、第2のアナログ基準電圧線に対して、アナログ基準電圧を供給する。

30

【 0 0 0 8 】

そして第1型のオペアンプの差動段トランジスタの WL 積 $W1a \times L1a$ と、第2型のオペアンプの差動段トランジスタの WL 積 $W1b \times L1b$ の間には、 $W1b \times L1b > W1a \times L1a$ の関係が成り立つ。従って、第2型のオペアンプの WL 積 $W1b \times L1b$ を大きくできるため、第2型のオペアンプのフリッカノイズを低減できる。これにより、第2の供給回路から供給されるアナログ基準電圧に重畳されるフリッカノイズを最小限に抑えることができる。一方、第1型のオペアンプの WL 積 $W1a \times L1a$ については小さく

40

【 0 0 0 9 】

また第1型のオペアンプの差動部のバイアス電流 Ia と第2型のオペアンプの差動部のバイアス電流 Ib の間には、 $Ia > Ib$ の関係が成り立つ。従って、第1型オペアンプのバイアス電流 Ia を大きくできるため、第1型のオペアンプの熱ノイズを低減できる。従って、第1の供給回路から供給されるアナログ基準電圧に重畳される熱ノイズを最小限に抑えることができる。一方、第2型のオペアンプのバイアス電流 Ib については小さくできるため、第2型のオペアンプの消費電流が無駄に大きくなる事態を防止できる。

【 0 0 1 0 】

また本発明では、前記第1の供給回路からアナログ基準電圧が供給される第1の回路に

50

おける増幅対象信号の周波数を f_1 とし、前記第 2 の供給回路からアナログ基準電圧が供給される第 2 の回路における増幅対象信号の周波数を f_2 とし、周波数 - ノイズ特性におけるフリッカノイズと熱ノイズのコーナ周波数を f_{cr} とした場合に、前記基準電圧用の第 1 型のオペアンプでは、 $f_1 - f_{cr} < f_{cr} - f_2$ であり、前記基準電圧用の第 2 型のオペアンプでは、 $f_{cr} - f_2 < f_1 - f_{cr}$ であってもよい。

【0011】

このように $f_1 - f_{cr} < f_{cr} - f_2$ の関係が成り立てば、周波数 f_1 側にコーナ周波数 f_{cr} を近づけることができ、オペアンプの低ノイズ化と低消費電力化を両立できる。また $f_{cr} - f_2 < f_1 - f_{cr}$ の関係が成り立てば、周波数 f_2 側にコーナ周波数 f_{cr} を近づけることができ、オペアンプの低ノイズ化と小面積化を両立できる。

10

【0012】

また本発明では、前記基準電圧用の第 2 型のオペアンプの差動部の能動負荷段トランジスタのチャネル長を L_{3b} とした場合に、 $L_{1b} < L_{3b}$ であってもよい。

【0013】

このようにすれば、第 2 型のオペアンプでのフリッカノイズを更に低減できる。

【0014】

また本発明では、前記基準電圧用の第 1 型のオペアンプの前記差動段トランジスタの W/L 比を RT_{1a} とし、前記基準電圧用の第 1 型のオペアンプの能動負荷段トランジスタの W/L 比を RT_{3a} とした場合に、 $RT_{1a} > RT_{3a}$ であってもよい。

【0015】

このようにすれば、第 1 型のオペアンプでの熱ノイズを更に低減できる。

20

【0016】

また本発明では、前記基準電圧用の第 2 型のオペアンプの前記差動段トランジスタの実効ゲート電圧を V_{eff} とし、ドレイン・ソース間に流れる電流を I_{ds} とし、移動度を μ とし、単位面積あたりのゲート容量を C_{ox} とし、 W/L 比を RT_{1b} とし、ボルツマン定数を k とし、絶対温度を T とし、電子電荷量を q とし、プロセス変動パラメータを P ($P > 1$) とした場合に、 $P \times (k \times T / q) > V_{eff} = \{ 2 \times I_{ds} / (\mu \times C_{ox} \times RT_{1b}) \}^{1/2} > k \times T / q$ の関係を満たす比に、前記 W/L 比 RT_{1b} が設定されていてもよい。

【0017】

このようにすれば、第 2 型のオペアンプの差動段トランジスタが弱反転領域や弱反転領域と強反転領域の境界で動作するのを防止できるため、 W/L 比 RT_{1b} を大きくしすぎることによるフリッカノイズの増加を最小限に抑えることができる。

30

【0018】

また本発明では、前記基準電圧用の第 2 型のオペアンプを構成する素子のうち前記差動段トランジスタの配置領域の面積を S_{df} とし、前記基準電圧用の第 2 型のオペアンプを構成する素子のうち前記差動段トランジスタ以外の素子の配置領域の面積を S_{re} とした場合に、 $S_{df} > S_{re}$ であってもよい。

【0019】

このようにすれば、 W/L 積が大きな差動段トランジスタを、 S_{df} の面積の配置領域に配置することができ、フリッカノイズを低減できる。

40

【0020】

また本発明では、前記基準電圧用の第 2 型のオペアンプの前記差動段トランジスタは並列接続された J 個 ($J > 2$) のトランジスタにより構成され、前記差動段トランジスタの前記配置領域には、並列接続された前記 J 個のトランジスタが配置されていてもよい。

【0021】

このようにすれば、差動段トランジスタの W/L 積を大きくしながら W/L 比も大きくできるようになり、フリッカノイズを効率的に低減できる。

【0022】

また本発明では、前記基準電圧用の第 2 型のオペアンプの前記能動負荷段トランジスタ

50

は並列接続された I 個 ($J > I > 2$) のトランジスタにより構成され、前記差動負荷段トランジスタを構成する前記 J 個のトランジスタが X 方向に沿って並んで配置されると共に、前記 J 個のトランジスタの Y 方向側には、前記能動負荷段トランジスタを構成する前記 I 個のトランジスタが X 方向に沿って並んで配置されていてもよい。

【0023】

このようにすれば、差動段トランジスタを構成する J 個のトランジスタや能動負荷段トランジスタを構成する I 個のトランジスタを、効率良く対称配置できるため、レイアウト効率を向上できる。

【0024】

また本発明では、前記第1の供給回路は、前記基準電圧用の第1型のオペアンプを用いて、電圧のインピーダンス変換を行う回路であり、前記第2の供給回路は、前記基準電圧用の第2型のオペアンプを用いて、電圧のインピーダンス変換を行う回路であってもよい。

10

【0025】

このようにすれば、安定した電位のアナログ基準電圧を供給できるようになる。

【0026】

また本発明では、前記第1、第2の供給回路の前段側に設けられ、基準電圧用の第3型のオペアンプを有し、前記第1、第2の供給回路に対して電圧を供給する第3の供給回路を含み、前記基準電圧用の第3型のオペアンプの差動部の差動段トランジスタのチャネル幅を $W1c$ とし、チャネル長を $L1c$ とし、前記基準電圧用の第3型のオペアンプの差動部に流れるバイアス電流を Ic とした場合に、 $W1c \times L1c > W1a \times L1a$ 、 $Ic > Ib$ であってもよい。

20

【0027】

このようにすれば、第3の供給回路の出力電圧の熱ノイズやフリッカノイズを最小限に抑えることができる。従って、出力電圧の熱ノイズが第1の供給回路を介して第1のアナログ基準電圧線に伝達したり、出力電圧のフリッカノイズが第2の供給回路を介して第2のアナログ基準電圧線に伝達する事態を、最小限に抑えることが可能になる。

【0028】

また本発明では、 $W1c \times L1c > W1b \times L1b$ 、 $Ic > Ia$ であってもよい。

【0029】

30

また本発明は、上記のいずれかに記載の基準電圧供給回路と、前記基準電圧供給回路の前記第1の供給回路から、前記第1のアナログ基準電圧線を介してアナログ基準電圧が供給される第1の回路と、前記基準電圧供給回路の前記第2の供給回路から、前記第2のアナログ基準電圧線を介してアナログ基準電圧が供給される第2の回路とを含むアナログ回路に関する。

【0030】

本発明によれば、第1の供給回路から第1の回路に対して供給されるアナログ基準電圧の熱ノイズを低減できると共に、第2の供給回路から第2の回路に対して供給されるアナログ基準電圧のフリッカノイズを低減できる。従って、第1、第2の回路の熱ノイズ、フリッカノイズを低減でき、アナログ回路の SNR (Signal-to-Noise Ratio) を向上できる。

40

【0031】

また本発明では、所望信号を含む信号に対して所与の周波数の信号をミキシングするミキサを含み、前記第1の回路は、前記ミキサの前段側に設けられる回路であり、前記第2の回路は、前記ミキサの後段側に設けられる回路であってもよい。

【0032】

このようなミキサを設けると、ミキサの前段側の第1の回路での信号周波数とミキサの後段側の第2の回路での信号周波数が異なるようになる。この場合にも本発明によれば、第1、第2の回路にアナログ基準電圧を供給する基準電圧供給回路において、第1型のオペアンプと第2型のオペアンプを使い分けることで、低ノイズ化と低消費電力化を両立で

50

きる。

【 0 0 3 3 】

また本発明では、前記第 1 の回路は、入力信号を増幅する第 1 の増幅回路であり、前記基準電圧供給回路は、前記第 1 の増幅回路に対して前記第 1 のアナログ基準電圧線を介してアナログ基準電圧を供給するようにしてもよい。

【 0 0 3 4 】

このようにすれば、第 1 の増幅回路での熱ノイズを低減でき、アナログ回路のノイズを低減できる。

【 0 0 3 5 】

また本発明では、前記第 2 の回路は、前記ミキサからのミキシング後の信号を増幅する第 2 の増幅回路又はミキシング後の信号のフィルタ処理を行うフィルタ部であり、前記基準電圧供給回路は、前記第 2 の増幅回路又は前記フィルタ部に対して前記第 2 のアナログ基準電圧線を介してアナログ基準電圧を供給するようにしてもよい。

10

【 0 0 3 6 】

このようにすれば、第 2 の増幅回路又はフィルタ部でのフリッカノイズを低減でき、アナログ回路のノイズを低減できる。

【 0 0 3 7 】

また本発明は、上記のいずれかに記載のアナログ回路と、前記検出装置の検出情報に基づいて処理を行う処理部とを含む電子機器に係る。

【発明を実施するための最良の形態】

20

【 0 0 3 8 】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。例えば以下では、本発明が適用される基準電圧供給回路として、電波時計の受信装置やジャイロセンサの検出装置のアナログ回路にアナログ基準電圧を供給する回路を例にとり説明するが、本発明はこれに限定されない。

【 0 0 3 9 】

1. 基準電圧供給回路、アナログ回路の構成

図 1 に本実施形態の基準電圧供給回路 2 0 や、この基準電圧供給回路 2 0 を含むアナログ回路（アナログフロントエンド回路）3 0 0 の構成例を示す。アナログ回路 3 0 0 は、第 1 の回路 3 1 0 と第 2 の回路 3 2 0 を含む。

30

【 0 0 4 0 】

ここで第 1 の回路 3 1 0 は、増幅対象信号（オペアンプの小信号増幅の対象となる信号）の周波数が第 1 の周波数となる回路である。また第 2 の回路 3 2 0 は、増幅対象信号の周波数が第 1 の周波数よりも低い第 2 の周波数となる回路である。

【 0 0 4 1 】

例えば第 1 の回路 3 1 0 には、アンテナ、センサ等からの第 1 の周波数の入力信号（受信信号、センサ信号）が入力される。第 1 の回路 3 1 0 は、例えば増幅回路を含み、この増幅回路が入力信号の増幅を行う。この場合、増幅対象信号である入力信号（キャリア信号）は、高い第 1 の周波数の信号となる。

40

【 0 0 4 2 】

第 1 の回路 3 1 0 と第 2 の回路 3 2 0 の間には、ミキサ（周波数変換回路）3 2 2 を設けることができる。即ち第 1 の回路 3 1 0 は、ミキサ 3 2 2 の前段側に設けられる回路とすることができ、第 2 の回路 3 2 0 は、ミキサ 3 2 2 の後段側に設けられる回路とすることができ、そしてミキサ 3 2 2 は、所望信号を含む信号に対して所与の周波数の信号（例えば局周波数信号、同期信号）をミキシングする。

【 0 0 4 3 】

第 2 の回路 3 2 0 には、ミキサ 3 2 2 によるミキシング（周波数変換）により第 2 の周波数に変換された信号が入力される。第 2 の回路 3 2 0 の増幅回路、フィルタ部又は出力

50

回路は、増幅対象信号である第 2 の周波数の信号についての小振幅増幅を行う。

【 0 0 4 4 】

基準電圧供給回路 2 0 は、第 1 の回路 3 1 0 や第 2 の回路 3 2 0 に対して A G N D (広義にはアナログ基準電圧) を供給する。この基準電圧供給回路 2 0 は第 1 の供給回路 2 1 と第 2 の供給回路 2 2 を含む。第 1 の供給回路 2 1 は、第 1 の回路 3 1 0 に対して A G N D (アナロググランド) を供給する。第 2 の供給回路 2 2 は、第 2 の回路 3 2 0 に対して A G N D を供給する。また第 1 の供給回路 2 1 は、基準電圧用の第 1 型のオペアンプ O P 1 を有し、第 2 の供給回路 2 2 は、基準電圧用の第 2 型のオペアンプ O P 2 を有する。

【 0 0 4 5 】

ここで基準電圧用の第 1 型のオペアンプ O P 1 は、例えば第 2 型のオペアンプ O P 2 に比べて第 1 の周波数 (例えばキャリア周波数、変調周波数、共振周波数) での熱ノイズが低いオペアンプとなっている。一方、基準電圧用の第 2 型のオペアンプ O P 2 は、第 1 型のオペアンプ O P 1 に比べて第 2 の周波数 (例えばキャリア信号により搬送される所望信号の周波数、所望信号の周波数帯域の最大周波数) でのフリッカノイズが低いオペアンプとなっている。

【 0 0 4 6 】

具体的には、第 1 の回路 3 1 0 における増幅対象信号 (第 1 の回路 3 1 0 が含むオペアンプの増幅対象信号) の周波数 (例えば数十 K H z ~ 数百 K H z) を f_1 とし、第 2 の回路 3 2 0 における増幅対象信号 (第 1 の回路 3 2 0 が含むオペアンプの増幅対象信号) の周波数 (例えば数 H z ~ 数百 H z) を f_2 とし、フリッカノイズと熱ノイズのコーナ周波数を f_{cr} としたとする。この場合に、第 1 型のオペアンプ O P 1 では、例えば $f_1 - f_{cr} < f_{cr} - f_2$ の関係が成り立つようになっている。即ちコーナ周波数 f_{cr} の近傍の周波数に f_1 が設定されるように、第 1 型のオペアンプ O P 1 のサイジングが行われる。また第 2 型のオペアンプ O P 2 では、例えば $f_{cr} - f_2 < f_1 - f_{cr}$ の関係が成り立つようになっている。即ちコーナ周波数 f_{cr} の近傍の周波数に f_2 が設定されるように、第 2 型のオペアンプ O P 2 のサイジングが行われる。

【 0 0 4 7 】

また、第 1 型のオペアンプ O P 1 の差動部の差動段トランジスタのチャネル幅を W_{1a} とし、チャネル長を L_{1a} とし、差動部に流れるバイアス電流 (電流値) を I_a としたとする。また第 2 型のオペアンプ O P 2 の差動部の差動段トランジスタのチャネル幅を W_{1b} とし、チャネル長を L_{1b} とし、差動部に流れるバイアス電流を I_b としたとする。この場合に、例えば $W_{1b} \times L_{1b} > W_{1a} \times L_{1a}$ 、 $I_a > I_b$ の関係が成り立つようになっている。

【 0 0 4 8 】

また図 1 に示すように基準電圧供給回路 2 0 は第 3 の供給回路 2 3 を含むことができる。この第 3 の供給回路 2 3 は、第 1、第 2 の供給回路 2 1、2 2 の前段側に設けられ、第 1、第 2 の供給回路 2 1、2 2 に対して出力電圧 V_{3Q} を供給する。第 1、第 2 の供給回路 2 1、2 2 は、第 3 の供給回路 2 3 からの出力電圧 V_{3Q} のインピーダンス変換を行って、A G N D を出力する。

【 0 0 4 9 】

そして第 3 の供給回路 2 3 は、基準電圧用の第 3 型のオペアンプ O P 3 を含む。この基準電圧用の第 3 型のオペアンプ O P 3 は、第 2 型のオペアンプ O P 2 (或いは O P 1) に比べてキャリア信号の周波数での熱ノイズが低く、第 1 型のオペアンプ O P 1 (或いは O P 2) に比べて所望信号の周波数でのフリッカノイズが低いオペアンプとなっている。例えば第 3 型のオペアンプ O P 3 の差動部の差動段トランジスタのチャネル幅を W_{1c} とし、チャネル長を L_{1c} とし、差動部に流れるバイアス電流を I_c とした場合に、 $W_{1c} \times L_{1c} > W_{1a} \times L_{1a}$ 、 $I_c > I_b$ の関係が成り立つ。或いは $W_{1c} \times L_{1c} > W_{1b} \times L_{1b}$ 、 $I_c > I_a$ の関係が成り立ってもよい。

【 0 0 5 0 】

図 2、図 3 にアナログ回路 3 0 0 の例として電波時計の受信装置の構成例を示す。なお

10

20

30

40

50

受信装置は図2、図3の構成に限定されず、その構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【0051】

図2の受信装置はダイレクトコンバージョン方式の例である。現在、各国（日本、ドイツ、イギリス等）において、時刻データであるタイムコード入りの長波標準電波が送出されている。日本では、2つの送信所から、タイムコードで振幅変調された40KHz及び60KHzの長波標準電波が送出されている。即ち60秒を1サイクルとして時刻データがバイナリデータとして送出される。電波時計は、このようなタイムコードの電波を受信し、計時回路の時刻データを修正する。このため電波時計の受信装置は、受信した電波を検波及び復調することで、所望の周波数の信号を抽出して、タイムコードを取得する。

10

【0052】

具体的には図2において、バーアンテナ等で構成されるアンテナ330が長波標準電波を受信し、受信された電波は電気信号に変換されて出力される。増幅回路（RF増幅回路）332は、アンテナ330からの信号を増幅して出力する。フィルタ部334は、例えばハイパスフィルタの周波数特性を有し、増幅回路332からの信号のフィルタ処理を行う。

【0053】

ミキサ（周波数変換回路）336は、フィルタ部334からの信号に対して、局部発振回路344からの局部発振周波数の信号をミキシングすることで、直接にベースバンド信号（数Hz）に変換するダイレクトコンバージョンを行う。

20

【0054】

増幅回路338は、ミキサ336からの信号を増幅する。フィルタ部340は、例えばローパスフィルタの周波数特性を有し、増幅回路338からの信号のフィルタ処理を行う。復調部342は、フィルタ部340からの信号の復調を行い、復調により得られたタイムコードを出力する。電波時計では、このタイムコードにより時刻データの修正が行われる。

【0055】

図3の受信装置はスーパーヘテロダイン方式の例である。増幅回路352はアンテナ350からの信号を増幅する。フィルタ部354は、例えばバンドパスフィルタの周波数特性を有し、増幅回路352からの信号のフィルタ処理を行う。

30

【0056】

ミキサ356は、フィルタ部354からの信号に対して、局部発振回路364からの局部発振周波数の信号をミキシングすることで、中間周波数（数百Hz）の信号を生成するスーパーヘテロダイン方式の変換を行う。

【0057】

フィルタ部358は、例えばバンドパスフィルタの周波数特性を有し、ミキサ356からの信号に対して中間周波数を中心とした所定範囲の周波数成分を通過させて、範囲外の周波数成分を遮断する。検波回路360は、フィルタ部358からの信号の検波（例えば包絡線検波）を行う。復調部362は、検波回路360からの検波信号の復調を行い、復調により得られたタイムコードを出力する。

40

【0058】

そして図2では、例えば増幅回路332（第1の増幅回路）やフィルタ部334が図1の第1の回路310になり、第1の供給回路21は、この増幅回路332やフィルタ部334に対してAGND線（アナログ基準電圧線）AGL1を介してAGND（アナログ基準電圧）を供給することができる。

【0059】

また図2では、例えば増幅回路338（第2の増幅回路）やフィルタ部340が図1の第2の回路320になり、第2の供給回路22は、この増幅回路338やフィルタ部340に対してAGND線AGL2を介してAGNDを供給することができる。

【0060】

50

また図3では、例えば増幅回路352やフィルタ部354が図1の第1の回路310になり、第1の供給回路21は、この増幅回路352やフィルタ部354に対してAGND線AGL1を介してAGNDを供給することができる。

【0061】

また図3では、例えばフィルタ部358や検波回路360が図1の第2の回路320になり、第2の供給回路22は、このフィルタ部358や検波回路360に対してAGND線AGL2を介してAGNDを供給することができる。

【0062】

なお本実施形態の基準電圧供給回路20によりAGND（アナログ基準電圧）が供給されるアナログ回路300は、図2、図3のような電波時計の受信装置に限定されない。例えば赤外線リモコンにおける受信装置に適用したり、後述するジャイロセンサなどの各種センサの検出装置に適用してもよい。

【0063】

また図1の第1の回路310は前述した第1型のオペアンプOP1を含むことができ、第2の回路320は前述した第2型のオペアンプOP2を含むことができる。同様に図2の増幅回路332、フィルタ部334や、図3の増幅回路352、フィルタ部354は、第1型のオペアンプOP1を含むことができる。また図2の増幅回路338、フィルタ部340や、図3のフィルタ部358、検波回路360は、第2型のオペアンプOP2を含むことができる。これにより、これらの回路での熱ノイズやフリッカノイズを低減でき、SNRを更に向上できる。

【0064】

2. 低ノイズ化手法

2.1 ノイズ解析

図4(A)に本実施形態で使用されるオペアンプの構成例を示す。このオペアンプは差動部200と出力部210を含む。

【0065】

差動部200は、差動段トランジスタM1、M2と能動負荷段トランジスタM3、M4を含む。またバイアス段トランジスタM5を含む。差動段トランジスタM1、M2は、ノードN1とノードN2、N3との間に設けられ、そのゲートに差動の入力信号IM、IPが入力される。能動負荷段M3、M4は、ノードN2、N3と第1の電源との間に設けられ、そのゲートにノードN2が接続される。バイアス段トランジスタM5は、VDD（第2の電源）とノードN1との間に設けられる。このバイアス段トランジスタM5のゲートには、トランジスタM8及び電流源ISにより構成されるバイアス回路212のバイアスノードN4が接続される。これにより、バイアス回路212のバイアス電流IBSに応じたバイアス電流IBDが差動部200に流れる。

【0066】

出力部210は、第2の電源（VDD）と第1の電源の間に設けられる駆動段トランジスタM6とバイアス段トランジスタM7を含む。駆動段トランジスタM6のゲートには差動部200の出力ノードN3が接続され、バイアス段トランジスタM7のゲートにはバイアスノードN4が接続される。またノードN3、N5間には位相補償用キャパシタCFや抵抗RFが設けられる。

【0067】

なお本実施形態のオペアンプの構成は図4(A)に限定されない。例えば図4(A)では差動段トランジスタM1、M2やバイアス段トランジスタM5がP型トランジスタであり、能動負荷段トランジスタM3、M4がN型トランジスタである場合の例を示しているが、M1、M2、M5がN型トランジスタとなり、M3、M4がP型トランジスタとなる構成であってもよい。また図4(A)の素子（トランジスタ、キャパシタ）の一部を省略したり、他の素子を追加するなどの変形実施も可能である。

【0068】

次に図4(A)のオペアンプのノイズ解析について説明する。図4(B)にトランジス

10

20

30

40

50

タ単体の小信号振幅の等価回路を示す。ノイズは V^2 の単位(V^2/Hz)で扱われるため、図4(B)の等価回路も V^2 の単位で扱うことにする。図4(B)の等価回路では、トランジスタの入力換算ノイズ(ゲート換算ノイズ)を計算するために、トランジスタのゲートにノイズ $S_v g = V_n^2$ の電圧源が設けられている。またドレイン・ソース間には、 $g_m^2(V_{gs}^2 + V_n^2)$ の電流源や $1/g_{ds}^2$ の抵抗が設けられている。

【0069】

図5(A)に示すようにノイズにはフリッカノイズ($1/f$ ノイズ)と熱ノイズがある。フリッカノイズは、ゲート酸化膜とシリコン基板の界面にあるダングリングボンドに電子が捕獲・放出されることで生じるノイズであり、周波数が低くなるほど大きくなる。一方、熱ノイズは、トランジスタのチャネル領域を抵抗と見なした場合に、電子のランダムな動きにより生じるノイズであり、絶対温度に比例する。

10

【0070】

図4(B)の入力換算ノイズの等価回路において、フリッカノイズ、熱ノイズは、各々、下式(1)(2)のように求められる。

【0071】

【数1】

$$V_n^2 = \frac{K}{C_{ox} \times W \times L \times f} \quad (1)$$

20

$$V_n^2 = \frac{8}{3} \times \frac{k \times T}{g_m} \quad (2)$$

【0072】

上式(1)において、 C_{ox} はトランジスタの単位面積あたりのゲート容量、 W はチャネル幅、 L はチャネル長、 f は周波数、 K は製造プロセスに依存したフリッカノイズの定数である。また上式(2)において、 g_m はトランス(相互)コンダクタンス、 k はボルツマン定数、 T は絶対温度である。

【0073】

30

本実施形態では、図4(A)のオペアンプの回路を図4(B)の等価回路で置換して、伝達関数を算出する。その際に、オペアンプの全トランジスタのサイズ(W 、 L)、ノイズレベル、ドレイン・ソース間電流が同じであると仮定し、数値解析により全体の99パーセントを占める上位の項だけを導き出す。すると、オペアンプのノイズ $S_v g$ (ノイズスペクトラム)は下式(3)のように求められる。

【0074】

【数2】

$$S_{vg} = V_{n1}^2 + V_{n2}^2 + \frac{g_{m3}^2 \times V_{n3}^2}{g_{m1}^2} + \frac{g_{m3}^2 \times V_{n4}^2}{g_{m1}^2} \quad (3)$$

40

【0075】

上式(3)において、 V_{n1} 、 V_{n2} 、 V_{n3} 、 V_{n4} は、図4(A)のトランジスタM1、M2、M3、M4のゲート・ノイズ電圧であり、 g_{m1} 、 g_{m2} 、 g_{m3} 、 g_{m4} は、トランジスタM1、M2、M3、M4のトランスコンダクタンスである。

【0076】

上式(3)の数値解析の結果から明らかなように、オペアンプのノイズ $S_v g$ は、図4(A)の差動部200の差動段トランジスタM1、M2と能動負荷段トランジスタM3、M4のノイズにより、全体のほとんどが占められていることが理解される。従って、オペアンプのサイジングの際には、これらのトランジスタM1、M2、M3、M4についての

50

チャンネル幅 W 、チャンネル長 L の適正化を図ればよい。

【 0 0 7 7 】

まず、フリッカノイズについて解析する。フリッカノイズについてのゲート・ノイズ電圧 V_{n1} 、 V_{n2} 、 V_{n3} 、 V_{n4} は、上式 (1) より下式 (4) (5) (6) (7) のように求められる。

【 0 0 7 8 】

【 数 3 】

$$V_{n1} = \left(\frac{K_p}{C_{ox} \times W1 \times L1 \times f} \right)^{\frac{1}{2}} \quad (4) \quad 10$$

$$V_{n2} = \left(\frac{K_p}{C_{ox} \times W1 \times L1 \times f} \right)^{\frac{1}{2}} \quad (5)$$

$$V_{n3} = \left(\frac{K_n}{C_{ox} \times W3 \times L3 \times f} \right)^{\frac{1}{2}} \quad (6) \quad 20$$

$$V_{n4} = \left(\frac{K_n}{C_{ox} \times W3 \times L3 \times f} \right)^{\frac{1}{2}} \quad (7)$$

【 0 0 7 9 】

上式 (4) ~ (7) において、 $W1$ 、 $L1$ は差動段トランジスタ $M1$ 、 $M2$ のチャンネル幅、チャンネル長であり、 $W3$ 、 $L3$ は能動負荷段トランジスタ $M3$ 、 $M4$ のチャンネル幅、チャンネル長である。ここで $M2$ のチャンネル幅 $W2$ 、チャンネル長 $L2$ は、 $M1$ の $W1$ 、 $L1$ と同じであり、 $M4$ のチャンネル幅 $W4$ 、チャンネル長 $L4$ は、 $M3$ の $W3$ 、 $L3$ と同じであるとしている。また K_p 、 K_n は、 P 型トランジスタ、 N 型トランジスタのプロセス依存定数である。

【 0 0 8 0 】

また差動段トランジスタ $M1$ 、 $M2$ のトランスコンダクタンス g_{m1} (= g_{m2})、能動負荷段トランジスタ $M3$ 、 $M4$ のトランスコンダクタンス g_{m3} (= g_{m4}) は、下式 (8) (9) のように求められる。

【 0 0 8 1 】

【 数 4 】

$$g_{m1} = \left(\frac{2\mu_p \times C_{ox} \times W1}{L1} \times Ids \right)^{\frac{1}{2}} \quad (8) \quad 40$$

$$g_{m3} = \left(\frac{2\mu_n \times C_{ox} \times W3}{L3} \times Ids \right)^{\frac{1}{2}} \quad (9)$$

【 0 0 8 2 】

上式 (8) (9) において、 μ_p 、 μ_n は P 型トランジスタ、 N 型トランジスタの移動

度であり、 I_{ds} はトランジスタのドレイン・ソース間電流であり、全てのトランジスタ $M1 \sim M4$ において I_{ds} は同じであるとしている。

【 0 0 8 3 】

上式 (4) ~ (9) を上式 (3) に代入することで、オペアンプのフリッカノイズ S_{vgF1c} は下式 (1 0) のように求められる。

【 0 0 8 4 】

【数 5】

$$S_{vgF1c} = \frac{2K_p}{C_{ox} \times W1 \times L1 \times f} + \frac{2L1 \times \mu_n \times K_n}{\mu_p \times W1 \times L3^2 \times C_{ox} \times f} \quad (10)$$

10

【 0 0 8 5 】

次に、熱ノイズについて解析する。熱ノイズについてのゲート・ノイズ電圧 V_{n1} 、 V_{n2} 、 V_{n3} 、 V_{n4} は、上式 (2) より下式 (1 1) (1 2) (1 3) (1 4) のように求められる。

【 0 0 8 6 】

【数 6】

$$V_{n1} = \left(\frac{8}{3} \times \frac{k \times T}{g_{m1}} \right)^{\frac{1}{2}} \quad (11) \quad 20$$

$$V_{n2} = \left(\frac{8}{3} \times \frac{k \times T}{g_{m1}} \right)^{\frac{1}{2}} \quad (12)$$

$$V_{n3} = \left(\frac{8}{3} \times \frac{k \times T}{g_{m3}} \right)^{\frac{1}{2}} \quad (13) \quad 30$$

$$V_{n4} = \left(\frac{8}{3} \times \frac{k \times T}{g_{m3}} \right)^{\frac{1}{2}} \quad (14)$$

【 0 0 8 7 】

上式 (1 1) ~ (1 4) を上式 (3) に代入すると、オペアンプの熱ノイズ S_{vgThm} は下式 (1 5) のようになる。

【 0 0 8 8 】

【数 7】

$$S_{vgThm} = \frac{16}{3} \times \frac{k \times T}{g_{m1}} + \frac{16}{3} \times \frac{g_{m3} \times k \times T}{g_{m1}^2} \quad (15)$$

40

【 0 0 8 9 】

上式 (1 5) に上式 (8) (9) を代入することで、オペアンプの熱ノイズ S_{vgThm} は下式 (1 6) のように求められる。

【 0 0 9 0 】

【数 8】

$$S_{vgThm} = \frac{8}{3} \times \frac{k \times T \times \sqrt{2} \times \sqrt{L1}}{\sqrt{I_{ds}} \times \sqrt{\mu_p \times C_{ox}} \times \sqrt{W1}} + \frac{8}{3} \times \frac{k \times T \times \sqrt{2} \times L1 \times \sqrt{\mu_n \times C_{ox}} \times \sqrt{W3}}{\sqrt{I_{ds}} \times \sqrt{L3} \times \mu_p \times C_{ox} \times W1} \quad (16)$$

【0091】

フリッカノイズ S_{vgFlc} に関する上式(10)や熱ノイズ S_{vgThm} に関する上式(16)において、自然界で決定される定数や、プロセスのみに依存する定数を排除すると、 $W1$ 、 $W3$ 、 $L1$ 、 $L3$ 、 I_{ds} が、設計上管理できる変数になる。従って上式(10)より、フリッカノイズ S_{vgFlc} を低減するためには、下記が成り立つ。

10

(P1) 差動段トランジスタ $M1$ 、 $M2$ の WL 積 $W1 \times L1$ (ゲート面積) をできるだけ大きくする。これにより上式(10)の第1項が小さくなり、 S_{vgFlc} が小さくなる。

(P2) $L1/L3$ の比率をなるべく小さくする。即ち例えば $L1 < L3$ とする。これにより、上式(10)の第2項が小さくなり、 S_{vgFlc} が小さくなる。また結果的に、能動負荷段トランジスタ $M3$ 、 $M4$ の WL 積 $W3 \times L3$ も大きくなる。

(P3) フリッカノイズ S_{vgFlc} は I_{ds} には依存しない。従って、フリッカノイズだけを考慮するならば、 I_{ds} を小さくすることで、低消費電力化を図れる。

【0092】

以上より、フリッカノイズ S_{vgFlc} の低減と低消費電力化を両立するためには、差動段トランジスタの WL 積 $W1 \times L1$ を大きくすると共に、差動部に流れるバイアス電流 I_{BD} (I_{ds}) を小さくすればよいことがわかる。

20

【0093】

また上式(16)より、熱ノイズ S_{vgThm} を低減するためには、下記が成り立つ。

(Q1) 電流 I_{ds} (I_{BD}) をできるだけ大きくする。これにより上式(16)の第1項及び第2項が小さくなり、 S_{vgThm} が小さくなる。

(Q2) 差動段トランジスタ $M1$ 、 $M2$ の WL 比 $RT1 = W1/L1$ をできるだけ大きくし、能動負荷段トランジスタ $M3$ 、 $M4$ の WL 比 $RT3 = W3/L3$ をできるだけ小さくする。即ち例えば $RT1 > RT3$ とする。

(Q3) 熱ノイズ S_{vgThm} は WL 積 $W1 \times L1$ や $W3 \times L3$ には依存しない。従って、熱ノイズだけを考慮するならば、 $W1 \times L1$ や $W3 \times L3$ を小さくすることで、オペアンプの小面積化を図れる。

30

【0094】

以上より、熱ノイズ S_{vgThm} の低減とオペアンプの小面積化を両立するためには、差動部に流れるバイアス電流 I_{BD} を大きくすると共に、 $W1 \times L1$ や $W3 \times L3$ を小さくしてサイズを抑えたオペアンプを設計すればよいことがわかる。

【0095】

2.2 オペアンプの使い分け

上述の(P1)(Q1)から明らかなように、オペアンプのノイズを低減するためには、差動段トランジスタの WL 積 $W1 \times L1$ を大きくしてフリッカノイズを低減し、差動部のバイアス電流 I_{BD} を大きくして熱ノイズを低減すればよい。

40

【0096】

しかしながら、 WL 積 $W1 \times L1$ を大きくすると、オペアンプのレイアウト面積が大きくなり、回路が大規模化してしまう。一方、バイアス電流 I_{BD} を大きくすると、オペアンプの消費電流が大きくなり、低消費電力化の妨げとなる。

【0097】

そこで本実施形態では、低ノイズ化と、回路の小面積化及び低消費電力化とを両立するために、第1型、第2型のオペアンプ $OP1$ 、 $OP2$ を用意し、これらのオペアンプを使い分ける手法を採用している。

【0098】

50

例えば図 5 (A) に示すようにトランジスタのノイズは、低周波数領域ではフリッカノイズが支配的であり、高周波数領域では熱ノイズが支配的である。

【 0 0 9 9 】

一方、図 5 (A) に示すように、図 1 の第 1 の回路 3 1 0 (増幅回路 3 3 2、3 5 2、フィルタ部 3 3 4、3 5 4) の増幅対象信号 (オペアンプの小信号増幅の対象となる信号) の周波数 f_1 (第 1 の周波数) は高く、第 2 の回路 3 2 0 (増幅回路 3 3 8、フィルタ部 3 4 0、3 5 8、検波回路 3 6 0) の増幅対象信号の周波数 f_2 (第 2 の周波数) は低い。

【 0 1 0 0 】

具体的には、周波数 f_1 は、キャリア信号の周波数に相当し、例えば数十 K H z ~ 数百 K H z の帯域 (A C 帯域) の周波数である。

10

【 0 1 0 1 】

これに対して、周波数 f_2 は、キャリア信号により搬送される所望信号の周波数 (所望信号の周波数帯域の最大周波数) に相当し、例えば数 H z ~ 数百 H z の帯域 (D C 帯域) の周波数である。

【 0 1 0 2 】

そこで本実施形態では、キャリア信号から所望信号を抽出するミキサ 3 2 2 (3 3 6、3 5 6) の前段側の第 1 の回路 3 1 0 に対して A G N D を供給する第 1 の供給回路 2 1 では、第 2 型のオペアンプ O P 2 よりも熱ノイズ低減重視のオペアンプである第 1 型のオペアンプ O P 1 を使用する。具体的には、第 2 型のオペアンプ O P 2 よりもキャリア信号の周波数 f_1 での熱ノイズが低いオペアンプを使用する。

20

【 0 1 0 3 】

一方、ミキサ 3 2 2 の後段側の第 2 の回路 3 2 0 に対して A G N D を供給する第 2 の供給回路 2 2 では、第 1 型のオペアンプ O P 1 よりもフリッカノイズ低減重視のオペアンプである第 2 型のオペアンプ O P 2 を使用する。具体的には、第 1 型のオペアンプ O P 1 よりも所望信号の周波数 f_2 でのフリッカノイズが低いオペアンプを使用する。

【 0 1 0 4 】

また、これらの第 1、第 2 の供給回路 2 1、2 2 に対して電圧 V_{3Q} を供給する第 3 の供給回路 2 3 では、第 2 型のオペアンプ O P 2 よりもキャリア信号の周波数での熱ノイズが低く、第 1 型のオペアンプ O P 1 よりも所望信号の周波数でのフリッカノイズが低い第 3 型のオペアンプ O P 3 を使用する。なお第 3 型のオペアンプ O P 3 として、第 1 型のオペアンプ O P 1 よりもキャリア信号の周波数での熱ノイズが低く、第 2 型のオペアンプ O P 2 よりも所望信号の周波数でのフリッカノイズが低いオペアンプを用いることが更に望ましい。

30

【 0 1 0 5 】

例えば図 5 (B) において、第 1 型のオペアンプ O P 1 の差動段トランジスタの W L 積は $W_1 \times L_1 = W_{1a} \times L_{1a}$ と表され、差動部に流れるバイアス電流は $I_{BD} = I_a$ と表される。また第 1 の回路 3 1 0 (第 1 型のオペアンプ O P 1) の増幅対象信号の周波数 (動作周波数) は $f_{op} = f_1$ と表される。また差動段トランジスタの W L 比は $R_{T1} = R_{T1a} = W_{1a} / L_{1a}$ と表され、能動負荷段トランジスタの W L 比は $R_{T3} = R_{T3a} = W_{3a} / L_{3a}$ と表される。

40

【 0 1 0 6 】

一方、第 2 型のオペアンプ O P 2 の差動段トランジスタの W L 積は、 $W_1 \times L_1 = W_{1b} \times L_{1b}$ と表され、差動部に流れるバイアス電流は $I_{BD} = I_b$ と表される。また第 2 の回路 3 2 0 (第 2 型のオペアンプ O P 2) の増幅対象信号の周波数は $f_{op} = f_2$ と表される。また差動段トランジスタと能動負荷段トランジスタのチャネル長の比は $L_1 / L_3 = L_{1b} / L_{3b}$ と表される。なお第 3 型のオペアンプ O P 3 の W L 積は $W_1 \times L_1 = W_{1c} \times L_{1c}$ と表され、差動部に流れるバイアス電流は $I_{BD} = I_c$ と表される。

【 0 1 0 7 】

この場合に本実施形態では図 5 (C) に示すように、第 1 型、第 2 型のオペアンプ O P

50

1、OP2の間では、 $W1b \times L1b > W1a \times L1a$ 、 $Ia > Ib$ 、 $f1 > f2$ の関係が成り立つ。また第1型のオペアンプOP1については $RT1a > RT3a$ の関係が成り立ち、第2型のオペアンプOP2については $L1b < L3b$ の関係が成り立つ。また第3型のオペアンプOP3については、 $W1c \times L1c > W1a \times L1a$ 、 $Ic > Ib$ の関係が成り立つ。なお $W1c \times L1c > W1b \times L1b$ 、 $Ic > Ia$ の関係が成り立つようにしてもよい。

【0108】

例えば図6(A)や前述の(P1)に示すように、差動段トランジスタのWL積 $W1 \times L1$ を大きくすれば、フリッカノイズを低減でき、図6(A)や前述の(Q1)に示すように、差動部のバイアス電流 IBD を大きくすれば、熱ノイズを低減できる。一方、第1型のオペアンプOP1の信号周波数 $f1$ は高く、第2型のオペアンプOP2の信号周波数 $f2$ は低い。

【0109】

そこで本実施形態では図6(B)に示すように、信号周波数 $f1$ が高い第1型のオペアンプOP1では、バイアス電流 $IBD = Ia$ を大きくすることで、高い周波数 $f1$ において支配的な熱ノイズを効果的に低減して、システム全体のノイズを低減している。具体的には第1型のオペアンプOP1のバイアス電流 Ia を第2型のオペアンプOP2のバイアス電流 Ib の例えば2倍～10倍程度に設定し、更に望ましくは4倍～7倍程度に設定する。一方、高い周波数 $f1$ ではフリッカノイズの影響は少ないため、第1型のオペアンプOP1のWL積 $W1 \times L1 = W1a \times L1a$ を大きくしても、オペアンプのレイアウト面積が無駄に大きくなるだけであり、システム全体のノイズ低減には貢献しない。この点、本実施形態では、 $W1a \times L1a$ については $W1b \times L1b$ よりも小さくしているため、レイアウト面積が無駄に大きくなる事態を防止できる。

【0110】

また本実施形態では図6(C)に示すように、信号周波数 $f2$ が低い第2型のオペアンプOP2では、WL積 $W1 \times L1 = W1b \times L1b$ を大きくすることで、低い周波数 $f2$ において支配的なフリッカノイズを効果的に低減して、システム全体のノイズを低減している。具体的には、第2型のオペアンプOP2のWL積 $W1b \times L1b$ を第1型のオペアンプOP1のWL積 $W1a \times L1a$ の例えば10倍～100倍程度に設定し、更に望ましくは30倍～60倍程度に設定する。一方、低い周波数 $f2$ では熱ノイズの影響は少ないため、バイアス電流 $IBD = Ib$ を大きくしても、オペアンプの消費電流が無駄に大きくなるだけであり、システム全体の低消費電力化にはそれほど貢献しない。この点、本実施形態では、 Ib については Ia よりも小さくしているため、消費電流が無駄に大きくなる事態を防止できる。

【0111】

また、熱ノイズ低減重視の第1型のオペアンプOP1においては、前述の式(16)や(Q2)から明らかなように、WL比 $RT1a = W1a / L1a$ をできるだけ大きくする一方で、WL比 $RT3a = W3a / L3a$ をできるだけ小さくすることで、熱ノイズを低減できる。そこで第1型のオペアンプOP1においては、 $RT1a > RT3a$ の関係が成り立つように、トランジスタのサイジングを行う。具体的には $RT1a$ を $RT3a$ の例えば2倍～8倍程度に設定し、更に望ましくは3倍～6倍程度に設定する。これにより、システム全体のノイズを更に低減できる。

【0112】

一方、フリッカノイズ低減重視の第2型のオペアンプOP2においては、前述の式(10)や(P2)から明らかなように、 $L1b / L3b$ の比率をなるべく小さくすることで、フリッカノイズを低減できる。

【0113】

そこで第2型のオペアンプOP2においては、 $L1b < L3b$ の関係が成り立つように、トランジスタのサイジングを行う。具体的には $L1b$ を $L3b$ の例えば0.4倍～0.8倍程度に設定する。これにより、システム全体のノイズを更に低減できる。

【 0 1 1 4 】

2.3 コーナ周波数

本実施形態では、周波数 f_1 、 f_2 、コーナ周波数 f_{cr} が例えば図 6 (B)、図 6 (C) のような関係になるように、第 1 型、第 2 型のオペアンプ OP 1、IP 2 のトランジスタのサイジングを行っている。

【 0 1 1 5 】

即ち、第 1 型のオペアンプ OP 1 では図 6 (B) に示すように $f_1 - f_{cr} < f_{cr} - f_2$ の関係が成り立つようにする。一方、第 2 型のオペアンプ OP 2 では図 6 (C) に示すように $f_{cr} - f_2 < f_1 - f_{cr}$ の関係が成り立つようにする。

【 0 1 1 6 】

なおコーナ周波数 f_{cr} は、図 6 (A) ~ 図 6 (C) の周波数 - ノイズの特性において、フリッカノイズの特性ラインと熱ノイズの特性ラインの交点に対応する周波数である。

【 0 1 1 7 】

例えば図 7 (A) の第 1 型のオペアンプ OP 1 において、コーナ周波数 f_{cr} が E 1 に示す位置に設定されると、周波数 f_1 におけるノイズが大きくなってしまい、熱ノイズを効果的に低減できない。一方、コーナ周波数 f_{cr} が E 2 に示す位置に設定されると、バイアス電流 I_{BD} が無駄に大きくなってしまい、低消費電力化の妨げとなる。

【 0 1 1 8 】

このため本実施形態では、第 1 型のオペアンプ OP 1 については、周波数 f_1 の近傍にコーナ周波数 f_{cr} が設定されるように、オペアンプのトランジスタのサイジングを行う。この場合に、理想的には図 7 (A) の E 3 に示すように $f_{cr} = f_1$ に設定することで、オペアンプの熱ノイズと消費電力を最適に小さくできる。しかしながら、 $f_{cr} = f_1$ に設定すると、プロセス変動があった場合に、熱ノイズのレベルが、所望するノイズレベルよりも大きくなってしまうおそれがある。

【 0 1 1 9 】

そこで図 6 (B) では、 $f_1 - f_{cr} < f_{cr} - f_2$ の関係が成り立つようにして、周波数 f_1 側にコーナ周波数 f_{cr} をなるべく近づけるようにしている。これにより、プロセス変動も考慮しながら、オペアンプのノイズ低減と低消費電力化を両立できる。

【 0 1 2 0 】

また図 7 (B) の第 2 型のオペアンプ OP 2 において、コーナ周波数 f_{cr} が E 4 に示す位置に設定されると、周波数 f_2 におけるノイズが大きくなってしまい、フリッカノイズを効果的に低減できない。一方、コーナ周波数 f_{cr} が E 5 に示す位置に設定されると、WL 積 $W_1 \times L_1$ が無駄に大きくなってしまい、回路の小面積化の妨げとなる。

【 0 1 2 1 】

このため本実施形態では、第 2 型のオペアンプ OP 2 については、周波数 f_2 の近傍にコーナ周波数 f_{cr} が設定されるように、オペアンプのトランジスタのサイジングを行う。この場合に、理想的には図 7 (B) の E 6 に示すように $f_{cr} = f_2$ に設定することで、オペアンプのフリッカノイズとレイアウト面積を最適に小さくできる。しかしながら、 $f_{cr} = f_2$ に設定すると、プロセス変動があった場合に、フリッカノイズのレベルが、所望するノイズレベルよりも大きくなってしまうおそれがある。

【 0 1 2 2 】

そこで図 6 (C) では、 $f_{cr} - f_2 < f_1 - f_{cr}$ の関係が成り立つようにして、周波数 f_2 側にコーナ周波数 f_{cr} をなるべく近づけるようにしている。これにより、プロセス変動も考慮しながら、オペアンプのノイズ低減と小面積化を両立できる。

【 0 1 2 3 】

2.4 実効ゲート電圧

図 5 (C) や前述の式 (10) に示すように、差動段トランジスタの WL 積 $W_{1b} \times L_{1b}$ をなるべく大きくすると共に、チャネル長 L_{1b} をなるべく小さくすることで、フリッカノイズ低減できる。従って、WL 比 W_{1b} / L_{1b} が大きくなるようなサイジングを行えば、フリッカノイズを効率的に低減できると考えられる。

【 0 1 2 4 】

しかしながら、 W/L 比 $W1b/L1b$ を大きくしすぎると、実効ゲート電圧 V_{eff} が小さくなり、かえってフリッカノイズが増加してしまうことが判明した。なお実効ゲート電圧 V_{eff} は下式 (1 7) のように表される。

【 0 1 2 5 】

【 数 9 】

$$V_{eff} = V_{gs} - V_{th}$$

$$= \left\{ \frac{2 \times I_{ds}}{\mu \times C_{ox} \times R T 1 b} \right\}^{\frac{1}{2}} \quad (1 7)$$

10

【 0 1 2 6 】

ここで、 V_{gs} はトランジスタのゲート・ソース間電圧、 V_{th} はしきい値電圧、 I_{ds} はドレイン・ソース間電流、 μ は移動度、 C_{ox} は単位面積当たりのゲート容量、 $R T 1 b$ は差動段トランジスタの W/L 比であり、 $R T 1 b = W1b/L1b$ である。

【 0 1 2 7 】

例えば図 8 (A)、図 8 (B) に、実効ゲート電圧 V_{eff} とノイズ (ノイズレベル S_{vg}) の関係についての測定結果を示す。図 8 (A) は N 型トランジスタの例であり、図 8 (B) は P 型トランジスタの例である。図 8 (A)、図 8 (B) では、 V_{gs} を変化させることで実効ゲート電圧 V_{eff} を変化させている。なおドレイン・ソース間電圧 V_{ds} はゲート・ソース間電圧 V_{gs} と等しくなっている。

20

【 0 1 2 8 】

図 8 (A) の E 7、図 8 (B) の E 8 に示すように、実効ゲート電圧 V_{eff} が小さくなると、ノイズが急峻に増加している。これは、小信号振幅の基準電圧となる実効ゲート電圧 V_{eff} が小さくなると、トランジスタが弱反転領域で動作するようになり、フリッカノイズが急激に増加することに起因する。例えば図 8 (A)、図 8 (B) では $V_{eff} = 10 \text{ mV} \sim 100 \text{ mV}$ からフリッカノイズが急激に増加している。従って、弱反転領域での動作に起因するフリッカノイズの増加を抑えるためには、実効ゲート電圧 V_{eff} を $10 \text{ mV} \sim 100 \text{ mV}$ よりも大きくすることが望ましい。

30

【 0 1 2 9 】

図 9 (A) は、実効ゲート電圧 V_{eff} を変化させたときのオペアンプの面積と消費電流とノイズの関係を示すシミュレーション結果であり、X 軸が面積 (オペアンプを正方形とした場合の一辺の長さ) を表し、Y 軸が消費電流を表し、Z 軸がノイズレベルを表す。

【 0 1 3 0 】

図 9 (A) では W/L 積 $W1b \times L1b$ が一定の条件で、 W/L 比 $R T 1 b = W1b/L1b$ を変化させることで、実効ゲート電圧 V_{eff} を変化させている。例えば図 9 (A) の F 1、F 2 に示す矢印の方向が、実効ゲート電圧 V_{eff} が小さくなる方向であり、 W/L 比 $R T 1 b = W1b/L1b$ を大きくすることで、実効ゲート電圧 V_{eff} を小さくしている。

40

【 0 1 3 1 】

図 9 (A) の F 1 に示すように、実効ゲート電圧 V_{eff} が小さくなると、オペアンプの面積が小さくなると共に消費電流も小さくなるが、ノイズについてはほとんど変化しない。

【 0 1 3 2 】

ところが図 9 (A) の F 3 においてノイズが急激に増加している。即ち W/L 比 $R T 1 b = W1b/L1b$ が所定値よりも大きくなると、図 8 (A)、図 8 (B) で説明したようにトランジスタが弱反転領域で動作することでフリッカノイズが急激に増加し、オペアンプのノイズも急激に増加する。

【 0 1 3 3 】

50

この場合、図 9 (A) の F 4 のポイントでは、ノイズは小さいものの、オペアンプの面積や消費電流は大きいので、面積や電流が無駄に消費されている。

【 0 1 3 4 】

そこで本実施形態では、図 9 (A) の F 3 のポイントに設定されるように、差動段トランジスタの W L 比 $R T 1 b = W 1 b / L 1 b$ を決める (値を絞り込む) 。例えば W L 比 $R T 1 b$ は 5 0 ~ 2 0 0 の範囲の中の値とすることができる。そしてこのようにして決められた $R T 1 b$ の条件の下で、図 5 (C) のように $W 1 b \times L 1 b$ が大きくなると共に $L 1 b / L 3 b$ が小さくなるように、オペアンプのトランジスタのサイジングを行う。

【 0 1 3 5 】

具体的にはトランジスタが弱反転領域で動作しないようにするためには、下式 (1 8) が成り立てばよい。

【 0 1 3 6 】

【 数 1 0 】

$$V_{eff} = \left\{ \frac{2 \times I_{ds}}{\mu \times C_{ox} \times R T 1 b} \right\}^{\frac{1}{2}} > \frac{k \times T}{q} \quad (18)$$

【 0 1 3 7 】

ここで、 k はボルツマン定数、 T は絶対温度、 q ($= 1.602 \times 10^{-19}$ クーロン) は電子電荷量であり、室温 (2 5 度) では、 $k \times T / q = 2 5.7$ m V になる。

【 0 1 3 8 】

但し図 8 (A) 、図 8 (B) に示すように、弱反転領域と強反転領域の境界においてもフリッカノイズが上昇しており、プロセス変動を考慮する必要がある。そこでプロセス変動パラメータ (プロセス依存パラメータ) を P ($P > 1$) とした場合に、下式 (1 9) が成り立つようにする。

【 0 1 3 9 】

【 数 1 1 】

$$P \times \frac{k \times T}{q} > V_{eff} = \left\{ \frac{2 \times I_{ds}}{\mu \times C_{ox} \times R T 1 b} \right\}^{\frac{1}{2}} > \frac{k \times T}{q} \quad (19)$$

【 0 1 4 0 】

ここで、プロセス変動パラメータは例えば $P = 3.0$ とすることができ、更に望ましくは P は 1.5 ~ 2.0 の範囲の値とすることができる。

【 0 1 4 1 】

本実施形態では上式 (1 9) を満たす範囲の実効ゲート電圧 V_{eff} になるように、差動段トランジスタの W L 比 $R T 1 b = W 1 b / L 1 b$ を決める。そして、決められた $R T 1 b$ の範囲の下で、 $W 1 b \times L 1 b$ が大きくなると共に $L 1 b / L 3 b$ が小さくなるように、オペアンプのトランジスタのサイジングを行う。なお、 $W 1 b / L 1 b$ を決めて、 $W 1 b \times L 1 b$ や $L 1 b / L 3 b$ を決めた後に、再度、 $R T 1 b$ を変化させて、微調整を行うことが望ましい。

【 0 1 4 2 】

なお図 9 (B) は、差動段トランジスタのゲート長 $L 1 b$ と能動負荷段トランジスタのゲート長 $L 3 b$ の比である $L 1 b / L 3 b$ (別の言い方をすれば $L 3 b / L 1 b$) を変化させたときのオペアンプの面積と消費電流とノイズの関係を示すシミュレーション結果である。

【 0 1 4 3 】

図 9 (B) の F 5 に示すように $L 1 b / L 3 b$ を大きくして行くと ($L 3 b / L 1 b$ を小さくして行くと) 、F 6 に示すポイントから F 7 に示すようにノイズが急激に増加する。この場合、 $L 1 b / L 3 b$ を大きくして行くと、オペアンプの面積は小さくなるが、消

10

20

30

40

50

費電流はほとんど変化しないことがわかる。

【 0 1 4 4 】

図 9 (B) の結果から、 $L1b / L3b$ を最適に設定するためには、F 6 に示すポイントになるように $L1b / L3b$ を設定すればよいことがわかる。具体的には $L1b / L3b$ の比は、例えば 0 . 4 ~ 0 . 8 の範囲内の値にすることができる。

【 0 1 4 5 】

本実施形態では以上のようにオペアンプのトランジスタのサイジングを行うことで、ノイズ低減と回路の小規模化や低消費電力化との両立に成功している。

【 0 1 4 6 】

例えば基準電圧供給回路 2 0 は、第 1 の回路 3 1 0、第 2 の回路 3 2 0 に対して A G N D (アナログ基準電圧) を供給する。この A G N D はアナログ回路の基準となる電圧であり、オペアンプの信号増幅はこの A G N D を基準として行われる。従って、基準電圧供給回路 2 0 は、安定した電位の A G N D を第 1 の回路 3 1 0、第 2 の回路 3 2 0 に供給する必要がある。

【 0 1 4 7 】

一方、第 1 の回路 3 1 0 は、第 1 型のオペアンプ O P 1 により構成することが望ましく、第 2 の回路 3 2 0 は、第 2 型のオペアンプ O P 2 により構成することが望ましい。例えば第 1 の回路 3 1 0 を熱ノイズ低減重視の第 1 型のオペアンプ O P 1 により構成すれば、第 1 の回路 3 1 0 のノイズを低減できる。また第 2 の回路 3 2 0 を、フリッカノイズ低減重視の第 2 型のオペアンプ O P 2 により構成すれば、第 2 の回路 3 2 0 のノイズを低減で

【 0 1 4 8 】

しかしながら、このように第 1 の回路 3 1 0 を第 1 型のオペアンプ O P 1 により構成し、第 2 の回路 3 2 0 を第 2 型のオペアンプ O P 2 により構成したとしても、基準電圧供給回路 2 0 により供給される A G N D に熱ノイズやフリッカノイズが重畳されると、システム全体の S N R の向上が難しくなるということが判明した。

【 0 1 4 9 】

例えば第 1 の供給回路 2 1 からの A G N D が供給されて動作する第 1 の回路 3 1 0 では、増幅対象信号の周波数 $f1$ は図 5 (A) に示すように高い周波数になっており、この周波数 $f1$ では前述のように熱ノイズが支配的になっている。従って、第 1 の回路 3 1 0 と

【 0 1 5 0 】

この点、本実施形態では、第 1 の供給回路 2 1 が、基準電圧用の第 1 型のオペアンプ O P 1 を有し、この O P 1 を用いて A G N D を供給している。そしてこの基準電圧用の第 1 型のオペアンプ O P 1 は、図 5 (C) 等で説明したように、熱ノイズ低減重視のオペアンプとなっている。従って、A G N D 線 A G L 1 に重畳される熱ノイズを最小限に抑えることができ、第 1 の回路 3 1 0 での熱ノイズの増加を防止できる。

【 0 1 5 1 】

また第 2 の供給回路 2 2 からの A G N D が供給されて動作する第 2 の回路 3 2 0 では、増幅対象信号の周波数 $f2$ は図 5 (A) に示すように低い周波数になっており、この周波数 $f2$ では前述のようにフリッカノイズが支配的になっている。従って、第 2 の回路 3 2 0 として第 2 型のオペアンプを用いたとしても、第 2 の供給回路 2 2 からの A G N D にフリッカノイズが重畳されてしまうと、結局、第 2 の回路 3 2 0 のフリッカノイズが増加する。

【 0 1 5 2 】

この点、本実施形態では、第 2 の供給回路 2 2 が、基準電圧用の第 2 型のオペアンプ O P 2 を有し、この O P 2 を用いて A G N D を供給している。そしてこの基準電圧用の第 2 型のオペアンプ O P 2 は、図 5 (C) 等で説明したように、フリッカノイズ低減重視のオペアンプとなっている。従って、A G N D 線 A G L 2 に重畳されるフリッカノイズを最小

限に抑えることができ、第2の回路320でのフリッカノイズの増加を防止できる。

【0153】

なお第1の供給回路21からのAGNDはAGND線AGL1（広義には第1のアナログ基準電圧線）を介して供給される。一方、第2の供給回路22からのAGNDはAGND線AGL2（広義には第2のアナログ基準電圧線）を介して供給される。この場合に、AGND線AGL1とAGL2とが、基準電圧供給回路20から第1、第2の回路310、320に対して分離されて配線される。即ち2本のAGND線AGL1、AGL2が、レイアウト的に分離されて、第1の回路310、第2の回路320に接続される。このようにすることで、AGND線AGL1からのノイズがAGND線AGL2に伝達されたり、AGND線AGL2からのノイズがAGND線AGL1に伝達される事態を防止できる。

10

【0154】

例えばAGND線AGL2からの熱ノイズがAGND線AGL1に伝達されてしまうと、第1の供給回路21に熱ノイズ低減重視の第1型のオペアンプOP1を使用したとしても、AGL2からの熱ノイズが第1の回路310に伝達されてしまい、SNRが劣化する。同様に、AGND線AGL1からのフリッカノイズがAGND線AGL2に伝達されてしまうと、第2の供給回路22にフリッカノイズ低減重視の第2型のオペアンプOP2を使用したとしても、AGL1からのフリッカノイズが第2の回路320に伝達されてしまい、SNRが劣化する。

20

【0155】

この点、AGND線AGL1、AGL2をレイアウト的に分離して配線すれば、上記のような事態の発生を防止でき、システム全体のSNRを向上できる。

【0156】

図10は、後述するジャイロセンサの検出装置に本実施形態の手法を適用した場合の結果であり、QVAMP、DIFF、PGA、SYNCD、FLTは、各々、Q/V変換回路、差動増幅回路、感度調整回路、同期検波回路、フィルタ部のノイズレベルを示す。

【0157】

図10に示すように本実施形態によれば、AC信号を扱う第1の回路310に対してAGNDを供給する第1の供給回路21と、DC信号を扱う第2の回路320に対してAGNDを供給する第2の供給回路22のそれぞれについて、オペアンプを使い分け、最適な低ノイズ設計を行った結果、システム全体を効率良く低ノイズ化することに成功している。

30

【0158】

2.5 レイアウト

次に、第1型、第2型のオペアンプOP1、OP2のレイアウト手法について説明する。図11(A)は第1型のオペアンプOP1のレイアウト例であり、図11(B)は第2型のオペアンプOP2のレイアウト例である。

【0159】

図11(B)において、H2は、第2型のオペアンプOP2を構成する素子（トランジスタ、キャパシタ又は抵抗等）のうち差動段トランジスタM1、M2の配置領域を示している。このH2の配置領域の面積をSdfとし、第2型のオペアンプを構成する素子のうち差動段トランジスタM1、M2以外の素子の配置領域の面積をSreとする。なお差動段トランジスタM1、M2以外の素子とは、例えば図4(A)のM1、M2以外のトランジスタM3、M4、M5、M6、M7や、キャパシタCF、抵抗RFなどである。この場合に図11(B)では、 $Sdf > Sre$ の関係が成り立つ。このような関係が成り立てば、WL積 $W1b \times L1b$ を大きくすることができ、フリッカノイズを低減できる。

40

【0160】

一方、図11(A)の第1型のオペアンプOP1では、H1に示すように差動段トランジスタM1、M2の配置領域は小さいため、 $Sdf > Sre$ の関係は成り立たない。その代わりに、バイアス電流 $IBD = Ia$ が大きくなるようなトランジスタのサイジングを行

50

うことで、熱ノイズを低減している。

【 0 1 6 1 】

また図 1 1 (B) では、第 2 型のオペアンプ O P 2 の差動段トランジスタ M 1 は、並列接続された複数 (J 個) のトランジスタ T R 1 1、T R 1 2、T R 1 3、T R 1 4 により構成される。同様に O P 2 の差動段トランジスタ M 2 は、並列接続された複数のトランジスタ T R 2 1、T R 2 2、T R 2 3、T R 2 4 により構成される。そして H 2 に示す差動段トランジスタ M 1、M 2 の配置領域には、このように並列接続された複数のトランジスタ T R 1 1 ~ T R 1 4 や T R 2 1 ~ T R 2 4 が配置される。

【 0 1 6 2 】

図 1 1 (B) では X 方向がチャンネル長の方向となり、Y 方向がチャンネル幅の方向になる。そして並列接続された T R 1 1 ~ T R 1 4 や T R 2 1 ~ T R 2 4 の各トランジスタのチャンネル長は $L 1 b$ になる。一方、並列接続された T R 1 1 ~ T R 1 4 や T R 2 1 ~ T R 2 4 のトランジスタの個数を J 個 (図 1 1 (B) では $J = 4$) とすると、T R 1 1 ~ T R 1 4 や T R 2 1 ~ T R 2 4 の各トランジスタのチャンネル幅は $W 1 1 b = W 1 b / J$ になる。

【 0 1 6 3 】

図 1 1 (B) のように並列接続されたトランジスタ T R 1 1 ~ T R 1 4 や T R 2 1 ~ T R 2 4 を配置するようにすれば、W L 積 $W 1 b \times L 1 b$ を大きくしながら W L 比 $W 1 b / L 1 b$ も大きくできるようになり、フリッカノイズを効率的に低減できる。

【 0 1 6 4 】

なお図 1 1 (B) では、能動負荷段トランジスタ M 3 や M 4 も、並列接続された複数 (I 個) のトランジスタ T R 3 1、T R 3 2 や T R 4 1、T R 4 2 により構成される。そして並列接続された T R 3 1、T R 3 2 や T R 4 1、T R 4 2 の各トランジスタのチャンネル長は $L 3 b$ になる。一方、並列接続されたトランジスタ T R 3 1、T R 3 2 や T R 4 1、T R 4 2 の個数を I 個 (図 1 1 (B) では $I = 2$) とすると、T R 3 1、T R 3 2 や T R 4 1、T R 4 2 の各トランジスタのチャンネル幅は $W 3 3 b = W 3 b / I$ となる。

【 0 1 6 5 】

そして図 1 1 (B) では、差動段トランジスタ M 1 や M 2 の配置領域では、X 方向に J 個 (例えば $J = 4$) のトランジスタ T R 1 1 ~ T R 1 4 や T R 2 1 ~ T R 2 4 が配置される一方で、能動負荷段トランジスタ M 3 や M 4 の配置領域では、X 方向に I 個 ($I < J$ 。例えば $I = 2$) のトランジスタ T R 3 1、T R 3 2 や T R 4 1、T R 4 2 が配置される。このようにすれば、図 5 (C) で説明した $L 1 b < L 3 b$ の関係を満たしながら、M 1、M 2 を構成するトランジスタ T R 1 1 ~ T R 1 4、T R 2 1 ~ T R 2 4 や、M 3、M 4 を構成するトランジスタ T R 3 1 ~ T R 3 2、T R 4 1 ~ T R 4 2 を、矩形の配置領域に効率良く対称配置できる。これにより、レイアウト効率を向上できる。

【 0 1 6 6 】

図 1 2 に第 3 型のオペアンプ O P 3 のレイアウト例を示す。図 1 2 において H 3 は、差動段トランジスタ M 1、M 2 の配置領域を示している。図 1 2 においても図 1 1 (B) と同様に $S d f > S r e$ の関係が成り立っており、W L 積 $W 1 c \times L 1 c$ を大きくすることができるため、フリッカノイズを低減できる。

【 0 1 6 7 】

また図 1 2 においても、差動段トランジスタ M 1 や M 2 は、並列接続された複数のトランジスタ T S 1 1 ~ T S 1 4 や T S 2 1 ~ T S 2 4 により構成される。そして H 3 に示す差動段トランジスタ M 1、M 2 の配置領域には、このように並列接続された複数 (J 個) のトランジスタ T S 1 1 ~ T S 1 4 や T S 2 1 ~ T S 2 4 が配置されている。

【 0 1 6 8 】

そして並列接続された T S 1 1 ~ T S 1 4 や T S 2 1 ~ T S 2 4 の各トランジスタのチャンネル長は $L 1 c$ になり、チャンネル幅は $W 1 1 c = W 1 c / J$ となる。

【 0 1 6 9 】

図 1 2 と図 1 1 (B) を比較すれば明らかなように、図 1 2 の第 3 型のオペアンプ O P 3 では、H 3 に示す差動段トランジスタ M 1、M 2 の配置領域の面積が図 1 1 (B) より

10

20

30

40

50

も更に大きくなっている。これにより、フリッカノイズを図 1 1 (B) よりも更に低減できるオペアンプを実現できる。

【 0 1 7 0 】

2 . 6 . 基準電圧供給回路

図 1 3 に基準電圧供給回路 2 0 の詳細な構成例を示す。なお基準電圧供給回路 2 0 は図 1 3 の構成に限定されず、その構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【 0 1 7 1 】

基準電圧供給回路 2 0 は第 1、第 2、第 3 の供給回路 2 1、2 2、2 3 を含む。また基準電圧発生回路 2 6 を含む。

10

【 0 1 7 2 】

第 1 の供給回路 2 1 (第 1 のインピーダンス変換回路) は、例えば基準電圧用の第 1 型のオペアンプ O P 1 を用いて、電圧のインピーダンス変換を行う。即ち、第 1 の供給回路 2 1 が含む第 1 型のオペアンプ O P 1 は、その反転入力端子 (広義には第 2 の入力端子) が出力端子に接続されたボルテージフォロワ接続のオペアンプになっており、O P 1 の出力端子は A G N D 線 A G L 1 に接続されている。

【 0 1 7 3 】

また第 2 の供給回路 2 2 (第 2 のインピーダンス変換回路) は、例えば基準電圧用の第 2 型のオペアンプ O P 2 を用いて、電圧のインピーダンス変換を行う。即ち、第 2 の供給回路 2 2 が含む第 2 型のオペアンプ O P 2 は、その反転入力端子 (第 2 の入力端子) が出力端子に接続されたボルテージフォロワ接続のオペアンプになっており、O P 2 の出力端子は A G N D 線 A G L 2 に接続されている。

20

【 0 1 7 4 】

第 3 の供給回路 2 3 は、第 1、第 2 の供給回路 2 1、2 2 の前段側に設けられ、第 1、第 2 の供給回路 2 1、2 2 に対して出力電圧 V 3 Q を供給する。例えば第 1、第 2 の供給回路 2 1、2 2 は、第 3 の供給回路 2 3 からの出力電圧 V 3 Q のインピーダンス変換を行って、A G N D を出力する。

【 0 1 7 5 】

第 3 の供給回路 2 3 は、図 5 (C)、図 1 2 で説明した第 3 型のオペアンプ O P 3 を含む。また抵抗 R J 1、R J 2、R J 3 により構成される電圧分割回路を含むことができる。

30

【 0 1 7 6 】

基準電圧発生回路 2 6 は、A G N D を生成するための基準電圧 V R を発生する。この基準電圧発生回路 2 6 としては、例えばバンドギャップにより基準電圧 V R を発生する回路を採用できる。

【 0 1 7 7 】

例えば図 1 3 において、ノード N J 1 の電圧は、第 3 型のオペアンプ O P 3 のイマジナリーショートにより、基準電圧 V R と等しくなる。従って、抵抗 R J 2、R J 3 の抵抗値を R 2、R 3 とすると、第 3 の供給回路 2 3 の出力電圧は $V 3 Q = V R \times \{ (R 2 + R 3) / R 3 \}$ となる。第 1、第 2 の供給回路 2 1、2 2 は、この出力電圧 $V 3 Q = A G N D = V R \times \{ (R 2 + R 3) / R 3 \}$ の電圧のインピーダンス変換を行う。これにより A G N D の電位安定化が図られる。

40

【 0 1 7 8 】

さて、基準電圧用の第 3 型のオペアンプ O P 3 の差動部の差動段トランジスタのチャネル幅を W 1 c とし、チャネル長を L 1 c とし、差動部に流れるバイアス電流を I c としたとする。この場合に、 $W 1 c \times L 1 c > W 1 a \times L 1 a$ 、 $I c > I b$ の関係が成り立つようになっている。

【 0 1 7 9 】

即ち第 1 の供給回路 2 1 は、第 3 の供給回路 2 3 からの出力電圧 V 3 Q を受けて、A G N D を増幅回路 7 0 に供給する。従って、第 3 の供給回路 2 3 の出力電圧 V 3 Q に熱ノイ

50

ズが重畳されると、第1の供給回路21として熱ノイズ低減重視の第1型のオペアンプOP1を用いたとしても、V3Qに重畳された熱ノイズが第1の回路310に伝達されてしまう。この結果、システム全体のSNRが劣化する。

【0180】

また第2の供給回路22は、第3の供給回路23からの出力電圧V3Qを受けて、AGNDをフィルタ部110に供給する。従って、第3の供給回路23の出力電圧V3Qにフリッカノイズが重畳されると、第2の供給回路22としてフリッカノイズ低減重視の第2型のオペアンプOP2を用いたとしても、V3Qに重畳されたフリッカノイズが第2の回路320に伝達されてしまう。この結果、システム全体のSNRが劣化する。

【0181】

この点、図13の第3の供給回路23の第3型のオペアンプOP3では、 $W1c \times L1c > W1a \times L1a$ 、 $Ic > Ib$ の関係が成り立つ。更に望ましくは、 $W1c \times L1c > W1b \times L1b$ 、 $Ic > Ia$ の関係が成り立つ。従って、第3型のオペアンプOP3は、熱ノイズ及びフリッカノイズの両方が低いオペアンプとなる。例えば第3の型のオペアンプOP3は、図12のレイアウト例に示すように、WL積も大きく、バイアス電流も大きい。従って、熱ノイズ及びフリッカノイズの両方において非常に低ノイズなオペアンプになる。

【0182】

このように、第3の供給回路23として熱ノイズ及びフリッカノイズの両方において低ノイズな第3型のオペアンプOP3を用いれば、第3の供給回路23の出力電圧V3Qの熱ノイズ及びフリッカノイズを最小限に抑えることができる。従って、出力電圧V3Qの熱ノイズが第1の供給回路21を介して第1の回路310に伝達したり、出力電圧V3Qのフリッカノイズが第2の供給回路22を介して第2の回路320に伝達する事態を、最小限に抑えることが可能になり、システム全体のSNRを大幅に向上できる。

【0183】

3. ジャイロセンサの検出装置への適用

3.1 検出装置の構成

次に、本実施形態の手法をジャイロセンサの検出装置に適用した場合について説明する。図14に本実施形態の手法が適用される検出装置30の構成例を示す。この検出装置30は駆動回路40と検出回路60を含む。なお検出装置30は図14の構成に限定されず、その構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。例えば、振動子10からの検出信号に基づいて同期信号を抽出できる場合等には、駆動回路40の構成を省略してもよい。

【0184】

物理量トランスデューサである振動子10（振動ジャイロ）は、例えば水晶などの圧電材料により形成される圧電振動子である。図15（A）に、振動子10の一例として音叉型圧電振動子を示す。この振動子10は、駆動用振動子11、12と検出用振動子16、17を含む。駆動用振動子11、12には駆動端子2、4が設けられ、検出用振動子16、17には検出端子6、8が設けられている。なお図15（A）では、振動子10が音叉型である場合の例を示しているが、本実施形態の振動子10はこのような構造に限定されない。例えばT字型やダブルT字型等であってもよい。また振動子10の圧電材料は水晶以外であってもよい。また物理量トランスデューサである振動子10は、静電容量による駆動・検出動作を同様に行う静電型MEMS（Micro Electro Mechanical Systems）であってもよい。また物理量トランスデューサとは物理量（物の性質の度合いを表す量であり、その単位が定義されているもの）を他の物理量に変換するための素子である。変換対象となる物理量としては、コリオリ力以外にも重力などの力や、加速度、質量などが考えられる。また変換により得られる物理量としては、電流（電荷）以外にも電圧等であってもよい。

【0185】

駆動回路40は、駆動信号（駆動電圧）VDを出力して振動子10（広義には物理量ト

10

20

30

40

50

ランスデューサ)を駆動し、振動子10からフィードバック信号VFを受ける。これにより振動子10を励振させる。検出回路60は、駆動信号VDにより駆動される振動子10から検出信号(検出電流、電荷)ISP、ISMを受け、検出信号から所望信号(コリオリ力信号)を検出(抽出)する。

【0186】

具体的には、駆動回路40からの交流の駆動信号(駆動電圧)VDが図15(A)の駆動用振動子11の駆動端子2に印加される。すると逆電圧効果によって駆動用振動子11が振動を開始し、音叉振動により駆動用振動子12も振動を開始する。この時、駆動用振動子12の圧電効果によって発生する電流(電荷)が、駆動端子4からフィードバック信号VFとして駆動回路40にフィードバックされる。これにより振動子10を含む発振ループが形成される。

10

【0187】

駆動用振動子11、12が振動すると、検出用振動子16、17が図15(A)に示す方向に振動速度vで振動する。すると、検出用振動子16、17の圧電効果によって発生する電流(電荷)が、検出信号ISP、ISMとして検出端子6、8から出力される。検出回路60は、これらの検出信号ISP、ISMを受け、コリオリ力に応じた信号である所望信号(所望波)を検出する。

【0188】

即ち、図15(A)の検出軸19を中心に振動子10(ジャイロセンサ)が回転すると、振動速度vの振動方向と直交する方向にコリオリ力Fcが発生する。例えば図15(B)に、図15(A)の検出軸19を上側から見た図を模式的に示す。図15(B)において、検出軸19を中心に回転したときの角速度を ω とし、振動子の質量をmとし、振動子の振動速度をvとすると、コリオリ力は $F_c = 2m \cdot v \cdot \omega$ と表される。従って検出回路60が、コリオリ力に応じた信号である所望信号を検出(抽出)することで、ジャイロセンサ(振動子)の回転角速度 ω を求めることができる。

20

【0189】

なお振動子10には、駆動側共振周波数fdと検出側共振周波数fsがある。具体的には、駆動用振動子11、12の固有共振周波数(駆動振動モードの固有共振周波数)がfdであり、検出用振動子16、17の固有共振周波数(検出振動モードの固有共振周波数)がfsである。この場合に、駆動用振動子11、12と検出用振動子16、17とが検出動作可能で、且つ、不要な共振結合を起こさない適度なモード間結合を持つ範囲で、fdとfsの間に一定の周波数差を持たせている。この周波数差である離調周波数 $\Delta f = |fd - fs|$ は、fd、fsに比べて十分に小さな周波数に設定されている。

30

【0190】

駆動回路(発振回路)40は、増幅回路42と、自動ゲイン制御を行うAGC(Automatic Gain Control)回路44と、2値化回路(コンパレータ)46を含む。駆動回路40では、ジャイロセンサの感度を一定に保つために、振動子10(駆動用振動子)に供給する駆動電圧の振幅を一定に保つ必要がある。このため、駆動振動系の発振ループ内に、ゲインを自動調整するためのAGC回路44が設けられる。具体的にはAGC回路44は、フィードバック信号FDの振幅(振動子の振動速度v)が一定になるように、ゲインを可変に自動調整する。なお、発振ループでの位相シフトが0度(0deg)になるように位相が調整される。また発振起動時には、高速な発振起動を可能にするために、発振ループのゲインは1よりも大きなゲインに設定される。

40

【0191】

増幅回路42は、振動子10からのフィードバック信号FDを増幅する。具体的には増幅回路42が含むI/V変換回路が、振動子10からのフィードバック信号FDである電流(電荷)を、電圧に変換して増幅し、駆動側増幅信号VD2として出力する。

【0192】

AGC回路44は、駆動側の増幅回路42により増幅された後の信号である駆動側増幅信号VD2を監視して、発振ループのゲインを制御する。このAGC回路44は、発振ル

50

ープ内の発振振幅を制御するためのゲインコントロールアンプ（GCA）や、発振振幅に応じてゲインコントロールアンプのゲインを調整するための制御電圧を出力するゲイン制御回路を含むことができる。また、このゲイン制御回路は、増幅回路42からの交流の信号VD2を直流信号に変換する整流回路（全波整流回路）や、整流回路からの直流信号の電圧と基準電圧との差分に応じた制御電圧を出力する回路などを含むことができる。

【0193】

2値化回路46は、正弦波である駆動側増幅信号VD2の2値化処理を行い、2値化処理により得られた同期信号（参照信号）CLKを、検出回路60の同期検波回路100に出力する。この2値化回路46は、増幅回路42からの正弦波（交流）の信号VD2が入力されて、矩形波の同期信号CLKを出力するコンパレータにより実現できる。なお増幅回路42と2値化回路46の間や2値化回路46と同期検波回路100の間に他の回路を設けてもよい。例えばハイパスフィルタや移相回路（位相シフタ）などを設けてもよい。

10

【0194】

検出回路60は、増幅回路70、同期検波回路100、フィルタ部110を含む。なおこれらの一部の構成要素を省略したり、他の構成要素を追加してもよい。

【0195】

増幅回路70は、振動子10からの検出信号ISP、ISMを増幅する。具体的には増幅回路70が含むQ/V変換回路（I/V変換回路）が、振動子10からの信号ISP、ISMを受け、振動子10で発生した電荷（電流）を電圧に変換して増幅する。

20

【0196】

同期検波回路（検波回路、検波器）100は、同期信号（同期クロック、参照信号）CLKに基づいて同期検波を行う。この同期検波により、機械振動漏れの不要信号の除去が可能になる。

【0197】

同期検波回路100の後段側に設けられるフィルタ部110は、同期検波後の信号VS6のフィルタ処理を行う。具体的には、高周波成分を除去するローパスフィルタ処理を行う。

【0198】

振動子10からの検出信号（センサ信号）には、所望信号（所望波）と不要信号（不要波）が混在している。不要信号の振幅は一般的に所望信号の振幅の100～500倍程度となるため、検出装置30に対する要求性能は高くなる。この不要信号には、機械振動漏れや、静電結合漏れや、離調周波数 Δf や、 $2fd$ （ $2\omega d$ ）や、DCオフセットなどに起因するものがある。機械振動漏れの不要信号は、振動子10の形状のアンバランス等に起因して発生する。また静電結合漏れの不要信号は、図14の駆動信号VDが、寄生キャパシタCP、CMを通じてISP、ISMの入力端子等に漏洩することで発生する。

30

【0199】

図16（A）～図16（C）は、不要信号の除去について説明するための周波数スペクトラムである。図16（A）は同期検波前の周波数スペクトラムである。図16（A）に示すように、同期検波前の検出信号では、DCの周波数帯域にはDCオフセットの不要信号が存在する。また fd の周波数帯域には、機械振動漏れの不要信号と所望信号が存在する。

40

【0200】

図16（B）は同期検波後の周波数スペクトラムである。図16（A）の fd の周波数帯域の所望信号は、図16（B）に示すように同期検波後はDC及び $2fd$ の周波数帯域に現れる。また図16（A）のDCの周波数帯域の不要信号（DCオフセット）は、図16（B）に示すように同期検波後は fd の周波数帯域に現れる。また図16（A）の fd の周波数帯域の不要信号（機械振動漏れ）は、図16（B）に示すように同期検波後は $2fd$ の周波数帯域に現れる。

【0201】

図16（C）はフィルタ処理後の周波数スペクトラムである。同期検波後の信号をフィ

50

ルタ部 110 で平滑化 (LPF) することで、 f_d 、 $2f_d$ 等の周波数帯域の不要信号の周波数成分を除去できる。

【0202】

そして本実施形態では、基準電圧供給回路 20 の第 1 の供給回路 21 は、検出回路 60 の増幅回路 70 に対して AGND (アナログ基準電圧) を供給し、第 2 の供給回路 22 は、検出回路 60 のフィルタ部 110 に対して AGND を供給する。

【0203】

この場合、前述のように第 1 の供給回路 21 が含む第 1 型のオペアンプ OP1 は、例えば第 2 型のオペアンプ OP2 に比べてキャリア信号の周波数 (例えば振動子の共振周波数、駆動側共振周波数) での熱ノイズが低いオペアンプとなっている。一方、第 2 の供給回路 22 が含む第 2 型のオペアンプ OP2 は、第 1 型のオペアンプ OP1 に比べて所望信号の周波数 (例えば所望信号の周波数帯域の最大周波数) でのフリッカノイズが低いオペアンプとなっている。そして前述したように、第 1 型のオペアンプ OP1 では、 $f_1 - f_{cr} < f_{cr} - f_2$ の関係が成り立ち、第 2 型のオペアンプ OP2 では、 $f_{cr} - f_2 < f_1 - f_{cr}$ の関係が成り立つ。更に、 $W1b \times L1b > W1a \times L1a$ 、 $Ia > Ib$ の関係が成り立つ。また同期検波回路 100 は例えば第 3 型のオペアンプ OP3 を含むことができ、この場合には、 $W1c \times L1c > W1a \times L1a$ 、 $Ic > Ib$ の関係が成り立つ。或いは $W1c \times L1c > W1b \times L1b$ 、 $Ic > Ia$ の関係が成り立ってもよい。

【0204】

3.2 第 1 の変形例

図 17 に、検出装置の第 1 の変形例を示す。この第 1 の変形例では、フィルタ部 110 が出力回路 116 を含み、基準電圧供給回路 20 が第 4 の供給回路 24 を含む。

【0205】

出力回路 116 は、出力信号のインピーダンス変換を行う回路であり、出力バッファとして機能する。なお出力回路 116 にポストフィルタとしての機能を持たせてもよい。

【0206】

第 4 の供給回路 24 は、出力回路 116 に対して AGND (アナログ基準電圧) を供給する回路である。この第 4 の供給回路 24 は、第 2 型のオペアンプ OP2 を含む。

【0207】

図 17 において、第 1 の供給回路 21 からの AGND は AGND 線 AGL1 (第 1 のアナログ基準電圧線) を介して供給され、第 2 の供給回路 22 からの AGND は AGND 線 AGL2 (第 2 のアナログ基準電圧線) を介して供給される。そして第 4 の供給回路 24 からの AGND は、AGND 線 AGL3 (広義には第 3 のアナログ基準電圧線) を介して出力回路 116 に供給される。即ちフィルタ部 110 のうち出力回路 116 以外の回路である前段側回路 115 (例えばプリフィルタ、SCF) に対しては、AGND 線 AGL2 を介して AGND が供給される一方で、出力回路 116 に対しては AGND 線 AGL3 を介して AGND が供給される。

【0208】

例えば図 18 に検出回路 60 のレイアウト例を示す。図 18 に示すように、AGND 線である AGL1、AGL2、AGL3 は、基準電圧供給回路 20 から検出回路 60 に対して分離されて配線される。即ち 3 本の AGND 線 AGL1、AGL2、AGL3 が、レイアウト的に分離されて、各々、増幅回路 70、フィルタ部 110 の前段側回路 115、出力回路 116 に接続される。このようにすることで、AGL1 からのノイズが AGL2 に伝達されたり、AGL2 からのノイズが AGL3 に伝達されたり、AGL3 からのノイズが AGL1 に伝達される事態を防止できる。

【0209】

即ち、フィルタ部 110 の前段側回路 115 と出力回路 116 では、増幅対象信号の周波数は共に低い周波数 f_2 となり、フリッカノイズが支配的な周波数となる。従って、これらの前段側回路 115、出力回路 116 に対して AGND を供給する第 2 の供給回路 22、第 4 の供給回路 24 には、フリッカノイズ低減重視の第 2 型のオペアンプ OP2 が使

用される。

【0210】

しかしながら、例えば前段側回路115が後述するようなSCF（スイッチト・キャパシタ・フィルタ）などを有する場合に、このSCFで使用されるクロックがノイズ源となってSNRが劣化するおそれがある。即ち前段側回路115（SCF）で発生したクロックノイズが、出力回路116の出力信号VSQに重畳されるおそれがある。特にジャイロセンサでは、出力信号VSQの電圧をA/D変換することで、角速度情報を検出している。従って、出力信号VSQの電圧が、上述のクロックノイズが原因で揺れると、誤った角速度情報が検出されるおそれがある。

【0211】

10

そこで図17では、第2、第4の供給回路22、24が同じ第2型のオペアンプOP2を使用しているのにもかかわらず、第2の供給回路22のAGND線AGL2と第4の供給回路24のAGND線AGL3を、敢えてレイアウト的に分離している。このようにすれば、前段側回路115で発生したクロックノイズ等が、AGND線AGL2からAGL3に伝達されて出力信号VSQに重畳されてしまう事態を防止でき、角速度情報の誤検出等を防止できる。

【0212】

なお図19に、図17の第1の変形例で使用される基準電圧供給回路20の構成例を示す。図19では、図13の構成に加えて第4の供給回路24が設けられている。第4の供給回路24（第4のインピーダンス変換回路）は、例えば基準電圧用の第2型のオペアンプOP2を用いて、電圧のインピーダンス変換を行う。即ち、第4の供給回路24が含む第2型のオペアンプOP2は、その反転入力端子（第2の入力端子）が出力端子に接続されたボルテージフォロワ接続のオペアンプになっており、OP2の出力端子はAGND線AGL3に接続されている。このようなインピーダンス変換機能を有する第4の供給回路24を設けることで、AGND線AGL2からのノイズがAGND線AGL3に伝達される事態を効果的に防止できる。

20

【0213】

3.3 第2の変形例

図20に検出装置の第2の変形例を示す。この第2の変形例は検出回路60の詳細な構成例を示すものである。図20の検出回路60は、増幅回路70、感度調整回路80、同期検波回路100、フィルタ部110を含む。

30

【0214】

増幅回路70は、Q/V変換回路72、74、差動増幅回路76を含む。Q/V（I/V）変換回路72、74は、振動子10で発生した電荷（電流）を電圧に変換する。差動増幅回路76は、Q/V変換回路72、74からの出力信号VS1P、VS1Mの差動増幅を行う。

【0215】

Q/V変換回路72は、ノードNA1とNA2の間に設けられるキャパシタCA1及び抵抗RA1と、オペアンプ（演算増幅器）OPA1を含み、ローパスフィルタの周波数特性を有する。オペアンプOPA1の反転入力端子（第1の入力端子）には入力ノードNA1が接続され、非反転入力端子（第2の入力端子）にはAGND（基準電源電圧）が接続される。Q/V変換回路74も同様の構成となる。

40

【0216】

差動増幅回路76は、抵抗RB1、RB2、RB3、RB4とオペアンプOPBを含む。RB1、RB2の抵抗比とRB3、RB4の抵抗比を等しくすることで、差動増幅回路76は、互いに逆相の信号である入力信号VS1P、VS1Mの差分を増幅する差動増幅を行う。この差動増幅により、振動子10からQ/V変換回路72、74に入力されるコモンモードノイズや静電結合漏れ等の不要信号の除去が可能になる。

【0217】

そして本実施形態では、基準電圧供給回路20の第1の供給回路21は、基準電圧用の

50

第1型のオペアンプOP1を用いて、これらのQ/V変換回路72、74（第1、第2の電荷/電圧変換回路又は第1、第2の電流/電圧変換回路）、差動増幅回路76に対してAGND（アナログ基準電圧）を供給する。なお、図20のQ/V変換回路72、74、差動増幅回路76のオペアンプOPA1、OPA2、OPBについても、第1型のオペアンプOP1を用いることが望ましい。

【0218】

このようにすれば、熱ノイズが支配的な高い周波数帯域（駆動側共振周波数の帯域）の信号を増幅するQ/V変換回路72、74、差動増幅回路76に対して、熱ノイズ低減重視の第1型のオペアンプOP1を用いて、AGNDを供給できるようになる。この結果、Q/V変換回路72、74、差動増幅回路76の熱ノイズを低減でき、システム全体のS

10

【0219】

感度調整回路80は、ゲインを可変に制御して感度（出力電圧の単位角速度当たりの変化量）の調整を行う。

【0220】

そして図20では、この感度調整回路80が同期検波回路100の前段側に設けられる。このように同期検波回路100の前段側に感度調整回路80（Programmable Gain Amp）を設ければ、DC信号ではなく、周波数 f_d の信号の状態で感度調整が行われるようになる。従って、周波数が高いほど小さくなるフリッカノイズの悪影響を最小限に抑えることができる。またフィルタ部110の後段側に感度調整回路を設ける手法に比べて、感度調整回路80の前段側の回路ブロックの数が減るため、これらの回路ブロックのノイズを感度調整回路80が増幅することによるSNRの劣化を、最小限に抑えることができる。

20

【0221】

図20の感度調整回路80は非反転増幅型の例である。なお感度調整回路80として反転増幅型の回路を用いてもよい。

【0222】

この感度調整回路80では、出力ノードND3と出力タップQTの間の可変抵抗RD2の抵抗値と、出力タップQTとAGNDのノードの間の可変抵抗RD1の抵抗値が、感度調整データPGAに基づいて可変に制御される。これにより、感度調整回路80のゲインが調整されて、感度調整が行われる。例えば可変抵抗RD1、RD2の抵抗値をR1、R2とすると、PGAである感度調整回路80のゲインは $G = (R1 + R2) / R1$ になる。

30

【0223】

また図20の感度調整回路80は、可変ゲインアンプとして動作すると共に、例えばハイパスフィルタとして動作する。具体的には、キャパシタCD1、抵抗RD3、オペアンプOPDにより、ハイパスのアクティブフィルタが構成される。即ちオペアンプOPDは、キャパシタCD1、抵抗RD3で構成されるハイパスフィルタのバッファとして機能する。また、可変抵抗RD1、RD2、オペアンプOPDにより、可変ゲインアンプが構成される。即ち、オペアンプOPDが、ハイパスのアクティブフィルタと可変ゲインアンプとで共用されている。

40

【0224】

感度調整回路80をハイパスフィルタとして動作させれば、DC成分をカットでき、可変ゲインアンプ（PGA）によりDC信号が増幅されてしまう事態を防止できる。従って、感度調整回路80の可変ゲインアンプや後段側のオペアンプ（例えば同期検波回路のオペアンプ）が、過入力により飽和動作状態になり、出力がオーバーフローしてしまうなどの事態を防止できる。またこのハイパスフィルタによりDCノイズも除去でき、SNRの向上を図ることも可能になる。

【0225】

また感度調整回路80では、ハイパスのアクティブフィルタと可変ゲインアンプとでオペアンプOPDが共用される。従って、アクティブフィルタ用のオペアンプと可変ゲイン

50

アンプ用のオペアンプを別々に設ける場合に比べて、オペアンプの個数を減らすことができる。従って、回路の小規模化を図れると共に、ノイズ源となる回路ブロックの数も減るため、S N Rを向上できる。

【 0 2 2 6 】

そして本実施形態では、基準電圧供給回路 2 0 の第 1 の供給回路 2 1 が、図 5 (C)、図 1 1 (A) で説明した基準電圧用の第 1 型のオペアンプ O P 1 を用いて、感度調整回路 8 0 に対して A G N D (アナログ基準電圧) を供給する。

【 0 2 2 7 】

このようにすれば、熱ノイズが支配的な高い周波数帯域 (駆動側共振周波数の帯域) の信号を扱う感度調整回路 8 0 に対して、熱ノイズ低減重視の第 1 型のオペアンプ O P 1 を用いて A G N D を供給できるようになる。この結果、感度調整回路 8 0 の熱ノイズを低減でき、システム全体の S N R を向上できる。

【 0 2 2 8 】

同期検波回路 1 0 0 は、駆動回路 4 0 からの同期信号 C L K に基づいて同期検波を行う。この同期検波回路 1 0 0 は、同期信号 C L K でオン・オフ制御されるスイッチング素子 S E 1 と、反転同期信号 C L K N でオン・オフ制御されるスイッチング素子 S E 2 を含み、シングルバランス・ミキサ方式で同期検波を行う。スイッチング素子 S E 1 には信号 V S 5 が入力され、スイッチング素子 S E 2 には、信号 V S 5 の反転信号 V S 5 N が入力される。

【 0 2 2 9 】

図 2 1 に、同期検波を説明するための信号波形例を示す。図 2 1 に示すように、同期信号 C L K が H レベルとなる第 1 の期間 T 1 では、入力信号 V S 5 が信号 V S 6 として出力端子に出力され、同期信号 C L K が L レベルとなる第 2 の期間 T 2 では、入力信号 V S 5 の反転信号 V S 5 N が信号 V S 6 として出力端子に出力される。この同期検波により、所望信号であるジャイロ出力信号を検出して抽出できる。なお同期検波回路 1 0 0 としてダブルバランス・ミキサ方式を採用してもよい。

【 0 2 3 0 】

図 2 0 では、同期検波回路 1 0 0 がオフセット調整回路 9 0 (0 点調整回路) を含む。このオフセット調整回路 9 0 は、検出装置 3 0 の出力信号 V S Q の初期オフセット電圧 (オフセット電圧) を除去する調整を行う。例えばティピカル温度である 2 5 の時に、出力信号 V S Q の電圧が基準出力電圧と一致するようにオフセットの調整処理を行う。

【 0 2 3 1 】

オフセット調整回路 9 0 は、D / A 変換回路 9 2 と加算回路 (加減算回路) 9 4 を含む。D / A 変換回路 9 2 は、初期オフセットの調整データ D D A をアナログの初期オフセット調整電圧 V A に変換する。

【 0 2 3 2 】

加算回路 9 4 は、入力信号 V S 5 の電圧に対して、D / A 変換回路 9 2 からの調整電圧 V A を加算する。この加算回路 9 4 は、ノード N E 5 と N E 6、N E 1、N E 2 の間にそれぞれ設けられた抵抗 R E 1、R E 2、R E 3 を含む。また、その反転入力端子にノード N E 5 が接続され、その非反転入力端子に A G N D のノードが接続されるオペアンプ O P E を含む。なお図 2 0 においてオフセット調整回路 9 0 を同期検波回路 1 0 0 内に設けない変形実施も可能である。

【 0 2 3 3 】

さて、図 1 6 (A) ~ 図 1 6 (C) で説明した不要信号のうち、離調周波数 $\Delta f = | f_d - f_s |$ に起因する不要信号は、ジャイロの検出信号に検出側共振周波数 f_s の信号が混入し、この検出信号が同期検波回路 1 0 0 により同期検波されることにより発生する。例えばジャイロセンサの応答を良くするために、検出用振動子をアイドリング的に微小振幅で固有共振周波数 f_s にて振動させる場合がある。或いは、ジャイロセンサの外部からの外部振動が振動子に加わることで、検出用振動子が固有共振周波数 f_s にて振動してしまう場合がある。そしてこのように検出用振動子が周波数 f_s で振動すると、同期検波回

10

20

30

40

50

路 1 0 0 に入力される信号 $V S 5$ に周波数 $f s$ の信号が混入される。そして同期検波回路 1 0 0 は、周波数 $f d$ の同期信号 $C L K$ に基づき同期検波を行うため、周波数 $f d$ と $f s$ の差に相当する離調周波数 $\Delta f = |f d - f s|$ の不要信号が生成されてしまう。

【 0 2 3 4 】

ここで、離調周波数 $\Delta f = |f d - f s|$ は、 $f d$ 、 $f s$ に比べて十分に小さい。従って、この離調周波数 Δf の成分の不要信号を除去するためには、図 2 2 に示すような急峻な減衰特性が必要になる。従って、連続時間型のローパスフィルタだけでは、このような離調周波数 Δf の成分の不要信号の除去が難しいという課題がある。

【 0 2 3 5 】

このような課題を解決するために図 2 0 では、フィルタ部 1 1 0 に、離散時間型フィルタである $S C F$ (スイッチト・キャパシタ・フィルタ) 1 1 4 を設けている。この $S C F$ 1 1 4 は、振動子の駆動側共振周波数 $f d$ と検出側共振周波数 $f s$ との差に対応する離調周波数 $\Delta f = |f d - f s|$ の成分を除去し、所望信号の周波数成分 ($D C$ 成分) を通過させる周波数特性を有する。またフィルタ部 1 1 0 は、 $S C F$ 1 1 4 の前段側に設けられたプリフィルタ (前置フィルタ) 1 1 2 と、 $S C F$ 1 1 4 の後段側に設けられ、出力バッファ及びポストフィルタ (後置フィルタ) として機能する出力回路 1 1 6 を含む。これらのプリフィルタ 1 1 2、出力回路 1 1 6 は連続時間型フィルタになっている。

【 0 2 3 6 】

図 2 0 に示すように、フィルタ部 1 1 0 に $S C F$ 1 1 4 (広義には離散時間型フィルタ) を設ければ、図 2 2 に示すような急峻な減衰特性の実現も容易になる。従って、離調周波数 Δf が、周波数 $f d$ に比べて極めて小さい場合にも、離調周波数 Δf の周波数帯の不要信号の成分を、通過帯域の所望信号に悪影響を与えることなく、确实且つ容易に除去できる。

【 0 2 3 7 】

なお $S C F$ 1 1 4 は、図 2 0 に示すようにスイッチト・キャパシタ回路 2 1 0、2 1 2、2 1 4 と、キャパシタ $C G 4$ 、 $C G 5$ 、 $C G 6$ 、 $C G 7$ と、オペアンプ $O P G 1$ 、 $O P G 2$ を含む。なお $S C F$ 1 1 4 の構成は図 2 0 に限定されず、公知の種々の構成を用いることができる。

【 0 2 3 8 】

図 2 0 のようにフィルタ部 1 1 0 に $S C F$ 1 1 4 を設けた場合、 $S C F$ 1 1 4 では離散時間で信号をサンプリングするため、サンプリングによる周波数の折り返し現象であるエイリアシングが生じる。

【 0 2 3 9 】

このようなエイリアシングの悪影響を防止するために、図 2 0 では、 $S C F$ 1 1 4 の前段側にアンチエイリアシング用のプリフィルタ 1 1 2 (広義には連続時間型フィルタ) を設けている。即ちサンプリング周波数を $f s p (= f d)$ とした場合に、プリフィルタ 1 1 2 に、 $f s p / 2 (= f d / 2)$ 以上の周波数成分を除去するアンチエイリアシングの周波数特性を持たせている。

【 0 2 4 0 】

この場合、所望信号の周波数帯域は図 2 2 に示すように例えば $f a 0$ 以下であり、周波数が低い。一方、 $S C F$ 1 1 4 のサンプリング周波数 $f s p$ は、 $f a 0$ の例えば 5 0 倍 ~ 5 0 0 倍程度であり、周波数が高い。従って、一般的なアンチエイリアシング用のプリフィルタであれば、それほど急峻な減衰特性は必要ない。

【 0 2 4 1 】

しかしながら、ジャイロセンサのように微少信号を扱うセンサでは、一般的なアンチエイリアシングの減衰特性では、不要信号を除去できないことが判明した。即ちジャイロセンサの検出信号では、不要信号の振幅は所望信号の振幅の例えば 1 0 0 ~ 5 0 0 倍程度となる。従って、一般的なアンチエイリアシングの減衰特性では、不要信号の振幅が所望信号 ($D C$ 成分) の振幅よりも大きくなってしまい、 $S C F$ 1 1 4 のサンプリングによる $D C$ 成分への折り返し等により、 $S N R$ が劣化してしまう。

【 0 2 4 2 】

そこで、連続時間型フィルタであるプリフィルタ 1 1 2 に対して、同期検波回路 1 0 0 による同期検波により周波数 $k \times f_d$ (k は自然数) の周波数帯域に現れる不要信号の振幅を、所望信号 (最小分解能) の振幅以下に減衰する周波数特性 (フィルタ特性、減衰特性) を持たせることが望ましい。なお所望信号の振幅は、所望信号の最小分解能に対応する振幅であり、 dps (degree per second) に対応する振幅である。また所望信号の振幅は、DC の周波数領域での所望信号の振幅である。

【 0 2 4 3 】

このようにすれば、所望信号の例えば 1 0 0 ~ 5 0 0 倍程度の振幅の不要信号が周波数 $k \times f_d$ に現れた場合にも、この不要信号の周波数成分をプリフィルタ 1 1 2 により確実に除去できるようになる。

10

【 0 2 4 4 】

そして本実施形態では、基準電圧供給回路 2 0 の第 2 の供給回路 2 2 が、図 5 (B)、図 5 (C) や図 1 1 (B) で説明した基準電圧用の第 2 型のオペアンプ OP 2 を用いて、プリフィルタ 1 1 2 (連続時間型フィルタ) や SCF 1 1 4 (離散時間型フィルタ) に対して AGND (アナログ基準電圧) を供給する。また図 1 9 で説明した第 4 の供給回路 2 4 が、基準電圧用の第 2 型のオペアンプ OP 2 を用いて、出力回路 1 1 6 に対して AGND を供給する。具体的には、第 2 の供給回路 2 2 はオペアンプ OP H、OP G 1、OP G 2 に対して AGND を供給し、第 4 の供給回路 2 4 はオペアンプ OP I に対して AGND を供給する。なおオペアンプ OP H、OP G 1、OP G 2、OP I についても、第 2 型のオペアンプを用いることが望ましい。

20

【 0 2 4 5 】

即ち図 2 0 では、離調周波数に起因する不要信号を除去するために、急峻な減衰特性を持つ SCF 1 1 4 を用いており、この SCF 1 1 4 を実現するためには、オペアンプ OP G 1、OP G 2 が必要になる。

【 0 2 4 6 】

また図 2 0 では、アンチエイリアシング用のプリフィルタ 1 1 2 を、同期検波により周波数 $k \times f_d$ に現れる不要信号を除去するフィルタとして兼用している。このため、プリフィルタ 1 1 2 として例えば 2 次のアクティブのローパスフィルタを用いており、このアクティブのローパスフィルタを実現するためには、オペアンプ OP H が必要になる。

30

【 0 2 4 7 】

更に図 2 0 では、出力回路 1 1 6 を、出力信号 VSQ のインピーダンス変換を行う出力バッファとして機能させると共に SCF 1 1 4 のポストフィルタとしても機能させている。そして、このような出力バッファの機能とポストフィルタの機能を実現するためには、オペアンプ OP I が必要になる。

【 0 2 4 8 】

このようにフィルタ部 1 1 0 には、多数のオペアンプ OP H、OP G 1、OP G 2、OP I が設けられており、これらのオペアンプのノイズレベルが高いと、システム全体の SNR が大幅に劣化する。

【 0 2 4 9 】

40

この点、本実施形態では、フリッカノイズが支配的な低い周波数帯域 (所望信号の周波数の帯域) の信号を扱うオペアンプ OP H、OP G 1、OP G 2、OP I に対して、フリッカノイズ低減重視の第 2 型のオペアンプ OP 2 を用いて AGND を供給できる。従って、このように多数のオペアンプを用いた場合にも、フィルタ部 1 1 0 のフリッカノイズを最小限に抑えることができ、システム全体の SNR を向上できる。

【 0 2 5 0 】

4. 電子機器

図 2 3 に本実施形態の検出装置 3 0 を含むジャイロセンサ 5 1 0 (広義にはセンサ) と、ジャイロセンサ 5 1 0 を含む電子機器 5 0 0 の構成例を示す。なお電子機器 5 0 0、ジャイロセンサ 5 1 0 は図 2 3 の構成に限定されず、その構成要素の一部を省略したり、他

50

の構成要素を追加するなどの種々の変形実施が可能である。また本実施形態の電子機器 500 としては、デジタルカメラ、ビデオカメラ、携帯電話機、カーナビゲーションシステム、ロボット、ゲーム機、携帯型情報端末等の種々のものが考えられる。

【0251】

電子機器 500 はジャイロセンサ 510 と処理部 520 を含む。またメモリ 530、操作部 540、表示部 550 を含むことができる。処理部 (CPU、MPU 等) 520 はジャイロセンサ 510 等の制御や電子機器 500 の全体制御を行う。また処理部 520 は、ジャイロセンサ 510 により検出された情報 (角速度情報、物理量) に基づいて処理を行う。例えば検出された角速度情報に基づいて、手ぶれ補正、姿勢制御、GPS 自律航法などのための処理を行う。メモリ (ROM、RAM 等) 530 は、制御プログラムや各種データを記憶したり、ワーク領域やデータ格納領域として機能する。操作部 540 はユーザが電子機器 500 を操作するためのものであり、表示部 550 は種々の情報をユーザに表示する。本実施形態の検出装置 30 によれば、電子機器 500 に組み込まれるジャイロセンサ 510 として、小型のセンサを採用できる。これにより、電子機器 500 のコンパクト化、低コスト化を実現できる。

10

【0252】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語 (物理量トランスデューサ、センサ、アナログ基準電圧、離散時間型フィルタ等) と共に記載された用語 (振動子、ジャイロセンサ、AGND、SCF 等) は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また基準電圧供給回路、アナログ回路、受信装置、検出装置、電子機器の構成も、本実施形態で説明したものに限定されず、種々の変形実施が可能である。

20

【図面の簡単な説明】

【0253】

【図1】本実施形態の基準電圧供給回路及びこれを含むアナログ回路の構成例。

【図2】電波時計の受信装置の構成例。

【図3】電波時計の受信装置の他の構成例。

30

【図4】図4(A)、図4(B)はオペアンプのノイズ解析の説明図。

【図5】図5(A)～図5(C)は本実施形態のノイズ低減手法の説明図。

【図6】図6(A)～図6(C)は周波数 f_1 、 f_2 とコーナ周波数 f_{cr} との関係の説明図。

【図7】図7(A)、図7(B)は第1型、第2型のオペアンプにおけるコーナ周波数 f_{cr} の設定手法の説明図。

【図8】図8(A)、図8(B)は実効ゲート電圧とノイズの関係の説明図。

【図9】図9(A)、図9(B)は本実施形態のシミュレーション結果の説明図。

【図10】本実施形態と比較例のノイズレベルを比較するための棒グラフ図。

【図11】図11(A)、図11(B)は第1型、第2型のオペアンプのレイアウト例。

40

【図12】第3型のオペアンプのレイアウト例。

【図13】基準電圧供給回路の詳細な構成例。

【図14】検出装置の構成例。

【図15】図15(A)、図15(B)は振動子の説明図。

【図16】図16(A)～図16(C)は周波数スペクトラムの説明図。

【図17】検出装置の第1の変形例。

【図18】検出回路のレイアウト例。

【図19】基準電圧供給回路の他の構成例。

【図20】検出装置の第2の変形例。

【図21】同期検波を説明するための信号波形例。

50

【図 2 2】離調周波数の説明図。

【図 2 3】電子機器、ジャイロセンサの構成例。

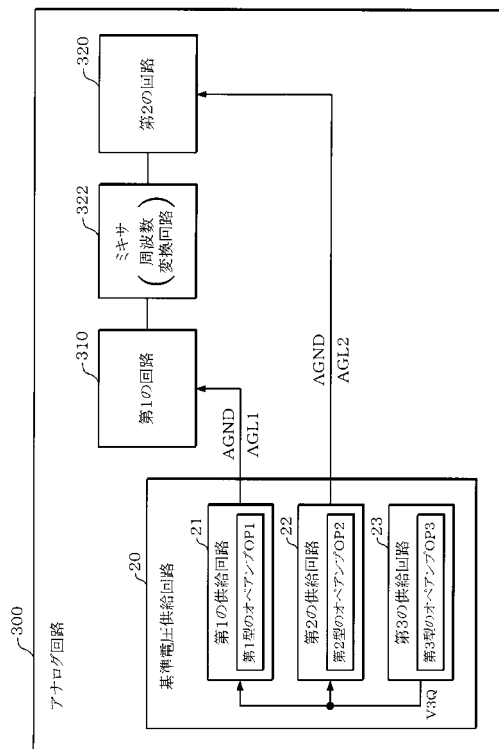
【符号の説明】

【 0 2 5 4 】

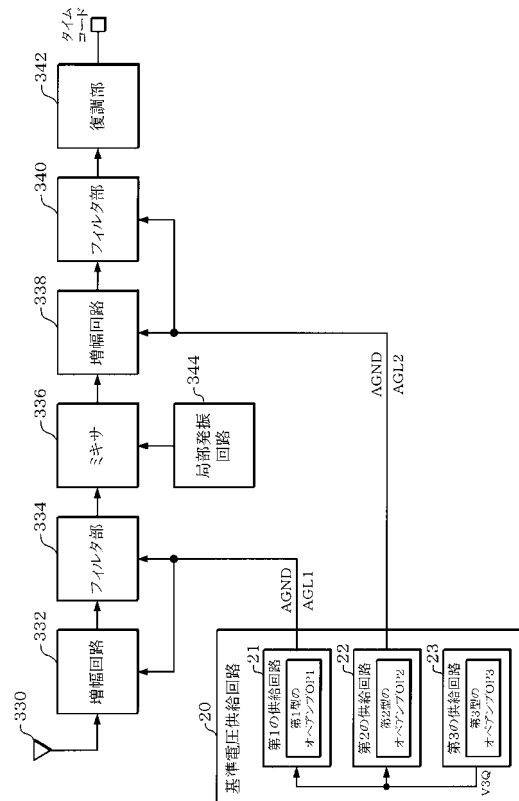
2 0 基準電圧供給回路、2 1 第 1 の供給回路、2 2 第 2 の供給回路、
 2 3 第 3 の供給回路、2 4 第 4 の供給回路、2 6 基準電圧発生回路、
 3 0 0 アナログ回路、3 1 0 第 1 の回路、3 2 0 第 2 の回路、3 2 2 ミキサ、
 3 3 0 アンテナ、3 3 2 増幅回路、3 3 4 フィルタ部、3 3 6 ミキサ、
 3 3 8 増幅回路、3 4 0 フィルタ部、3 4 2 復調部、3 4 4 局部発振回路、
 3 5 0 アンテナ、3 5 2 増幅回路、3 5 4 フィルタ部、3 5 6 ミキサ、
 3 5 8 フィルタ部、3 6 0 検波回路、3 6 2 復調部、3 6 4 局部発振回路、
 5 0 0 電子機器、5 1 0 ジャイロセンサ、5 2 0 処理部、5 3 0 メモリ、
 5 4 0 操作部、5 5 0 表示部

10

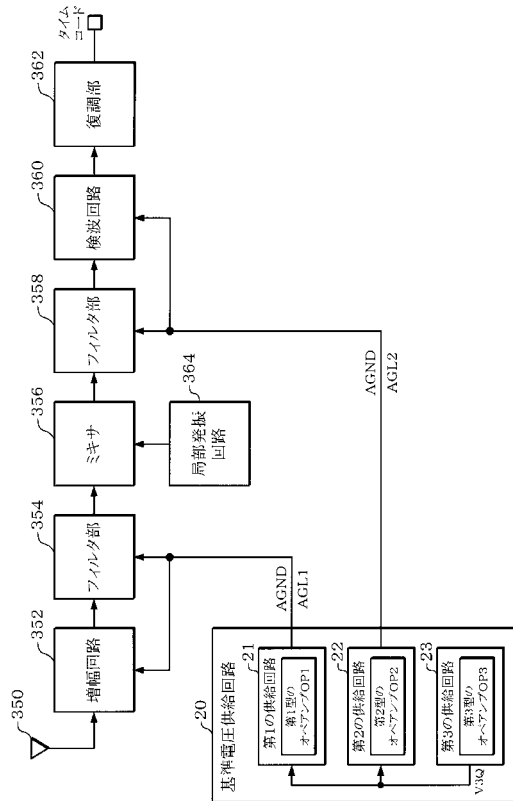
【図 1】



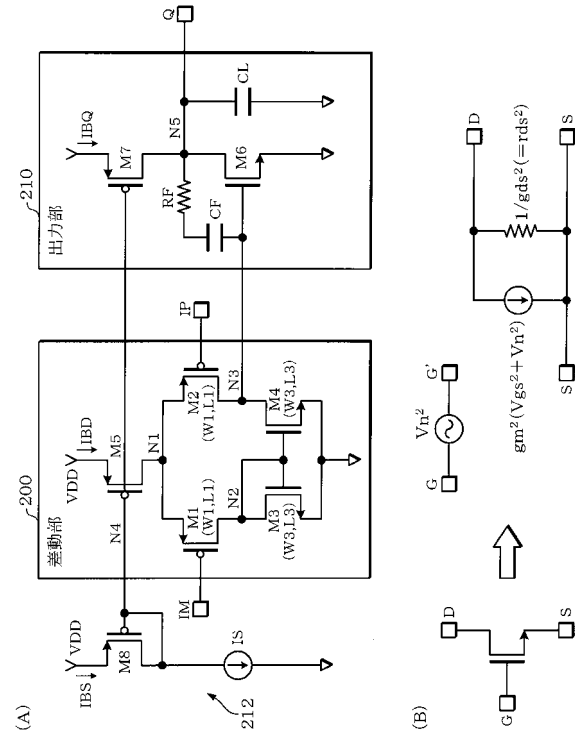
【図 2】



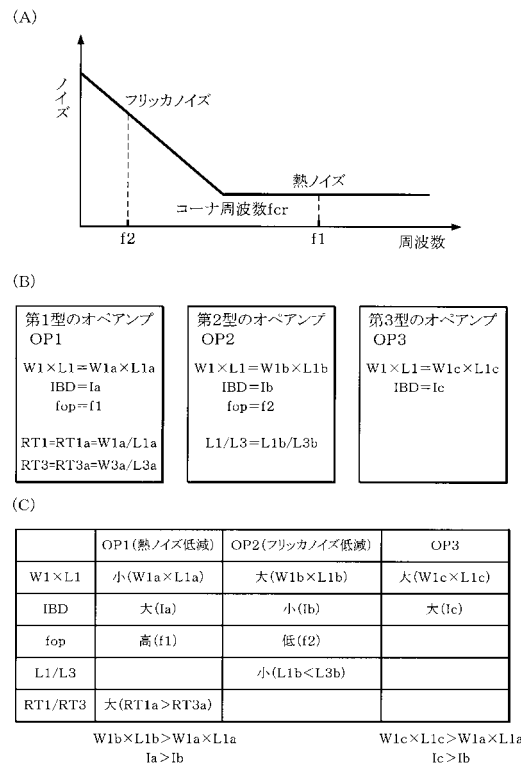
【図3】



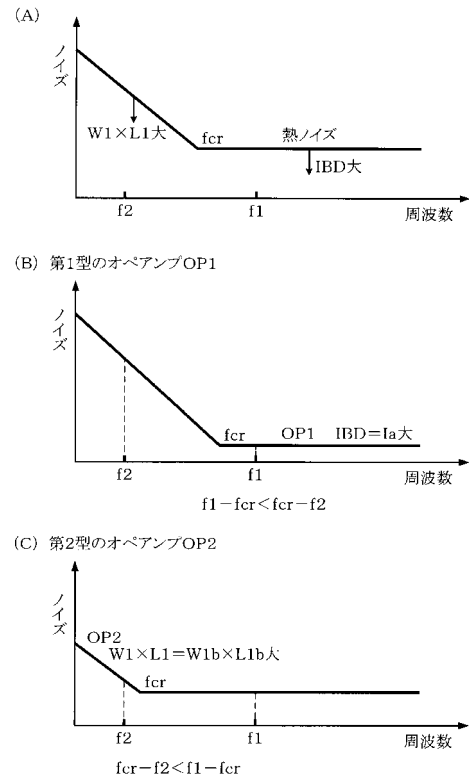
【図4】



【図5】

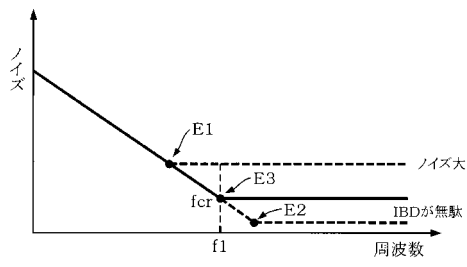


【図6】

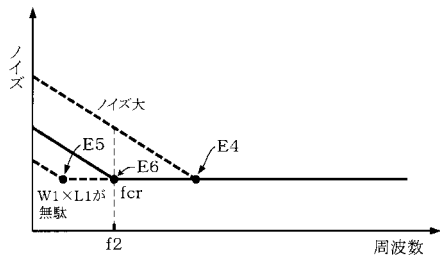


【図 7】

(A) 第1型のオペアンプOP1

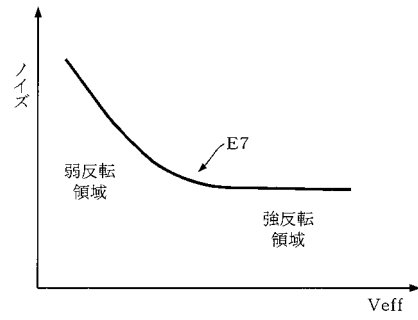


(B) 第2型のオペアンプOP2

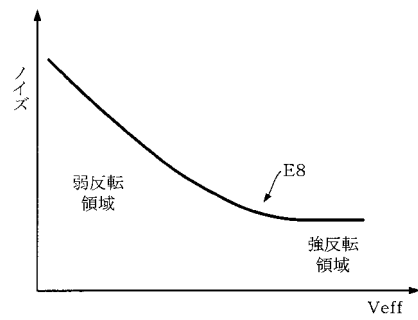


【図 8】

(A)

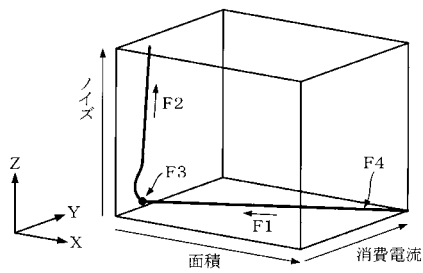


(B)

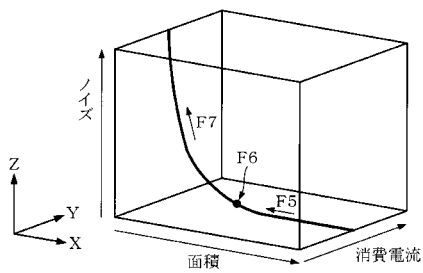


【図 9】

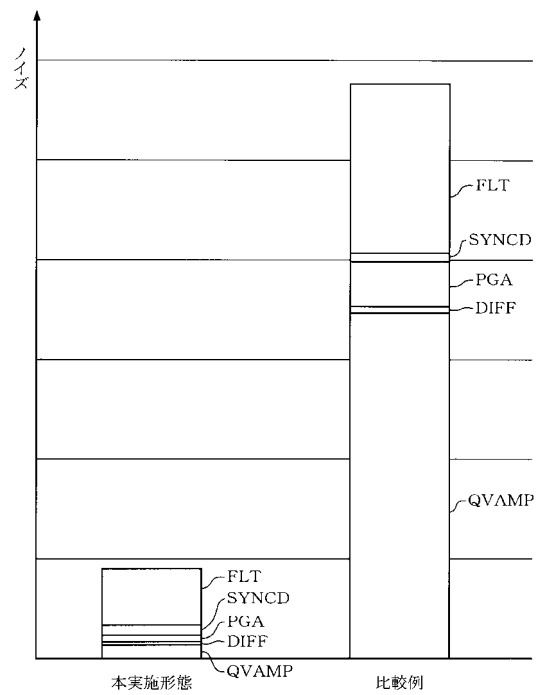
(A)



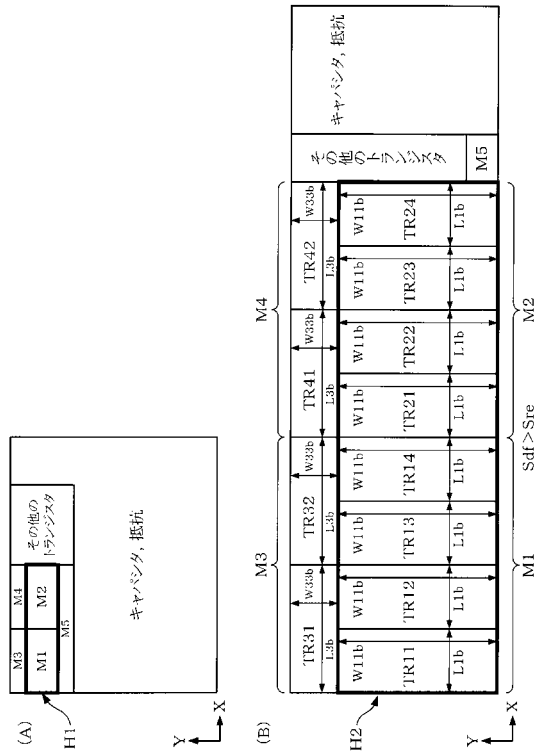
(B)



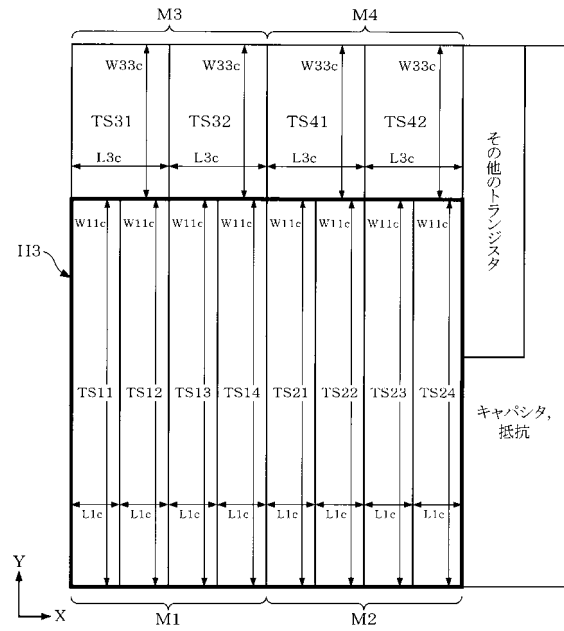
【図 10】



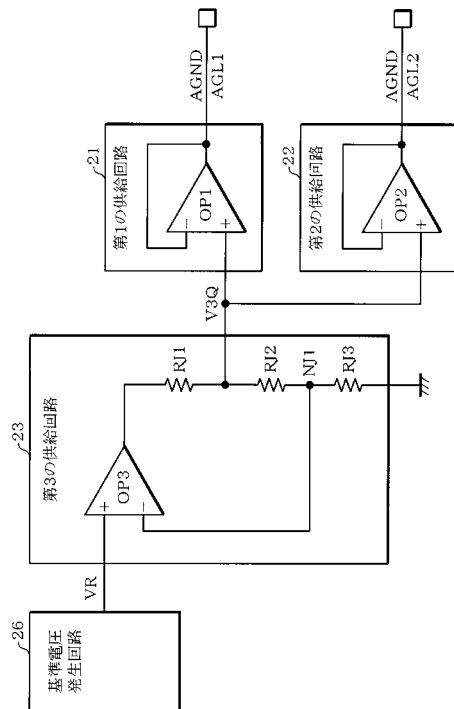
【図 1 1】



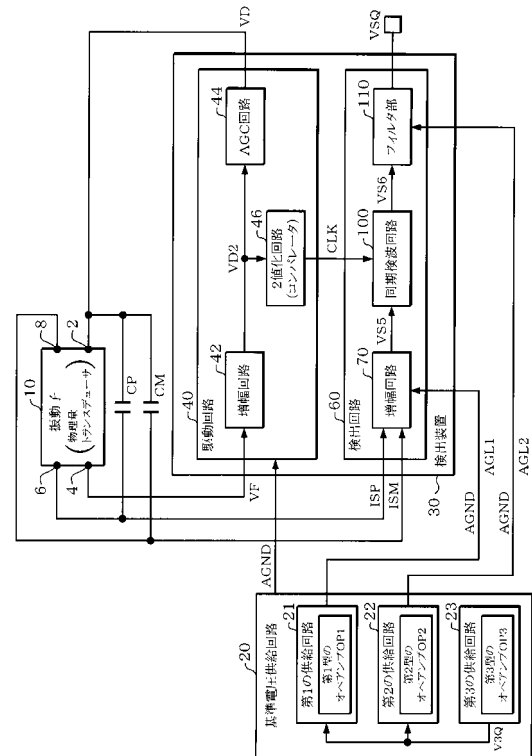
【図 1 2】



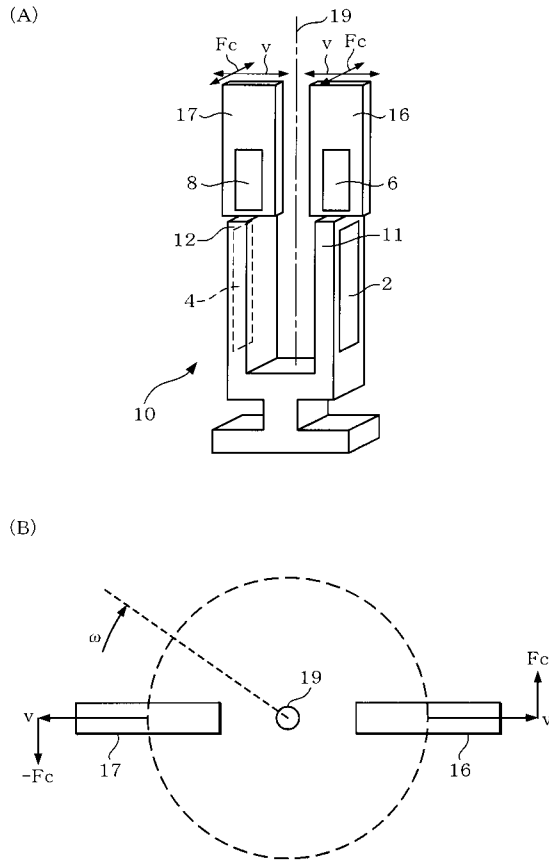
【図 1 3】



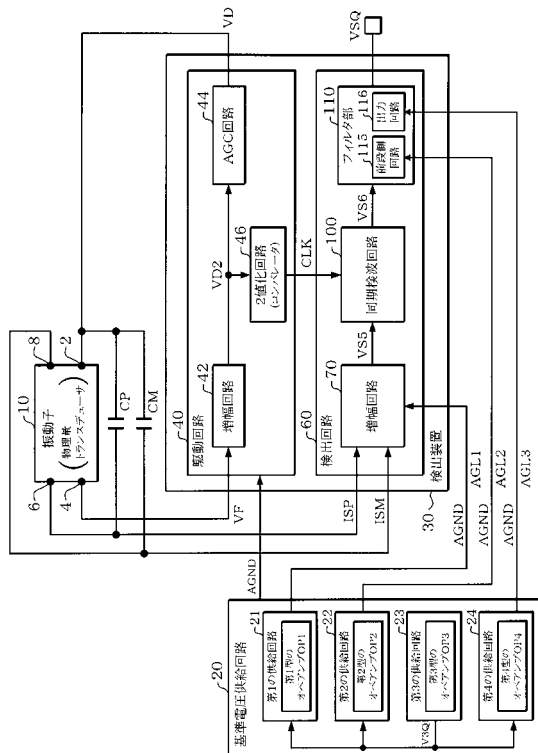
【図 1 4】



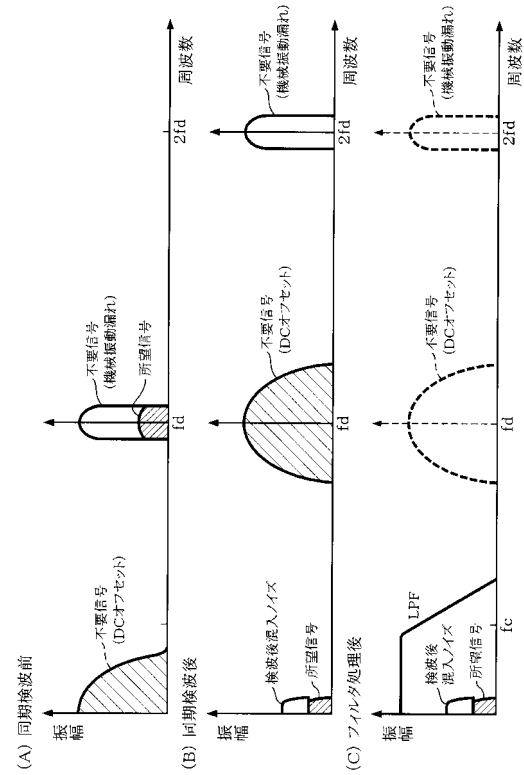
【 図 1 5 】



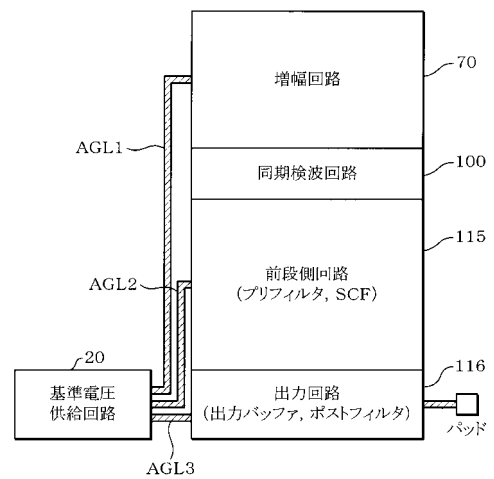
【圖 17】



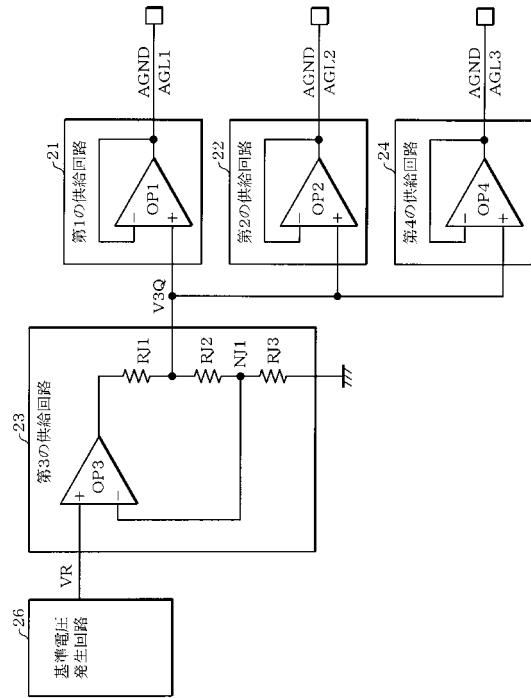
【 図 1 6 】



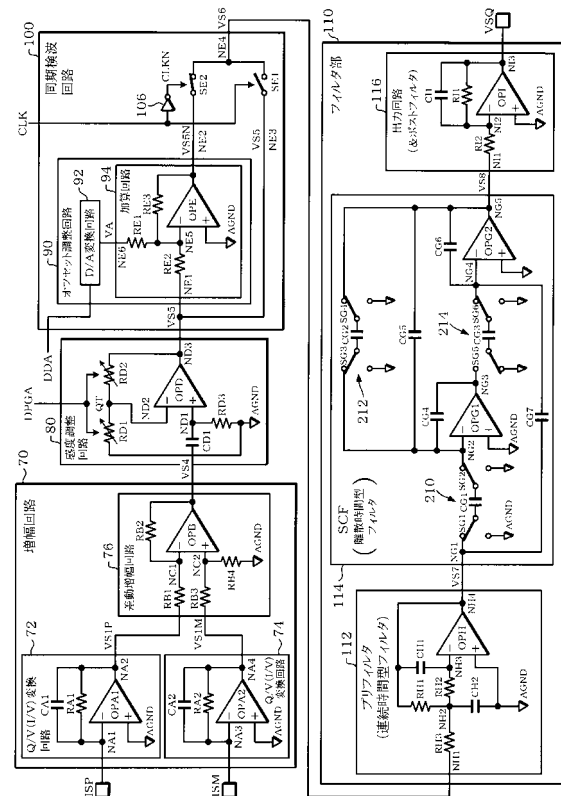
【 図 1 8 】



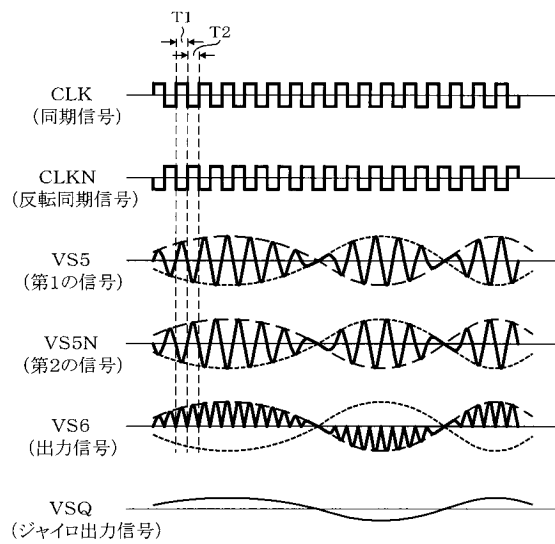
【図19】



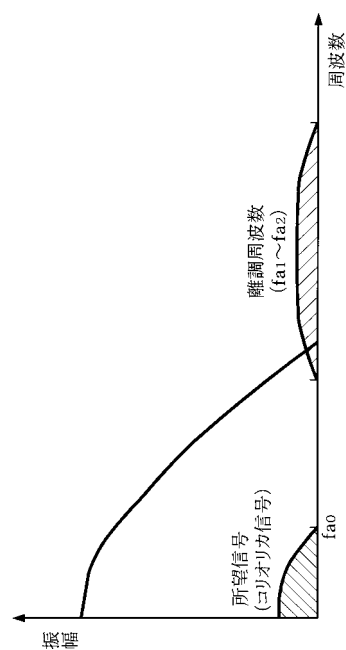
【図20】



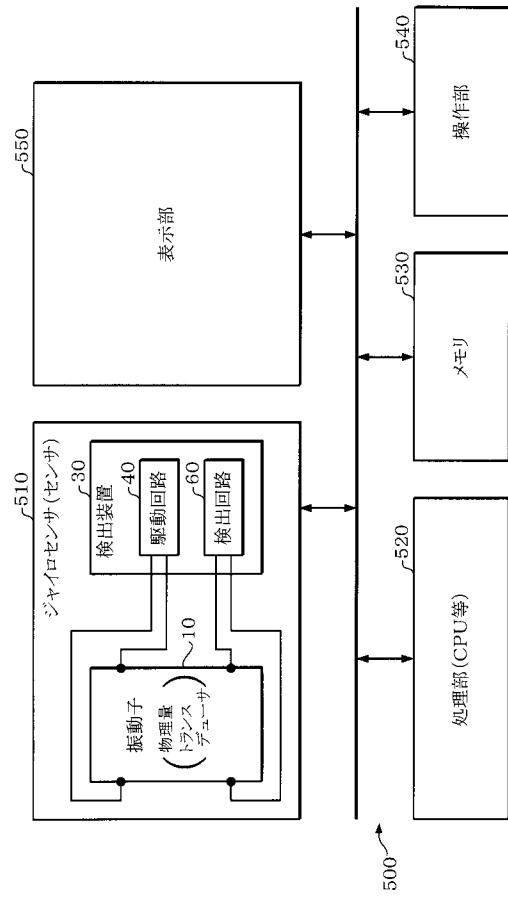
【図21】



【図22】



【図23】



フロントページの続き

審査官 増山 慎也

(56)参考文献 特開平04-360307(JP,A)
特開2005-006227(JP,A)
国際公開第2002/067415(WO,A1)

(58)調査した分野(Int.Cl., DB名)
H01L 21/822
H01L 27/04
H03F 3/34