



[12] 发明专利申请公开说明书

[21]申请号 95109683.4

[51]Int.CI⁶

H01L 23/60

[43]公开日 1996 年 5 月 15 日

[22]申请日 95.7.31

[30]优先权

[32]94.8.1 [33]US[31]283437

[71]申请人 摩托罗拉公司

地址 美国伊利诺斯

[72]发明人 巴里·B·海姆

弗里曼·D·科尔伯特

[74]专利代理机构 中国国际贸易促进委员会专利商
标事务所

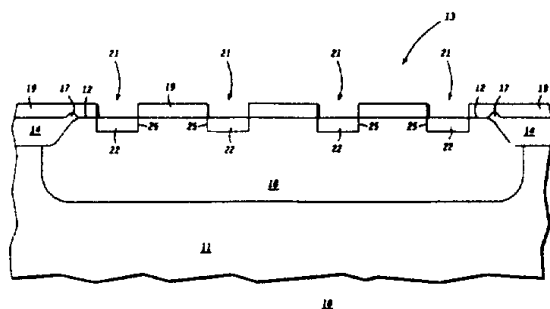
代理人 王以平

权利要求书 3 页 说明书 6 页 附图页数 4 页

[54]发明名称 静电放电保护器件及其制造方法

[57]摘要

一种 ESD 保护器件及在无场氧化物 (14) 的有源区 (13) 制造该器件的方法。用光刻技术在半导体基片上形成由一间隔区 (29) 分隔开的 P 型掺杂区 (22) 和 N 型掺杂区 (27)。阳极 (33) 与 P 型掺杂区 (22) 接触, 阴极 (34) 与 N 型掺杂区 (27) 接触。ESD 保护器件的寄生二极管电阻受间隔区 (29) 的宽度控制, 而后者又受光刻技术的分辨率控制。本发明提供一种降低 ESD 保护器件的寄生二极管电阻和箝位电压的方法, 保护集成电路免受大电压瞬变冲击。



权 利 要 求 书

1. 一种制造静电放电保护器件(10)的方法,其特征在于以下各步骤:

提供一第一导电类型的半导体基片,该半导体基片(11)具有一表面(12);

在该半导体基片(11)内形成一第一导电类型的掺杂区(22);

在该半导体基片(11)内形成一第二导电类型的掺杂区(27);

以及

形成第一电极(33)和第二电极(34),该第一电极(33)与第一导电类型的掺杂区(22)接触,而第二电极(34)与第二导电类型的掺杂区(27)接触。

2. 如权利要求1的方法,其中,形成第二导电类型的掺杂区(27)的步骤包括使第二导电类型的掺杂区(27)与第一导电类型的掺杂区(22)隔开的步骤,其中的位于第一导电类型掺杂区(22)与第二导电类型掺杂区(27)之间的间隔区(29)是无场氧化物(14)的。

3. 如权利要求1的方法,其中,形成第一掺杂区(22)与第二掺杂区(27)的步骤包括形成多个第一导电类型掺杂区(22)和多个第二导电类型掺杂区(27),其中第一导电类型的一个掺杂区(22)位于两个第二导电类掺杂区(27)之间,而多个第一导电类型掺杂区(22)中的另一个与两个第二导电类型掺杂区之一相邻。

4. 一种制造静电放电保护器件(10)的方法,其特征在于以下各步骤:

提供一具有一主表面(12)的第一导电类型半导体基片(11),其中的半导体基片(11)的一部分作为该静电放电保护器件(10)的有源区(13);

在有源区(13)形成第一导电类型的掺杂区(22),其中的第一导电类型掺杂区(22)的横边界由侧壁(25)界定;

在有源区(13)形成第二导电类型的掺杂区(22),其中第二导电类型掺杂区(27)的横向边界由侧壁(28)界定;

形成与第一导电类型掺杂区(22)相接触的第一电极(33);以及

形成与第二导电类型掺杂区(27)相接触的第二电极(34)。

5. 如权利要求4的方法,其中,形成第一导电类型掺杂区(22)的步骤和形成第二导电类型掺杂区(27)的步骤包括形成与第一导电类型的半导体基片(11)的冶金结,其中各部分冶金结起第二导电类型掺杂区的侧壁(28)的作用。

6. 如权利要求4的方法,其中,形成第一导电类型掺杂区(22)的步骤包括形成其结深介于约 $0.25\mu\text{m}$ — $0.4\mu\text{m}$ 范围内、表面浓度介于约 1.0×10^{16} 原子/ cm^3 — $1.0\times 10^{19}/\text{cm}^3$ 范围内的第一导电类型的掺杂区(22),形成第二导电类型掺杂区(27)的步骤包括形成其结深介于约 $0.1\mu\text{m}$ — $0.25\mu\text{m}$ 的范围内、表面浓度介于约 1×10^{16} 原子/ cm^3 — 6×10^{20} 原子/ cm^3 范围内的第二导电类型的掺杂区(27),其中第一导电类型掺杂区(22)与第二导电类型掺杂区(27)的相邻侧壁(25,28)之间的距离至少为 $1\mu\text{m}$ 。

7. 如权利要求 4 的方法, 其中, 形成第一导电类型掺杂区(22)的步骤和形成第二导电类型掺杂区(27)的步骤包括在小于 $2,000\mu\text{m}^2$ 的面积内形成第一和第二导电类型的掺杂区(22,27), 其中的静电放电保护器件(10)的机器模式 ESD 电压至少为 500V。

8. 一种静电放电保护器件(10), 其特征在于:

一具有一表面(12)的半导体基片(11);

一从表面(12)延伸到该半导体基片(11)内的第一掺杂区(22), 第一掺杂区(22)的横向边缘由至少一侧壁(25)界定;

一从表面(12)延伸到该半导体基片(11)的第二掺杂区(27), 第二掺杂区(27)的横向边缘由至少一侧壁(28)界定;

一与第一掺杂区(22)接触的第一电极(33); 以及

一与第二掺杂区(27)接触的第二电极(34)。

9. 如权利要求 8 的静电放电保护器件(10), 其中, 第一掺杂区(22)的至少一个侧壁(25)与第二掺杂区(27)的至少一侧壁(28)之间的距离至少为 $1\mu\text{m}$ 。

10. 如权利要求 8 的静电放电保护器件(10), 其中, 半导体基片(11)包括一含第一掺杂区(22)和第二掺杂区(27)的掺杂阱(18), 该掺杂阱(18)和第一掺杂区(22)是第一导电类型, 而第二掺杂区(27)是第二导电类型, 以及第二掺杂区(27)的至少一侧壁(28)与掺杂阱(18)形成冶金结, 且冶金结的一部分作为二极管的一部分。

说明书

静电放电保护器件及其制造方法

本发明一般涉及电气保护器件，特别涉及保护单片集成电路免受瞬变大电压损伤的集成器件。

众所周知，单片集成电路，因其输入和输出端子受到大的、突发的电压瞬变（如静电放电）而使其受到损伤。例如，在人体和测试设备上可能集聚静电电荷。当带电的人员或测试设备的部件接触到集成电路的输入或输出端时，集聚起的静电电荷就会放电，迫使大电流流入集成器件。该大电流会击穿集成器件内部的介质材料，如栅氧化层，或可使导电材料，如多晶硅或铝互连结熔化，因而使集成电路受到不能恢复的损伤。

通常，集成电路制品包括保护器件，它们使电流旁路，不流过集成器件内的输入和输出线路，因而防止集成器件被大电压瞬变损伤。保护集成器件输入和输出线路的一种技术是由集成器件内的附加元件形成电流旁路结构。这种技术的缺点是：这些结构的击穿电压受到个别集成电路的工艺技术的限制。保护这些电路的另一技术是改善保护线路的能量耗散能力。这是通过将保护电路布局成具有更大的几何形状、更宽的金属互连线、更多、更大的接触点和增加间隔等完成的。这类手段的缺点是增加了集成器件的尺寸，减少了每个半导体片子上的集成电路数目、因而增加了集成电路的制造成本。第

三种技术,使用晶闸管(SCR—可控硅整流器)将电流旁路不流过输入和输出线路。这种技术的缺点是晶闸管对布局和工艺变化很灵敏,这可能导致在正常工作过程中的门锁和漏电。

所以,具有一种保护集成电路免受大电压瞬变冲击的集成电路及制造这种集成电路的方法应是有益的。使该集成器件占据很小面积并能保护集成电路的输入的输出结构也是有益的。

图 1—3 表明根据本发明的一实施方案的静电放电保护器件在加工过程中的部分高放大剖面图;

图 4 表明图 3 的静电放电保护器件的顶视图。

总的来说,本发明提供一种静电放电(ESD)保护器件及其制造方法。根据本发明,是将该静电放电保护器件制作在半导体基片的无场氧化物的区域内。该区被称作静电放电保护器件的有源区。在一个实施方案中,该静电放电保护器件是一个二极管,包括一个与 *P* 区隔开的 *N* 区。*N* 区和 *P* 区按以下步骤制成:将一层光致抗蚀胶涂敷在半导体基片上;在光致抗蚀胶层上形成窗口;露出部分半导体基片;将 *N* 型杂质材料注入或扩散到半导体基片的裸露部位之一,形成 *N* 区;以及将 *P* 型杂质材料注入或扩散到半导体基片的另一裸露部位,形成 *P* 区。然后,形成与 *N* 区和 *P* 区相接触的电极。

图 1 表明在根据本发明一实施方案的工艺过程中的 ESD 保护器件一部分 10 高度放大的剖面图。图 1 所示的是一 *N* 型半导体基片 11,有一主表面 12 和被场氧化物 14 环绕的有源区 13。应予以注意,场氧化物 14 邻近主表面 12 的部位被表示成隆起状或鼓形 17。如本领域的技术人员所应了解的,隆起 17 在场氧化物 14 形成过程中,导致氧化物台阶,其通称为鸟头。形成场氧化物 14 和鸟头 17 的

技术对本领域的技术人员来讲是公知的。

此外,有源区 13 包括一从主表面 12 纵向延伸至半导体基片 11 的 *P* 型掺杂区或掺杂阱 18, 该区域在部分场氧化物 14 之下横向延伸。掺杂区 18 也称作阱或槽, 它可以通过将 *P* 型掺杂剂或杂质材料(如硼)注入到有源区 13 来形成。另一办法是通过将 *P* 型杂质材料扩散到有源区 13 内形成掺杂区 18。举例来说, 掺杂区 18 之结深约为 $3-5\mu\text{m}$, 而 *P* 型杂质材料在掺杂区 18 的表面浓度约为 1×10^{16} 原子/ cm^3 — 1×10^{19} 原子/ cm^3 。形成掺杂区 18 的技术是本领域技术人员所公知的。应予以理解, 半导体基片 11 和掺杂区 18 的导电类型不是对本发明的限制。换言之, 半导体基片 11 可以是 *P* 型的, 而掺杂区 18 可以是 *N* 型的。还应予以理解, 掺杂区 18 的形成方式是随意的。

主表面 12 和场氧化物 14 被涂敷上一层光致抗蚀胶 19。然后, 在光致抗蚀胶层 19 上形成窗口 21, 以便露出部分主表面 12。给主表面 12 和场氧化物 14 涂敷一层光致抗蚀胶 19 及在光致抗蚀胶层 19 上形成窗口 21 的技术是本领域技术人员公知的。

使 *P* 型杂质材料通过窗口 21 注入到半导体基片 11, 形成具有侧壁 25 的掺杂区 22。具体地讲, 将杂质材料注入掺杂区 18。举例来说, 掺杂区 22 的结深约为 $0.2-0.4\mu\text{m}$, 而其表面浓度约为 1.0×10^{15} 原子/ cm^3 — 1.0×10^{16} 原子/ cm^3 。虽然没有表明, 采用本领域的技术人员公知的技术从主表面 12 和场氧化物 14 上去掉光致抗蚀胶层 19。

现在, 参照图 2, 给主表面 12 和场氧化物 14 涂敷一层光致抗蚀胶 23。图中所用的相同标号代表了相同的部件。然后, 在该光致抗

蚀胶层 23 上形成窗口 24, 以露出部分主表面 12。将 N 型杂质材料通过窗口 24 注入到半导体基片 11 中, 形成具有侧壁 28 的掺杂区 27, 其中的侧壁 28 与掺杂区 18 形成冶金结。举例来讲, 掺杂区 27 的结深约为 $0.1-0.25\mu\text{m}$, 而表面浓度约为 1×10^{16} 原子/ $\text{cm}^3-6\times 10^{20}$ 原子/ cm^3 。各第一掺杂区和第二掺杂区的相邻侧壁 25 和 28 的间距至少为 $1\mu\text{m}$ 。应注意, 每个掺杂区 27 均位于两个相邻掺杂区 22 之间, 且至少有一个掺杂区 27 与两个相邻掺杂区 22 之一相邻。而且, 还应注意, 区域 27 和区域 22 是可互换位置的。这就是让每个掺杂区 22 位于两个相邻掺杂区 27 之间, 且让至少一个掺杂区 22 与两个相邻掺杂区 27 之一相邻。换言之, 掺杂区 27 与掺杂区 22 隔开并呈叉指状。采用本领域技术人员公知的技术去掉光致抗蚀胶层 23。应理解, 掺杂区 22 和 27 的形成方法不是对本发明的一种限制。例如, 掺杂区 22 和 27 可以采用扩散技术形成。应予以理解, 为区域 22 和 27 这些实例所提供的形状、结深和表面浓度均不是对本发明的限制。

在图 2 所示的实施方案中, 叉指状掺杂区 22 和 27 形成了多个平行二极管结构, 在位于相邻的侧壁 25 和 28 之间的间隔区 29 中设置各二极管结构的串联电阻。本领域技术人员应了解, 通过分别缩短相邻掺杂区 22 和 27 的侧壁 25 和 28 间的距离可以减小各二极管的串联电阻, 而加宽侧壁 25 和 28 间的距离可增大电阻。根据本发明, 在有源区 13, 尤其在间隔区 29, 即分别在相邻掺杂区 22 和 27 的侧壁 25 和 28 之间不形成场氧化物。还应进一步了解, 侧壁 25 和 28 起到有源二极管区的作用, 因而对于一定的芯片面积增加了有源二极管的面积。

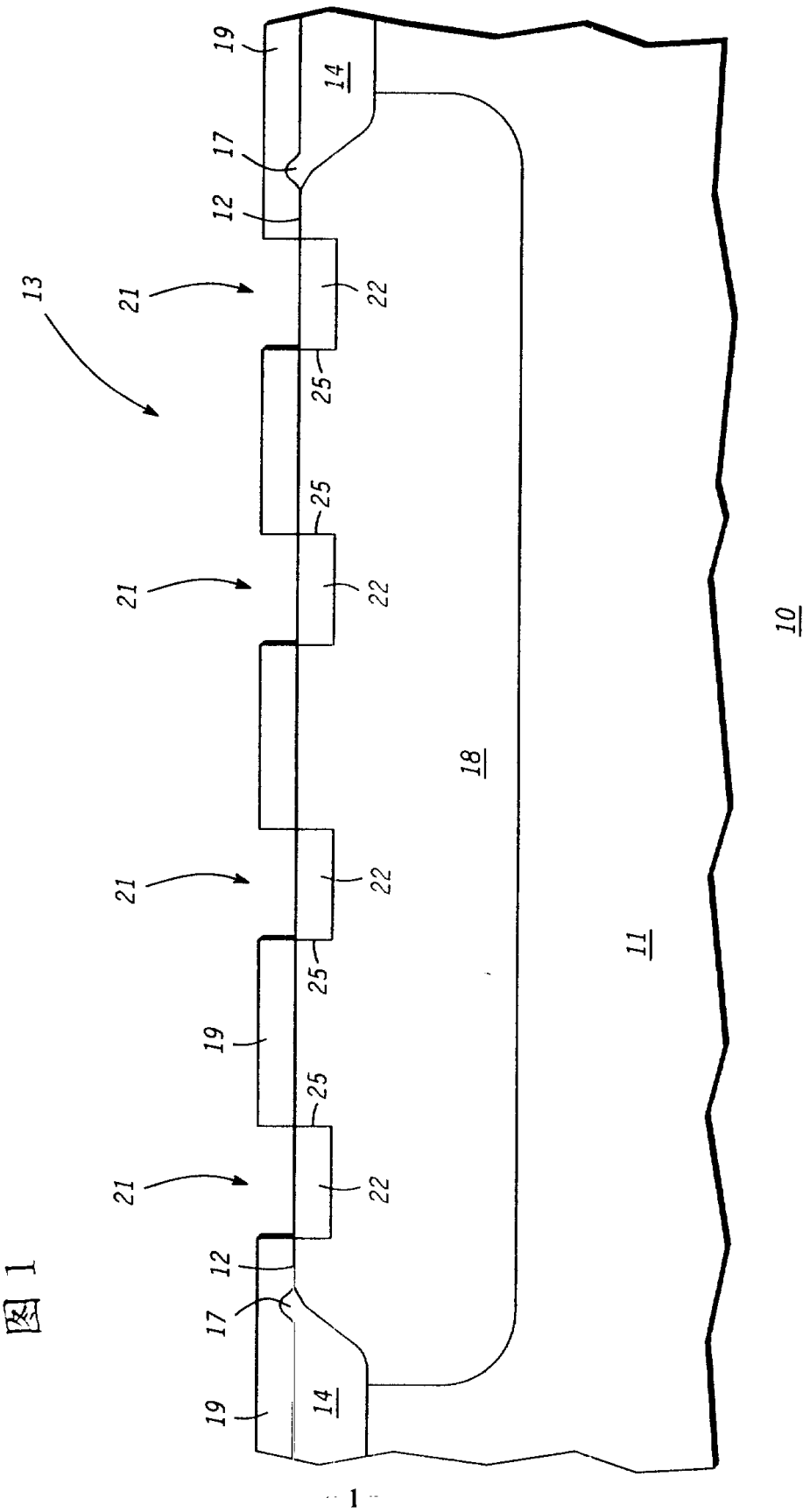
现在参照图 3,用介质材料保形层 31 覆盖主表面 12 和场氧化物 14。适用于介质材料层 31 的材料包括二氧化硅、氮化物和相类似的材料等。举例来说,介质材料层 31 的厚度范围介于约 $5000\text{\AA}$ — $7000\text{\AA}$ 之间。采用本领域技术人员公知的技术,在介质材料层 31 上形成窗口 32,露出掺杂区 22 和 27 的一部分表面 12、以导电材料填充暴露出掺杂区 22 表面 12 的窗口 32,形成阳极电极 33。用导电材料填充暴露出掺杂区 27 的表面 12 的窗口 32,形成阴极电极 34。换言之,阳极电极 33 与掺杂区 22 接触,而阴极电极 34 与掺杂区 27 接触。适用于电极 33 和 34 的材料包括铝、钛、钨、钼、钽及其组合。形成与掺杂区相接触的电极的技术是本领域技术人员公知的。

现在参照图 4,该图表明图 3 的 ESD 保护器件的部分 10 的顶视图。位于介质材料层 31 下方的掺杂区 22 和 27 的位置分别用虚线 37 和 38 表示。此外,间隔区 29 用箭头 39 表示。阳极电极 33 被表示成在掺杂层 22 或部分介质材料层 31 上的多个导电指条。阳极电极 33 最好通过延伸部分 41 与地电位耦合。阴极电极 34 被表示成在掺杂区 27 和部分介质材料层 31 上的多个导电指条。阴极电极 34 与阳极电极 33 最好呈叉指状,各部分阴极电极 34 与接触焊盘 42 耦合。

至此,应当了解已经提供了 ESD 保护器件和制造该 ESD 保护器件的方法。根据本发明所制造的静电放电保护器件的掺杂区面积可以小于 $2000\mu\text{m}^2$,静电放电保护器件的机器模式(machine model) ESD 电压至少为 500V。本发明的 ESD 保护器件最好在无场氧化物的有源区内制作。在一个实施方案中,ESD 保护器件是由两个相互隔开的掺杂区构成的二极管,其中位于两个掺杂区之间的间隔区是无场氧化物的。间隔区内没有场氧化物降低了两个掺杂区之间的寄

生二极管电阻,允许在区域 27 和 18 的结处形成耗尽区,以便在反偏置条件下自由扩展。如果该耗尽区扩散到整个间隔区的范围,则二极管的击穿电压将会降低。寄生电阻的减小和击穿电压的降低两者都导致流过待保护的集成电路的能量降低。因为掺杂区的位置是由光刻工艺所限定的,故间隔区的宽度,即两个掺杂区之间的距离受光刻技术的分辨率限制,而不受所说的掺杂区间的场氧化物宽度限制。再有保护器件的有源区包括掺杂区的侧壁,致使保护器件的有源区变大。此外,本发明的保护器件所击穿的结果位于掺杂区 18 和 27 之间的结。

虽然已经表明和描述了本发明的具体的实施方案,对本领域的技术人员来说,可以做出进一步的变化和改进。应理解,本发明不限于所示的个别形式,其本意在于以所附权利要求覆盖落入本发明精神实质的范畴的本发明的所有改型。例如,根据本发明可制成单个二极管。况且,本发明的阳极和阴极区的连通性是可变化的,例如,叉指状阳极 33 可与除地电位以外的电压电位相连接。



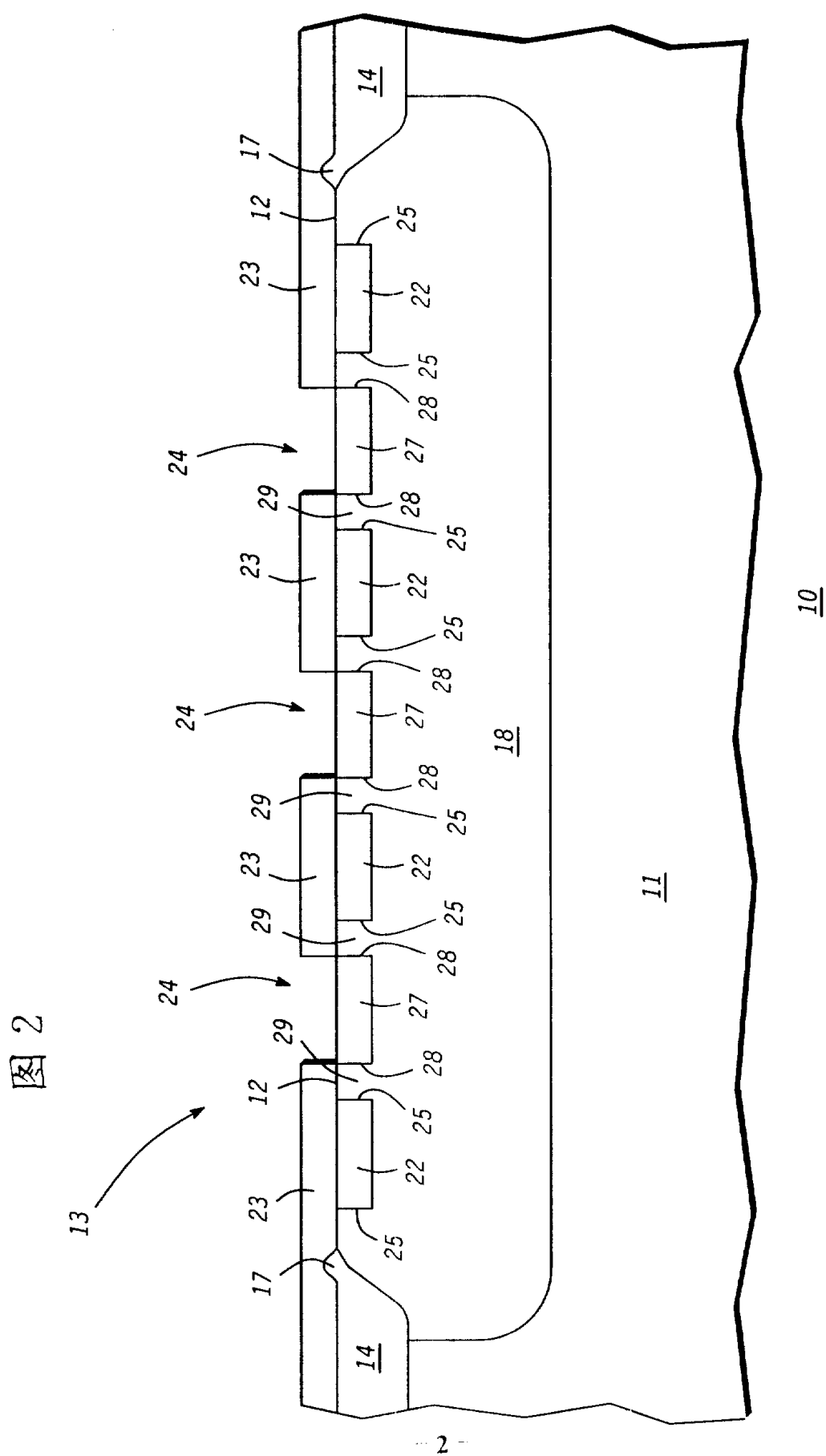


图 3

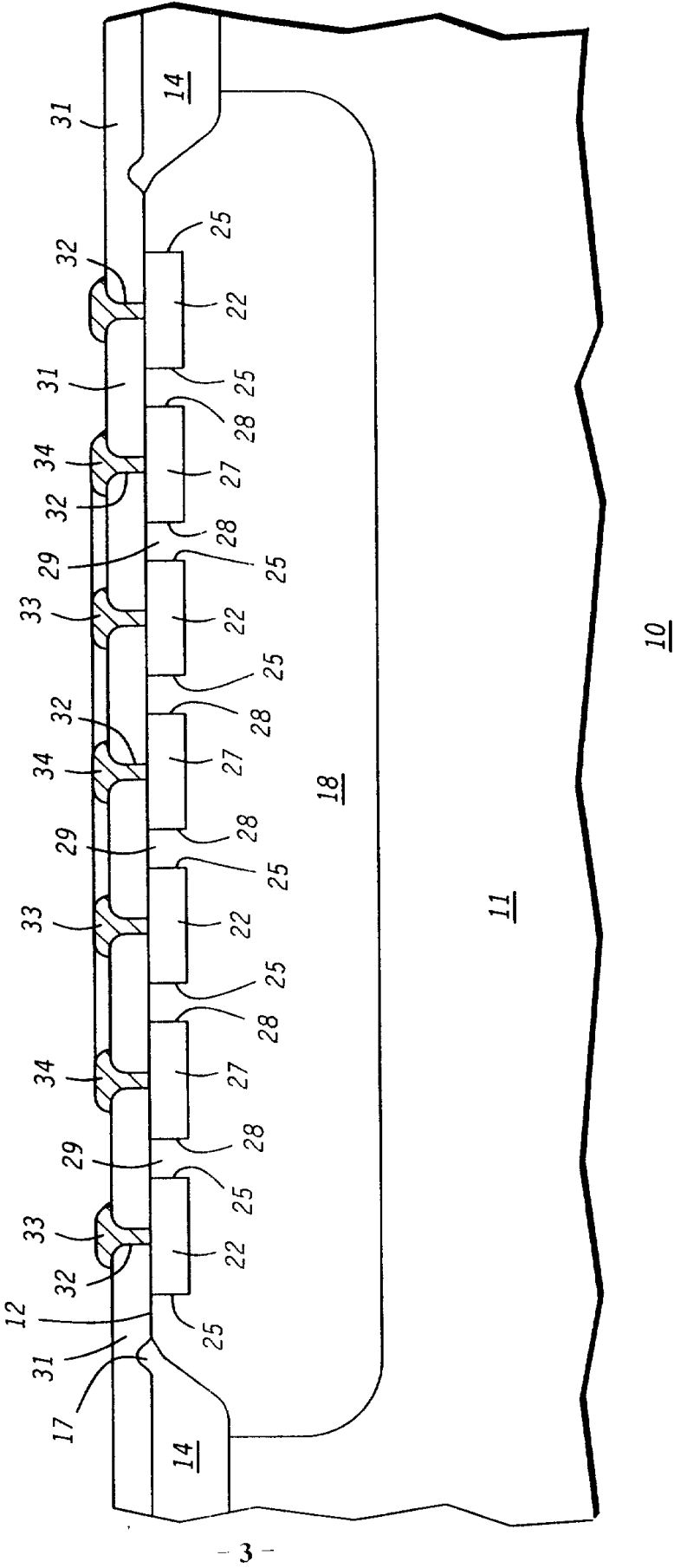


图 4

