

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2021年12月23日(23.12.2021)



(10) 国際公開番号

WO 2021/256290 A1

(51) 国際特許分類:

H01L 31/107 (2006.01) **H04N 5/369** (2011.01)
H01L 27/146 (2006.01) **G01S 7/4865** (2020.01)

(21) 国際出願番号: PCT/JP2021/021302

(22) 国際出願日: 2021年6月4日(04.06.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2020-105876 2020年6月19日(19.06.2020) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 児玉 和俊 (**KODAMA Kazutoshi**); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

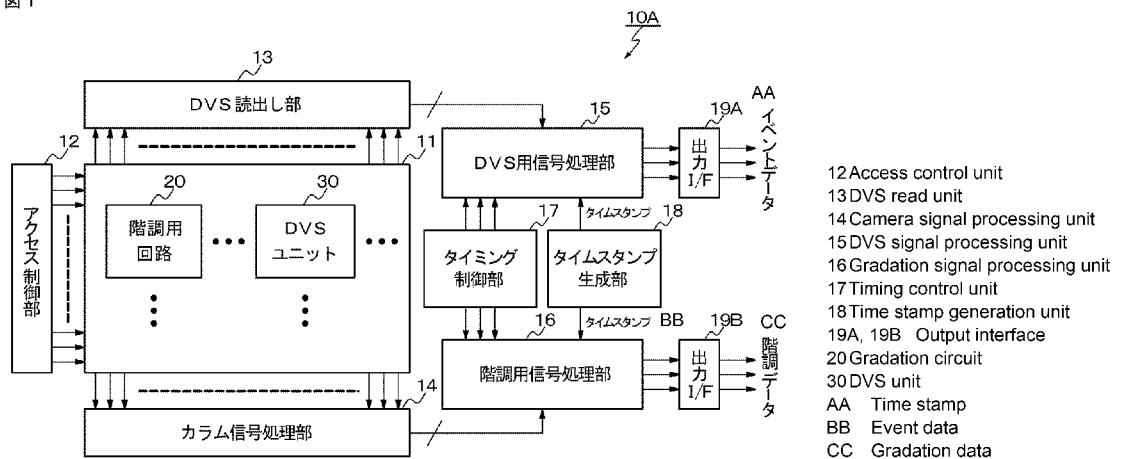
(74) 代理人: 西川 孝, 外 (**NISHIKAWA Takashi et al.**); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: IMAGING DEVICE

(54) 発明の名称: 撮像装置

図1



(57) **Abstract:** An imaging device is provided which can output signals other than event detection signals, such as gradation level pixel signals. This imaging device has a laminate chip structure formed by laminating at least two semiconductor chips, namely a first semiconductor chip and a second semiconductor chip. A pixel array unit is provided on the first semiconductor chip and comprises a mix of: event pixels, which detect the occurrence of events where the amount of change in pixel brightness exceeded a prescribed threshold value, and which output event detection signals; and distance measurement pixels, which receive light that is based on irradiation light from a light source unit and is reflected by the object the distance to which is to be measured, and which generate signals in accordance with the reception of photons.

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告（条約第21条(3)）

An event pixel analog front-end unit, which processes event detection signals, and a distance measurement pixel analog front-end unit, which processes signals of the light receiving elements, are provided on the second semiconductor chip, corresponding to the event pixels and the distance measurement pixels.

(57) 要約：本開示は、階調レベルの画素信号など、イベント検出信号以外の信号を出力することができる撮像装置を提供する。本開示の撮像装置は、1層目の半導体チップ及び2層目の半導体チップの少なくとも2つの半導体チップが積層されて成る積層チップ構造を有する。1層目の半導体チップには、画素の輝度変化量が所定の閾値を超えた事象を、イベントの発生として検出し、イベント検出信号を出力するイベント用画素、及び、光源部からの照射光に基づく、測距対象物からの反射光を受光し、光子の受光に応じて信号を発生する受光素子を含む測距用画素が混在する画素アレイ部が設けられている。2層目の半導体チップには、イベント検出信号を処理するイベント用画素のアナログフロントエンド部、及び、受光素子の信号を処理する測距用画素のアナログフロントエンド部が、イベント用画素及び測距用画素のそれぞれに対応して設けられている。

明 細 書

発明の名称：撮像装置

技術分野

[0001] 本開示は、撮像装置に関する。

背景技術

[0002] 垂直同期信号などの同期信号に同期して撮像を行う走査型（同期型）の撮像装置に対して、DVS（Dynamic Vision Sensor）と呼ばれる非走査型（非同期型）の撮像装置がある（例えば、特許文献1参照）。非走査型の撮像装置は、入射光を光電変換する画素の輝度変化量が所定の閾値を超えた事象を、イベントの発生として検出し、イベント検出信号を出力する。

先行技術文献

特許文献

[0003] 特許文献1：WO 2019/087471 A1

発明の概要

発明が解決しようとする課題

[0004] DVSと呼ばれる非走査型（非同期型）の撮像装置には、イベントの発生を検出することによって、被写体の動き（動体）を検出することができるだけでなく、入射光の光量に応じた階調レベルの画素信号など、イベント検出信号以外の信号を出力することが望まれる。

[0005] 本開示は、イベントの発生を示すイベント検出信号の他に、入射光の光量に応じた階調レベルの画素信号など、イベント検出信号以外の信号を出力することができる撮像装置を提供することを目的とする。

課題を解決するための手段

[0006] 上記の目的を達成するための本開示の撮像装置は、

1層目の半導体チップ及び2層目の半導体チップの少なくとも2つの半導体チップが積層されて成る積層チップ構造を有し、

1層目の半導体チップには、画素の輝度変化量が所定の閾値を超えた事象

を、イベントの発生として検出し、イベント検出信号を出力するイベント用画素、及び、入射光の光量に応じた階調レベルの画素信号を出力する階调用画素が混在する画素アレイ部が設けられており、

2層目の半導体チップには、イベント検出信号を処理するイベント用画素のアナログフロントエンド部、及び、画素信号を処理する階调用画素のアナログフロントエンド部が、イベント用画素及び階调用画素のそれぞれに対応して設けられている。

[0007] 上記の目的を達成するための本開示の他の撮像装置は、

1層目の半導体チップ及び2層目の半導体チップの少なくとも2つの半導体チップが積層されて成る積層チップ構造を有し、

1層目の半導体チップには、画素の輝度変化量が所定の閾値を超えた事象を、イベントの発生として検出し、イベント検出信号を出力するイベント用画素、及び、光源部からの照射光に基づく、測距対象物からの反射光を受光し、光子の受光に応じて信号を発生する受光素子を含む測距用画素が混在する画素アレイ部が設けられており、

2層目の半導体チップには、イベント検出信号を処理するイベント用画素のアナログフロントエンド部、及び、受光素子の信号を処理する測距用画素のアナログフロントエンド部が、イベント用画素及び測距用画素のそれぞれに対応して設けられている。

図面の簡単な説明

[0008] [図1]図1は、本開示の第1実施形態に係る撮像装置のシステム構成の概略を示すブロック図である。

[図2]図2のAは、階调用回路の構成の一例を示すブロック図であり、図2のBは、DVSユニットの構成の一例を示すブロック図である。

[図3]図3は、階调用画素の構成の一具体例を示す回路図である。

[図4]図4は、DVS用画素の構成の一具体例を示す回路図である。

[図5]図5は、アドレスイベント検出部の構成の一例を示すブロック図である。

。

[図6]図6は、本開示の第1実施形態に係る撮像装置における具体例1に係る積層チップ構造を示す概略図である。

[図7]図7のAは、1層目の半導体チップの階調用画素及びDVS用画素と、2層目の半導体チップの各アナログフロントエンド部との対応関係1を示す図であり、図7のBは、その対応関係2を示す図である。

[図8]図8は、階調用画素及びDVS用画素の画素アレイを示すイメージ図である。

[図9]図9は、本開示の第1実施形態に係る撮像装置における具体例2に係る積層チップ構造を示す概略図である。

[図10]図10のAは、本開示の第1実施形態に係る撮像装置における構成例1に係る画素配置を示す図であり、図10のBは、構成例2に係る画素配置を示す図である。

[図11]図11のAは、本開示の第1実施形態に係る撮像装置における構成例3に係る画素配置を示す図であり、図11のBは、構成例4に係る画素配置を示す図である。

[図12]図12のAは、本開示の第1実施形態に係る撮像装置における配置例1に係るDVSユニットの配置及びDVS用AFEとの接続関係を示す図であり、図12のBは、配置例2に係るDVSユニットの配置及びDVS用AFEとの接続関係を示す図である。

[図13]図13のAは、本開示の第1実施形態に係る撮像装置における配置例3に係るDVSユニットの配置及びDVS用AFEとの接続関係を示す図であり、図13のBは、配置例4に係るDVSユニットの配置及びDVS用AFEとの接続関係を示す図である。

[図14]図14のAは、構成例1に係る積層チップ構造の概略を示す図であり、図14のBは、構成例2に係る積層チップ構造の概略を示す図である。

[図15]図15は、構成例3に係る積層チップ構造の概略を示す図である。

[図16]図16は、本開示の第2実施形態に係る撮像装置のシステム構成の概略を示すブロック図である。

[図17]図 1 7 は、測距用画素の基本的な画素回路の構成の一例を示す回路図である。

[図18]図 1 8 の A は、本開示の第 2 実施形態に係る撮像装置における具体例 1 に係る積層チップ構造を示す概略図であり、図 1 8 の B は、具体例 2 に係る積層チップ構造を示す概略図である。

[図19]図 1 9 の A は、本開示の第 2 実施形態に係る撮像装置における構成例 1 に係る画素配置を示す図であり、図 1 9 の B は、構成例 2 に係る画素配置を示す図である。

[図20]図 2 0 の A は、本開示の第 2 実施形態に係る撮像装置における構成例 3 に係る画素配置を示す図であり、図 2 0 の B は、構成例 4 に係る画素配置を示す図である。

[図21]図 2 1 の A は、本開示の第 2 実施形態に係る撮像装置における配置例 1 に係る D V S ユニットの配置及び D V S 用 A F E との接続関係を示す図であり、図 2 1 の B は、配置例 2 に係る D V S ユニットの配置及び D V S 用 A F E との接続関係を示す図である。

[図22]図 2 2 の A は、本開示の第 2 実施形態に係る撮像装置における配置例 3 に係る D V S ユニットの配置及び D V S 用 A F E との接続関係を示す図であり、図 2 2 の B は、配置例 4 に係る D V S ユニットの配置及び D V S 用 A F E との接続関係を示す図である。

[図23]図 2 3 は、本開示の第 3 実施形態に係る撮像装置のシステム構成の概略を示すブロック図である。

発明を実施するための形態

[0009] 以下、本開示の技術を実施するための形態（以下、「実施形態」と記述する）について図面を用いて詳細に説明する。本開示の技術は実施形態に限定されるものではない。以下の説明において、同一要素又は同一機能を有する要素には同一符号を用いることとし、重複する説明は省略する。尚、説明は以下の順序で行う。

1. 本開示の撮像装置、全般に関する説明

2. 第1実施形態に係る撮像装置（イベント用画素＋階調用画素）

2-1. システム構成例

2-1-1. 階調用画素の構成例

2-1-2. DVS用画素の構成例

2-1-3. アドレスイベント検出部の構成例

2-2. 積層チップ構造

2-2-1. 具体例1（2層構造の例）

2-2-2. 具体例2（3層構造の例）

2-3. 画素アレイ部の構成例

2-3-1. 構成例1（階調用画素とDVS用画素とで構成されるユニットを所定の規則に従って並べて配置する例）

2-3-2. 構成例2（DVS用画素を含むユニットを画素行の単位で並べて配置する例）

2-3-3. 構成例3（DVS用画素を含むユニットを画素列の単位で並べて配置する例）

2-3-4. 構成例4（DVS用ユニットを不規則に並べて配置する例）

2-4. DVSユニットの配置例

2-4-1. 配置例1（DVSユニットが正方形に並べて配置された4個のDVS用画素から成る例）

2-4-2. 配置例2（DVSユニットが行方向に並べて配置された4個のDVS用画素から成る例）

2-4-3. 配置例3（DVSユニットが列方向に並べて配置された4個のDVS用画素から成る例）

2-4-4. 配置例4（DVSユニットのサイズが階調用画素のサイズよりも大きい例）

2-5. 階調用画素の場合の積層チップ構造の構成例

2-5-1. 積層チップ構造の構成例1（グローバルシャッタ機能の構

成例)

2-5-2. 積層チップ構造の構成例2 (読出し機能の構成例)

2-5-3. 積層チップ構造の構成例3 (エリアADの構成例)

2-6. 第1実施形態の作用、効果

3. 第2実施形態に係る撮像装置 (イベント用画素+測距用画素)

3-1. システム構成例

3-2. 積層チップ構造

3-2-1. 具体例1 (上チップにSPAD素子を搭載し、下チップにクエンチ回路を搭載する例)

3-2-2. 具体例2 (上チップ上の複数のSPAD素子を単位として、下チップにクエンチ回路及び時間計測部を搭載する例)

3-3. 画素アレイ部の構成例

3-3-1. 構成例1 (DVS用画素と測距用画素で構成されるユニットを行列状に配置する例)

3-3-2. 構成例2 (DVS用画素を含むユニットを画素行の単位で並べて配置する例)

3-3-3. 構成例3 (DVS用画素を含むユニットを画素列の単位で並べて配置する例)

3-3-4. 構成例4 (DVS用ユニットをランダムに配置する例)

3-4. 第2実施形態の作用、効果

4. 第3実施形態に係る撮像装置 (イベント用画素+階調用画素+測距用画素)

5. 変形例

6. 応用例

7. 本開示がとることができる構成

[0010] <本開示の撮像装置、全般に関する説明>

本開示の撮像装置にあつては、所定の数 of イベント用画素をイベント画素ユニットとすると、イベント画素ユニットについて、画素アレイ部内にお

いて、所定の規則に従って並んで配置されている構成とすることができる。

[0011] 上述した好ましい構成を含む本開示の撮像装置にあっては、イベント画素ユニットについて、所定の数の階調画素との組み合わせを画素ユニットとして、画素アレイ部内に配置されている構成とすることができる。また、イベント画素ユニットについて、画素アレイ部の行列状の画素配列において、画素行の単位、あるいは、画素列の単位で並んで配置されている構成とすることができる。

[0012] また、上述した好ましい構成を含む本開示の撮像装置にあっては、所定の数のイベント用画素をイベント画素ユニットとするとき、イベント画素ユニットについて、不規則に並んで画素アレイ部内に配置されている構成とすることができる。

[0013] また、上述した好ましい構成を含む本開示の撮像装置にあっては、イベント用画素について、イベント画素ユニット内において、所定の規則に従って並んで配置されている構成とすることができる。具体的には、イベント用画素について、イベント画素ユニット内において、正方形に並んで、あるいは、行列状の画素配列の行方向に並んで、あるいは、列方向に並んで配置されている構成とすることができる。

[0014] また、上述した好ましい構成を含む本開示の撮像装置にあっては、イベント用画素のサイズについて、階調画素のサイズよりも大きい構成とすることができる。また、階調画素の数について、イベント用画素の数よりも多い構成とすることができる。

[0015] また、上述した好ましい構成を含む本開示の撮像装置にあっては、画素アレイ部には、イベント画素及び階調画素の他に、光源部からの照射光に基づく、測距対象物からの反射光を受光し、光子の受光に応じて信号を発生する受光素子を含む測距用画素が混在している構成とすることができる。そして、2層目の半導体チップには、受光素子を制御するクエンチ回路が、測距用画素に対応して設けられている構成とすることができる。

[0016] また、上述した好ましい構成を含む本開示の撮像装置にあっては、測距用

画素の受光素子について、ガイガーモードで動作するアバランシェフォトダイオードから成る、好ましくは、単一光子アバランシェダイオードから成る構成とすることができる。

[0017] <第1実施形態に係る撮像装置>

本開示の第1実施形態に係る撮像装置は、1層目の半導体チップ及び2層目の半導体チップの少なくとも2つの半導体チップが積層されて成る積層チップ構造を有している。そして、1層目の半導体チップに設けられる画素アレイ部に、イベント用画素と階調用画素とを混在させた構成となっている。

[0018] ここで、イベント用画素は、画素の輝度変化量が所定の閾値を超えた事象を、イベントの発生として検出し、イベント検出信号を出力する画素である。イベント用画素は、DVSと呼ばれる非走査型（非同期型）の撮像装置で用いられる。従って、以下では、イベント用画素について、DVS用画素と記述する場合がある。階調用画素は、入射光の光量に応じた階調レベルの画素信号を出力する。

[0019] [システム構成例]

図1は、本開示の第1実施形態に係る撮像装置のシステム構成の概略を示すブロック図である。

[0020] 図1に示すように、第1実施形態に係る撮像装置10Aは、画素アレイ部11、アクセス制御部12、DVS読出し部13、カラム信号処理部14、DVS用信号処理部15、階調用信号処理部16、タイミング制御部17、タイムスタンプ生成部18、及び、出力インタフェース（I/F）19A、19Bを有する構成となっている。

[0021] 画素アレイ部11には、階調用回路20と、イベント画素ユニットであるDVSユニット30とが混在した状態で設けられている。階調用回路20は、図2のAに示すように、階調用画素21、及び、階調用画素21から出力される画素信号を記憶する階調用メモリ22から構成されている。DVSユニット30は、図2のBに示すように、所定の数（例えば4個）のDVS用画素31を単位として有している。DVSユニット30は

、4個のDVS用画素31の他に、4個のDVS用画素31から出力されるイベント検出信号を選択するセクタ32、及び、セクタ32で選択されたイベント検出信号を処理するDVS用AFE（アナログフロントエンド）35を有している。

[0022] アクセス制御部12は、階調用画素21から、入射光の光量に応じた階調レベルの画素信号を読み出す際に、画素アレイ部11の各階調用画素21に対して各種の駆動信号を出力する。アクセス制御部12は、更に、DVS用画素31からイベント検出信号を読み出す際に、画素アレイ部11の各DVS用画素31に対して行駆動信号を出力する。

[0023] DVS読出し部13は、アクセス制御部12による駆動の下に、画素アレイ部11の各DVS用画素31からイベント検出信号を読み出し、その読み出したイベント検出信号をイベントデータとしてDVS用信号処理部15に供給する。

[0024] カラム信号処理部14は、例えば、階調用画素21の画素列毎に設けられた、画素列数分のアナログーデジタル変換器を有し、アクセス制御部12による駆動の下に、画素アレイ部11の各階調用画素21から読み出されるアナログの画素信号（階調用輝度信号）をデジタルの画素信号に変換し、階調用信号処理部16に供給する。

[0025] DVS用信号処理部15は、DVS読出し部13が、画素アレイ部11の各DVS用画素31から読み出したイベント検出信号に対して、後述するタイムスタンプの付与等の信号処理を施した後、出力インタフェース（I/F）19Aを介して撮像装置10A外へ、イベントデータとして出力する。

[0026] 階調用信号処理部16は、カラム信号処理部14から出力されるデジタルの画素信号に対して、CDS（Correlated Double Sampling：相関二重サンプリング）処理や、後述するタイムスタンプの付与等の信号処理を施した後、出力インタフェース（I/F）19Bを介して撮像装置10A外へ、階調データとして出力する。

[0027] タイミング制御部17は、各種のタイミング信号、クロック信号、及び、

制御信号等を生成し、これら生成した信号を基に、DVS用信号処理部15や階調用信号処理部16等の駆動制御を行う。

[0028] タイムスタンプ生成部18は、DVS読出し部13から出力されるイベントデータ、及び、カラム信号処理部14から出力される画素データに対して、イベントデータや画素データの出力タイミングの相対的な時刻を表すタイムスタンプ（時間情報）を生成する。この生成されたタイムスタンプは、DVS用信号処理部15においてイベントデータに、階調用信号処理部16において画素データに付与される。

[0029] 続いて、階調用画素21及びDVS用画素31の具体的な構成について、一具体例を挙げて説明する。

[0030] （階調用画素の構成例）

図3は、階調用画素21の構成の一具体例を示す回路図である。

[0031] 階調用画素21は、光電変換素子として、例えば、フォトダイオード211を有している。階調用画素21は、フォトダイオード211の他に、転送トランジスタ212、リセットトランジスタ213、増幅トランジスタ214、及び、選択トランジスタ215を有する構成となっている。

[0032] ここでは、転送トランジスタ212、リセットトランジスタ213、増幅トランジスタ214、及び、選択トランジスタ215の4つのトランジスタとしては、例えば、N型のMOS型電界効果トランジスタ（Field Effect Transistor；FET）を用いている。但し、ここで例示した4つのトランジスタ212～215の導電型の組み合わせは一例に過ぎず、これらの組み合わせに限られるものではない。

[0033] この階調用画素21に対して、複数の画素制御線が同一画素行の各階調用画素21に対して共通に配線されている。これら複数の画素制御線は、図1に示すアクセス制御部12の各画素行に対応した出力端に画素行単位で接続されている。アクセス制御部12は、階調用画素21から、入射光の光量に応じた階調レベルの画素信号を読み出す際に、複数の画素制御線に対して各種の駆動信号、具体的には、転送信号TRG、リセット信号RST、及び、

選択信号SELを適宜出力する。

- [0034] フォトダイオード211は、アノード電極が低電位側電源(例えば、グランド)に接続されており、受光した光をその光量に応じた電荷量の光電荷(ここでは、光電子)に光電変換してその光電荷を蓄積する。フォトダイオード211のカソード電極は、転送トランジスタ212を介して増幅トランジスタ214のゲート電極と電氣的に接続されている。ここで、増幅トランジスタ214のゲート電極が電氣的に繋がった領域は、フローティングディフュージョン(浮遊拡散領域/不純物拡散領域)FDである。フローティングディフュージョンFDは、電荷を電圧に変換する電荷電圧変換部である。
- [0035] 転送トランジスタ212のゲート電極には、高レベル(例えば、 V_{DD} レベル)がアクティブとなる転送信号TRGがアクセス制御部12から与えられる。転送トランジスタ212は、転送信号TRGに応答して導通状態となることで、フォトダイオード211で光電変換され、当該フォトダイオード211に蓄積された光電荷をフローティングディフュージョンFDに転送する。
- [0036] リセットトランジスタ213は、高電位側電源電圧 V_{DD} のノードとフローティングディフュージョンFDとの間に接続されている。リセットトランジスタ213のゲート電極には、高レベルがアクティブとなるリセット信号RSTがアクセス制御部12から与えられる。リセットトランジスタ213は、リセット信号RSTに応答して導通状態となり、フローティングディフュージョンFDの電荷を電圧 V_{DD} のノードに捨てることによってフローティングディフュージョンFDをリセットする。
- [0037] 増幅トランジスタ214は、ゲート電極がフローティングディフュージョンFDに、ドレイン電極が高電位側電源電圧 V_{DD} のノードにそれぞれ接続されている。増幅トランジスタ214は、フォトダイオード211での光電変換によって得られる信号を読み出すソースフォロワの入力部となる。すなわち、増幅トランジスタ214は、ソース電極が選択トランジスタ215を介して信号線VSLに接続される。そして、増幅トランジスタ214と、信号線VSLの一端に接続される負荷電流源Iとは、フローティングディフュージ

オンF Dの電圧を信号線V S Lの電位に変換するソースフォロワを構成している。

[0038] 選択トランジスタ215は、ドレイン電極が増幅トランジスタ214のソース電極に接続され、ソース電極が信号線V S Lに接続されている。選択トランジスタ215のゲート電極には、高レベルがアクティブとなる選択信号S E Lがアクセス制御部12から与えられる。選択トランジスタ215は、選択信号S E Lに応答して導通状態となることで、階調用画素21を選択状態として増幅トランジスタ214から出力される信号を信号線V S Lに伝達する。

[0039] 尚、上記の回路例では、階調用画素21の回路構成として、転送トランジスタ212、リセットトランジスタ213、増幅トランジスタ214、及び、選択トランジスタ215から成る、即ち4つのトランジスタ(T r)から成る4 T r構成を例に挙げたが、これに限られるものではない。例えば、選択トランジスタ215を省略し、増幅トランジスタ214に選択トランジスタ215の機能を持たせる3 T r構成とすることもできるし、必要に応じて、トランジスタの数を増やした5 T r以上の回路構成とすることもできる。

[0040] (D V S用画素の構成例)

図4は、D V S用画素31の構成の一具体例を示す回路図である。

[0041] D V Sユニット30を構成する複数(例えば、4個)のD V S用画素31はそれぞれ、光電変換部311及びアドレスイベント検出部312を有する構成となっている。尚、D V S用画素31の周辺回路の一つとして、アービタ部34が設けられている。アービタ部34は、複数のD V S用画素31のそれぞれからのリクエストを調停し、調停結果に基づく応答をD V S用画素31に送信する。

[0042] 上記の構成のD V S用画素31において、光電変換部311は、光電変換素子(受光素子)3111及び制御トランジスタ3112を有する構成となっている。制御トランジスタ3112としては、例えば、N型のM O S (Met al Oxide Semiconductor) トランジスタを用いることができる。

[0043] 光電変換素子（受光素子）3111は、入射光を光電変換して入射光の光量に応じた電荷量の電荷を生成する。制御トランジスタ3112のゲート電極には、例えばアクセス制御部12（図1参照）から転送信号TRGが供給される。制御トランジスタ3112は、転送信号TRGに応答して、光電変換素子3111で光電変換された電荷をアドレスイベント検出部312に供給する。

[0044] アドレスイベント検出部312は、光電変換部3111からの光電流の変化量が所定の閾値を超えたか否かにより、アドレスイベント（以下、単に「イベント」と記述する場合がある）の発生の有無を検出する。アドレスイベントは、例えば、光電流の変化量が上限の閾値を超えた旨を示すオンイベント、及び、光電流の変化量が下限の閾値を下回った旨を示すオフイベントから成る。また、アドレスイベントの検出結果を示すイベントデータ（イベント検出信号）は、例えば、オンイベントの検出結果を示す1ビット、及び、オフイベントの検出結果を示す1ビットから成る。

[0045] アドレスイベントが発生した際に、アドレスイベント検出部312は、イベント検出信号の送信を要求するリクエストをアービタ部34に供給する。そして、アドレスイベント検出部312は、リクエストに対する応答をアービタ部34から受け取ると、イベント検出信号（イベントデータ）をDVS読み出し部13に供給する。

[0046] （アドレスイベント検出部の構成例）

図5は、アドレスイベント検出部312の構成の一例を示すブロック図である。図5に示すように、本構成例に係るアドレスイベント検出部312は、電流電圧変換部3121、バッファ3122、減算器3123、量子化器3124、及び、転送部3125を有する構成となっている。

[0047] 電流電圧変換部3121は、DVS用画素31の光電変換部311からの光電流を、その対数の電圧信号に変換する。電流電圧変換部3121は、電流電圧変換部3121で変換した電圧信号をバッファ3122に供給する。バッファ3122は、電流電圧変換部3121から供給される電圧信号をバ

ッファリングし、減算器 3 1 2 3 に供給する。

[0048] 減算器 3 1 2 3 には、アクセス制御部 1 2（図 1 参照）から行駆動信号が供給される。減算器 3 1 2 3 は、行駆動信号に従って、バッファ 3 1 2 2 から供給される電圧信号のレベルを低下させる。そして、減算器 3 1 2 3 は、レベル低下後の電圧信号を量子化器 3 1 2 4 に供給する。量子化器 3 1 2 4 は、減算器 3 1 2 3 から供給される電圧信号をデジタル信号に量子化してイベント検出信号（イベントデータ）として転送部 3 1 2 5 に出力する。

[0049] 転送部 3 1 2 5 は、量子化器 3 1 2 4 から供給されるイベント検出信号（イベントデータ）をアービタ部 3 4 等に転送する。この転送部 3 1 2 5 は、アドレスイベントの発生が検出された際に、イベント検出信号の送信を要求するリクエストをアービタ部 3 4 に供給する。そして、転送部 3 1 2 5 は、リクエストに対する応答をアービタ部 3 4 から受け取ると、イベント検出信号（イベントデータ）を DVS 読出し部 1 3 に供給する。DVS 用画素 3 1 からのイベントデータの読出しについては、複数行読出しとすることも可能である。

[0050] [積層チップ構造]

図 1 では、第 1 実施形態に係る撮像装置 1 0 A のシステム構成について、便宜上、画素アレイ部 1 1、アクセス制御部 1 2、DVS 読出し部 1 3、コラム信号処理部 1 4、DVS 用信号処理部 1 5、階調用信号処理部 1 6、タイミング制御部 1 7、及び、タイムスタンプ生成部 1 8 等が平面的に配置された、所謂、平置構造として図示している。但し、第 1 実施形態に係る撮像装置 1 0 A は、1 層目の半導体チップ及び 2 層目の半導体チップの少なくとも 2 つの半導体チップが積層されて成る積層チップ構造を有している。以下に、積層チップ構造の具体例について説明する。

[0051]（具体例 1）

具体例 1 は、積層チップ構造が 2 層構造の例である。具体例 1 に係る積層チップ構造の概略図を図 6 に示す。

[0052] 図 6 に示すように、具体例 1 に係る積層チップ構造は、1 層目の半導体チ

ップ4 1 及び2 層目の半導体チップ4 2 が積層された2 層構造となっている。そして、1 層目の半導体チップ4 1 には、階調用画素2 1 及びDVS 用画素3 1 が混在する画素アレイ部1 1 が設けられている。すなわち、1 層目の半導体チップ4 1 は、階調用画素2 1 及びDVS 用画素3 1 が設けられた画素チップである。

[0053] 2 層目の半導体チップ4 2 には、1 層目の半導体チップ4 1 の画素アレイ部1 1 に対応して画素AFE（アナログフロントエンド）領域4 4 が設けられている。そして、画素AFE 領域4 4 には、階調用メモリ2 2（図2 のA 参照）を含む階調用画素2 1 用のアナログフロントエンド部、及び、DVS 用AFE 3 5（図2 のB 参照）を含むDVS 用画素3 1 用のアナログフロントエンド部が、階調用画素2 1 及びDVS 用画素3 1 に対応して設けられている。すなわち、2 層目の半導体チップ4 2 は、画素AFE 領域4 4 が設けられた画素AFE チップである。

[0054] 2 層目の半導体チップ4 2 には、更に、画素AFE 領域4 4 の周辺領域に、アクセス制御部1 2、DVS 読出し部1 3、カラム信号処理部1 4、DVS 用信号処理部1 5、階調用信号処理部1 6、タイミング制御部1 7、及び、タイムスタンプ生成部1 8 等が設けられている。尚、1 層目の半導体チップ4 1 の階調用画素2 1 及びDVS 用画素3 1 と、2 層目の半導体チップ4 2 の各アナログフロントエンド部とは、Cu-Cu 接合を含む金属-金属接合、シリコン貫通電極（Through Silicon Via：TSV）、マイクロバンプ等から成る接合部4 5 A、4 5 B を介して電氣的に接続される。

[0055] ここで、上チップである1 層目の半導体チップ4 1 の階調用画素2 1 及びDVS 用画素3 1 と、下チップである2 層目の半導体チップ4 2 の階調用画素2 1 用のアナログフロントエンド部2 5 及びDVS 用画素3 1 用のアナログフロントエンド部3 5 との対応関係について説明する。

[0056] 図7 のA は、1 層目の半導体チップ4 1 の階調用画素2 1 及びDVS 用画素3 1 と、2 層目の半導体チップ4 2 の各アナログフロントエンド部2 5、3 5 との対応関係1 を示す図である。図7 のA に示す対応関係1 では、1 層

目の半導体チップ41において、例えば4個のDVS用画素31を単位としてDVSユニット30を構成している。そして、DVS用画素31について、DVSユニット30の単位で、DVS用画素31用のアナログフロントエンド部35と対応付けられている。また、階調用画素21について、階調用画素21用のアナログフロントエンド部25と1対1で対応付けられている。

[0057] 図7のBは、1層目の半導体チップ41の階調用画素21及びDVS用画素31と、2層目の半導体チップ42の各アナログフロントエンド部25, 35との対応関係2を示す図である。図7のBに示す対応関係2では、1層目の半導体チップ41において、例えば4個のDVS用画素31でDVSユニット30を構成し、これに対応して階調用画素21についても4個の画素を単位として階調画素ユニット24を構成している。そして、1層目の半導体チップ41と2層目の半導体チップ42との間では、階調画素ユニット24及びDVSユニット30と、各アナログフロントエンド部25, 35とを、ユニット単位で1対1で対応付けられている。

[0058] 図8に、階調用画素21及びDVS用画素31の画素アレイのイメージ図を示す。ここでは、上チップである1層目の半導体チップ41の階調用画素21について、R（赤色）／G（緑色）／B（青色）のペイヤー配列を例示している。図8に示すイメージ図の例では、R／G_r／G_b／Bのペイヤー配列の画素アレイ中に、部分的に、DVS用画素31が配置された構成となっている。図8から明らかなように、階調用画素21の数は、イベント用画素であるDVS用画素31の数よりも多い構成となっている。このように、DVS用画素31に比べて階調用画素21の数を多く配置することで、階調データの画質の向上を図ることができる。

[0059] 下チップである2層目の半導体チップ42では、DVS用画素31用のアナログフロントエンド部35については、縦2×横2の4個のDVS用画素31で共有し、階調用画素21用のアナログフロントエンド部25については、画素単位で上チップの階調用画素21と電氣的に接続され、電圧ドメイ

ンのグローバルシャッタを実現する。

[0060] (具体例 2)

具体例 2 は、積層チップ構造が 3 層構造の例である。具体例 2 に係る積層チップ構造の概略図を図 9 に示す。

[0061] 図 9 に示すように、具体例 2 に係る積層チップ構造は、1 層目の半導体チップ 4 1、2 層目の半導体チップ 4 2、及び、3 層目の半導体チップ 4 3 が積層された 3 層構造となっている。そして、1 層目の半導体チップ 4 1 には、階調用画素 2 1 及び D V S 用画素 3 1 が混在する画素アレイ部 1 1 が設けられている。すなわち、1 層目の半導体チップ 4 1 は、階調用画素 2 1 及び D V S 用画素 3 1 が設けられた画素チップである。

[0062] 2 層目の半導体チップ 4 2 には、1 層目の半導体チップ 4 1 の画素アレイ部 1 1 に対応して画素 A F E (アナログフロントエンド) 領域 4 4 が設けられている。そして、画素 A F E 領域 4 4 には、階調用メモリ 2 2 (図 2 の A 参照) を含む階調用画素 2 1 用のアナログフロントエンド部、及び、D V S 用 A F E 3 5 (図 2 の B 参照) を含む D V S 用画素 3 1 用のアナログフロントエンド部が、階調用画素 2 1 及び D V S 用画素 3 1 に対応して設けられている。すなわち、2 層目の半導体チップ 4 2 は、画素 A F E 領域 4 4 が設けられた画素 A F E チップである。

[0063] 3 層目の半導体チップ 4 3 には、アクセス制御部 1 2、D V S 読出し部 1 3、カラム信号処理部 1 4、D V S 用信号処理部 1 5、階調用信号処理部 1 6、タイミング制御部 1 7、及び、タイムスタンプ生成部 1 8 等が設けられている。尚、1 層目の半導体チップ 4 1 と 2 層目の半導体チップ 4 2 とは、C u - C u 接合を含む金属 - 金属接合、T S V、マイクロバンプ等から成る接合部 4 5 A、4 5 B を介して電氣的に接続され、2 層目の半導体チップ 4 2 と 3 層目の半導体チップ 4 3 とは、C u - C u 接合を含む金属 - 金属接合、T S V、マイクロバンプ等から成る接合部 4 5 B、4 5 C を介して電氣的に接続される。

[0064] 上記の具体例では、積層チップ構造として、2 層構造及び 3 層構造を例示

したが、2層構造及び3層構造に限定されるものではなく、4層以上の積層チップ構造とすることも可能である。

[0065] [画素アレイ部の構成例]

続いて、第1実施形態に係る撮像装置10Aにおける階調用画素21及びDVS用画素31が混在する画素アレイ部11の構成例について説明する。

[0066] (構成例1)

画素アレイ部11の構成例1は、階調用画素21とDVS用画素31とで構成されるユニットを、画素アレイ部11内において、所定の規則に従って並べて配置する例である。構成例1に係る画素配置を図10のAに示す。

[0067] 構成例1に係る画素配置は、例えば、4個の画素(R/G_r/G_b/B)を単位とする12個の階調用画素21、及び、4個のDVS用画素31を単位とするDVSユニット30が正方形に並んで配置されて成る画素ユニットXを行列状に2次元配置した構成となっている。構成例1に係る画素配置によれば、ユニット単位で階調データとイベントデータとを紐付けることができる。

[0068] (構成例2)

構成例2は、DVS用画素31を含むユニットを画素行の単位で並べて配置する例である。構成例2に係る画素配置を図10のBに示す。

[0069] 構成例2に係る画素配置は、例えば、4個の画素(R/G_r/G_b/B)を単位とする12個の階調用画素21、及び、4個のDVS用画素31を単位とするDVSユニット30が正方形に並んで配置されて成る画素ユニットXを、画素行の単位で並べて配置した構成となっている。構成例2に係る画素配置によれば、階調用画素21のアクセス時に、DVS用画素31が存在しない(即ち、欠陥がない)画素行を選択することができる。

[0070] (構成例3)

構成例3は、DVS用画素31を含むユニットを画素列の単位で並べて配置する例である。構成例3に係る画素配置を図11のAに示す。

[0071] 構成例3に係る画素配置は、例えば、4個の画素(R/G_r/G_b/B)

を単位とする12個の階調用画素21、及び、4個のDVS用画素31を単位とするDVSユニット30が正方形に並んで配置されて成る画素ユニットXを、画素列の単位で並べて配置した構成となっている。構成例3に係る画素配置によれば、構成例2に係る画素配置の場合に比べて、画素行に含まれるイベントデータ量を揃えることができるため、安定した画質の階調データ(R/G/Bのデータ)を取得することができる。この点については、構成例1に係る画素配置の場合も同様である。

[0072] (構成例4)

構成例4は、DVSユニット30を不規則に並べて配置する例である。構成例4に係る画素配置を図11のBに示す。

[0073] 構成例4に係る画素配置は、例えば、4個のDVS用画素31を単位とするDVSユニット30をランダムに、例えば、4個のDVS用画素31を正方形に並べて配置、あるいは、行方向/列方向に並べて配置した構成となっている。構成例4に係る画素配置によれば、圧縮センシングと同様に、高解像なデータを復元することができる。

[0074] [DVSユニットの配置例]

続いて、第1実施形態に係る撮像装置10AにおけるDVSユニット30の構成例について説明する。ここでは、例えば4個のDVS用画素31を単位としてDVSユニット30を構成するとき、DVSユニット30の配置、及び、積層チップ構造におけるDVSユニット30とDVS用AFE(アナログフロントエンド)35との接続関係について説明する。DVS用画素31は、DVSユニット30内において、所定の規則に従って並んで配置される。

[0075] (配置例1)

配置例1は、DVSユニット30が正方形に並んで配置された4個のDVS用画素31から成る例である。配置例1に係るDVSユニット30の配置、及び、DVS用AFE35との接続関係を図12のAに示す。DVSユニット30の配置例1では、正方形に並んで配置された4個のDVS用画素3

1 に対し、DVS 用画素 31 の 4 個分の矩形領域の大きさの 1 つの DVS 用 AFE 35 を対応付けて電氣的に接続するようにしている。

[0076] (配置例 2)

配置例 2 は、DVS ユニット 30 が行方向に並んで配置された 4 個の DVS 用画素 31 から成る例である。配置例 2 に係る DVS ユニットの配置、及び、DVS 用 AFE 35 との接続関係を図 12 の B に示す。DVS ユニット 30 の配置例 2 では、行方向に並んで横長の長方形状に配置された 4 個の DVS 用画素 31 に対し、DVS 用画素 31 の 4 個分の横長の長方形の領域の大きさの 1 つの DVS 用 AFE 35 を対応付けて電氣的に接続するようにしている。

[0077] (配置例 3)

配置例 3 は、DVS ユニット 30 が列方向に並んで配置された 4 個の DVS 用画素 31 から成る例である。配置例 3 に係る DVS ユニットの配置、及び、DVS 用 AFE 35 との接続関係を図 13 の A に示す。DVS ユニット 30 の配置例 3 では、列方向に並んで縦長の長方形状に配置された 4 個の DVS 用画素 31 に対し、DVS 用画素 31 の 4 個分の縦長の長方形の領域の大きさの 1 つの DVS 用 AFE 35 を対応付けて電氣的に接続するようにしている。

[0078] (配置例 4)

配置例 4 は、DVS ユニット 30 のサイズが階調用画素 21 のサイズよりも大きい例である。配置例 4 に係る DVS ユニットの配置、及び、DVS 用 AFE 35 との接続関係を図 13 の B に示す。DVS ユニット 30 の配置例 4 では、DVS ユニット 30 のサイズを、階調用画素 21 のサイズよりも大きい、例えば、正方形に並んで配置された DVS 用画素 31 の 4 個分の大きさのサイズとして構成している。そして、DVS ユニット 30 に対して、当該 DVS ユニット 30 と同じ大きさの 1 つの DVS 用 AFE 35 を対応付けて電氣的に接続するようにしている。

[0079] [階調用画素の場合の積層チップ構造の構成例]

続いて、階調用画素 2 1 の場合の積層チップ構造の構成例について説明する。

[0080] (積層チップ構造の構成例 1)

積層チップ構造の構成例 1 は、グローバルシャッタ機能の構成例である。構成例 1 に係る積層チップ構造の概略を図 1 4 の A に示す。構成例 1 に係る積層チップ構造では、上チップである 1 層目の半導体チップ 4 1 には、フォトダイオード 2 1 1、転送トランジスタ 2 1 2、及び、バッファ 2 1 6 が画素毎に行列状に 2 次元配置される。また、下チップである 2 層目の半導体チップ 4 2 には、信号成分（所謂、D 相データ）及びリセット成分（所謂、P 相データ）を処理するデータ処理部 2 1 7 等が画素に対応して搭載される。

[0081] (積層チップ構造の構成例 2)

積層チップ構造の構成例 2 は、読出し機能の構成例である。構成例 2 に係る積層チップ構造の概略を図 1 4 の A に示す。構成例 2 に係る積層チップ構造では、上チップである 1 層目の半導体チップ 4 1 には、フォトダイオード 2 1 1 及び転送トランジスタ 2 1 2 が画素毎に行列状に 2 次元配置される。また、下チップである 2 層目の半導体チップ 4 2 には、リセットトランジスタ 2 1 3、増幅トランジスタ 2 1 4、及び、選択トランジスタ 2 1 5 等が画素に対応して搭載される。

[0082] (積層チップ構造の構成例 3)

積層チップ構造の構成例 3 は、エリア A D の構成例である。構成例 3 に係る積層チップ構造の概略を図 1 5 に示す。構成例 3 に係る積層チップ構造では、上チップである 1 層目の半導体チップ 4 1 には、例えば図 3 に示す回路構成の階調用画素 2 1 が行列状に 2 次元配置される。また、下チップである 2 層目の半導体チップ 4 2 には、2 次元配置の階調用画素 2 1 に対応してアナログーデジタル変換器（A D C）1 4 1 が搭載される。この構成がエリア A D の構成例である。

[0083] [第 1 実施形態の作用、効果]

以上説明したように、第 1 実施形態に係る撮像装置 1 0 A は、画素アレイ

部 1 1 に、階調用画素 2 1 と、イベント用画素である D V S 用画素 3 1 とを混在させた構成となっている。従って、第 1 実施形態に係る撮像装置 1 0 A によれば、イベントの発生を示すイベント検出信号（イベントデータ）のみならず、入射光の光量に応じた階調レベルの画素信号（階調データ）を出力することができる。これにより、一例として、D V S 用画素 3 1 で被写体の動きを検出し、イベントデータを用いて補正を行うことで、暗い環境下においても、モーションブラーが無く、且つ、階調用画素 2 1 を用いて S / N に優れた階調データを取得するなど撮像を実現できる。

[0084] <第 2 実施形態に係る撮像装置>

本開示の第 2 実施形態に係る撮像装置は、1 層目の半導体チップ及び 2 層目の半導体チップの少なくとも 2 つの半導体チップが積層されて成る積層チップ構造を有し、1 層目の半導体チップに設けられる画素アレイ部に、イベント用画素と測距用画素とを混在させた構成となっている。

[0085] ここで、測距用画素は、光源部からの照射光に基づく、測距対象物からの反射光を受光し、光子の受光に応じて信号を発生する受光素子（光検出素子）を含む画素である。光子の受光に応じて信号を発生する受光素子としては、例えば、S P A D（Single Photon Avalanche Diode：単一光子アバランシェダイオード）素子を例示することができる。S P A D 素子は、ブレークダウン電圧（降伏電圧）を超えた逆電圧で素子を動作させる、D C 的な安定点が無いガイガーモードと呼ばれる領域で動作する。

[0086] 尚、ここでは、画素の受光素子として、S P A D 素子を例示したが、S P A D 素子に限定されるものではない。すなわち、受光素子としては、S P A D 素子の他に、A P D（アバランシェフォトダイオード）や、S i P M（シリコンフォトマルチプライヤ）等、ガイガーモードで動作する種々の素子を用いることができる。

[0087] [システム構成例]

図 1 6 は、本開示の第 2 実施形態に係る撮像装置のシステム構成の概略を示すブロック図である。

- [0088] 第2実施形態に係る撮像装置10Bは、画素アレイ部11、アクセス制御部12、DVS読出し部13、DVS用信号処理部15、タイミング制御部17、タイムスタンプ生成部18、及び、出力インタフェース(I/F)19Aの他、時間計測部(Time-to-Digital Converter: TDC)61、測距用信号処理部62、及び、出力インタフェース19Cを有する構成となっている。
- [0089] 画素アレイ部11には、DVSユニット30と測距用画素50とが混在した状態で設けられている。DVSユニット30としては、イベント用画素であるDVS用画素31を含む第1実施形態で例示した構成のもの(図2のB参照)を用いることができる。
- [0090] 測距用画素50の基本的な画素回路の構成の一例を図17に示す。ここでは、1画素分の基本構成を図示している。測距用画素50は、例えば、受光素子としてのSPAD素子51、クエンチ回路52、及び、読出し回路53を有する構成となっている。
- [0091] SPAD素子51は、カソード電極が第1電源に接続され、アノード電極がクエンチ回路52を介して第2電源に接続されている。SPAD素子51のカソード電極には、第1電源から、アバランシェ増倍が発生する大きな電圧、即ち、ブレークダウン電圧以上の電圧が印加される。
- [0092] クエンチ回路52は、SPAD素子51の端子間電圧、即ち、カソード電極とアノード電極との間の電圧を、PNダイオードのブレークダウン電圧よりも下げることで、アバランシェ増倍を停止させる。この動作が、所謂、クエンチ動作である。
- [0093] 読出し回路53は、例えば、P型MOSトランジスタ Q_p 及びN型MOSトランジスタ Q_n から成るCMOSインバータ回路によって構成されており、SPAD素子51の反応エッジを検出する。読出し回路53の検出出力は、SPAD出力(画素出力)として、図16に示す時間計測部(TDC)61に供給される。
- [0094] 上記の構成の第2実施形態に係る撮像装置10Bでは、DVS用画素31

を備え、イベント情報を取得可能な構成に加えて、光子の受光に応じて信号を発生するSPAD素子51を含む測距用画素50を備え、測定対象物（被写体）までの距離の測定が可能な構成となっている。

[0095] 測距対象物までの距離を測定する測定法として、例えば、測距対象物に向けて光源部から照射した光が、当該測距対象物で反射されて戻ってくるまでの時間を計測するToF（Time of Flight：飛行時間）法を採用することができる。ToF法を採用するために、第2実施形態に係る撮像装置10Bの外部装置として、測距対象物に向けて光を照射するための光源部70が設けられている。第2実施形態に係る撮像装置10Bと光源部70との組み合わせによって測距装置（システム）を構成することができる。

[0096] 光源部70は、例えば半導体レーザから成り、レーザ駆動部（図示せず）によって駆動されることにより、測定対象物（被写体）に向けてレーザ光を照射する。光源部70からの照射レーザ光は、測定対象物（被写体）で反射され、その反射光は、SPAD素子51を含む測距用画素50に入射する。

[0097] 図16に説明を戻す。時間計測部（TDC）61は、測距用画素50から出力されるSPAD出力に基づいて、測定対象物に向けて照射したレーザ光が、当該測定対象物で反射されて戻ってくるまでの時間を計測する。時間計測は複数回実行され、複数回計測された時間を積み上げたToFヒストグラムのピークの位置を検出することによって時間を計測する。

[0098] 時間計測の方法としては、光源部70から測定対象物に向けてレーザ光を照射したタイミングから、測距用画素50が測定対象物からの反射光を受光したタイミングまでの時間を計測する方法を例示することができる。時間計測のその他の方法として、光源部70から所定の周期でパルス光を照射し、測距用画素50が当該パルス光を受光した際の周期を検出し、発光の周期と受光の周期との位相差から時間を計測する方法を例示することができる。

[0099] 時間計測部61の計測結果は、測距用信号処理部62に供給される。測距用信号処理部62は、時間計測部61の計測結果に対して所定の信号処理を施した後、出力インタフェース19Cを介して測距データとして出力する。

[0100] [積層チップ構造]

図16では、第2実施形態に係る撮像装置10Bのシステム構成について、便宜上、画素アレイ部11、アクセス制御部12、DVS読出し部13、時間計測部61、DVS用信号処理部15、測距用信号処理部62、タイミング制御部17、及び、タイムスタンプ生成部18等が平面的に配置された平置構造として図示している。但し、第2実施形態に係る撮像装置10Bは、第1実施形態に係る撮像装置10Aと同様に、1層目の半導体チップ及び2層目の半導体チップの少なくとも2つの半導体チップが積層されて成る積層チップ構造を有している。

[0101] 以下に、積層チップ構造の具体例について説明する。以下では、2層構造を例に挙げて説明するが、積層チップ構造としては、2層構造に限定されるものではなく、第1実施形態に係る撮像装置10Aの場合と同様に、3層以上の積層チップ構造とすることも可能である。

[0102] (具体例1)

具体例1は、上チップである1層目の半導体チップ41にSPAD素子51を搭載し、下チップである2層目の半導体チップ42にクエンチ回路52を搭載する例である。具体例1に係る積層チップ構造の概略図を図18のAに示す。

[0103] 図18のAに示すように、具体例1に係る積層チップ構造では、上チップである1層目の半導体チップ41上にアレイ状に配置されて成るSPAD素子51に対して、下チップである2層目の半導体チップ42上には、SPAD素子51のクエンチ動作を制御するクエンチ回路52及び読出し回路53が、1対1の対応関係を持って搭載された構成となっている。

[0104] (具体例2)

具体例2は、上チップである1層目の半導体チップ41上の複数のSPAD素子51を単位として、下チップである2層目の半導体チップ42にクエンチ回路52及び時間計測部(TDC)61を搭載する例である。具体例2に係る積層チップ構造の概略図を図18のBに示す。

[0105] 図18のBに示すように、具体例2に係る積層チップ構造では、上チップである1層目の半導体チップ41上にアレイ状に配置されて成る複数のSPAD素子51を単位として、下チップである2層目の半導体チップ42上には、クエンチ回路52、読出し回路53、及び、時間計測部(TDC)61が、1対1の対応関係を持って搭載された構成となっている。

[0106] [画素アレイ部の構成例]

続いて、第2実施形態に係る撮像装置10BにおけるDVS用画素31及び測距用画素50が混在する画素アレイ部11の構成例について説明する。

[0107] (構成例1)

画素アレイ部11の構成例1は、DVS用画素31とSPAD素子51とで構成されるユニットを行列状に配置する例である。構成例1に係る画素配置を図19のAに示す。

[0108] 構成例1に係る画素配置は、例えば、4個のDVS用画素31、及び、12個のSPAD素子51を単位とするDVSユニット30が正方形に並んで配置されて成る画素ユニットXを行列状に2次元配置した構成となっている。構成例1に係る画素配置によれば、ユニット単位で測距データとイベントデータとを紐付けることができる。

[0109] (構成例2)

構成例2は、DVS用画素31を含むユニットを画素行の単位で並べて配置する例である。構成例2に係る画素配置を図19のBに示す。

[0110] 構成例2に係る画素配置は、例えば、4個のDVS用画素31、及び、12個のSPAD素子51を単位とするDVSユニット30が正方形に並べて配置されて成る画素ユニットXを、画素行の単位で並べて配置した構成となっている。構成例2に係る画素配置によれば、SPAD素子51のアクセス時に、DVS用画素31が存在しない(即ち、欠陥がない)画素行を選択することができる。

[0111] (構成例3)

構成例3は、DVS用画素31を含むユニットを画素列の単位で並べて配

置する例である。構成例 3 に係る画素配置を図 20 の A に示す。

- [0112] 構成例 3 に係る画素配置は、例えば、4 個の DVS 用画素 31、及び、12 個の SPAD 素子 51 を単位とする DVS ユニット 30 が正方形に並べて配置されて成る画素ユニット X を、画素列の単位で並べて配置した構成となっている。構成例 3 に係る画素配置によれば、構成例 2 に係る画素配置の場合に比べて、画素行に含まれるイベントデータ量を揃えることができるため、安定した画質の階調データ（R/G/B のデータ）を取得することができる。この点については、構成例 1 に係る画素配置の場合も同様である。

- [0113] （構成例 4）

構成例 4 は、DVS ユニット 30 をランダムに配置する例である。構成例 4 に係る画素配置を図 20 の B に示す。

- [0114] 構成例 4 に係る画素配置は、例えば、4 個の DVS 用画素 31 を単位とする DVS ユニット 30 をランダムに、例えば、4 個の DVS 用画素 31 を正方形に並べて配置、あるいは、行方向／列方向に並べて配置した構成となっている。構成例 4 に係る画素配置によれば、圧縮センシングと同様に、高解像なデータを復元することができる。

- [0115] [DVS ユニットの配置例]

続いて、第 2 実施形態に係る撮像装置 10B における DVS ユニット 30 の構成例について説明する。ここでは、例えば 4 個の DVS 用画素 31 を単位として DVS ユニット 30 を構成するとき、DVS ユニット 30 の配置、及び、積層チップ構造における DVS ユニット 30 と DVS 用 AFE（アナログフロントエンド）35 との接続関係について説明する。

- [0116] （配置例 1）

配置例 1 は、DVS ユニット 30 が正方形に並んで配置された 4 個の DVS 用画素 31 から成る例である。配置例 1 に係る DVS ユニット 30 の配置、及び、DVS 用 AFE 35 との接続関係を図 21 の A に示す。DVS ユニット 30 の配置例 1 では、正方形に並んで配置された 4 個の DVS 用画素 31 に対し、DVS 用画素 31 の 4 個分の矩形領域の大きさの 1 つの DVS 用

A F E 3 5 を対応付けて電氣的に接続するようにしている。

[0117] (配置例 2)

配置例 2 は、D V S ユニット 3 0 が行方向に並んで配置された 4 個の D V S 用画素 3 1 から成る例である。配置例 2 に係る D V S ユニットの配置、及び、D V S 用 A F E 3 5 との接続関係を図 2 1 の B に示す。D V S ユニット 3 0 の配置例 2 では、行方向に並んで横長の長方形に配置された 4 個の D V S 用画素 3 1 に対し、D V S 用画素 3 1 の 4 個分の横長の長方形の領域の大きさの 1 つの D V S 用 A F E 3 5 を対応付けて電氣的に接続するようにしている。

[0118] (配置例 3)

配置例 3 は、D V S ユニット 3 0 が列方向に並んで配置された 4 個の D V S 用画素 3 1 から成る例である。配置例 3 に係る D V S ユニットの配置、及び、D V S 用 A F E 3 5 との接続関係を図 2 2 の A に示す。D V S ユニット 3 0 の配置例 3 では、列方向に並んで縦長の長方形に配置された 4 個の D V S 用画素 3 1 に対し、D V S 用画素 3 1 の 4 個分の縦長の長方形の領域の大きさの 1 つの D V S 用 A F E 3 5 を対応付けて電氣的に接続するようにしている。

[0119] (配置例 4)

配置例 4 は、D V S ユニット 3 0 のサイズが S P A D 素子 5 1 を含む測距用画素 5 0 のサイズよりも大きい例である。配置例 4 に係る D V S ユニットの配置、及び、D V S 用 A F E 3 5 との接続関係を図 2 2 の B に示す。D V S ユニット 3 0 の配置例 4 では、D V S ユニット 3 0 のサイズを、S P A D 素子 5 1 を含む測距用画素 5 0 のサイズよりも大きい、例えば、正方形に並んで配置された D V S 用画素 3 1 の 4 個分の大きさのサイズとして構成している。そして、D V S ユニット 3 0 に対して、当該 D V S ユニット 3 0 と同じ大きさの 1 つの D V S 用 A F E 3 5 を対応付けて電氣的に接続するようにしている。

[0120] [第 2 実施形態の作用、効果]

以上説明したように、第2実施形態に係る撮像装置10Bは、イベント用画素であるDVS用画素31と、SPAD素子51を含む測距用画素50とを混在させた構成となっている。従って、第2実施形態に係る撮像装置10Bによれば、イベントの発生を示すイベントデータのみならず、測定対象物（被写体）までの距離情報である測距データを出力することができる。これにより、例えば、DVS用画素31で動体を検出し、その検出した動体のみ、測距データに基づいて測距を行うようにすることで、全被写体に対して測距を行う場合に比べて、低消費電力での測距を実現することができる。

[0121] <第3実施形態に係る撮像装置>

本開示の第3実施形態に係る撮像装置は、1層目の半導体チップ及び2層目の半導体チップの少なくとも2つの半導体チップが積層されて成る積層チップ構造を有し、1層目の半導体チップに設けられる画素アレイ部に、イベント用画素、階調用画素、及び、測距用画素とを混在させた構成となっている。すなわち、本開示の第3実施形態に係る撮像装置は、第1実施形態に係る撮像装置の構成と、第2実施形態に係る撮像装置の構成とを組み合わせた構成となっている。

[0122] [システム構成例]

図23は、本開示の第3実施形態に係る撮像装置のシステム構成の概略を示すブロック図である。

[0123] 第3実施形態に係る撮像装置10Cは、画素アレイ部11、アクセス制御部12、DVS読出し部13、カラム信号処理部14、DVS用信号処理部15、階調用信号処理部16、タイミング制御部17、タイムスタンプ生成部18、及び、出力インタフェース19A、19Bを有する。これは、図1に示す第1実施形態に係る撮像装置10Aの構成である。第3実施形態に係る撮像装置10Cは、更に、時間計測部(TDC)61、測距用信号処理部62、及び、出力インタフェース19Cを有する。これは、図16に示す第2実施形態に係る撮像装置10Bの構成である。

[0124] [第3実施形態の作用、効果]

以上説明したように、第3実施形態に係る撮像装置10Cは、イベント用画素であるDVS用画素31、イベント用画素であるDVS用画素31、及び、SPAD素子51を含む測距用画素50を混在させた構成となっている。従って、第3実施形態に係る撮像装置10Cによれば、イベントの発生を示すイベントデータのみならず、入射光の光量に応じた階調レベルの画素信号（階調データ）、及び、測定対象物（被写体）までの距離情報である測距データを出力することができる。

[0125] これにより、第1実施形態の作用、効果、及び、第2実施形態の作用、効果を得ることができる。具体的には、一例として、DVS用画素31で被写体の動きを検出し、イベントデータを用いて補正を行うことで、暗い環境下においても、モーションブラー無しで、且つ、階调用画素21を用いてS/Nに優れた階調データを取得するなど撮像を実現できる。また、例えば、DVS用画素31で動体を検出し、その検出した動体のみ、測距データに基づいて測距を行うようにすることで、全被写体に対して測距を行う場合に比べて、低消費電力での測距を実現することができる。

[0126] <変形例>

以上、本開示に係る技術について、好ましい実施形態に基づき説明したが、本開示に係る技術は当該実施形態に限定されるものではない。上記の実施形態において説明した、イベント用画素及び階调用画素が混在する第1実施形態に係る撮像装置、イベント用画素及び測距用画素が混在する第2実施形態に係る撮像装置、並びに、イベント用画素、階调用画素、及び、測距用画素が混在する第3実施形態に係る撮像装置の構成、構造は例示であり、適宜、変更することができる。

[0127] <応用例>

第1実施形態に係る撮像装置、第2実施形態に係る撮像装置、あるいは、第3実施形態に係る撮像装置は、可視光、赤外光、紫外光、X線等の光をセンシングする様々な装置に使用することができる。様々な装置の具体例について以下に列挙する。

[0128] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供され装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0129] <本開示がとることができる構成>

尚、本開示は、以下のような構成をとることもできる。

[0130] ≪A. 撮像装置≫

[A-01] 1層目の半導体チップ及び2層目の半導体チップの少なくとも2つの半導体チップが積層されて成る積層チップ構造を有し、

1層目の半導体チップには、画素の輝度変化量が所定の閾値を超えた事象を、イベントの発生として検出し、イベント検出信号を出力するイベント用画素、及び、入射光の光量に応じた階調レベルの画素信号を出力する階调用画素が混在する画素アレイ部が設けられており、

2層目の半導体チップには、イベント検出信号を処理するイベント用画素のアナログフロントエンド部、及び、画素信号を処理する階调用画素のアナ

ログフロントエンド部が、イベント用画素及び階調用画素のそれぞれに対応して設けられている、

撮像装置。

〔A-02〕 所定の数のイベント用画素をイベント画素ユニットとするとき、

イベント画素ユニットは、画素アレイ部内において、所定の規則に従って並んで配置されている、

上記〔A-01〕に記載の撮像装置。

〔A-03〕 イベント画素ユニットは、所定の数の階調用画素との組み合わせを画素ユニットとして、画素アレイ部内に配置されている、

上記〔A-02〕に記載の撮像装置。

〔A-04〕 イベント画素ユニットは、画素アレイ部の行列状の画素配列において、画素行の単位で並んで配置されている、

上記〔A-02〕に記載の撮像装置。

〔A-05〕 イベント画素ユニットは、画素アレイ部の行列状の画素配列において、画素列の単位で並んで配置されている、

上記〔A-02〕に記載の撮像装置。

〔A-06〕 所定の数のイベント用画素をイベント画素ユニットとするとき、

イベント画素ユニットは、不規則に並んで画素アレイ部内に配置されている、

上記〔A-01〕に記載の撮像装置。

〔A-07〕 イベント用画素は、イベント画素ユニット内において、所定の規則に従って並んで配置されている、

上記〔A-02〕に記載の撮像装置。

〔A-08〕 イベント用画素は、イベント画素ユニット内において、正方形に並んで配置されている、

上記〔A-07〕に記載の撮像装置。

〔A－０９〕 イベント用画素は、イベント画素ユニット内において、行列状の画素配列の行方向に並んで配置されている、

上記〔A－０７〕に記載の撮像装置。

〔A－１０〕 イベント用画素は、イベント画素ユニット内において、行列状の画素配列の列方向に並んで配置されている、

上記〔A－０７〕に記載の撮像装置。

〔A－１１〕 イベント用画素のサイズは、階調用画素のサイズよりも大きい、

上記〔A－０７〕に記載の撮像装置。

〔A－１２〕 階調用画素の数は、イベント用画素の数よりも多い、

上記〔A－０１〕乃至上記〔A－１１〕のいずれかに記載の撮像装置。

〔A－１３〕 画素アレイ部には、イベント画素及び階調画素の他に、光源部からの照射光に基づく、測距対象物からの反射光を受光し、光子の受光に応じて信号を発生する受光素子を含む測距用画素が混在している、

上記〔A－０１〕に記載の撮像装置。

〔A－１４〕 ２層目の半導体チップには、受光素子を制御するクエンチ回路が、測距用画素に対応して設けられている、

上記〔A－１３〕に記載の撮像装置。

〔A－１５〕 測距用画素の受光素子は、ガイガーモードで動作するアバランシェフォトダイオードから成る、

上記〔A－１３〕又は上記〔A－１４〕に記載の撮像装置。

〔A－１６〕 測距用画素の受光素子は、単一光子アバランシェダイオードから成る、

上記〔A－１５〕に記載の撮像装置。

[0131] ≪B. 他の撮像装置≫

〔B－０１〕 １層目の半導体チップ及び２層目の半導体チップの少なくとも２つの半導体チップが積層されて成る積層チップ構造を有し、

１層目の半導体チップには、画素の輝度変化量が所定の閾値を超えた事象

を、イベントの発生として検出し、イベント検出信号を出力するイベント用画素、及び、光源部からの照射光に基づく、測距対象物からの反射光を受光し、光子の受光に応じて信号を発生する受光素子を含む測距用画素が混在する画素アレイ部が設けられており、

2層目の半導体チップには、イベント検出信号を処理するイベント用画素のアナログフロントエンド部、及び、受光素子の信号を処理する測距用画素のアナログフロントエンド部が、イベント用画素及び測距用画素のそれぞれに対応して設けられている、

撮像装置。

〔B-02〕2層目の半導体チップには、受光素子を制御するクエンチ回路が、測距用画素に対応して設けられている、

上記〔B-01〕に記載の撮像装置。

〔B-03〕測距用画素の受光素子は、ガイガーモードで動作するアバランシェフォトダイオードから成る、

上記〔B-01〕又は上記〔B-02〕に記載の撮像装置。

〔B-04〕測距用画素の受光素子は、単一光子アバランシェダイオードから成る、

上記〔B-03〕に記載の撮像装置。

符号の説明

[0132] 10A・・・第1実施形態に係る撮像装置、10B・・・第2実施形態に係る撮像装置、10C・・・第3実施形態に係る撮像装置、11・・・画素アレイ部、12・・・アクセス制御部、13・・・DVS制御部、14・・・カラム信号処理部、15・・・DVS用信号処理部、16・・・階調用信号処理部、17・・・タイミング制御部、18・・・タイムスタンプ生成部、19A、19B・・・出力インタフェース(I/F)、20・・・階調回路、21・・・階調用画素、22・・・階調用メモリ、24・・・階調画素ユニット、30・・・DVSユニット(イベント画素ユニット)、31・・・DVS用画素、32・・・セクタ、35・・・DVS用AFE(アナ

ログフロントエンド)、41・・・1相目の半導体チップ、42・・・2相目の半導体チップ、43・・・3相目の半導体チップ、50・・・測距用回路、51・・・SPAD素子、52・・・クエンチ回路、53・・・読出し回路、61・・・時間計測部(TDC)、62・・・測距用信号処理部、70・・・光源部

請求の範囲

- [請求項1] 1層目の半導体チップ及び2層目の半導体チップの少なくとも2つの半導体チップが積層されて成る積層チップ構造を有し、
- 1層目の半導体チップには、画素の輝度変化量が所定の閾値を超えた事象を、イベントの発生として検出し、イベント検出信号を出力するイベント用画素、及び、入射光の光量に応じた階調レベルの画素信号を出力する階调用画素が混在する画素アレイ部が設けられており、
- 2層目の半導体チップには、イベント検出信号を処理するイベント用画素のアナログフロントエンド部、及び、画素信号を処理する階调用画素のアナログフロントエンド部が、イベント用画素及び階调用画素のそれぞれに対応して設けられている、
- 撮像装置。
- [請求項2] 所定の数のイベント用画素をイベント画素ユニットとするとき、
- イベント画素ユニットは、画素アレイ部内において、所定の規則に従って並んで配置されている、
- 請求項1に記載の撮像装置。
- [請求項3] イベント画素ユニットは、所定の数の階调用画素との組み合わせを画素ユニットとして、画素アレイ部内に配置されている、
- 請求項2に記載の撮像装置。
- [請求項4] イベント画素ユニットは、画素アレイ部の行列状の画素配列において、画素行の単位で並んで配置されている、
- 請求項2に記載の撮像装置。
- [請求項5] イベント画素ユニットは、画素アレイ部の行列状の画素配列において、画素列の単位で並んで配置されている、
- 請求項2に記載の撮像装置。
- [請求項6] 所定の数のイベント用画素をイベント画素ユニットとするとき、
- イベント画素ユニットは、不規則に並んで画素アレイ部内に配置されている、

請求項 1 に記載の撮像装置。

[請求項7] イベント用画素は、イベント画素ユニット内において、所定の規則に従って並んで配置されている、

請求項 2 に記載の撮像装置。

[請求項8] イベント用画素は、イベント画素ユニット内において、正方形に並んで配置されている、

請求項 7 に記載の撮像装置。

[請求項9] イベント用画素は、イベント画素ユニット内において、行列状の画素配列の行方向に並んで配置されている、

請求項 7 に記載の撮像装置。

[請求項10] イベント用画素は、イベント画素ユニット内において、行列状の画素配列の列方向に並んで配置されている、

請求項 7 に記載の撮像装置。

[請求項11] イベント用画素のサイズは、階調用画素のサイズよりも大きい、
請求項 7 に記載の撮像装置。

[請求項12] 階調用画素の数は、イベント用画素の数よりも多い、
請求項 1 に記載の撮像装置。

[請求項13] 画素アレイ部には、イベント画素及び階調画素の他に、光源部からの照射光に基づく、測距対象物からの反射光を受光し、光子の受光に応じて信号を発生する受光素子を含む測距用画素が混在している、
請求項 1 に記載の撮像装置。

[請求項14] 2 層目の半導体チップには、受光素子を制御するクエンチ回路が、測距用画素に対応して設けられている、
請求項 1 3 に記載の撮像装置。

[請求項15] 測距用画素の受光素子は、ガイガーモードで動作するアバランシェフォトダイオードから成る、
請求項 1 3 に記載の撮像装置。

[請求項16] 測距用画素の受光素子は、単一光子アバランシェダイオードから成

る、

請求項 1 5 に記載の撮像装置。

[請求項17] 1 層目の半導体チップ及び2 層目の半導体チップの少なくとも2 つの半導体チップが積層されて成る積層チップ構造を有し、

1 層目の半導体チップには、画素の輝度変化量が所定の閾値を超えた事象を、イベントの発生として検出し、イベント検出信号を出力するイベント用画素、及び、光源部からの照射光に基づく、測距対象物からの反射光を受光し、光子の受光に応じて信号を発生する受光素子を含む測距用画素が混在する画素アレイ部が設けられており、

2 層目の半導体チップには、イベント検出信号を処理するイベント用画素のアナログフロントエンド部、及び、受光素子の信号を処理する測距用画素のアナログフロントエンド部が、イベント用画素及び測距用画素のそれぞれに対応して設けられている、

撮像装置。

[請求項18] 2 層目の半導体チップには、受光素子を制御するクエンチ回路が、測距用画素に対応して設けられている、

請求項 1 7 に記載の撮像装置。

[請求項19] 測距用画素の受光素子は、ガイガーモードで動作するアバランシェフォトダイオードから成る、

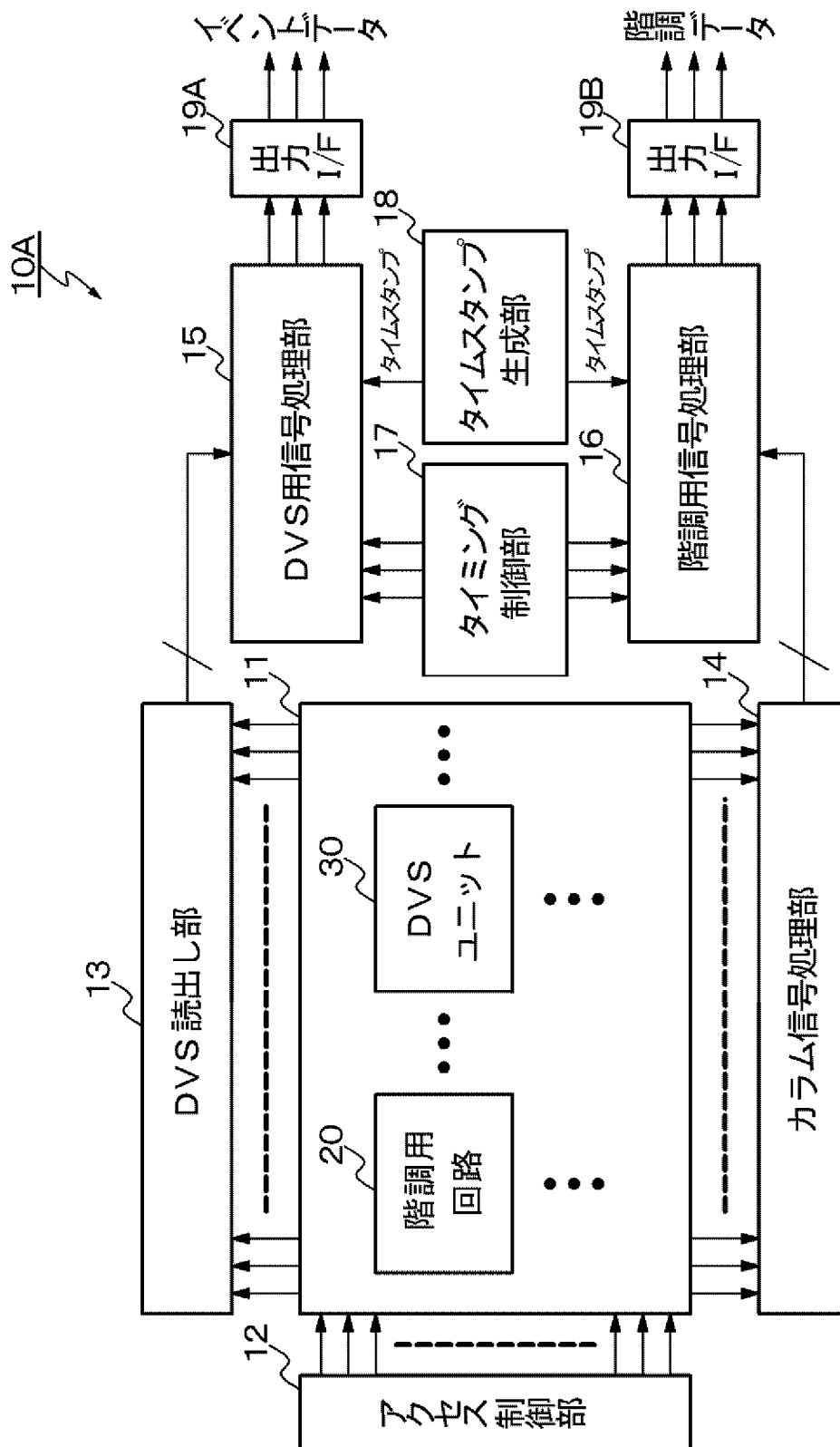
請求項 1 7 に記載の撮像装置。

[請求項20] 測距用画素の受光素子は、単一光子アバランシェダイオードから成る、

請求項 1 9 に記載の撮像装置。

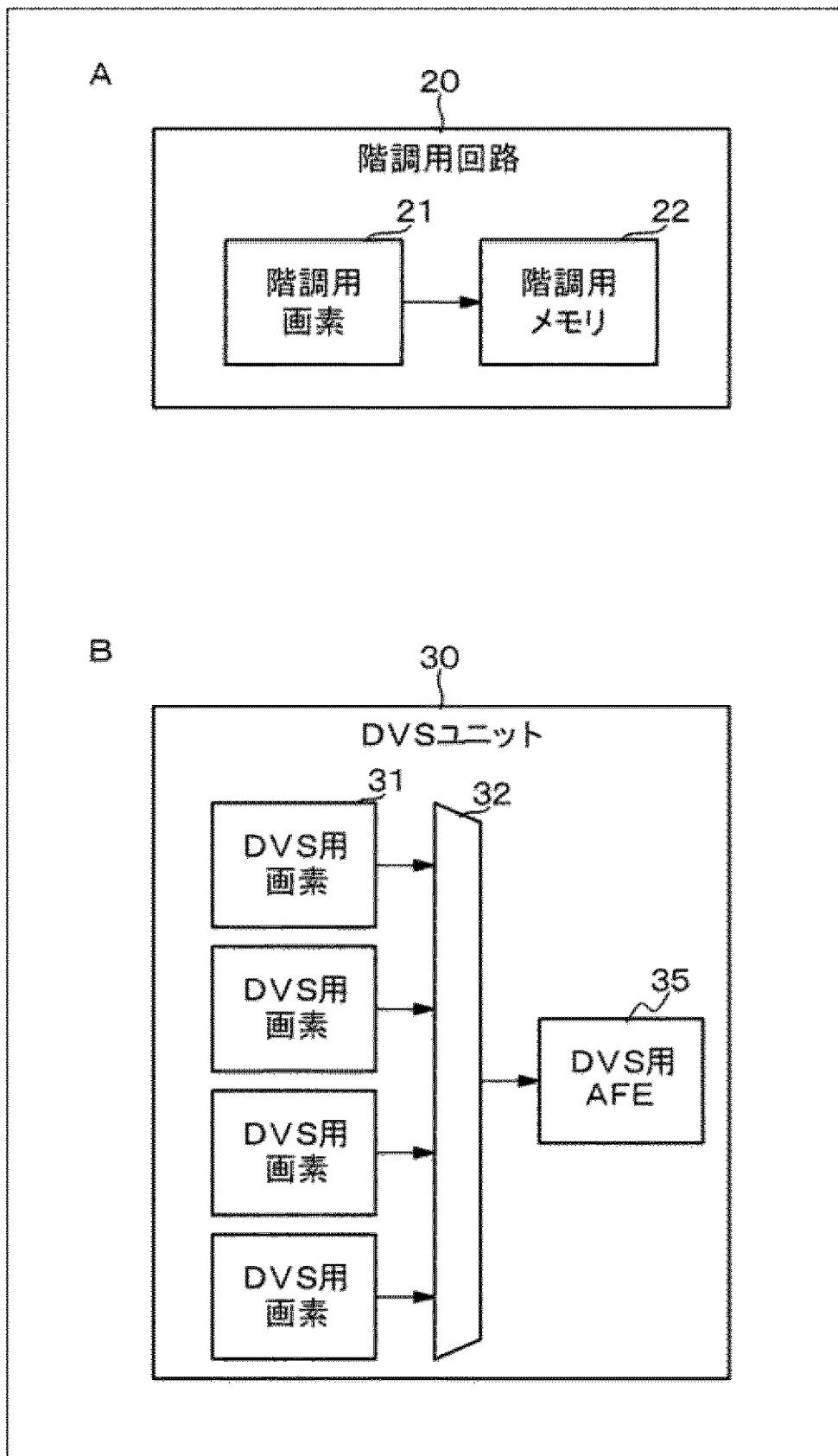
[図1]

図 1



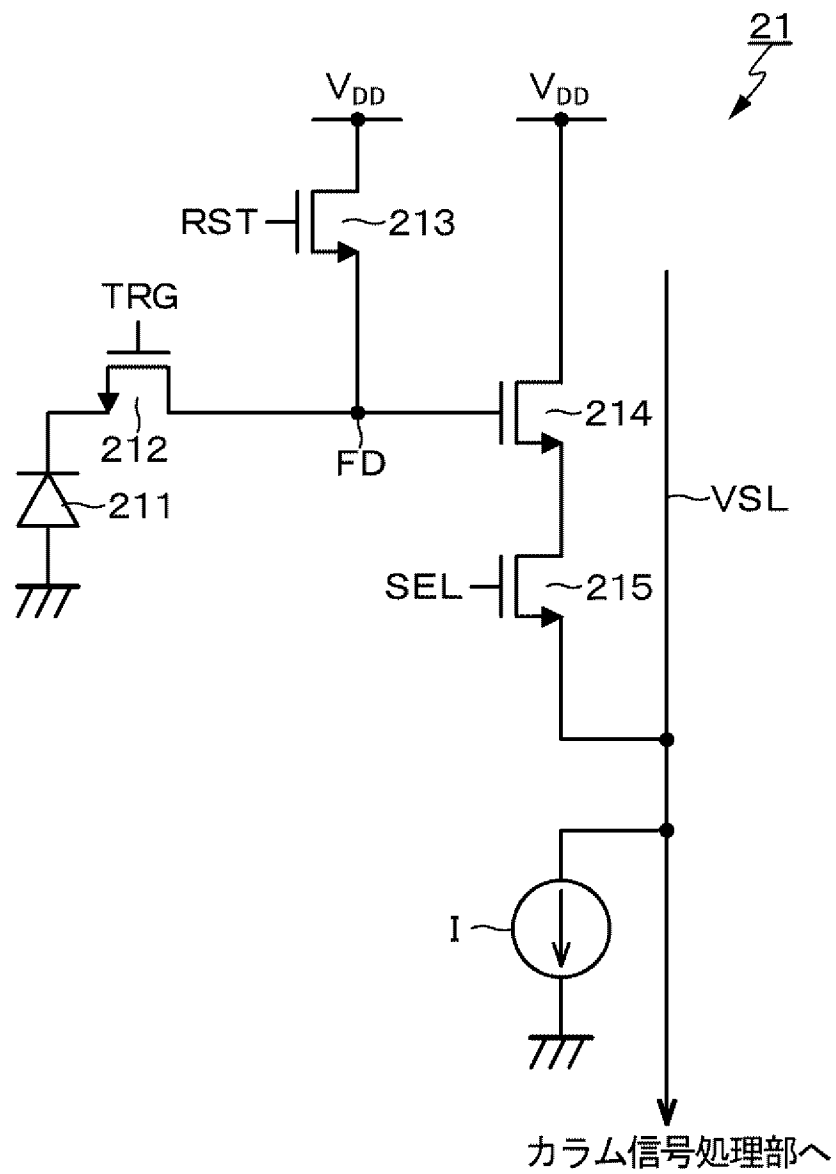
[図2]

図 2



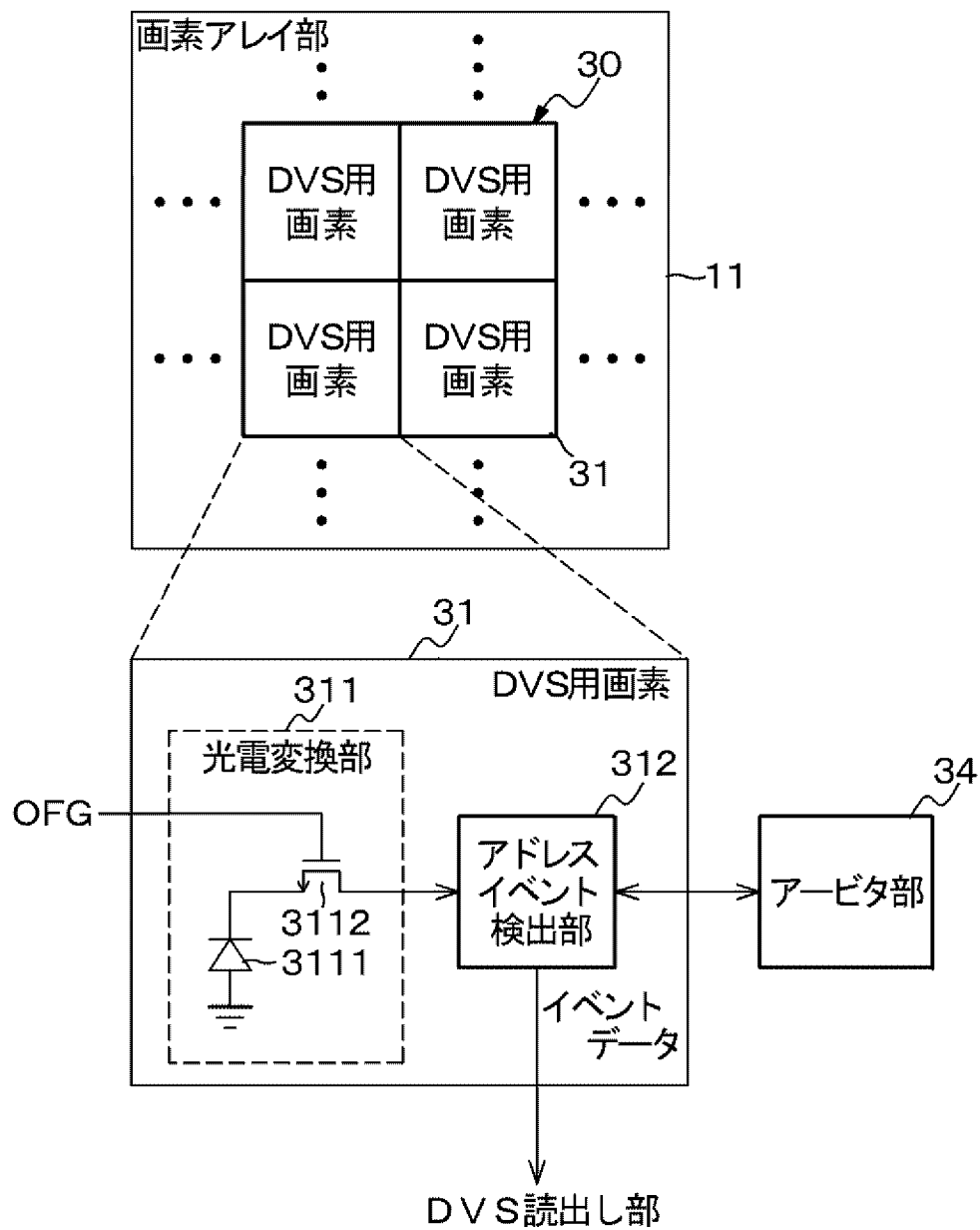
[図3]

図 3



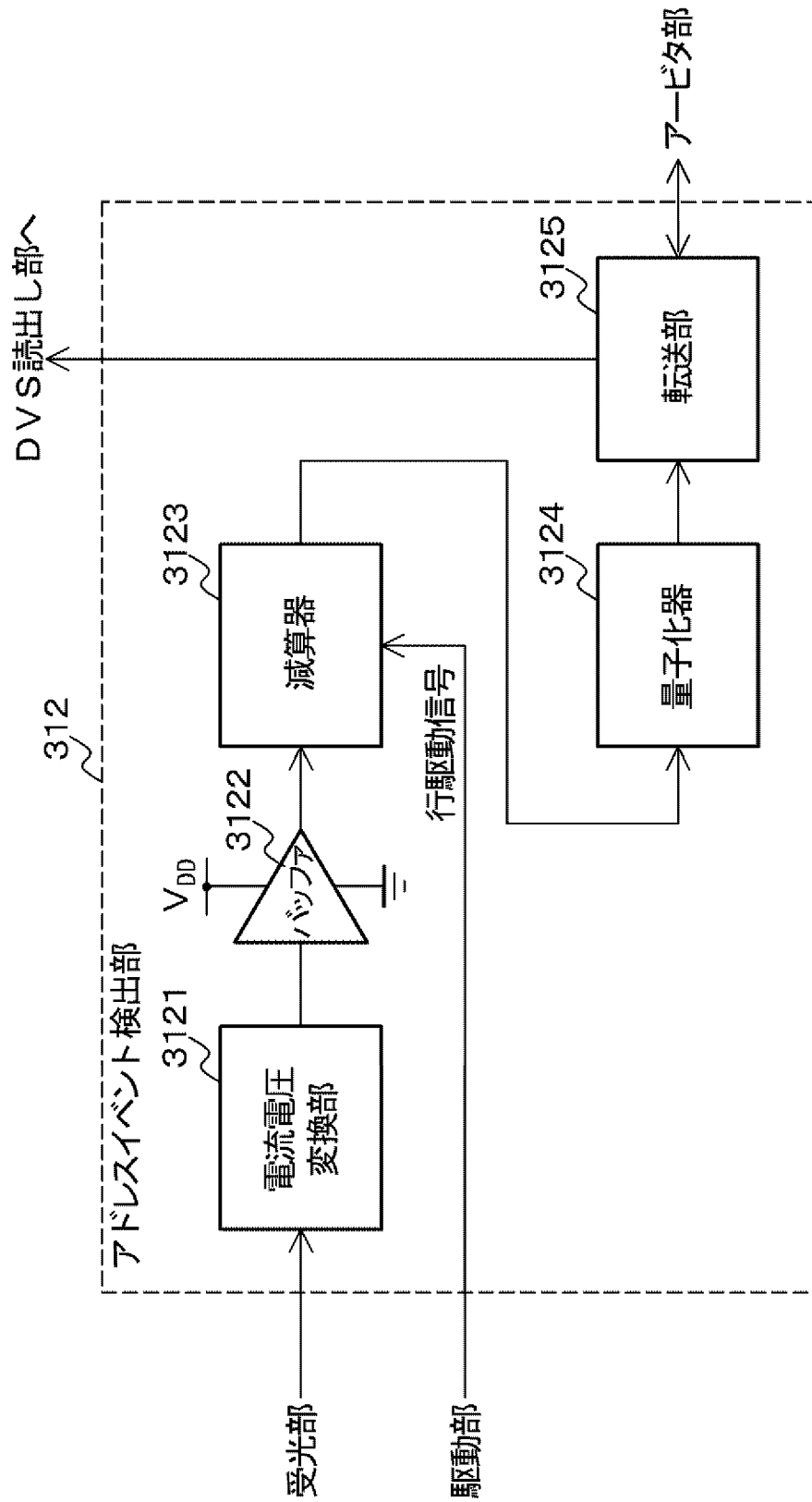
[図4]

図 4



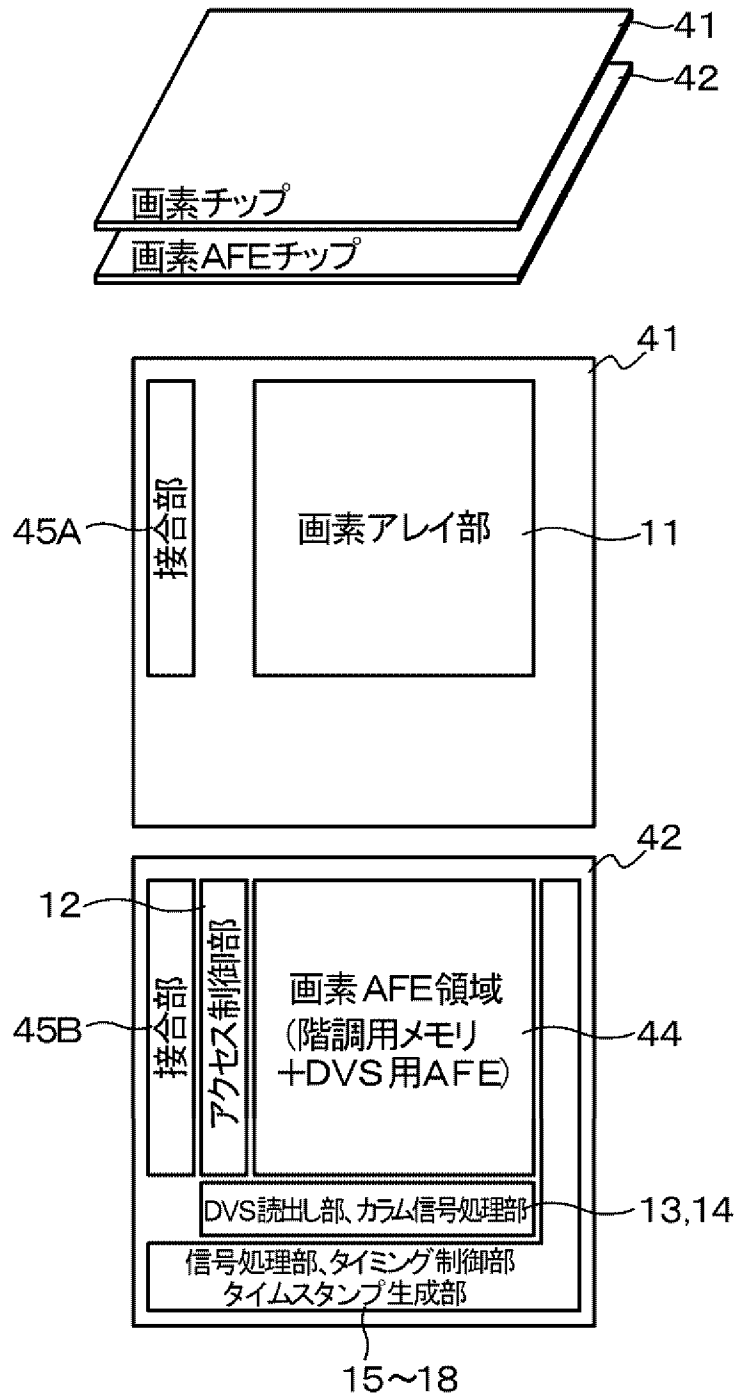
[図5]

図 5



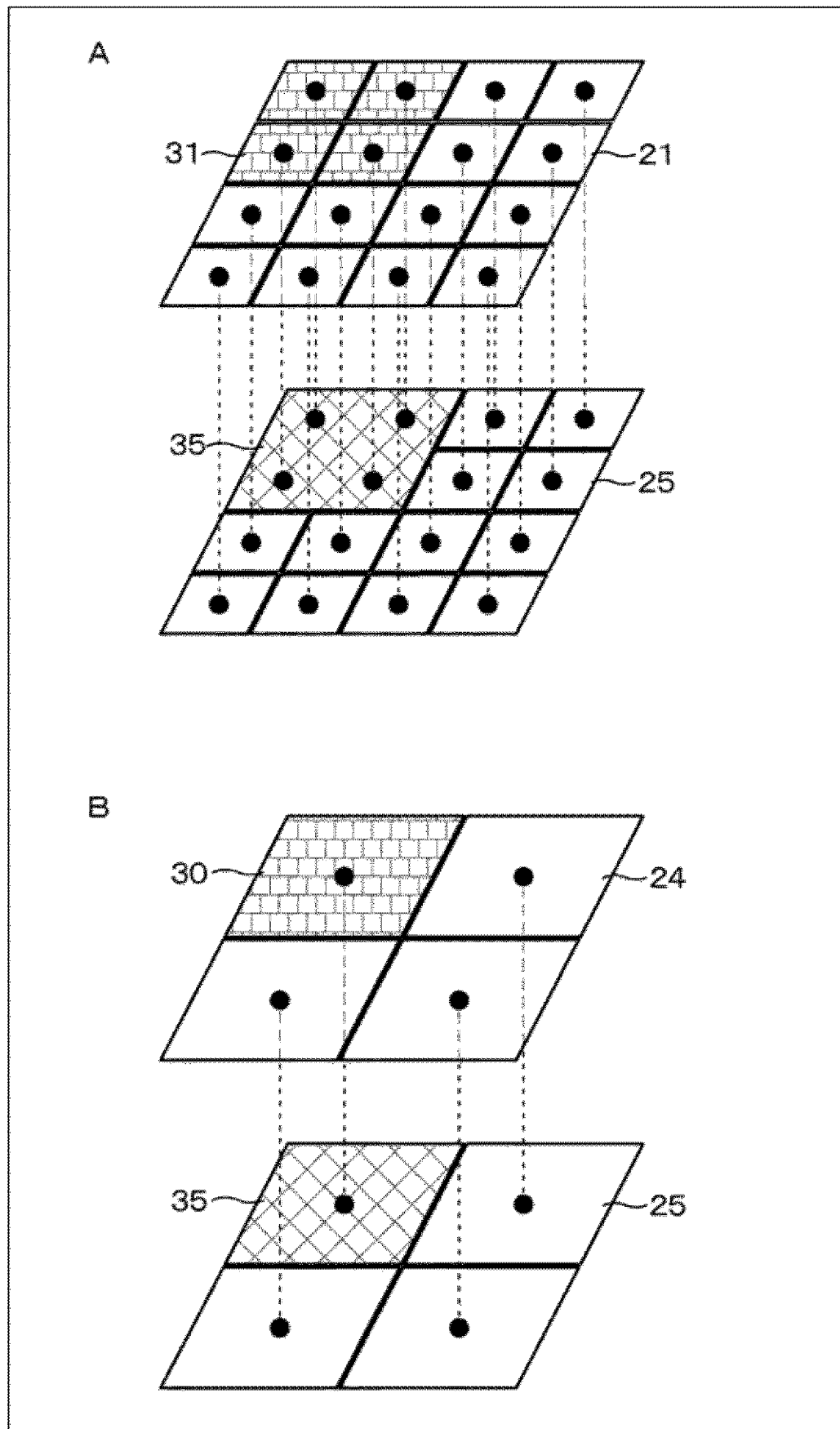
[図6]

図 6



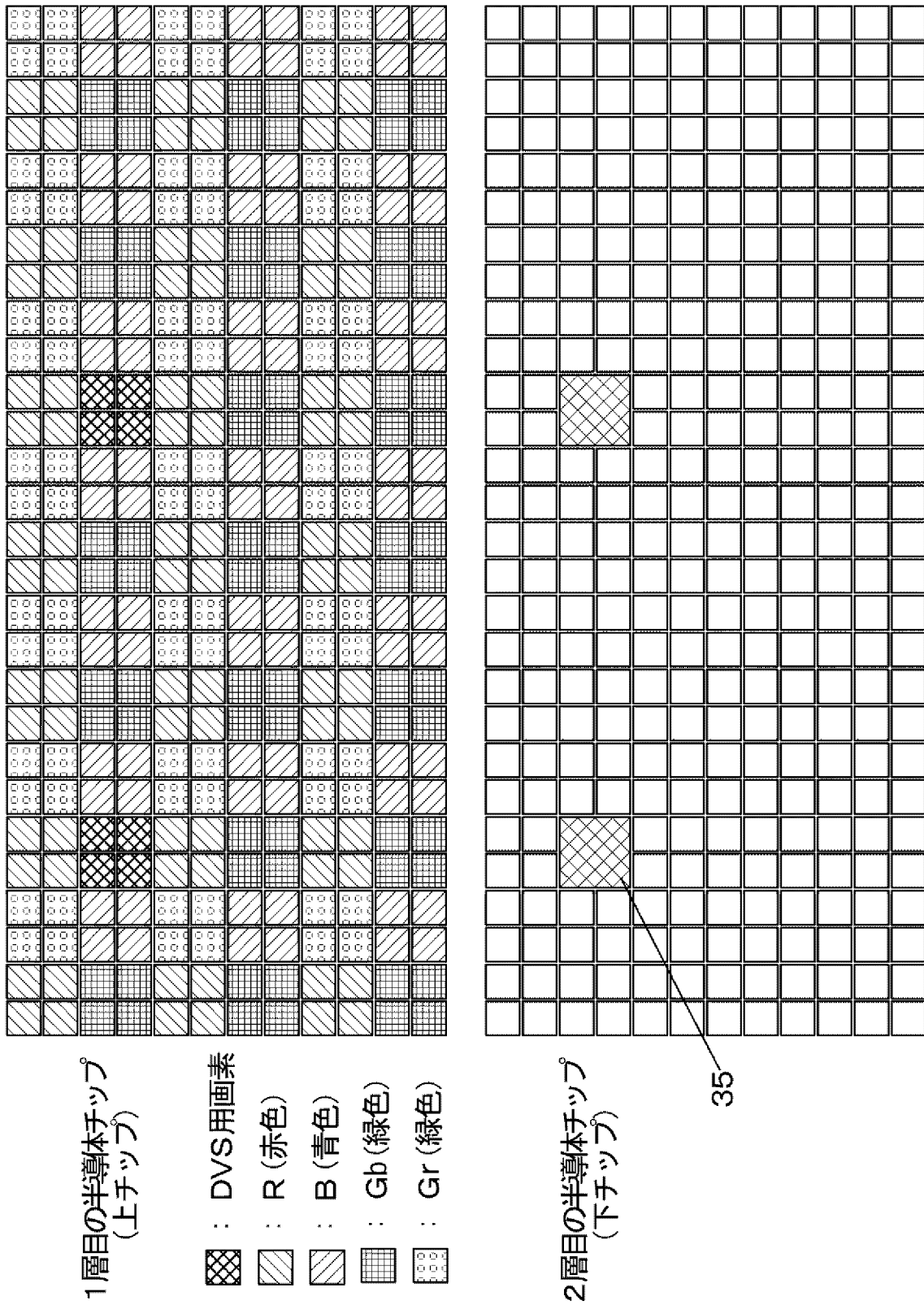
[図7]

図 7



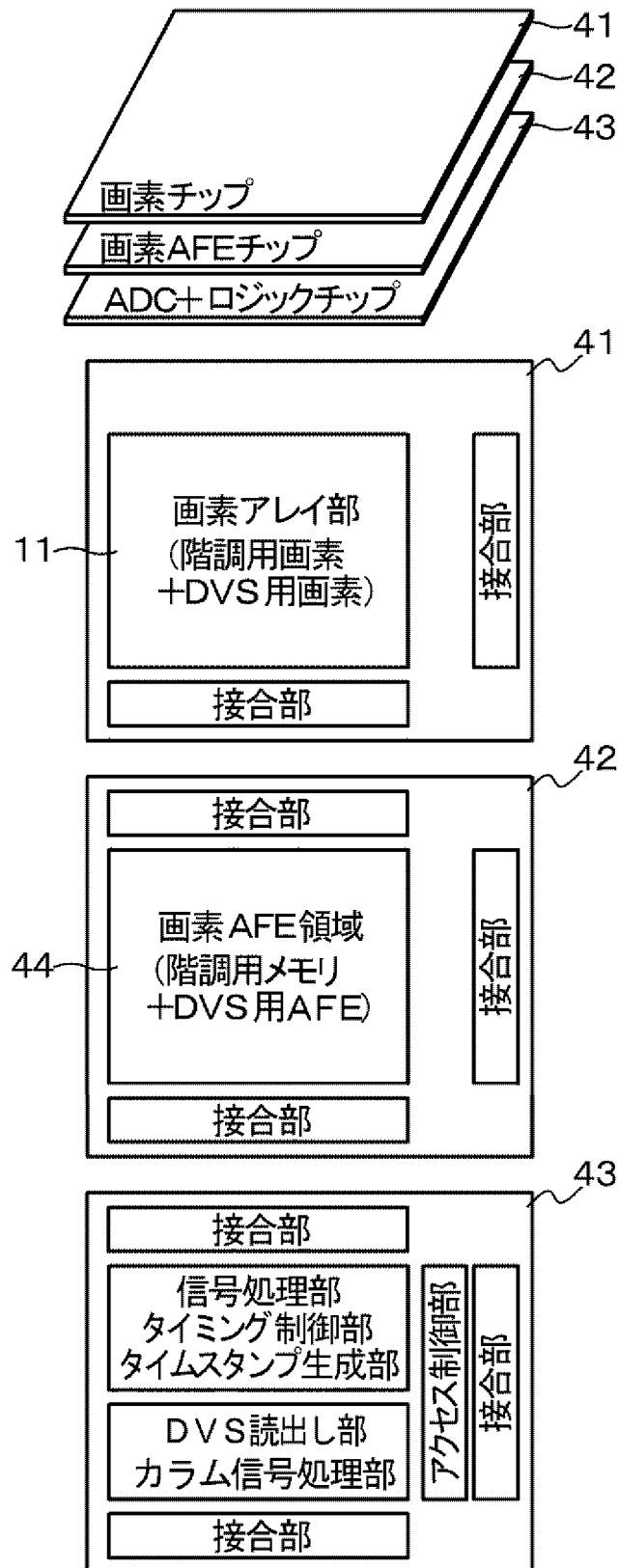
[図8]

図 8



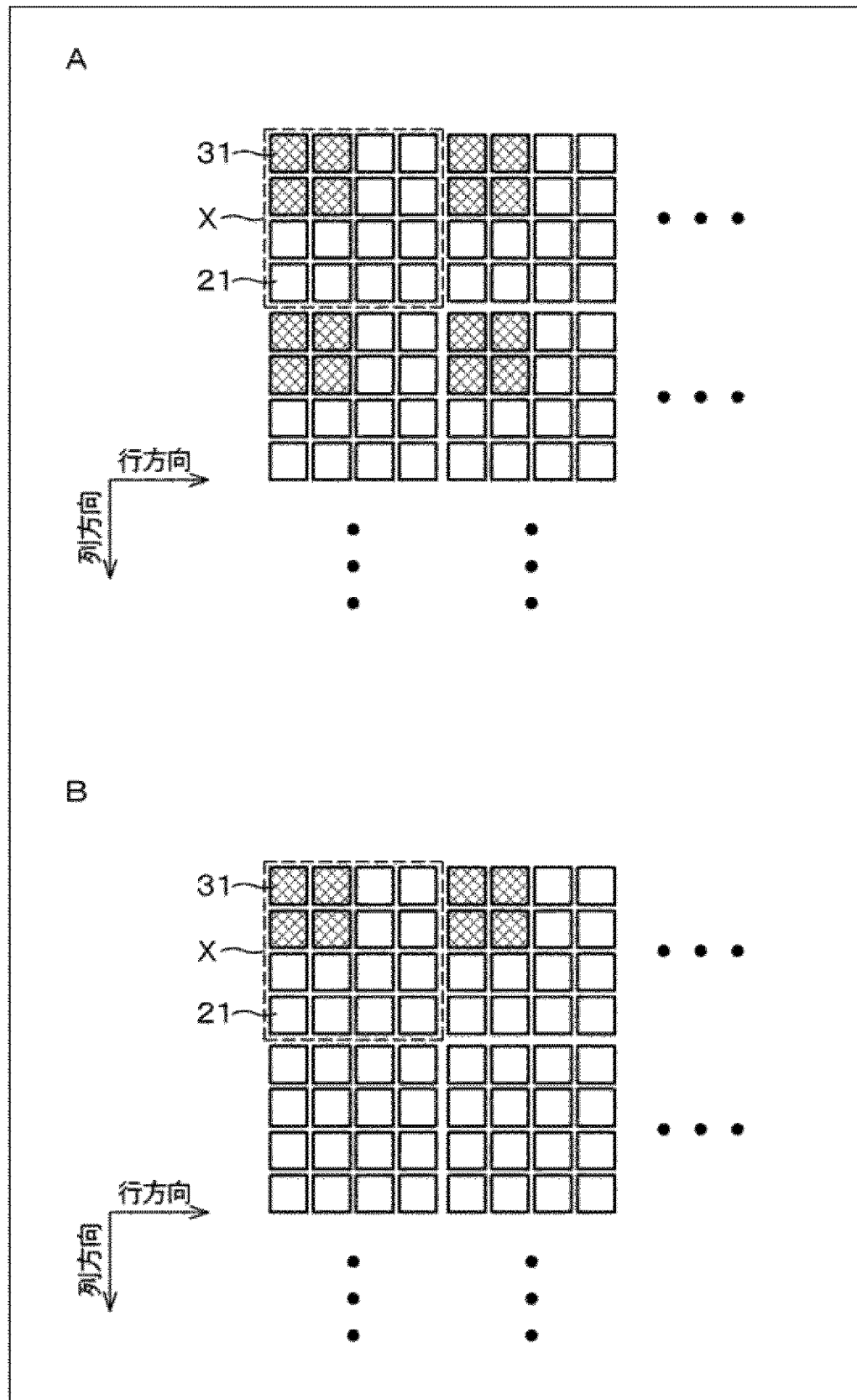
[図9]

図 9



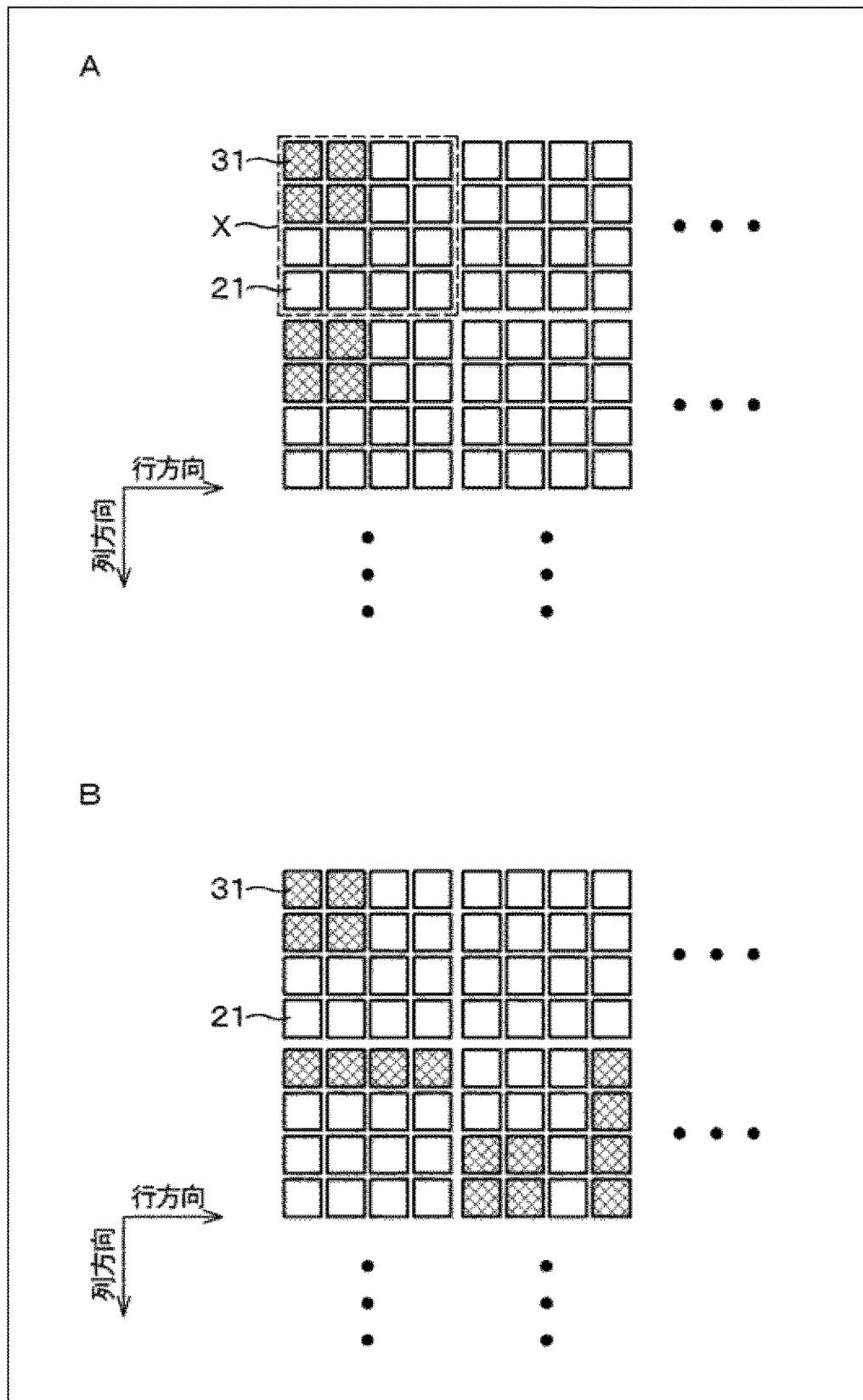
[図10]

図 10



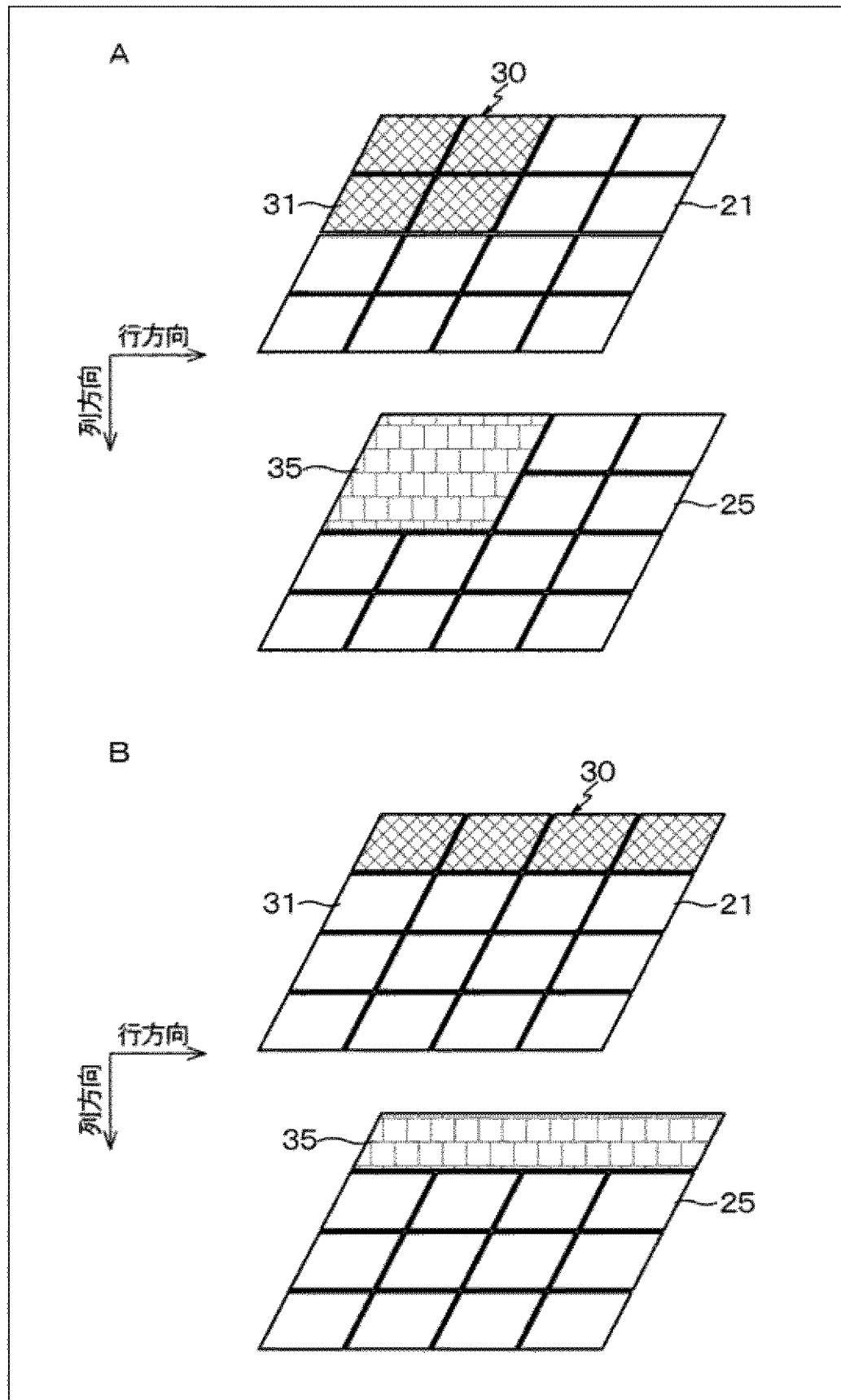
[図11]

図 1 1



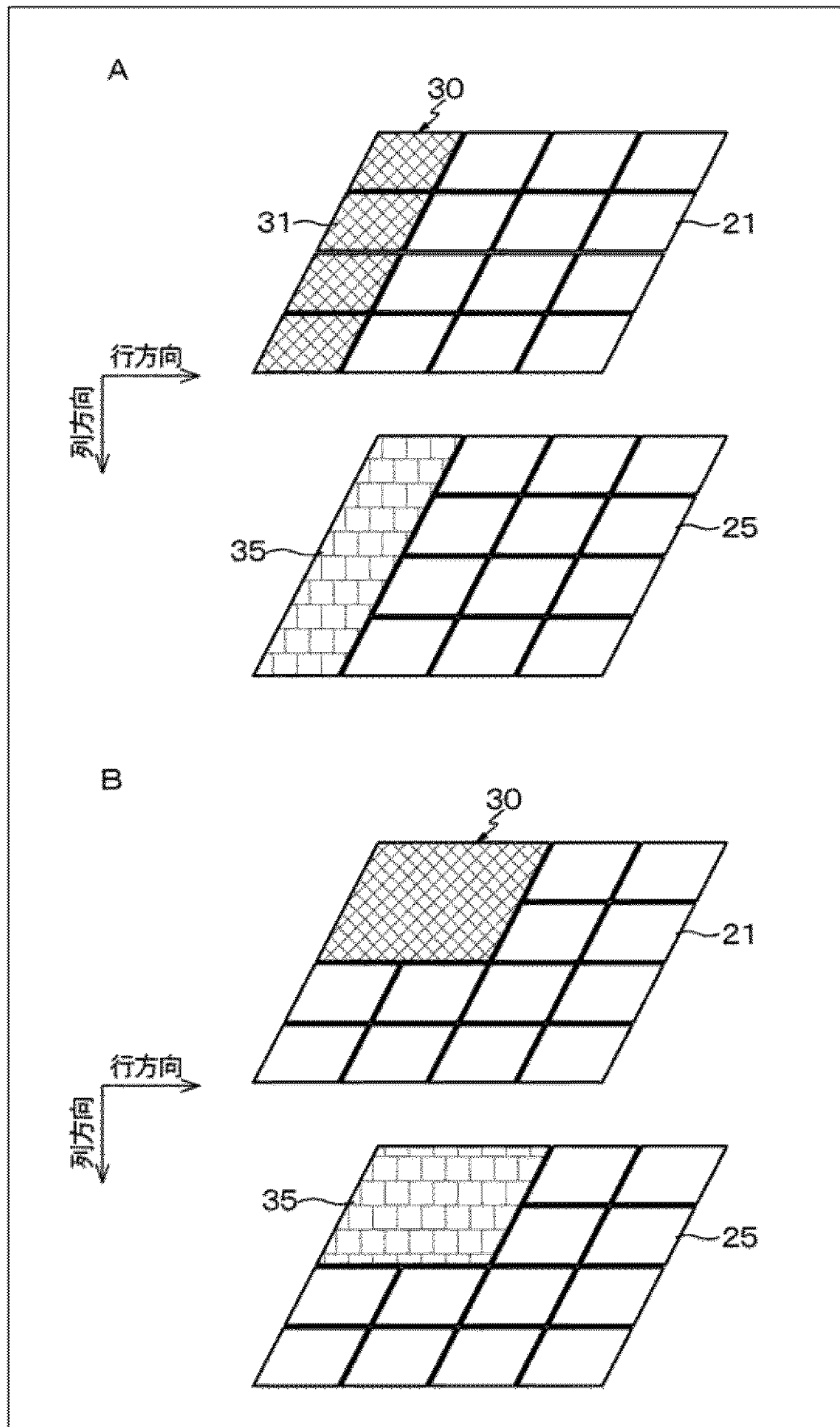
[図12]

図 1 2



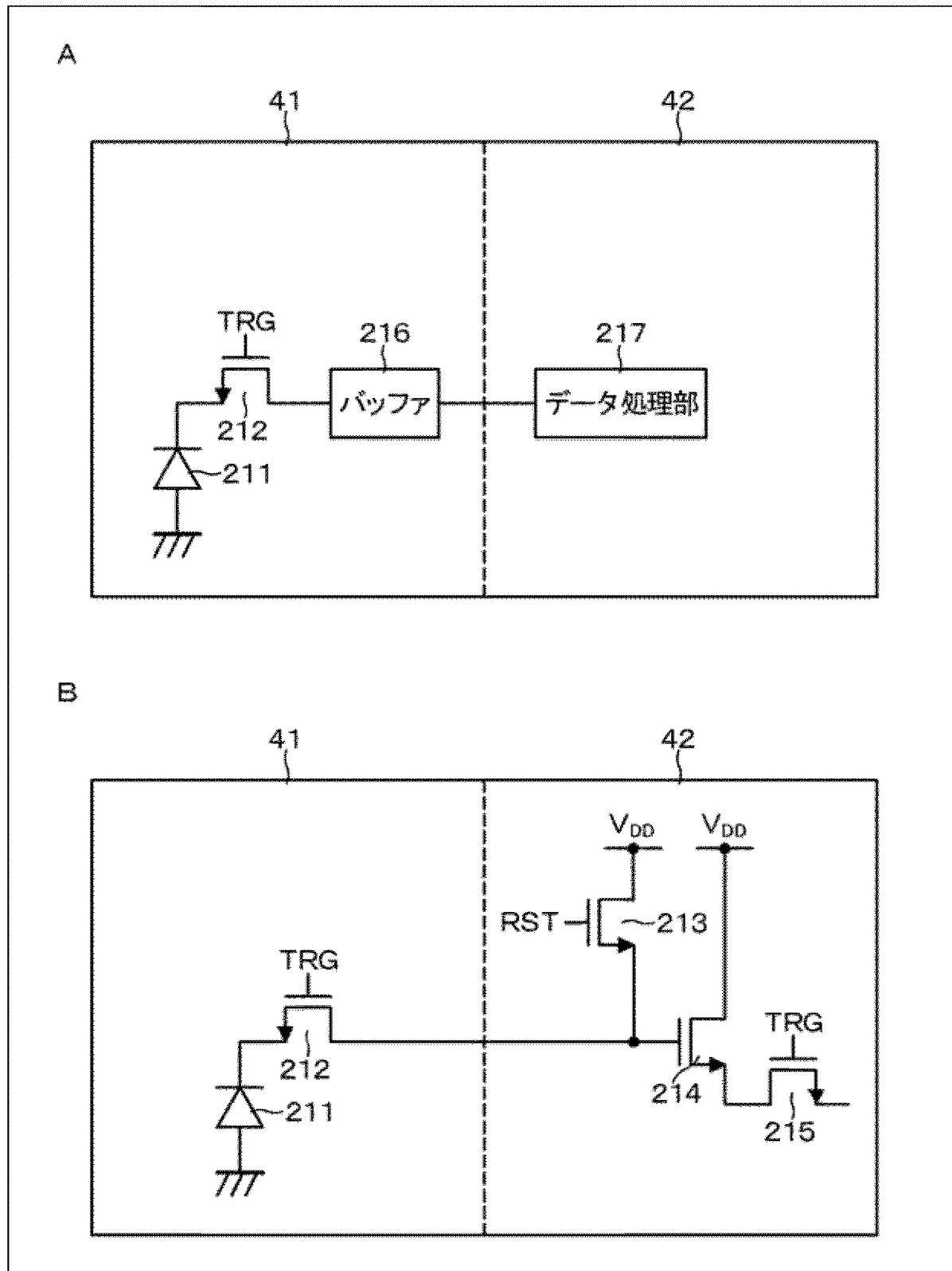
[図13]

図 13



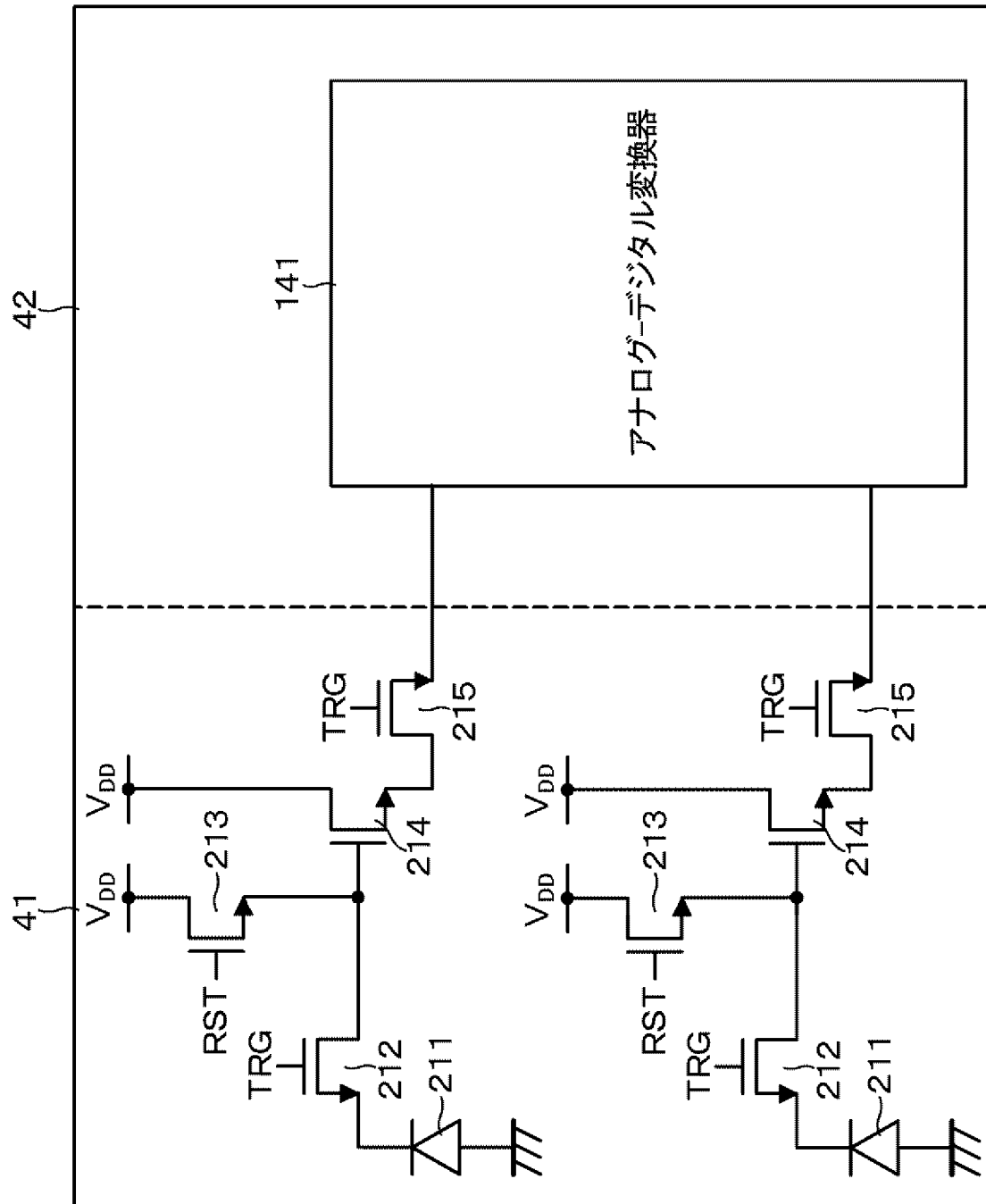
[図14]

図 1 4



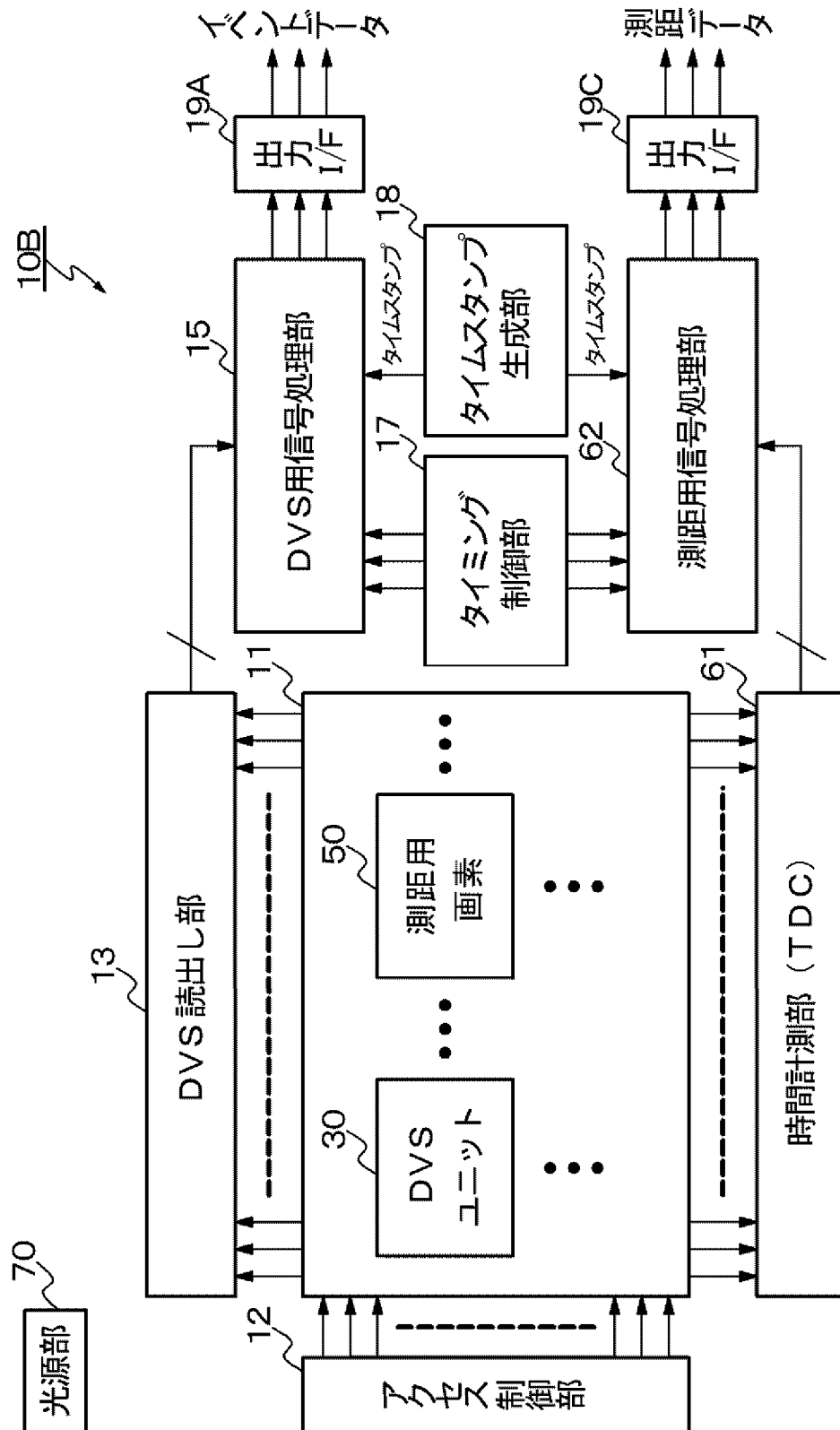
[図15]

図 1 5



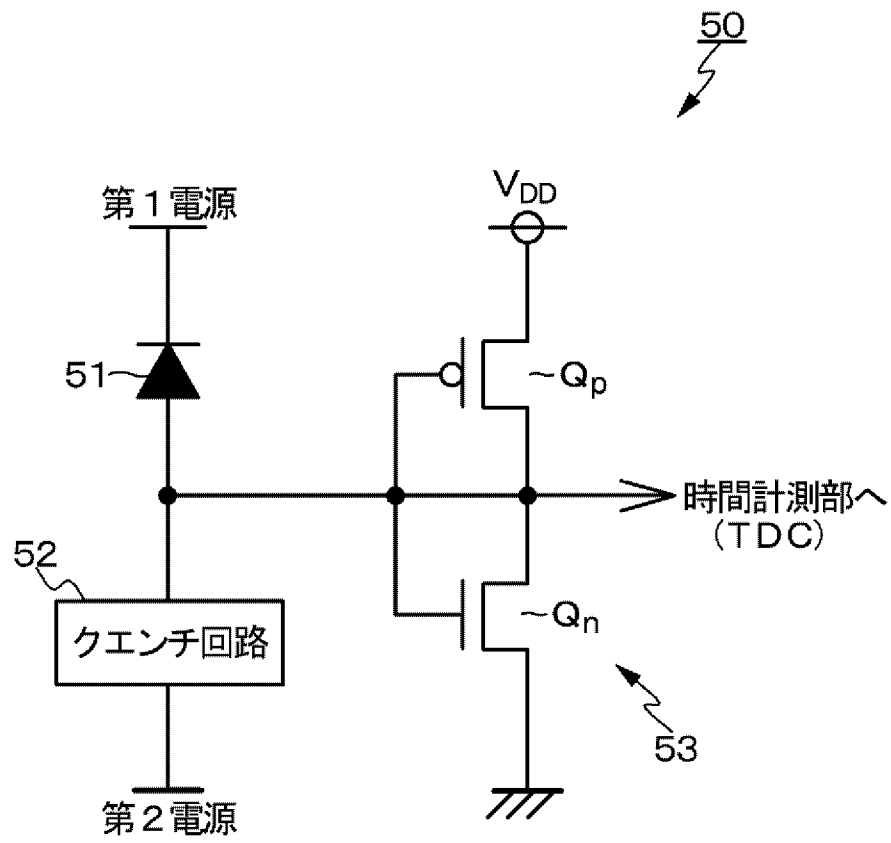
[図16]

図 1 6



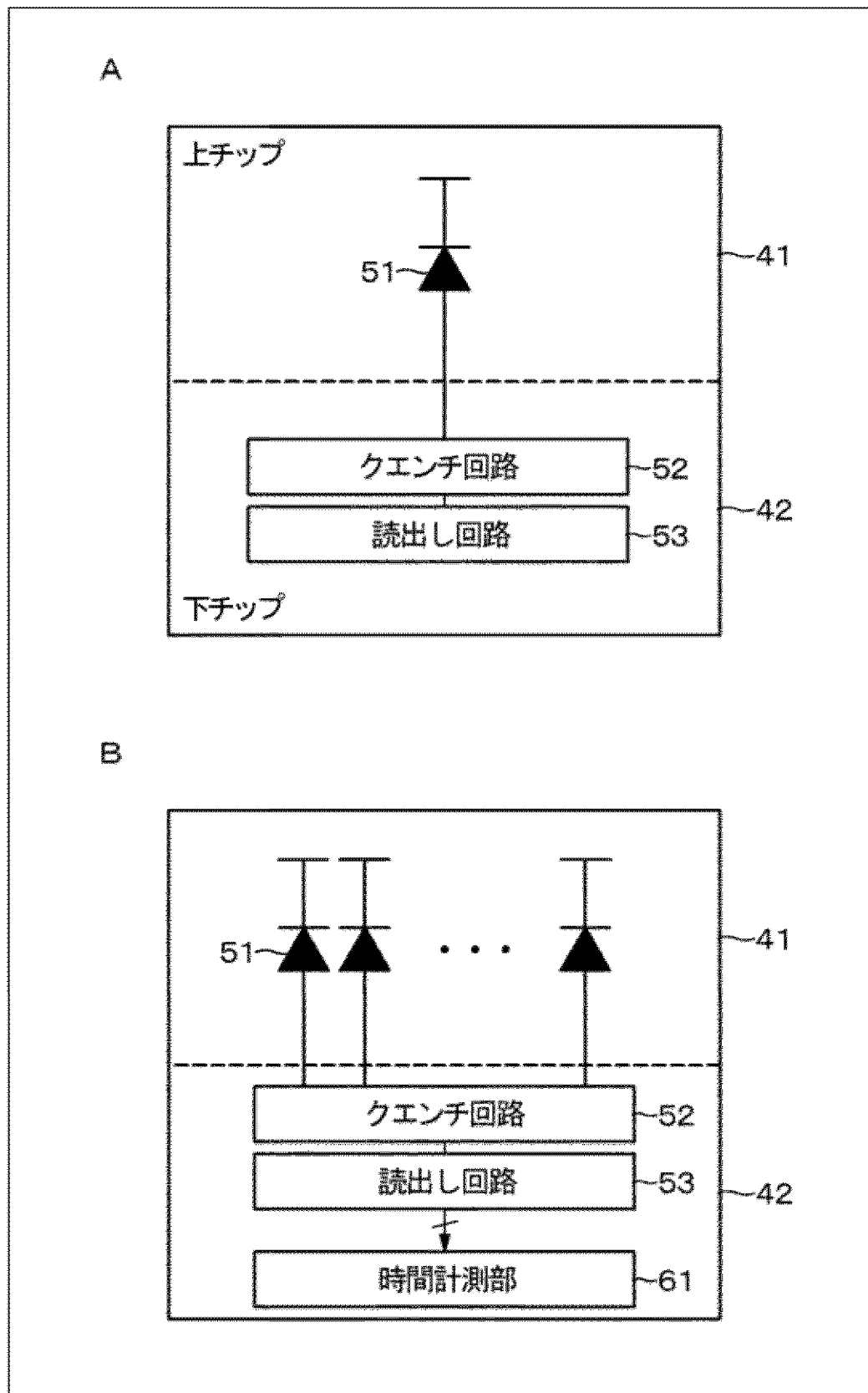
[図17]

図 1 7



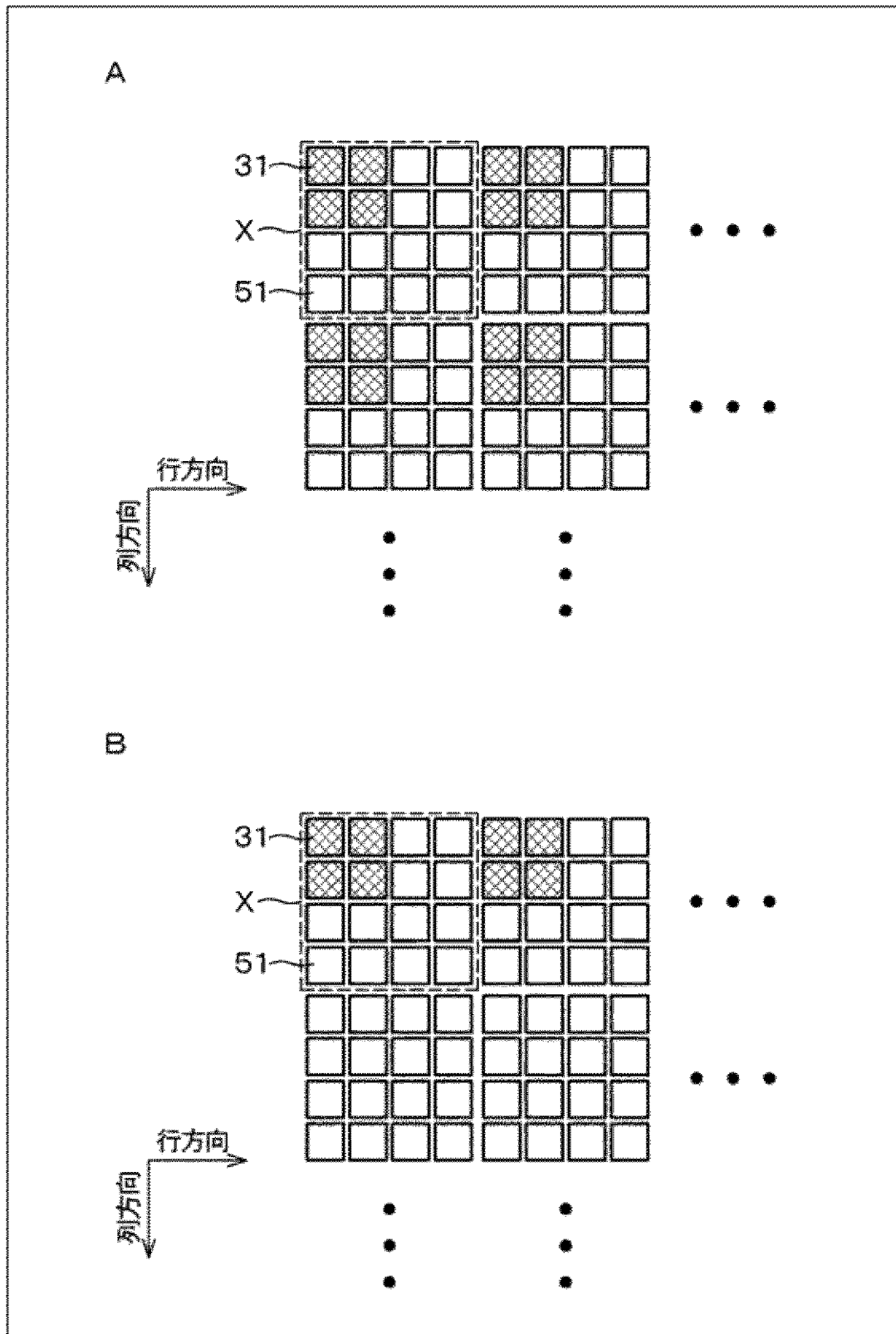
[図18]

図 18



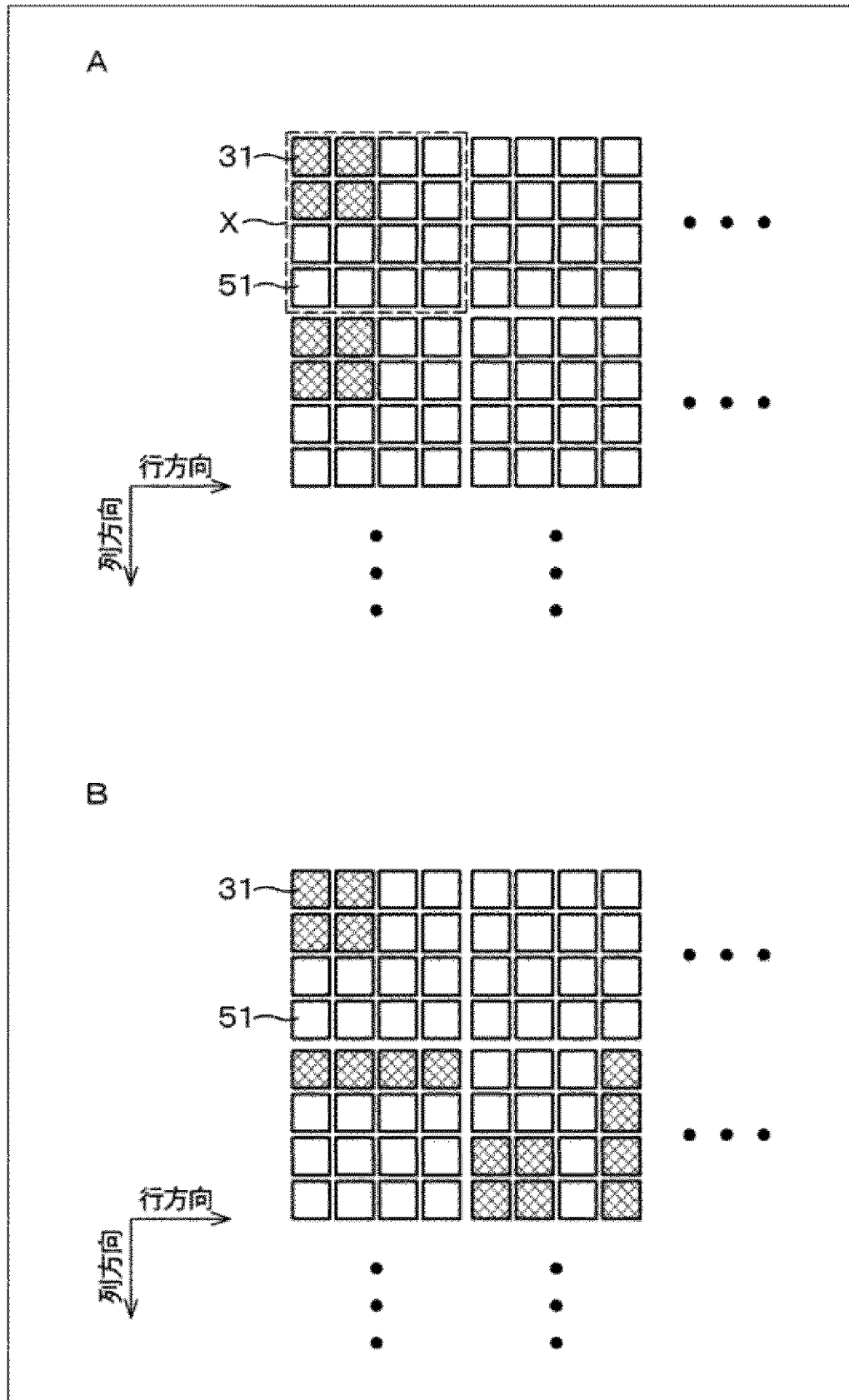
[図19]

图 19



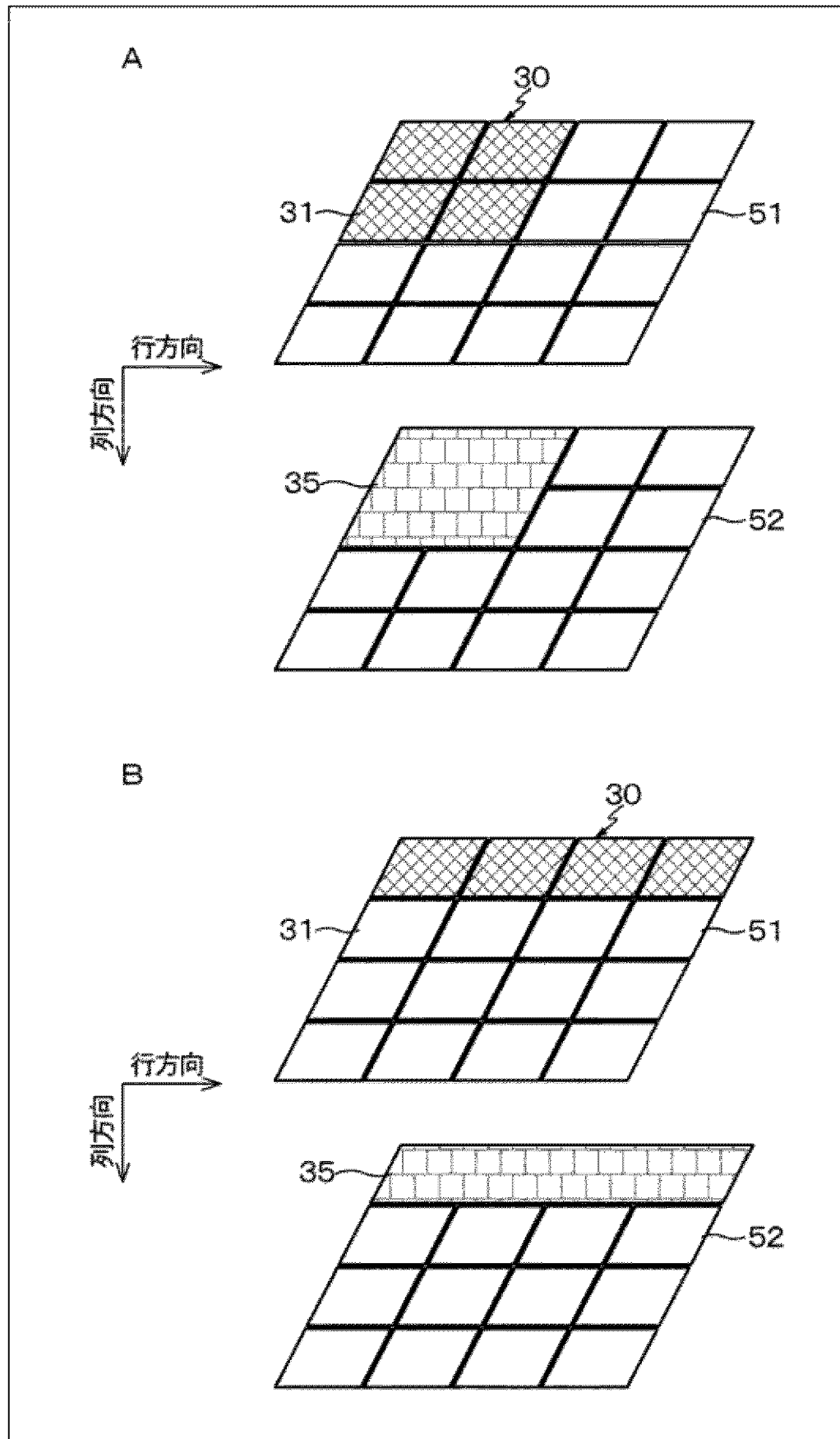
[図20]

図 20



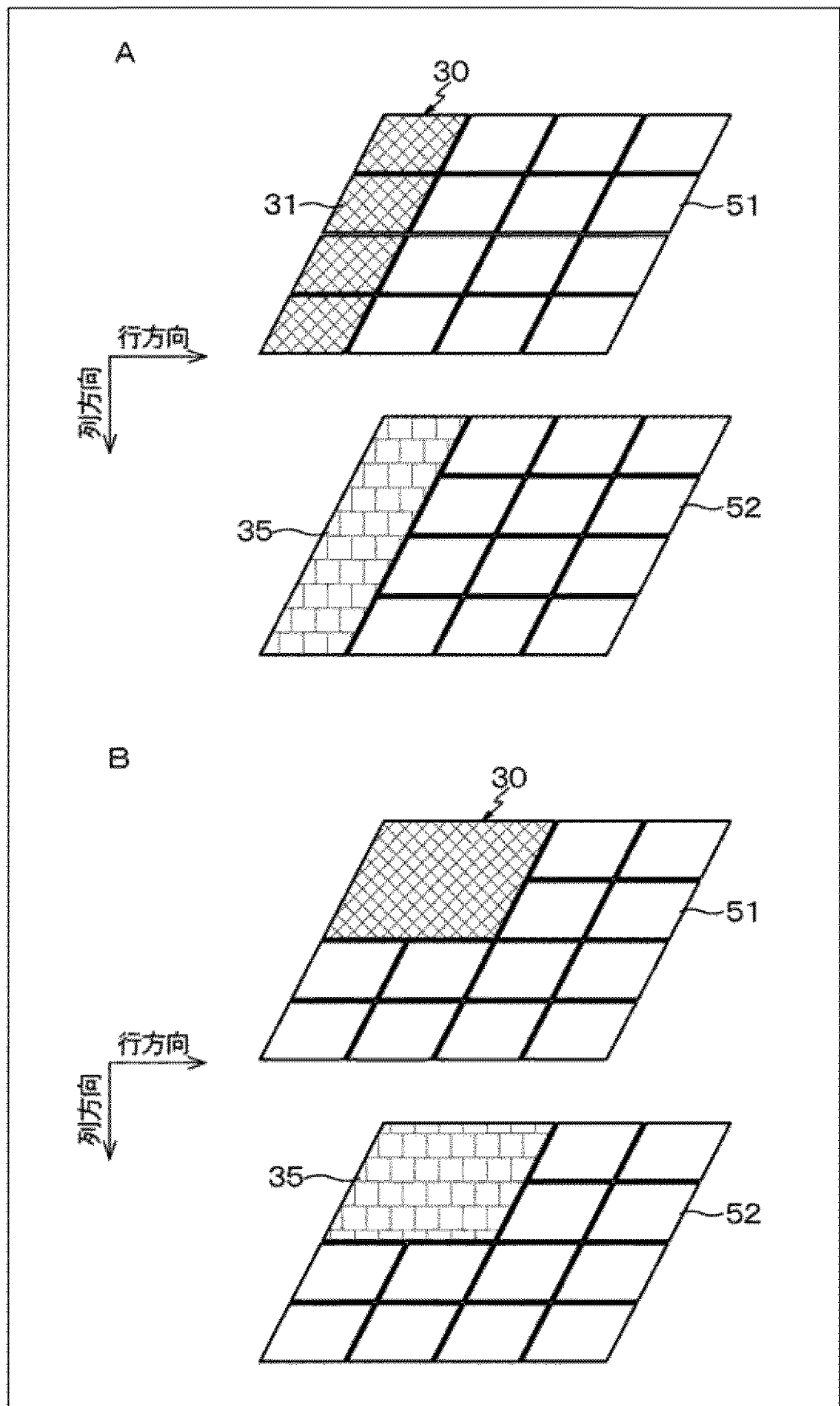
[図21]

図 2 1



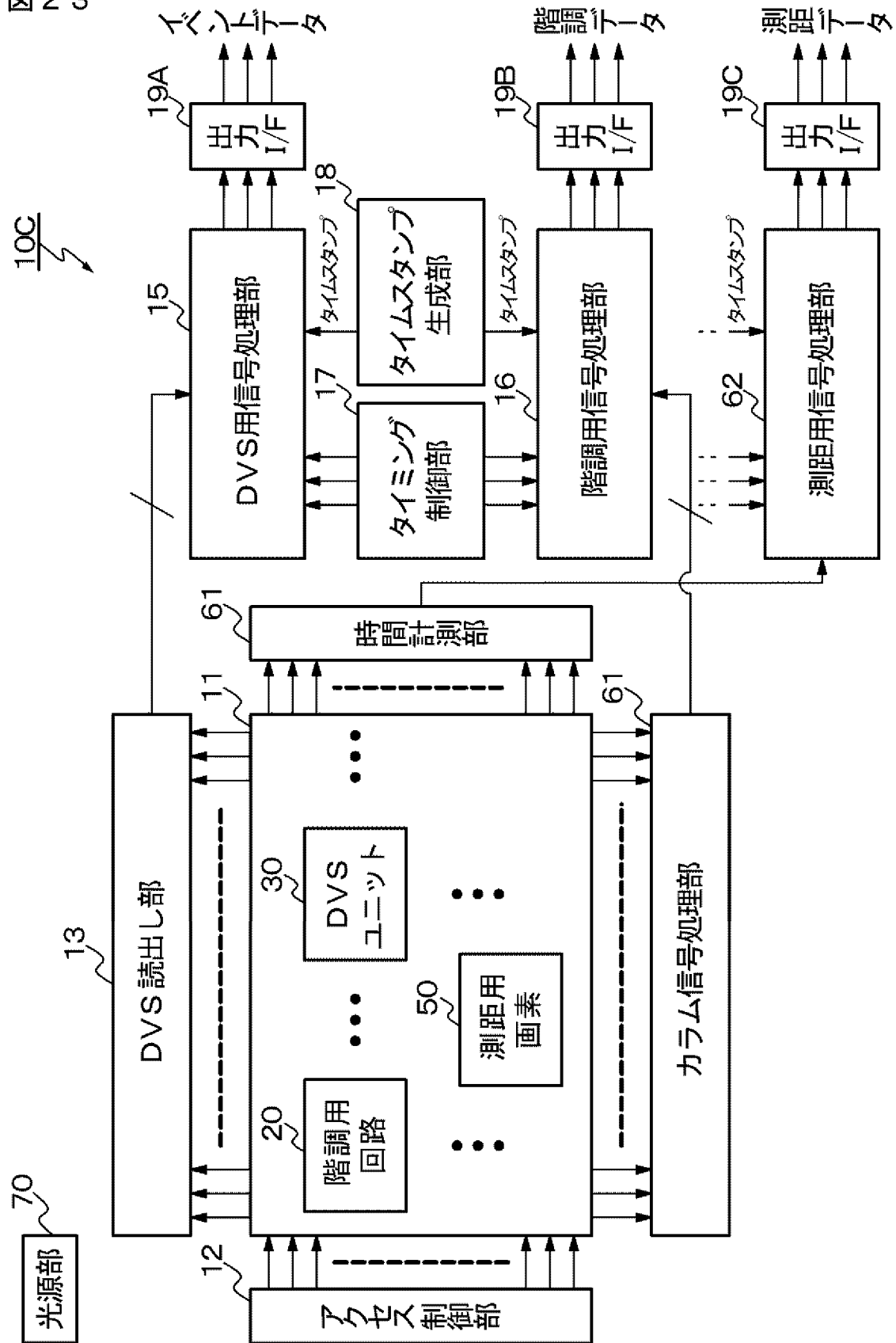
[図22]

図 2 2



[図23]

図 23



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/021302

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L31/107(2006.01)i, H01L27/146(2006.01)i, H04N5/369(2011.01)i, G01S7/4865(2020.01)i

FI: H04N5/369, H04N5/369600, H01L31/10B, H01L27/146F, G01S7/4865

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L31/107, H01L27/146, H04N5/369, G01S7/4865

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2020-88722 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 04 June 2020 (2020-06-04), paragraphs [0025], [0028], [0035]-[0037], [0051], [0064], [0099]-[0102], fig. 1, 2, 4, 6, 9, 18-20	1-13, 15-16 14
Y	JP 2020-88480 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 04 June 2020 (2020-06-04), paragraph [0047], fig. 6	1-13, 15-17, 19-20
Y	JP 2020-53827 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 02 April 2020 (2020-04-02), paragraph [0130], fig. 23b	6
Y	US 2014/0009648 A1 (KIM, T. C.) 09 January 2014 (2014-01-09), paragraph [0124], fig. 8B	13, 15-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

03 August 2021

Date of mailing of the international search report

10 August 2021

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/021302

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2020-96347 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 18 June 2020 (2020-06-18), paragraphs [0022], [0025], [0031]-[0034], [0052], [0069], [0145], fig. 1, 2, 4, 7, 10	15-17, 19-20 18

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/021302

JP 2020-88722 A	04 June 2020	WO 2020/110537 A1 paragraphs [0025], [0028], [0035]-[0037], [0051], [0064], [0099]-[0102], fig. 1, 2, 4, 6, 9, 18-20
JP 2020-88480 A	04 June 2020	WO 2020/105314 A1 paragraph [0047], fig. 6
JP 2020-53827 A	02 April 2020	WO 2020/066803 A1 paragraph [0130], fig. 23b
US 2014/0009648 A1	09 January 2014	KR 10-2014-0005421 A CN 103533263 A
JP 2020-96347 A	18 June 2020	WO 2020/110484 A1 paragraphs [0021], [0024], [0030]-[0033], [0051], [0068], [0136], fig. 1, 2, 4, 7, 10

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/107(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i; G01S 7/4865(2020.01)i FI: H04N5/369; H04N5/369 600; H01L31/10 B; H01L27/146 F; G01S7/4865														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L31/107; H01L27/146; H04N5/369; G01S7/4865														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2021年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2021年	日本国実用新案登録公報	1996-2021年	日本国登録実用新案公報	1994-2021年				
日本国実用新案公報	1922-1996年													
日本国公開実用新案公報	1971-2021年													
日本国実用新案登録公報	1996-2021年													
日本国登録実用新案公報	1994-2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
Y A	JP 2020-88722 A（ソニーセミコンダクタソリューションズ株式会社）04.06.2020 (2020-06-04) 段落[0025], [0028], [0035]-[0037], [0051], [0064], [0099]-[0102], 図1-2, 4, 6, 9, 18-20	1-13, 15-16 14												
Y	JP 2020-88480 A（ソニーセミコンダクタソリューションズ株式会社）04.06.2020 (2020-06-04) 段落 [0047], 図6	1-13, 15-17, 19-20												
Y	JP 2020-53827 A（ソニーセミコンダクタソリューションズ株式会社）02.04.2020 (2020-04-02) 段落[0130], 図23b	6												
Y	US 2014/0009648 A1 (KIM, Tae Chan) 09.01.2014 (2014-01-09) 段落[0124], 図8B	13, 15-16												
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>"&" 同一パテントファミリー文献</td> </tr> <tr> <td>"O" 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献	"O" 口頭による開示、使用、展示等に言及する文献		"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
"A" 特に関連のある文献ではなく、一般的な技術水準を示すもの	"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	"Y" 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	"&" 同一パテントファミリー文献													
"O" 口頭による開示、使用、展示等に言及する文献														
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 03.08.2021		国際調査報告の発送日 10.08.2021												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 花田 尚樹 5V 5889 電話番号 03-3581-1101 内線 3571												

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2020-96347 A (ソニーセミコンダクタソリューションズ株式会社) 18.06.2020 (2020 - 06 - 18)	15-17, 19-20
A	段落[0022], [0025], [0031]-[0034], [0052], [0069], [0145], 図1-2, 4, 7, 10	18

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/021302

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-88722	A	04.06.2020	WO 2020/110537 A1 段落[0025], [0028], [0035]- [0037], [0051], [0064], [0099]- [0102], 図1-2, 4, 6, 9, 18-20	
JP	2020-88480	A	04.06.2020	WO 2020/105314 A1 段落 [0047], 図6	
JP	2020-53827	A	02.04.2020	WO 2020/066803 A1 段落[0130], 図23b	
US	2014/0009648	A1	09.01.2014	KR 10-2014-0005421 A CN 103533263 A	
JP	2020-96347	A	18.06.2020	WO 2020/110484 A1 段落[0021], [0024], [0030]- [0033], [0051], [0068], [0136], 図1-2, 4, 7, 10	