

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5143451号
(P5143451)

(45) 発行日 平成25年2月13日(2013.2.13)

(24) 登録日 平成24年11月30日(2012.11.30)

(51) Int. Cl. F I
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z
 HO 1 L 25/07 (2006.01)
 HO 1 L 25/18 (2006.01)

請求項の数 4 (全 12 頁)

<p>(21) 出願番号 特願2007-66408 (P2007-66408) (22) 出願日 平成19年3月15日 (2007.3.15) (65) 公開番号 特開2008-227348 (P2008-227348A) (43) 公開日 平成20年9月25日 (2008.9.25) 審査請求日 平成22年1月27日 (2010.1.27)</p>	<p>(73) 特許権者 311003743 オンセミコンダクター・トレーディング・ リミテッド 英国領バミューダ・エイチエム 11 ハ ミルトン・チャーチストリート2・クラレ ンドンハウス・コーダン サービスーズ リミテッド 気付 (74) 代理人 100107906 弁理士 須藤 克彦 (72) 発明者 篠木 裕之 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内 審査官 宮本 靖史</p>
--	--

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

配線層を備えるベース基板と、
 前記ベース基板上に積層され、前記配線層と電氣的に接続された複数のチップと、
 硬度が異なる複数の樹脂層を含んで前記複数のチップを被覆する保護層とを備え、
 前記複数のチップは、第1のチップと、前記第1のチップの直上に配置された第2のチ
 ップとを少なくとも含み、
 前記第1のチップと前記第2のチップの少なくともいずれか一方のチップの側面の一部
 が、他方のチップの側面よりも内側に配置され、
 前記一方のチップと前記他方のチップとが重畳しない領域に、前記一方のチップに隣接
 する第3のチップを備え、
 前記第1のチップ及び前記第2のチップは、それぞれ、その表面から裏面にかけて貫通
 する貫通孔と、前記貫通孔内に形成された貫通電極とを有し、
 前記第1のチップの表面には、パターンニングされた金属層からなり前記第1のチップの
 前記貫通電極及び前記第2のチップの前記貫通電極と電氣的に接続された金属配線層が配
 置されることを特徴とする半導体装置。

【請求項2】

前記第3のチップの直上に配置される第4のチップとを備え、
 前記第3のチップは、前記第4のチップと前記配線層との電氣的な接続を介在する導電
 層を備えることを特徴とする請求項1に記載の半導体装置。

10

20

【請求項 3】

前記第 3 のチップの側面と前記他方のチップの側面とが実質的に同一直線状に配置されていることを特徴とする請求項 1 または請求項 2 に記載の半導体装置。

【請求項 4】

チップの検査工程と、

前記検査工程で良品と判定されたチップを用いて、ウェハ状のベース基板上に前記チップを複数個積層する工程と、

前記積層されたチップを被覆する第 1 の樹脂層を形成する工程と、

前記第 1 の樹脂層と硬度が異なり、前記第 1 の樹脂層を被覆する第 2 の樹脂層を形成する工程と、

所定のラインに沿って前記ベース基板を切削する工程とを有し、

前記積層されたチップは、第 1 のチップと、前記第 1 のチップの直上に配置された第 2 のチップとを少なくとも含み、

前記第 1 のチップ及び前記第 2 のチップは、それぞれ、その表面から裏面にかけて貫通する貫通孔と、前記貫通孔内に形成された貫通電極とを有し、前記第 1 のチップの表面には、パターンニングされた金属層からなり前記第 1 のチップの前記貫通電極及び前記第 2 のチップの前記貫通電極と電氣的に接続された金属配線層が配置され、

前記第 1 のチップと前記第 2 のチップの少なくともいずれか一方のチップの側面の一部を、他方のチップの側面よりも内側に配置し、前記一方のチップと前記他方のチップとが重畳しない領域に、前記一方のチップに隣接した第 3 のチップを配置する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の半導体チップが積層された構造を有する半導体装置に関するものである。

【背景技術】

【0002】

従来より、半導体装置の高集積化や小型化を図る観点から、複数の半導体チップを積層した構造（以下、積層構造と称する）が知られている。積層構造を有する従来の半導体装置の一例について図面を参照しながら説明する。図 9 は積層構造を有する従来の半導体装置 100 の概略を示す断面図である。

【0003】

半導体装置 100 は、複数の半導体チップ（第 1 の半導体チップ 101、第 2 の半導体チップ 102、第 3 の半導体チップ 103）が積層された構造を有する。上記各半導体チップ 101、102、103 はそれぞれ、シリコン（Si）等から成る半導体基板 104 と、半導体基板 104 のいずれか一方の面上に形成された MOS トランジスタやキャパシタ等の多数の素子から成るデバイス素子 105 と、半導体基板 104 を貫通する貫通孔 106 と、当該貫通孔 106 内に形成された貫通電極 107 と、貫通電極 107 と接続されたハンダ等から成る導電端子 108 とを備えている。各半導体チップ 101、102、103 は、貫通電極 107 及び導電端子 108 を介して相互に電氣的に接続されている。

【0004】

このような積層構造を有する半導体装置 100 の製造方法として、以下の製造方法が提案されている。つまり、図 10 に示すように、デバイス素子 105、貫通孔 106、貫通電極 107、導電端子 108 等が既に形成されたウェハ状の半導体基板 109 を順に積層させる工程と、その後各半導体装置 100 の境界であるダイシングライン DL に沿って各半導体基板 109 を連続的に切削する工程を経ることで個々の半導体装置 100 を得る製造方法である。

【0005】

本発明に関連した技術は、例えば以下の特許文献に記載されている。

10

20

30

40

50

【特許文献1】特開2005-347442号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、図9に示した従来の半導体装置100は側面方向からの機械的ストレスに弱く、積層された半導体チップが剥がれるということがあった。特に、より上層の半導体チップになるほど機械的ストレスに弱い。そのため、半導体装置の実際の使用状況下あるいは製品化の段階で積層構造が破壊され、当該半導体装置が不良品となる問題があった。なお、積層構造を構成する半導体チップのうち、たった一つでも不良となると装置全体として不良品となるため、積層される半導体チップの数が多いほどこの問題は顕著となる。

10

【0007】

また、薬液や水分等の腐食物質が浸入して、各半導体チップ101、102、103のデバイス素子105、あるいは各半導体チップを構成する金属物質部分（例えば導電端子108や、各半導体チップの表面や裏面に形成された配線）が劣化し、信頼性や歩留まりが低下するという問題があった。

【0008】

また、半導体装置100の製造方法として、上述したようにウェハ状態の半導体基板109を積層させる工程を経ることが考えられている。しかし、積層構造を構成する半導体チップのうち、たった一つでも不良の場合には、装置全体として不良品となる。ウェハ状態の半導体基板の中のどの位置に不良となる半導体チップが形成されるか否かはランダムである。そのため、この製造方法では最終的に完成した半導体装置の信頼性や歩留まりが低いという問題があった。

20

【0009】

そこで本発明は、信頼性及び歩留まりが高い積層構造を有する半導体装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明の半導体装置は、配線層を備えるベース基板と、前記ベース基板上に積層され、前記配線層と電気的に接続された複数のチップと、硬度が異なる複数の樹脂層を含んで前記複数のチップを被覆する保護層とを備え、前記複数のチップは、第1のチップと、前記第1のチップの直上に配置された第2のチップとを少なくとも含み、前記第1のチップと前記第2のチップの少なくともいずれか一方のチップの側面の一部が、他方のチップの側面よりも内側に配置され、前記一方のチップと前記他方のチップとが重畳しない領域に、前記一方のチップに隣接する第3のチップを備え、前記第1のチップ及び前記第2のチップは、それぞれ、その表面から裏面にかけて貫通する貫通孔と、前記貫通孔内に形成された貫通電極とを有し、前記第1のチップの表面には、パターンニングされた金属層からなり前記第1のチップの前記貫通電極及び前記第2のチップの前記貫通電極と電気的に接続された金属配線層が配置されることを特徴とする。

30

【0013】

また、本発明の半導体装置の製造方法は、チップの検査工程と、前記検査工程で良品と判定されたチップを用いて、ウェハ状のベース基板上に前記チップを複数個積層する工程と、前記積層されたチップを被覆する第1の樹脂層を形成する工程と、前記第1の樹脂層と硬度が異なり、前記第1の樹脂層を被覆する第2の樹脂層を形成する工程と、所定のラインに沿って前記ベース基板を切削する工程とを有し、前記積層されたチップは、第1のチップと、前記第1のチップの直上に配置された第2のチップとを少なくとも含み、前記第1のチップ及び前記第2のチップは、それぞれ、その表面から裏面にかけて貫通する貫通孔と、前記貫通孔内に形成された貫通電極とを有し、前記第1のチップの表面には、パターンニングされた金属層からなり前記第1のチップの前記貫通電極及び前記第2のチップの前記貫通電極と電気的に接続された金属配線層が配置され、前記第1のチップと前記第

40

50

2のチップの少なくともいずれか一方のチップの側面の一部を、他方のチップの側面よりも内側に配置し、前記一方のチップと前記他方のチップとが重畳しない領域に、前記一方のチップに隣接した第3のチップを配置する工程を有することを特徴とする。

【発明の効果】

【0014】

本発明では、積層されたチップを被覆する保護層が形成されている。そのため、保護層が形成されていなかった従来構造に比べて、側面方向からの機械的ストレスや腐食物質の浸入等に強く、信頼性及び歩留まりの高い積層構造を有する半導体装置を実現することができる。

【0015】

また、本発明に係る半導体装置の製造方法では、従来のようにウェハ状態の半導体基板を積層させる工程を経るのではなく、ウェハ状態のベース基板上に、予め個片化されなお且つ検査工程で良品と判定されたチップを積層させている。そのため、最終的に得られる半導体装置の信頼性及び歩留まりを向上させることができる。

【発明を実施するための最良の形態】

【0016】

本発明の第1の実施形態について図面を参照しながら説明する。図1乃至図4は、それぞれ製造工程順に示した断面図あるいは平面図である。なお、以下に説明する製造工程はウェハ状の基板を用いて行われるものであり、ダイシングラインDLを境界として多数の半導体装置がマトリクス状に形成されることになるが、便宜上その一つの半導体装置が形成される工程を説明する。

【0017】

まず、本実施形態に係る半導体装置のベースとなる個片化されていないウェハ状の基板（以下、ベース基板と称する）1を準備する。ベース基板1は、例えばシリコン（Si）やガラス等から成る基板である。また、ベース基板1はプリント基板であってもよい。

【0018】

次に、図1A及び図1Bに示すように、公知の製造工程により、ベース基板1に貫通孔2、及びアルミニウムや銅等から成る貫通電極3を形成する。図1Bは図1AのX-X線に沿った断面図に相当するものである。なお、ベース基板1の一方の面（後に半導体チップが積層される面）上に、トランジスタやキャパシタ等の多数の素子から成るデバイス素子や配線等が形成されていても良い。

【0019】

貫通孔2は、レジスト層（不図示）をマスクとしてベース基板1を例えばドライエッチングすることで形成できる。貫通電極3は、例えばメッキ法によって形成できる。なお、ベース基板1がシリコン等の導体の材料から成る場合には貫通孔2の内壁にシリコン酸化膜やシリコン窒化膜等の絶縁膜を例えばCVD法で形成し、貫通電極3がベース基板1と導通しないようにする。

【0020】

本実施形態では、貫通電極3が本発明の配線層に相当するものである。なお、貫通電極3と電氣的に接続された配線がベース基板1のいずれか一方または双方の面上に形成されている場合は当該配線も本発明の配線層に含まれる。

【0021】

次に、ベース基板1上に積層される半導体チップ（本実施形態では、第1、第2、第3の半導体チップ4a、4b、4c）を準備する。各半導体チップ4a、4b、4cは既に個片化されたものであり、予め行われた検査工程において良品と判定されたものであることが好ましい。良品と判定された半導体チップのみを選別して用いることで、最終的に得られる半導体装置の信頼性及び歩留まりを向上させることができるからである。なお、良品とはICとしての基本的機能や特性、及び外観などが一定の製品規格を満たしているものである。

【0022】

10

20

30

40

50

各半導体チップ4 a, 4 b, 4 cはそれぞれ、平面方向の寸法(以下、単に外形とする)がほぼ同一になるように形成されたものであり、積層させた際に各半導体チップ4 a, 4 b, 4 cの側面が同一直線状に揃うようになっている。平面方向とはベース基板1の面と平行する方向である。なお、外形が異なる半導体チップを積層させる場合については後述する第2及び第3の実施形態で説明する。

【0023】

各半導体チップ4 a, 4 b, 4 cは、いずれか一方の面(本実施形態では、ベース基板1と対向しない側の面)にデバイス素子5が形成されている。デバイス素子5は、素子の種類や機能に限定がなく、例えばトランジスタやキャパシタやメモリ素子等の多数の素子から構成される。半導体チップ4 a, 4 b, 4 cの各デバイス素子5は、それぞれ同種の機能を有する素子であってもよいし、各半導体チップごとに異なる機能を有する素子が形成されていてもよい。

10

【0024】

各半導体チップ4 a, 4 b, 4 cは、貫通孔2及び貫通電極3と同様の貫通孔6及び貫通電極7と、貫通電極7と電氣的に接続された導電端子8をほぼ同じ位置に備えている。導電端子8はハンダ等の導電材料から成り、ベース基板1と半導体チップ4 aとの電氣的接続、及び各半導体チップ4 a, 4 b, 4 c相互の電氣的接続を介在するものである。導電端子8は、メッキ法、スクリーン印刷法、あるいはディスペンス法等で形成することができる。貫通孔6の内壁にはシリコン酸化膜やシリコン窒化膜等の絶縁膜が形成されているが、その図示を省略している。

20

【0025】

次に、図2に示すように、ベース基板1上に第1の半導体チップ4 aを重ね、上下に重なる貫通電極3と貫通電極7同士を導電端子8を介して接続するとともに、ベース基板1上に第1の半導体チップ4 aを固定する。以下、同様にして第1の半導体チップ4 a上に第2の半導体チップ4 bを固定し、第2の半導体チップ4 b上に第3の半導体チップ4 cを固定する。こうして、貫通電極3と電氣的に接続された複数の半導体チップ(4 a, 4 b, 4 c)から成る積層構造が得られる。なお、各半導体チップを固定する際にはハンダや樹脂等から成る接着層を用いるとよい。

【0026】

次に、半導体チップ4 a, 4 b, 4 cを被覆する保護層10を形成する。保護層10は、以下に説明するように硬度が異なる複数の樹脂層(第1の樹脂層11, 第2の樹脂層12)で構成されることが好ましい。

30

【0027】

保護層10の形成は、図3に示すように、最上の第3の半導体チップ4 cの表面及び半導体チップ4 a, 4 b, 4 cの側面全体を被覆する第1の樹脂層11を例えば30 μ mの膜厚で形成する。第1の樹脂層11は例えばエポキシ系のモールド樹脂から成り、例えばトランスファーモールド法(transfer molding method)やディスペンス法(塗布法)によって形成される。第1の樹脂層11は、外部からの機械的ストレスが半導体チップ4 a, 4 b, 4 cへ伝達されることを緩和するための層であり、材料となる高分子の架橋密度が低く硬度が低いものであることが好ましい。

40

【0028】

次に、第1の樹脂層11を被覆する第2の樹脂層12を例えば70 μ mの膜厚で形成する。第2の樹脂層12は、例えばエポキシ系のモールド樹脂から成り、第1の樹脂層11と同様に例えばトランスファーモールド法やディスペンス法によって形成される。第2の樹脂層12は、第1の樹脂層11に比べて高分子の架橋密度が高く硬度が高い。そのため、外部からの機械的ストレスに対する変形が第1の樹脂層11に比べて生じ難い層である。こうして、硬度が異なる複数の樹脂層を含む保護層10が形成される。

【0029】

なお、第1の樹脂層11及び第2の樹脂層12の材料は上記エポキシ系の樹脂に限定されず、ポリイミド系やシリコン系の樹脂等を用いることも可能である。また、保護層1

50

0を更に多層の樹脂層から構成することも可能であるし、単層の樹脂層から構成することも可能である。

【0030】

次に、図4に示すように、貫通電極3と接続された導電端子13をベース基板1の裏面上に形成する。導電端子13は、この半導体装置の外部接続端子であり、例えば貫通電極3上に導電材料(例えばハンダ)をスクリーン印刷し、この導電材料を熱処理でリフローさせることで形成される。あるいは、電解メッキ法や、ディスペンサを用いてハンダ等を所定領域に塗布するいわゆるディスペンサ法(塗布法)等で形成してもよい。なお、ベース基板1の裏面上に延在する配線(例えばアルミニウム配線)をスパッタリング法等で形成した場合には、貫通電極3上に導電端子13を直接形成するのではなく、上記配線上に導電端子13を形成してもよい。導電端子13は、貫通電極3、7、及び導電端子8等を介して各半導体チップ4a、4b、4cのデバイス素子5と電氣的に接続されている。なお、保護層10を形成する前に導電端子13を形成してもよい。

10

【0031】

次に、所定のダイシングラインDLに沿って第2の樹脂層12及びベース基板1を切断し、チップ状の個々の半導体装置20に分割する。このように、各半導体チップ4a、4b、4cがウェハ状のベース基板1上に実装された状態で半導体装置20の分割工程が行われる。個々の半導体装置20に分割する方法としては、ダイシング法、エッチング法、レーザーカット法等がある。

【0032】

20

以上の工程により、ベース基板1上に複数の半導体チップ(4a、4b、4c)が積層された第1の実施形態に係る半導体装置20が完成する。半導体装置20は、導電端子13を介して多数の回路素子が形成されたプリント基板等を実装される。

【0033】

本実施形態の半導体装置20は、従来構造(図9参照)のように積層構造を成す各半導体チップ4a、4b、4cが外部に露出しておらず、保護層10で被覆された構成になっている。また、保護層10は硬度が異なる複数の樹脂層(第1の樹脂層11及び第2の樹脂層12)で構成されている。そのため、従来構造(図9参照)に比べて、機械的ストレスや腐食物質の浸入等に強く、信頼性及び歩留まりの高い積層構造を有する半導体装置を実現することができる。

30

【0034】

また、従来のようにウェハ状の半導体基板を積層させるのではなく、ウェハ状のベース基板1上に良品として判定された半導体チップを積層させている。従って、従来製の製法に比して、完成する半導体装置20の信頼性及び歩留まりを向上させることができる。

【0035】

次に、本発明の第2の実施形態について図面を参照しながら説明する。図5乃至図7は、製造工程順に示した断面図である。なお、第1の実施形態と同様の構成及び製造プロセスについてはその説明を省略するか簡略する。

【0036】

まず、図5に示すように、ウェハ状のベース基板1上に良品と判定された第1の半導体チップ4aを重ね、両者を導電端子8を介して接続する。第1の半導体チップ4aの表面上には、貫通電極7と電氣的に接続された配線層21が形成されている。配線層21は、アルミニウム等の金属層をスパッタリングし、当該金属層をパターニングすることで形成される。

40

【0037】

次に、第1の半導体チップ4aとは外形が異なる第2の半導体チップ22を準備する。第2の半導体チップ22は、第1の半導体チップ4aと同様にデバイス素子5、貫通孔6、貫通電極23、導電端子24を備える。

【0038】

次に、第2の半導体チップ22の各導電端子24が第1の半導体チップ4aの貫通電極

50

7及び配線層21と接続されるようにして、第1の半導体チップ4a上に第2の半導体チップ22を配置する。第1の半導体チップ4aと第2の半導体チップ22の外形が異なるため、第2の半導体チップ22の側面の一部が第1の半導体チップ4aよりも内側に配置される。そして、第1の半導体チップ4aの表面上に第2の半導体チップ22と重畳しない領域Yが生じる。なお、本実施形態では、第2の半導体チップ22の一方の側面に隣接して領域Yが生じるが、第2の半導体チップ22の貫通電極23や導電端子24の形成位置によっては第2の半導体チップ22の位置が変わるため、別の側面に隣接して領域Yが生じることもある。

【0039】

次に、図6A及び図6Bに示すように、領域Yに第2の半導体チップ22と隣接したダミーチップ25をエポキシ樹脂等の接着層(不図示)を介して配置する。ダミーチップ25は第2の半導体チップ22と接するように配置することも可能であるが、ある程度(少なくとも20 μ m)離間しておくことが好ましい。ダミーチップ25と第2の半導体チップ22が接触すると、熱的ストレスや機械的ストレスによって両者の接触部に応力が発生し、ダミーチップ25あるいは半導体チップ22の位置ズレが生じて信頼性劣化の原因となるからである。

【0040】

次に、第2の半導体チップ22及びダミーチップ25上に第3の半導体チップ26を重ね、上下に重なる貫通電極23, 27同士を、導電端子28を介して接続する。本実施形態の第3の半導体チップ26は、第1の半導体チップ4aと外形が同一である。なお、図6Bは各チップ(第1の半導体チップ4a, 第2の半導体チップ22, ダミーチップ25, 第3の半導体チップ26)の積層関係を示す平面図の概略であり、図6AはそのZ-Z線の断面図に相当するものである。

【0041】

ここで、ダミーチップ25は外形が異なる半導体チップ同士(本実施形態では、第1の半導体チップ4aと第2の半導体チップ22、及び第2の半導体チップ22と第3の半導体チップ26)の間に配置して、上下の層の外形を均等にする、あるいは均等に近づけるためのチップである。従って、ダミーチップ25の外形に限定はないが、配置された際のダミーチップ25の側面がその上下のチップ(第1の半導体チップ4a及び第3の半導体チップ26)の側面と同一線状Lに配置される外形を有することが好ましい。かかる構成によれば積層構造が安定し、機械的ストレスに強い半導体装置を実現できるからである。

【0042】

また、ダミーチップ25の上面の位置が第2の半導体チップ22の上面と同一となる高さであること、つまりダミーチップ25は隣接する半導体チップと同程度の高さであることが好ましい。かかる構成によれば、第2の半導体チップ22とダミーチップ25を合わせた上面が略水平となり、その上に半導体チップ(第3の半導体チップ26)を安定して配置することが可能となるからである。また、仮にその上に半導体チップ(第3の半導体チップ26)を配置しない場合であっても、ダミーチップ25を配置することで積層構造の外周に段差が生じることを抑えることができ、より安定した構造になる。

【0043】

次に、上記第1の実施形態と同様に保護層10(第1及び第2の樹脂層11, 12)及び導電端子13を形成し、その後所定のダイシングラインDLに沿ってベース基板1を分断する。以上の工程により、図7に示すようにベース基板1上に複数の半導体チップ(4a, 22, 26)が積層された第2の実施形態に係る半導体装置30が完成する。

【0044】

第2の実施形態では、外形の異なる半導体チップを複数積層する場合であって、ダミーチップ25を設けた点が特徴である。かかる半導体装置30によれば、外形が異なる半導体チップ同士を安定して積層させることができる。また、ダミーチップ25を配置することによって各半導体チップの間に隙間が発生することを防止できるため、各半導体チップ

10

20

30

40

50

全体を均等に保護層 10 で被覆することができる。

【0045】

なお、各半導体チップ同士を接続するための電極（第1の実施形態では導電端子8、第2の実施形態では導電端子8、24、28）の形成位置によっては、各半導体チップの外形がほぼ同一であっても積層させた際に上下の半導体チップでずれが生じる。従って、外形の異なる半導体チップを複数積層する場合だけでなく、外形が同一の半導体チップを複数積層する場合にもダミーチップ25を用いることが可能である。つまり、上下の半導体チップの少なくともいずれか一方の半導体チップの側面の一部が他方の半導体チップの側面よりも内側に配置される場合であれば、ダミーチップ25を用いることが可能である。

【0046】

次に、本発明の第3の実施形態について図面を参照しながら説明する。図8は、第3の実施形態に係る半導体装置40を説明する断面図である。なお、第1及び第2の実施形態と同様の構成については同一符号を用い、その説明を省略する。

【0047】

上述した第2の実施形態では、ダミーチップ25を、主として半導体チップの積層構造の外形を揃え、積層構造を安定化させる目的として用いていた。しかし、第3の実施形態に係る半導体装置40においては、図8に示すように貫通電極32及び導電端子33を備えた配線チップ31が第2の半導体チップ22に隣接して配置されている。このように、ダミーチップ25に換えて、上層のチップ（半導体チップ34）と下層のチップ（半導体チップ4a）の電気的な接続を介在する配線チップ31を用いることも可能である。

【0048】

さらにまた、配線チップ31に換えて、第1、第2、第3の半導体チップ4a、22、34と同様に、デバイス素子5を有する半導体チップを配置することも可能である。従って、積層構造を構成する各層は、複数の半導体チップが平面的に配置されていてもよい。

【0049】

なお、本発明は上述した実施形態に限定されることはなく、その要旨を逸脱しない範囲で変更が可能なのは言うまでも無い。例えば、上述した貫通孔や貫通電極が形成される位置はその半導体チップの設計に応じて適宜変更できる。また、上記実施形態では、ボール状の導電端子を有するBGA型の半導体チップが積層された構成について説明したが、本発明はLGA(Land Grid Array)型の半導体チップの積層に適用するものであっても構

【図面の簡単な説明】

【0050】

【図1】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する平面図及び断面図である。

【図2】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図3】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図4】本発明の第1の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図5】本発明の第2の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

【図6】本発明の第2の実施形態に係る半導体装置及びその製造方法を説明する断面図及び平面図である。

【図7】本発明の第2の実施形態に係る半導体装置及びその製造方法を説明する断面図である。

10

20

30

40

50

【図8】本発明の第3の実施形態に係る半導体装置を説明する断面図である。

【図9】従来の半導体装置を説明する断面図である。

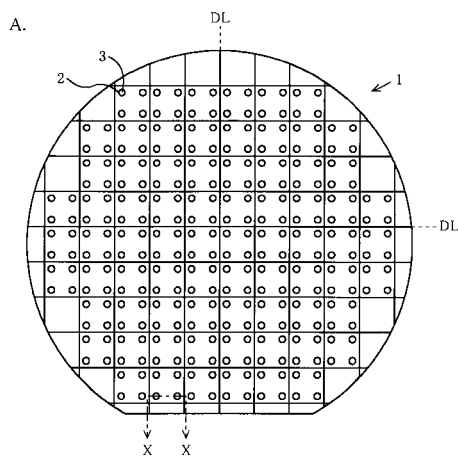
【図10】従来の半導体装置の製造方法を説明する断面図である。

【符号の説明】

【0051】

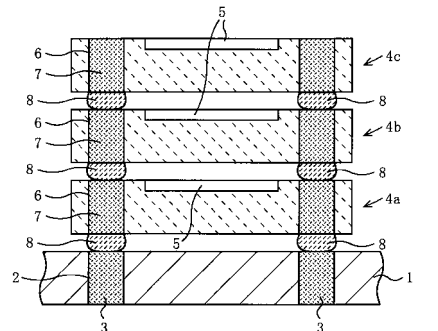
- 1 ベース基板 2 貫通孔 3 貫通電極 4 a 第1の半導体チップ
- 4 b 第2の半導体チップ 4 c 第3の半導体チップ 5 デバイス素子
- 6 貫通孔 7 貫通電極 8 導電端子 10 保護層
- 11 第1の樹脂層 12 第2の樹脂層 13 導電端子
- 20 半導体装置 21 配線層 22 第2の半導体チップ
- 23 貫通電極 24 導電端子 25 ダミーチップ
- 26 第3の半導体チップ 27 貫通電極 28 導電端子
- 30 半導体装置 31 配線チップ 32 貫通電極 33 導電端子
- 34 半導体チップ 40 半導体装置 100 半導体装置
- 101 第1の半導体チップ 102 第2の半導体チップ
- 103 第3の半導体チップ 104 半導体基板 105 デバイス素子
- 106 貫通孔 107 貫通電極 108 導電端子 109 半導体基板

【図1】



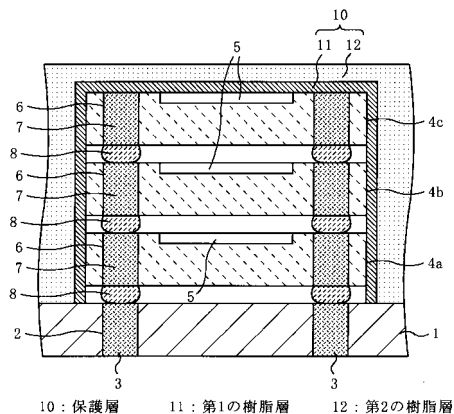
1: ベース基板 2: 貫通孔 3: 貫通電極

【図2】



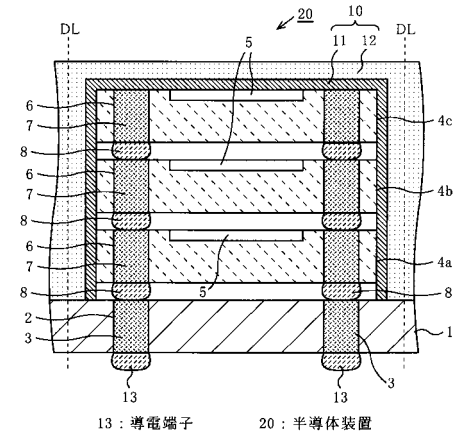
4a: 第1の半導体チップ* 4b: 第2の半導体チップ*
4c: 第3の半導体チップ* 5: デバイス素子 6: 貫通孔
7: 貫通電極 8: 導電端子

【図3】

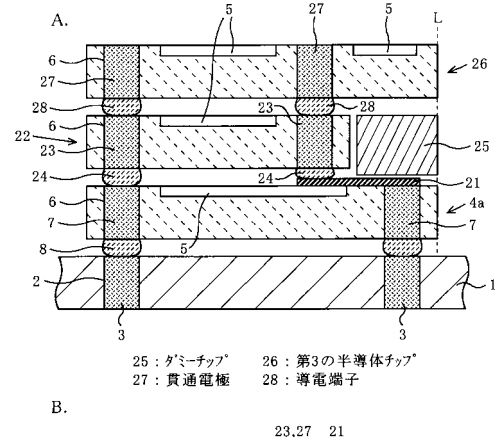


10: 保護層 11: 第1の樹脂層 12: 第2の樹脂層

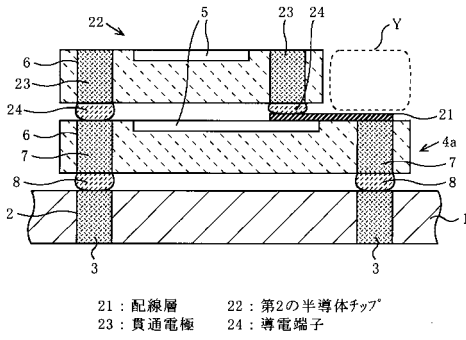
【図4】



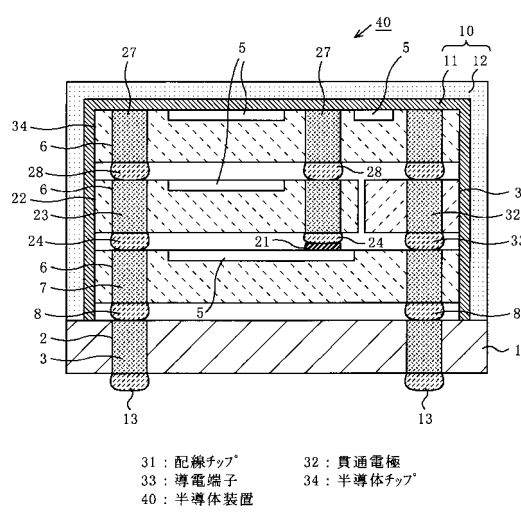
【図6】



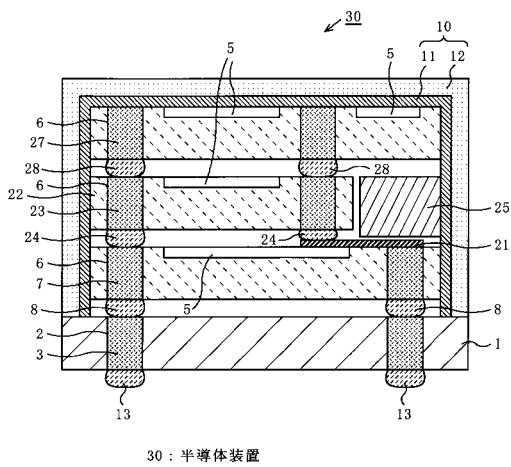
【図5】



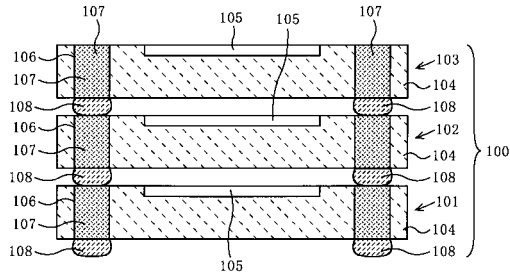
【図8】



【図7】

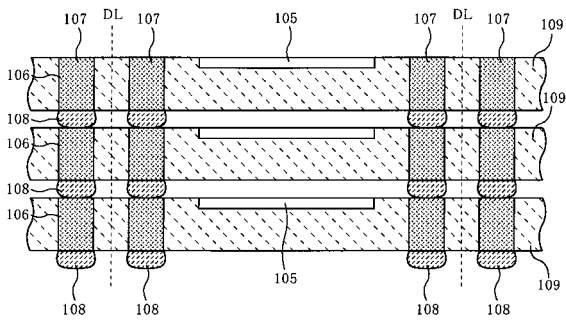


【図9】



- 100 : 半導体装置
- 101 : 第1の半導体チップ
- 102 : 第2の半導体チップ
- 103 : 第3の半導体チップ
- 104 : 半導体基板
- 105 : デバイス素子
- 106 : 貫通孔
- 107 : 貫通電極
- 108 : 導電端子

【図10】



- 109 : 半導体基板

フロントページの続き

- (56)参考文献 特開2005-072596(JP,A)
特開平11-176882(JP,A)
特開2001-223324(JP,A)
特開2001-156248(JP,A)
特開2005-051150(JP,A)
米国特許出願公開第2006/0000916(US,A1)
特開2000-067200(JP,A)
特開平03-058453(JP,A)
特開2006-024657(JP,A)
国際公開第2006/093078(WO,A1)
国際公開第2005/043622(WO,A1)
国際公開第2005/119776(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18
H01L 21/60
H01L 23/28 - 23/31