

申請日期	90.1.31
案 號	P0101857
類 別	G05F1/00

A4

C4

541449

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	電荷泵電路
	英 文	CHARGE PUMP CIRCUIT
二、發明 人	姓 名	谷本孝司 TAKASHI TANIMOTO
	國 籍	日本國
	住、居所	日本國岐阜縣本巢郡北方町高屋条里 2-72 2-72 Takayajyori, Kitakata-cho, Motosu-gun, Gifu JAPAN
三、申請人	姓 名 (名稱)	三洋電機股份有限公司 SANYO ELECTRIC CO., LTD.
	國 籍	日本國
	住、居所 (事務所)	日本國大阪府守口市京阪本通 2 丁目 5 番 5 號 5-5, Keihan-Hondori, 2-Chome, Moriguchi-City, Osaka, 570-8677, Japan
	代 表 人 姓 名	桑野幸德 YUKINORI KUWANO

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

日本 國（地區） 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

2000 年 2 月 4 日 特願 2000-026895(主張優先權)

2000 年 10 月 31 日 特願 2000-331879(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明（¹）

【發明所屬之技術領域】

本發明係關於一種使用電容器以轉換電壓的電荷泵電路。

【習知之技術】

第 10 圖係顯示習知電荷泵電路之構成的電路圖。該第 10 圖(a)所示之電路，係由 2 個二極體 D1、D2、電容器 C1 及輸出電容器 Cout 等所構成。又，第 10 圖(b)係顯示以 P 通道型 MOS 電晶體 T1、T2 構成上述二極體 D1、D2 的例子。

上述電荷泵電路，皆介由電容器 C1 對節點 N1 供給時脈信號 CLK，並根據該時脈信號 CLK 之邏輯「H(高)」位準值的電源電壓 VDD 輸出負的電壓「-VDD」(對負側升壓)作為其輸出電壓 Vout 之型式的電荷泵電路。

其次，參照第 11 圖說明該電路之電壓轉換動作的概要。

在該第 11 圖所示之時刻 t1 以前的時脈信號 CLK 於邏輯「H」位準的狀態中，二極體 D1(或是電晶體 TR1)就會導通而節點 N1 之電壓 Vn1 大致為「0」伏特(接地電壓 GND)。又，此時輸出電壓 Vout 亦大致為接地電壓 GND。

然後，在第 11 圖所示之時刻 t1 中，當時脈信號 CLK 降至邏輯「L(低)」位準(0 伏特)時，節點電壓 Vn1 藉由電容器 C1 大致拉至「-VDD」。此時由於二極體 D1(電晶體 TR1)截止，而二極體 D2(電晶體 TR2)導通，所以輸出電壓 Vout 亦大致變成「-VDD」(參照第 11 圖(c))，而輸出

五、發明說明（²）

電容器 C_{out} 會充電至「 $-VDD$ 」。

接著，在時刻 t_2 中當時脈信號 CLK 再次變成邏輯「H」位準時，藉由電容器 C_1 ，節點電壓 V_{n1} 會大致拉至接地電壓 GND。因此，二極體 D_2 （電晶體 TR2）截止，而輸出電壓 V_{out} 則保持於輸出電容器 C_{out} 之充電電壓「 $-VDD$ 」附近。

其次，在時刻 t_3 中，當時脈信號 CLK 再次變成邏輯「L」位準時，節點電壓 V_{n1} 會再次拉至約「 $-VDD$ 」。此時由於二極體 D_1 （電晶體 TR1）截止，而二極體 D_2 （電晶體 TR2）導通，所以輸出電壓 V_{out} 會再次變成「 $-VDD$ 」，而輸出電容器 C_{out} 則充電至 $-VDD$ 。藉由反覆對該種輸出電容器 C_{out} 進行充電，以使輸出電壓 V_{out} 大致保持於「 $-VDD$ 」之狀態。

另外，該種電荷泵電路，由於只要外設電容器 C_1 、 C_{out} 即可 IC（積體電路）化，所以在 IC 內用以獲得所希望之電壓值的電壓轉換機構，可使用於例如 CCD（電荷耦合元件）驅動器之電源電路或記憶體 IC 等中。

【發明所欲解決之問題】

然而，在如此的電荷泵電路中，雖可以簡單的構成進行電壓轉換，亦即對電壓進行升壓或降壓，但是因上述二極體 D_1 、 D_2 （或是電晶體 TR1、TR2）之臨限電壓 V_{th} 所造成的電壓降之影響，會產生其輸出電壓之絕對值減少之不良情形。例如，在上述習知之電荷泵電路中，其輸出電壓之絕對值的邏輯值會變成 $(VDD - 2V_{th})$ ，且比起其最

五、發明說明(3)

大邏輯值 VDD 才降低 $2V_{th}$ 。然後，該種輸出電壓之絕對值的降低，會招致電荷泵電路之電壓轉換效率的降低。

另外，為要迴避因該臨限電壓 V_{th} 而使輸出電壓(絕對值)降低，而可考慮不對例如先前之圖(b)所示之 P 通道型 MOS 電晶體 T1、T2 以二極體來連接而以電晶體來連接，但是在該種情況下，卻無法忽視因該等電晶體之導通・截止控制時之貫穿電流等而造成電壓轉換效率之降低、或電晶體本身之可靠度的降低。

本發明即係有鑑於上述實情而研創者，其目的在於提供一種既可保持較高之可靠度，且可提高其電壓轉換效率的電荷泵電路。

【解決問題之手段】

以下，係就達成上述目的用之手段及其作用效果加以敘述。

如申請專利範圍第 1 項之發明，係一種電荷泵電路，其包含有：串聯連接在輸出端與基準電位端之間的複數個開關電晶體；以及其一方端子連接在互相鄰接電晶體間的節點上，而另一方端子則連接在這些鄰接電晶體中之上述基準電位端側之電晶體的導通控制端子上之電容器，而對於上述複數個電晶體之各導通控制端子，施加奇數段與偶數段之相位互為反轉的時脈信號以對上述輸出端產生預定輸出電位者，其主旨為：在上述電容器之另一方端子及與之連接的電晶體導通控制端子之間設置延遲電路，以使施加在該電晶體之導通控制端子的時脈信號延遲預定期間並

五、發明說明(4)

施加在上述電容器之另一方端子上。

如申請專利範圍第 2 項之發明，係如申請專利範圍第 1 項之電荷泵電路，其主旨為，上述時脈信號，係介由在預定之電源電位與上述節點之電位間動作的緩衝電路而施加在上述開關電晶體之導通控制端子上。

如申請專利範圍第 3 項之發明，係如申請專利範圍第 1 或 2 項之電荷泵電路，其主旨為，更具備有用以調整上述相位互為反轉之時脈信號的時間，俾使於設定上述複數個開關電晶體之奇數段與偶數度同時呈非導通狀態之期間之時序調整電路。

如申請專利範圍第 4 項之發明，係如申請專利範圍第 3 項之電荷泵電路，其主旨為，上述時序調整電路，包含有：用以接受施加在上述鄰接電晶體之一方電晶體之導通控制端子上的時脈信號並反轉其相位之第一反相電路；用以輸入被輸入至該電荷泵電路內的時脈信號與該第一反相電路之輸出時脈信號並取其 NAND 條件之第一 NAND 電路；用以反轉被輸入至該電荷泵電路內的時脈信號之第二反相電路；用以接受施加在上述鄰接電晶體之另一方電晶體之導通控制端子上的時脈信號並反轉其相位之第三反相電路；以及用以輸入該等第二及第三反相電路之輸出時脈信號並取其 NAND 條件之第二 NAND 電路，而該時序調整電路係以上述第一及第二 NAND 電路之輸出作為調整上述時間的時脈信號。

如申請專利範圍第 5 項之發明，係如申請專利範圍

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

第 3 項之電荷泵電路，其主旨為，上述時序調整電路，包含有：用以反轉被輸入該電荷泵電路內的時脈信號之第一反相電路；用以輸入被施加在上述鄰接電晶體之一方電晶體之導通控制端子上的時脈信號與上述第一反相電路之輸出時脈信號並取其 NOR 條件之第一 NOR 電路；用以反轉同第一 NOR 電路之輸出時脈信號之第二反相電路；用以輸入被輸入該電荷泵電路之時脈信號與施加在上述鄰接電晶體之另一方電晶體之導通控制端子上的時脈信號並取其 NOR 條件之第二 NOR 電路；以及用以反轉同第二 NOR 電路之輸出時脈信號之第三反相電路，而該時序調整電路係以上述第二及第三反相電路之輸出作為調整上述時間的時脈信號。

如申請專利範圍第 6 項之發明，係如申請專利範圍第 1 至 3 項中任一項之電荷泵電路，其主旨為，上述延遲電路，係開放上述電容器之另一方端子且暫時呈高阻抗狀態，於施加在上述電晶體之導通控制端子的上述時脈信號反轉之後，經過預定之延遲期間而對上述電容器之另一方端子提供預定的電位。

如申請專利範圍第 7 項之發明，係如申請專利範圍第 6 項之電荷泵電路，其主旨為，上述延遲電路，包含有串聯連接在一對電源端子間的一對電晶體；以及用以驅動上述一對電晶體之導通控制端子的一對邏輯電路，而將上述一對邏輯電路之一方與另一方之輸出和上述時脈信號予以合成並設定上述一對電晶體同時成為非導通狀態的期

五、發明說明（⁶）

間，以將上述一對電晶體之間的電位供給上述電容器。

如申請專利範圍第 8 項之發明，係如申請專利範圍第 7 項之電荷泵電路，其主旨為，上述一對電晶體，係由控制高電位側之電源端子與上述電容器間之導通的 P 通道型電晶體以及控制低電位側之電源端子與上述電容器間之導通的 N 通道型電晶體所構成，而上述一對邏輯電路，係由 AND 電路及 NOR 電路所構成，上述 AND 電路，係將所輸入之時脈信號與施加在上述 P 通道型電晶體之導通控制端子上的信號之邏輯積信號施加在上述 N 通道型電晶體之導通控制端子上，上述 NOR 電路，係將輸入至該延遲電路之時脈信號與上述 AND 電路之輸出信號的 NOR 條件信號施加在上述開關電晶體之導通控制端子上，並使上述 NOR 電路之輸出信號反轉而施加在上述 P 通道型電晶體之導通控制端子上。

【發明之實施形態】

（第一實施形態）

以下，參照第 1 圖及第 2 圖說明本發明電荷泵電路之第一實施形態。另外，本實施形態之電荷泵電路，亦為從電源電壓 VDD 輸出負電壓「-VDD」以作為輸出電壓之型式的電荷泵電路。

第 1 圖係顯示本發明電荷泵電路的構成，如該第 1 圖所示，該電路基本上與前面之習知電荷泵電路相同，係由 2 個開關電晶體 TR1、TR2、電容器 C1 及輸出電容器 Cout 等所構成。另外，該電晶體 TR1、TR2，在此係由 N

五、發明說明(7)

通道型 MOS 電晶體所構成。

除了作為上述電荷泵電路之基本構成，本實施形態之電荷泵電路，更具備有時序調整電路 10、CMOS 反相器 1、2 及緩衝電路 B1。

在此，時序調整電路 10，係由反相器 11、12、13 與 NAND 電路 14、15 所構成，且輸入時脈信號 CLK，並根據該時脈信號 CLK，生成使上述開關電晶體 TR1、TR2 導通・截止的時脈信號 ϕ T1、 ϕ T2，同時調整其時序。

又，CMOS 反相器 1、2 係分別使其 N 通道型 MOS 電晶體 1a、2a 之源極端子 S 連接在上述開關電晶體 TR1、TR2 之源極端子 S(節點)上。此係當開關電晶體 TR1、TR2 之源極變成負電壓時，上述控制時脈信號 ϕ T1、 ϕ T2 之邏輯「L」位準的電壓值亦為負電壓，以確實將該電晶體 TR1、TR2 保持於截止狀態之緣故。

又，上述緩衝電路 B1 設在上述 CMOS 反相器 1 之輸出與電容器 C1 間。該緩衝電路 B1，係用以轉換上述控制時脈信號 ϕ T1 之信號位準，同時使該時脈信號 ϕ T1 延遲預定時間，並以其已延遲之時脈信號 ϕ T1 當作電容器時脈信號 ϕ C1 而輸入至電容器 C1。另外，該緩衝電路，例如係由複數個 CMOS 反相器等所形成。

如此，在本實施形態中藉由生成上述電容器時脈信號 ϕ C1，以對開關電晶體 TR1 之閘極施加其導通・截止信號之後，藉由將該電容器時脈信號 ϕ C1 施加在電容器 C1 上以使該電晶體 TR1 之源極電壓(節點 N1 之電壓) V_{n1}

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

產生變化。

因此，可防止在開關電晶體 TR1 導通時，使形成於該開關電晶體 TR1 之半導體基板內的寄生電晶體導通等的不良情形，另一方面，亦可防止在開關電晶體 TR1 截止時，節點電壓 V_{n1} 介由該開關電晶體 TR1 而變動的情形。

其次，參照第 2 圖之時序圖說明如此構成之本實施形態電荷泵電路之負電壓發生動作的概要。另外，該第 2 圖中顯示本電荷泵電路之常態的推移，而電源導入時等的過度推移予以省略。

在該第 2 圖所示之時刻 t1 中，當時脈信號 CLK 變化成邏輯「H」位準(VDD)時(第 2 圖(a))，首先上述反相器 12 之輸出會變成邏輯「L」位準(0 伏特)，隨之 NAND 電路 15 之輸出會變成邏輯「H」位準。此即輸入至 CMOS 反相器 2，並作為該反相器 2 之輸出的控制時脈信號 $\phi T2$ 會變成邏輯「L」位準「-VDD」(參照第 2 圖(c))。

此時，當開關電晶體 TR2 截止，同時反相器 11 之輸出會變成邏輯「H」位準，隨之 NAND 電路 14 之輸出會變成邏輯「L」位準(0 伏特)。此即輸入至 CMOS 反相器 1，並在該第 2 圖所示之時刻 t2 中，作為該反相器 1 之輸出的控制時脈信號 $\phi T1$ 會變成邏輯「H」位準「VDD」(參照第 2 圖(b))。接著，根據緩衝電路 B1 而延遲預定時間之後，電容器時脈信號 $\phi C1$ 會變成邏輯「H」位準(VDD)(參照第 2 圖(d))。隨著該上升，節點電壓 V_{n1} 會從「-VDD」

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

開始上升，之後大致會變成 0 伏特(參照第 2 圖(e))。

另一方面，在時刻 t_3 中，當時脈信號 CLK 變化成邏輯「L」位準(0 伏特)時，首先上述 NAND 電路 14 之輸出會變成邏輯「H」位準，此即輸入至 CMOS 反相器 1，且在該第 2 圖所示之時刻 t_4 中，作為該反相器 1 之輸出的控制時脈信號 ϕ_{T1} 會變成邏輯「L」位準「 $-VDD$ 」(參照第 2 圖(b))。此時，開關電晶體 TR1 截止。繼而，根據緩衝電路 B1 而延遲預定時間之後，電容器時脈信號 ϕ_{C1} 會變成邏輯「L」位準(0 伏特)(參照第 2 圖(d))。又，此時，反相器 13 之輸出會變成「H」位準(VDD)，隨之 NAND 電路 15 之輸出會變成邏輯「L」位準(0 伏特)。此即輸入至 CMOS 反相器 2，且作為該反相器 2 之輸出的控制時脈信號 ϕ_{T2} 會變成邏輯「H」位準(VDD)(參照第 2 圖(c))。此時，開關電晶體 TR1 導通。之後，在時刻 t_5 中當時脈信號 CLK 再次變化成邏輯「H」位準時，就可進行與上述時刻 t_1 相同的動作。

在本實施形態之電荷泵電路中，藉由反覆進行該種動作，就可消除開關電晶體 TR1、TR2 之臨限電壓 V_{th} 的影響，且可獲得大致接近邏輯值「 $-VDD$ 」的輸出電壓 V_{out} (參照第 2 圖(f))。

又，如上述，在本實施形態之電荷泵電路中，開關電晶體 TR1、TR2 並不會同時導通。亦即，如該第 2 圖所示，在開關電晶體 TR1 之截止期間 τ_{off1} 內，設定開關電晶體 TR2 之導通期間 τ_{on2} ，另一方面，在開關電晶體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

TR2 之截止期間 τ_{off2} 內，設定開關電晶體 TR1 之導通期間 τ_{on1} 。因此，可效率佳地獲得所希望之輸出電壓 V_{out} ，同時可防止對開關電晶體 TR1、TR2 流入較大的貫穿電流。結果，可提高該開關電晶體 TR1、TR2 之可靠度，亦可提高作為電荷泵電路之可靠度。

如以上說明，根據本實施形態之電荷泵電路，可獲得以下之效果。

(1)在事先確定開關電晶體 TR1 之閘極電壓後，使該開關電晶體 TR1 之源極電壓(節點 N1 之電壓) V_{n1} 產生變化。因此，可防止開關電晶體 TR1 在開關時之寄生電晶體的影響以及節點電壓 V_{n1} 之變動等。結果，可更確實進行電荷泵電路的動作，同時亦可提高其可靠度。

(2)形成 CMOS 反相器 1、2 之 N 通道型 MOS 電晶體的源極端子 S 連接在開關電晶體 TR1、TR2 之源極端子上的構成。因此藉由簡單的構成，可獲得確實維持該開關電晶體 TR1、TR2 之截止動作的閘極電壓(控制時脈信號 ϕ_{T1} 、 ϕ_{T2})。

(3)經由時序調整電路 10，形成不會同時導通開關電晶體 TR1、TR2 的控制時脈信號 ϕ_{T1} 、 ϕ_{T2} 。因此，可防止對該開關電晶體 TR1、TR2 流入較大的貫穿電流，且可提高該開關電晶體 TR1、TR2 之可靠度，同時可減低電荷泵電路之消耗電力。

(4)當進行電壓轉換時由於形成不受開關電晶體 TR1、TR2 之臨限電壓 V_{th} 影響的構成，所以可獲得較高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

的到達輸出電壓值(絕對值)。

(第二實施形態)

其次，以與上述第一實施形態之差異點為中心並參照第 3 圖及第 4 圖說明本發明電荷泵電路的第二實施形態。

如第 3 圖所示，在該第二實施形態之電荷泵電路中，時序調整電路之構成與上述第一實施形態之時序調整電路 10 的構成不同。又，本實施形態中，具備有 4 個開關電晶體、3 個電容器，且從電源電壓 VDD 輸出負電壓「 $-3VDD$ 」(邏輯值)作為輸出電壓。

然而，本實施形態之時序調整電路 20，係由 3 個反相器 21、22、23 以及 2 個 NOR 電路 24、25 所構成。與之前的時序調整電路 10 相同，調整上述時脈信號之時序，以使施加有相位互為反轉之時脈信號的開關電晶體不會同時變成導通狀態。

又，對開關電晶體 TR1、TR2、TR3 分別設有 CMOS 反相器 1、2、3、緩衝電路 B1、B2、B3 以及電容器 C1、C2、C3。又，在開關電晶體 TR4 上設有 CMOS 反相器 4。然後，在此，控制時脈信號 $\phi T1$ 、 $\phi T3$ 、控制時脈信號 $\phi T2$ 、 $\phi T4$ 以及電容器時脈信號 $\phi C1$ 、 $\phi C3$ 會共通化。

其次，參照第 4 圖之時序圖，說明如此構成之本實施形態之電荷泵電路的動作概要。

在此，亦與前面之第 2 圖所示的情況相同，介由緩衝電路 B1、B3 使控制時脈信號 $\phi T1$ 、 $\phi T3$ 延遲而形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

電容器時脈信號 $\phi C1$ 、 $\phi C3$ (參照第 4 圖(b)及(d))。又，介由緩衝電路 B2 使控制時脈信號 $\phi T2$ 延遲而形成電容器時脈信號 $\phi C2$ (參照第 4 圖(c)及(e))。

又，控制時脈信號 $\phi T1$ 、 $\phi T3$ 及控制時脈信號 $\phi T2$ 、 $\phi T4$ ，係形成互相使另一方之邏輯位準「H」(電晶體「截止」)期間到一方之邏輯位準「L」(電晶體「導通」)期間內(參照第 4 圖(b)及(c))。亦即，如該第 4 圖所示，在開關電晶體 TR2、TR4 之截止期間 τ_{off2} 內，設定有開關電晶體 TR1、TR3 之導通期間 τ_{on1} ，另一方面，在開關電晶體 TR1、TR3 之截止期間 τ_{off1} 內，設定有開關電晶體 TR2、TR4 之導通期間 τ_{on2} 。

第 5 圖係顯示 CCD 驅動器之構成，以作為本實施形態之電荷泵電路適用於 IC(積體電路)內的例子。該驅動器係用以驅動圖框傳輸型 CCD 者。詳言之，係將該 CCD 之攝影部所產生的電荷一舉傳輸至蓄積部上，即所謂用以實現電荷之垂直傳輸驅動者，以形成單晶片之 IC(積體電路)。然後，如該第 5 圖所示，由負電壓產生用電荷泵電路 31、高電壓產生用電荷泵電路 32 及垂直驅動電路 33 等所構成。另外，激勵(pumping)電容器 C1、C2、C3 與輸出電容器 Cout 等，係外設在該驅動器上。

然後，在此，根據本實施形態之電荷泵電路 31，可大致獲得 $-3VDD$ 作為邏輯值輸出電壓 V_{out} ，該輸出電壓 V_{out} 可輸出至高電壓產生用電荷泵電路 32 及垂直驅動電路 33。

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

五、發明說明 (13)

又，高電壓產生用電荷泵電路 32，根據例如之前第 1 圖所示的電路構成所形成。另外，在該電荷泵電路 32 中，上述開關電晶體 TR1、TR2 係由 P 通道型 MOS 電晶體所構成，同時該電晶體 TR1 之汲極端子連接在電源電壓 VDD 上。又，用以構成上述 CMOS 反相器 1、2 之 P 通道型 MOS 電晶體的源極(電源側端子)連接在上述節點 N1 上，另一方面，該 N 通道型 MOS 電晶體之源極則被接地。又，時脈信號 CLK，根據上述電荷泵電路 31 之輸出電壓 Vout 進行位準轉換。

根據如此構成之本實施形態電荷泵電路，亦與前面第一實施形態的電路相同，可獲得以下的效果。

(1) 在事先確定開關電晶體 TR1、TR2、TR3 之閘極電壓後使各開關電晶體 TR1、TR2、TR3 之源極電壓(節點 N1、N2、N3 之電壓) Vn1、Vn2、Vn3 產生變化。因此，可防止開關電晶體 TR1、TR2、TR3 在開關時之寄生電晶體的影響及節點電壓 Vn1、Vn2、Vn3 之變動等。結果，可更確實進行電荷泵電路的動作，同時亦可提高其可靠度。

(2) 形成 CMOS 反相器 1、2、3、4 之 N 通道型 MOS 電晶體的源極端子 S 連接在開關電晶體 TR1、TR2、TR3、TR4 之源極端子上的構成。因此藉由簡單的構成，即可獲得確實維持該開關電晶體 TR1、TR2 之截止動作的閘極電壓(控制時脈信號 $\phi T1$ 、 $\phi T2$ 、 $\phi T3$ 、 $\phi T4$)。

(3) 經由時序調整電路 20，形成不會同時導通開關電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（¹⁴）

晶體 TR1、TR2、TR3、TR4 之各鄰接的電晶體之控制時脈信號 $\phi T1$ 、 $\phi T2$ 、 $\phi T3$ 、 $\phi T4$ 。因此，可防止對上述電晶體 TR1、TR2、TR3、TR4 流入較大的貫穿電流，且可提高該電晶體 TR1、TR2、TR3、TR4 之可靠度，同時減低電荷泵電路之消耗電力。

(4)當進行電壓轉換時由於形成不受開關電晶體 TR1、TR2、TR3、TR4 之臨限電壓 V_{th} 影響的構成，所以可獲得較高的到達輸出電壓值(絕對值)。

(第三實施形態)

以下，係以與上述第一實施形態之差異點為中心並參照第 6 圖及第 7 圖說明本發明電荷泵電路的第三實施形態。

第 1 圖所示之第一實施形態中，為要生成控制開關電晶體 TR1 導通・截止之控制時脈信號 $\phi T1$ 延遲預定時間的電容器時脈信號 $\phi C1$ ，而設有緩衝電路 B1。如此，藉由設置緩衝電路 B1，可在確定開關電晶體 TR1 之閘極電壓後使該開關電晶體 TR1 之源極電壓(節點 N1 之電壓) V_{n1} 產生變化，甚至可防止寄生電晶體之影響等。

但是，在此情況下，於電晶體 TR1 導通後至緩衝電路 B1 輸出邏輯「H」位準之信號為止的期間內，恐有在緩衝電路 B1 內消耗、浪費電流之虞。亦即，因電晶體 TR1 導通，而其汲極及源極間導通，使得電流從 GND 流至節點 N1，使節點 N1 之電位 V_{n1} 上升。然後，隨之緩衝電路 B1 之輸出端子側的電位會變化。但是，在該時間點上，

五、發明說明（¹⁵）

例如在緩衝電路 B1 由 2 級之 CMOS 反相器構成的情況，由於輸出側之反相器內的 N 通道型 MOS 電晶體會導通，以致電流介由該 MOS 電晶體從電容器 C1 流至該 MOS 電晶體之邏輯「L」位準側的供電端子（接地端子）上。

如此，在緩衝電路 B1 內，當消耗與電容器 C1 之蓄電無關的電流時，即使是電荷泵電路亦會造成其升壓轉換效率降低。尤其是，在緩衝電路 B1 之輸出變成電容器 C1 之輸入的關係上，由於大幅設定其輸出側之 MOS 電晶體的驅動電力，所以上述所消耗的電力亦會變較大，且無法忽視電荷泵電路之升壓轉換效率降低的情形。

因此，本實施形態中，係形成將使上述控制時脈信號 ϕ T1 延遲預定時間以生成電容器時脈信號 ϕ C1 的緩衝電路（延遲電路）構成如下。亦即，在上述控制時脈信號 ϕ T1 變成邏輯「H」位準以前，事先將電容器 C1 之供電線設為高阻抗狀態，而在該控制時脈信號 ϕ T1 變成邏輯「L」位準以後，形成該電容器 C1 之供電線的電位變成邏輯「H」位準的構成。

第 6 圖係顯示具有如此構成緩衝電路之本實施形態的電荷泵電路。

如第 6 圖所示，該電路基本上亦與前面第一實施形態相同，係由 2 個開關電晶體 TR1、TR2、電容器 C1、輸出電容器 Cout 以及用以調整供至電晶體 TR1 或 TR2 之時脈信號的時序調整電路 100 所構成。

然後，在本實施形態中，除了上述構成外，更具備

五、發明說明 (16)

有緩衝電路(延遲電路)110用以取代第一實施形態中之緩衝電路 B1。

該緩衝電路 110，係包含有：施加有電源電壓「VDD」的供電端子 112；用以控制該端子 112 及電容器 C1 間之導通的 P 通道型 MOS 電晶體 111；接地端子 114；以及用以控制該端子 114 及電容器 C2 間之導通的 N 通道型 MOS 電晶體 113。

然後在緩衝電路 110 方面，為了抑制在上述電晶體 TR1 導通後，至對電容器 C1 供給邏輯「H」位準之信號為止期間的電力浪費，而以如下之順序生成上述各電晶體 111 及 113 之控制信號。亦即，當使控制時脈信號 $\phi T1$ 成為邏輯「H」位準之指令信號而從時序調整電路 10 輸入時，首先根據該指令信號生成使電晶體 113 截止的控制信號。然後，根據使該電晶體 113 截止的控制信號而生成邏輯「H」位準之控制時脈信號 $\phi T1$ 。繼而，根據所生成的邏輯「H」位準之控制時脈信號 $\phi T1$ 。生成使電晶體 111 呈導通狀態的控制信號。

具體而言，如第 6 圖所示，緩衝電路 110，係具備有用以將時序調整電路 100 所供給的控制時脈信號與施加至電晶體 111 之閘極端子上的控制信號 S111 之邏輯積信號當作控制信號 S113 而施加在電晶體 113 之閘極端子上之 AND 電路 15。又，該緩衝電路 110，具備有用以將時序調整電路 100 所供給的控制時脈信號與 AND 電路 115 之輸出信號的邏輯和反轉信號(NOR 條件信號)當作控制時脈

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

信號 $\phi T1$ 而施加在電晶體 TR1 之閘極端子上之 NOR 電路 116。更且，該緩衝電路 110，具備有用以將 NOR 電路 116 之輸出信號的邏輯反轉信號 S111 當作上述控制信號 S111 而施加至電晶體 111 之閘極端子上之反相器 117。

若依據上述態樣所構成的緩衝電路 110，則在施加至電晶體 TR1 之閘極的控制時脈信號 $\phi T1$ 變成邏輯「H」位準前，電晶體 113 可保持截止狀態而至電容器 C1 之供電線將呈高阻抗。然後，在該控制時脈信號 $\phi T1$ 變成邏輯「L」位準之後，電晶體 111 就會呈截止狀態，且在該電容器 C1 之供電線上施加有邏輯「H」位準之電壓。

另一方面，時序調整電路 100，與前面之第一實施形態相同，係輸入時脈信號 CLK，並依據該時脈信號 CLK，生成被調整成不會同時導通電晶體 TR1 及 TR2 的時脈信號。為要進行該種調整，時序調整電路 100，會隨著時脈信號 CLK 之邏輯位準變化，而在輸出邏輯「L」位準之信號作為控制時脈信號 $\phi T2$ 時，依據該控制時脈信號 $\phi T2$ 生成指令信號，俾使於緩衝電路 110 生成邏輯「H」位準之控制時脈信號 $\phi T1$ 的信號。更且，時序調整電路 100，在下達指令生成邏輯「L」位準之控制時脈信號 $\phi T1$ 的信號輸出至緩衝電路 110 時，依據該輸出信號而生成邏輯「H」位準之控制時脈信號 $\phi T2$ 。

具體而言，此亦如第 6 圖所示，時序調整電路 100，係包含有：用以使時脈信號 CLK 反轉的第一反相器 101；以及用以將施加至緩衝電路 110 內之電晶體 113 之閘極端

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

子上的控制信號 S113 與該第一反相器 101 之輸出信號的邏輯積信號施加至電晶體 TR2 之閘極端子的 AND 電路。更且，時序調整電路 100，包含有：用以使施加在上述電晶體 TR2 之閘極端子上的邏輯積信號反轉之第二反相器；以及將該第二反相器 103 之輸出信號與時脈信號 CLK 之邏輯積反轉信號當作用以下指令生成上述之控制時脈信號 $\phi T1$ 的信號並輸出至緩衝電路 110 之 NAND 電路。

另外，第 6 圖中為了方便起見，如前面之第 1 圖所例示之電晶體 TR1 及 TR2 之源極變成負電壓時，使該電壓值成為上述控制時脈信號 $\phi T1$ 、 $\phi T2$ 之邏輯「L」位準之電壓值的構成未加以圖示。為要實現此一狀態，只要將例如 AND 電路 12 及 NOR 電路 116 之原本被接地之側的供電端子，連接在這些電晶體 TR1 及 TR2 之源極端子上即可。以下，係以如此構成為前提說明其動作。

其次，有關上述態樣所構成之電荷泵電路的整體動作，係一併參照第 7 圖之時序圖再加以詳述。

現在，在第 7 圖所示之時刻 t1 中，當時脈信號 CLK 變化成邏輯「H」位準(VDD)時(第 7 圖(a))，首先會隨著第一反相器 101 之輸出變化成邏輯「L」位準，在時刻 t2 中，從 AND 電路 102 施加至電晶體 TR2 之閘極端子上的控制時脈信號 $\phi T2$ 會變成邏輯「L」位準(-VDD)(第 7 圖(c))。藉此，電晶體 TR2 會變成截止狀態。

另一方面，該 AND 電路 102 之輸出，會透過第二反相器 103 反轉，且與邏輯「H」位準之時脈信號 CLK 同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

時輸入至 NAND 電路 104。藉此，在 NAND 電路 104 中，係以邏輯「L」位準之信號，當作下達指令生成控制時脈信號 $\phi T1$ 的信號而輸出至緩衝電路 110。

由該 NAND 電路 104 所輸出的邏輯「L」位準之信號，係在緩衝電路 110 中輸入至 AND 電路 115，而在第 7 圖所示之時刻 t3 中，將邏輯「L」位準之信號當作上述控制信號 S113 而從該 AND 電路 115 施加在電晶體 113 之閘極端子上(第 7 圖(e))。又，由該 AND 電路 115 輸出的邏輯「L」位準之信號，係與來自上述時序調整電路 100 之 NAND 電路 104 的輸出信號，同時輸入至 NOR 電路 116。藉此，在第 7 圖所示之時刻 t4 中，從 NOR 電路 116 輸出邏輯「H」位準之控制時脈信號 $\phi T1$ 至電晶體 TR1 之閘極端子(第 7 圖(b))。然後，藉由施加該邏輯「H」位準之控制時脈信號 $\phi T1$ ，使電晶體 TR1 變成導通狀態。

如此，可防止在對電晶體 TR1 之閘極端子輸出邏輯「H」位準之控制時脈信號 $\phi T1$ 以前，首先為要控制電晶體 113 成截止狀態，而在隨著因電晶體 TR1 之導通引起電容器 C1 之電位變化(第 7 圖(f))而流動的電容器 C1 及接地端子 114 間流入不需要的電流之情形。

又，上述 NOR 電路 116 之輸出信號，由於以反相器 117 加以反轉，且邏輯「L」位準之信號當作控制信號 S111 而施加至電晶體 111 之閘極端子上，所以在第 7 圖所示之時刻 t5 中，電晶體 111 會變成導通狀態(第 7 圖(d))。藉此，施加在電容器 C1 之電壓的電位，會被固定在邏輯「H」

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (20)

位準上(第 7 圖(f))，而且，從時刻 t_4 左右開始上升的節點 N1 之電位，則固定在接地電位(第 7 圖(g))。

另一方面，在第 7 圖所示之時刻 t_6 中，當時脈信號 CLK 變化成邏輯「L」位準(0 伏特)時，首先，從 NAND 電路 104 輸出至緩衝電路 110 的信號會變化成邏輯「H」位準。藉此，在緩衝電路 110 中，由 NOR 電路 116 所輸出的控制時脈信號 $\phi T1$ 會變成邏輯「L」位準，而電晶體 TR1 會變成截止之狀態(第 7 圖(b))。又，該 NOR 電路 116 之輸出，係介由反相器 117 當作邏輯「H」位準之控制信號 S111 而施加在電晶體 111 之閘極端子上(第 7 圖(d))。

更且，該反相器 117 之輸出，係輸入至 AND 電路 115。在該 AND 電路 115 中，根據自該反相器 117 輸出之邏輯「H」位準之信號與自上述 NAND 電路 104 輸出之邏輯「H」位準之信號的邏輯積條件，輸出邏輯「H」位準之信號。然後將該邏輯「H」位準之信號當作控制信號 S113，施加在電晶體 113 之閘極上(第 7 圖(e))，同時輸入至 AND 電路 102。然後，在該 AND 電路 102 中，依據該邏輯「H」位準之控制信號 S113、與時脈信號 CLK 經由反相器 101 加以反轉的邏輯「H」位準之信號的邏輯積條件，生成邏輯「H」位準之控制時脈信號 $\phi T2$ ，並將該信號施加在電晶體 TR2 之閘極端子上(第 7 圖(b))。藉此，電晶體 TR2 會變成導通之狀態，使得節點電壓 V_{n1} 當作輸出電壓 V_{out} 並介由該電晶體 TR2 輸出。

本實施形態之電荷泵電路中，係介由重覆進行該種

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

動作，而可維持最佳之升壓效率。

如以上說明，若根據本實施形態，則除了第一實施形態之上述(1)至(4)或以此為基準的效果，亦可獲得以下效果。

(5)在使緩衝電路 110 之電晶體 113 呈截止狀態之後，藉由使電晶體 TR1 呈導通狀態，使在電晶體 TR1 導通之後直至電容器時脈信號 ϕ C1 變成邏輯「H」位準為止的期間，可確實避免電力在電容器 C1 與接地端子 114 之間消耗。

(6)在使電晶體 113 呈截止狀態之後藉由使電晶體 111 呈導通狀態，即可避免在電晶體 113 及 111 之間流入貫穿電流。

(7) 在使電晶體 111 呈截止狀態之後藉由使電晶體 113 呈導通狀態，即可避免在電晶體 113 及 111 之間流入貫穿電流。

(第四實施形態)

以下，就本發明之電荷泵電路的第四實施形態，以與前面之第二及第三實施形態的差異點為中心並參照第 8 圖及第 9 圖加以說明。

如第 8 圖所示，本實施形態之電荷泵電路，係與前面之第二實施形態相同，具備有 4 個開關電晶體 TR1 至 TR4、及 3 個電容器 C1 至 C3，且自電源電壓「VDD」輸出負電壓，「-3VDD」(邏輯值)以作為輸出電壓的電路。然後，在上述電晶體 TR1 至 TR4 中具備有時序調整電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

200，以使鄰接的電晶體不會同時變成導通狀態。

更且，本實施形態之電荷泵電路，為了避免上述寄生電晶體之影響，而具備有緩衝電路 210 及 220 以取代前面第二實施形態之緩衝電路 B1 至 B3。在此，緩衝電路 210，係在生成控制時脈信號 $\phi T1$ 及 $\phi T3$ 之同時，使該信號延遲預定期間，以輸出電容器時脈信號 $\phi C1$ 及 $\phi C3$ 的電路。又，緩衝電路 220，係用以生成控制時脈信號 $\phi T2$ 及 $\phi T4$ ，同時使同信號延遲預定期間，以輸出電容器時脈信號 $\phi C2$ 及 $\phi C4$ 的電路。然後，上述緩衝電路 210 及 220，係具有與前面第三實施形態的緩衝電路 110 相同的功能，以防止電力在電容器 C1 至 C3 與接地之間消耗的情形。

亦即，在上述緩衝電路 210 及 220 中，當依據由時序調整電路 200 所供給的信號，對開關電晶體 (TR1 至 TR4) 之閘極施加邏輯「H」位準之控制時脈信號時，首先，會使進行接地端子 (214, 224) 及電容器 (C1 至 C3) 間之導通控制的電晶體 (213, 223) 截止。然後，再依據使上述電晶體 (213, 223) 截止的邏輯「H」位準之控制信號 (S213, S223)，以生成施加在開關電晶體 (TR1 至 TR4) 之閘極端子上的邏輯「H」位準之控制時脈信號 ($\phi T1$ 至 $\phi T4$)。其次，依據該邏輯「H」位準之控制時脈信號 ($\phi T1$ 至 $\phi T4$) 使施加有電源電壓 VDD 之供電端子 (212, 222) 及電容器 (C1 至 C3) 間之導通控制的電晶體 (211, 221) 導通。

然後，為了獲得該種功能，緩衝電路 210、220 分別

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

與前面第三實施形態相同，由 AND 電路(215,225)、NOR 電路(216,226)以及反相器(217,227)所構成。

另一方面，上述時序調整電路 200，係將已時序調整之信號供給上述各緩衝電路 210、220 的電路，俾使相互鄰接之開關電晶體 TR1 至 TR4 不同時導通。亦即，當控制時脈信號 $\phi T1$ 及 $\phi T3$ 隨著時脈信號 CLK 之變化而變成邏輯「L」位準時，依據藉由緩衝電路 210 生成的該信號 $\phi T1$ 及 $\phi T3$ ，將下達指令生成邏輯「H」位準之控制時脈信號 $\phi T2$ 及 $\phi T4$ 的信號對緩衝電路 220 輸出。反之，當控制時脈信號 $\phi T2$ 及 $\phi T4$ 隨著時脈信號 CLK 之變化而變成邏輯「L」位準時，依據藉由緩衝電路 220 生成的該信號 $\phi T2$ 及 $\phi T4$ ，將下指令生成邏輯「H」位準之控制時脈信號 $\phi T1$ 及 $\phi T3$ 的信號對緩衝電路 210 輸出。

具體而言，如第 8 圖所示，時序調整電路 200，係具備有將時脈信號 CLK 與施加在緩衝電路 220 之電晶體 223 之閘極端子上之信號的邏輯積反轉信號(NAND 條件信號)對緩衝電路 210 輸出的第一 NAND 電路 202。又，時序調整電路 200，係具備有將介由使時脈信號 CLK 反轉之反相器 201 所施加之信號與施加在緩衝電路之電晶體 213 之閘極上之信號的邏輯積反轉信號對緩衝電路 220 輸出的第二 NAND 電路 203。

另外，即使在本實施形態中，為了確實使上述開關電晶體 TR1 至 TR4 截止，與前面第二實施形態相同，雖採用當這些電晶體 TR1 至 TR2 之源極變成負電壓時，使

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

該電壓當作上述控制時脈信號 $\phi T1$ 至 $\phi T4$ 之邏輯「L」位準之電壓值的構成，惟有關第 8 圖中之該具體構成的圖示則予以省略。

第 9 圖係顯示本實施形態之電荷泵電路的動作。

如第 9 圖所示，即使在本實施形態之電荷泵電路中，基本上與前面第三實施形態相同，係在開關電晶體 (TR1 至 TR4) 呈導通狀態後一直到電容器時脈信號 ($\phi C1$ 至 $\phi C3$) 呈導通狀態為止的延遲期間，以可避免電力在電容器 (C1 至 C3) 與接地端子 (214, 224) 之間消耗的態樣下，生成各種時序信號。

又，由於在電晶體 (211, 221) 截止之後，電晶體 (213, 223) 會變成導通狀態，所以貫穿電流不會流入該等電晶體之間。

因此，即使根據該第四實施形態，除了第二實施形態之 (1) 至 (4) 之效果外，亦可獲得以第三實施形態之上述 (5) 至 (7) 之效果為基準的效果。

另外，上述第三及第四實施形態，亦可作如下變更且加以實施。

- 緩衝電路 110、210、220 之構成並不限於第 6 圖或第 8 圖所例示者。尤其是有關緩衝電路內之 AND 電路或 NOR 電路等的組合，亦可極容易地進行該變更。亦即，在緩衝電路內具備有一對邏輯電路，其一方之邏輯電路對另一方之輸出與緩衝電路之輸入信號加以合成，並設定連接至一對電源端子間之一對電晶體同時變成非導通狀態的

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (25)

期間，而在該期間後可極容易形成對電容器提供預定電位的構成。

又，亦不限定依據使低電位之供電端子及電容器間遮斷的控制信號，以生成導通控制電晶體的活性信號，或依據該活性信號，以生成使高電位之供電端子及電容器間導通之控制信號的構成。例如，亦可為利用配線延遲等的構成。

其他，在上述全部的實施形態中可共通變更的要素有如下幾種。

- 時序調整電路之電路構成，並非限定於前面之第 1 圖、第 3 圖、第 6 圖及第 8 圖所示之時序調整電路 10、20、100 及 200 的構成。要言之，時序調整電路，若以施加有相位互為反轉之時脈信號的開關電晶體不會同時變成導通狀態的方式，而調整這些時脈信號之時序，則亦可以各種電路構成加以構成者。

- 雖係顯示使用 N 通道型 MOS 電晶體以作為開關電晶體的例子，但是並不限定於此，該開關電晶體亦可使用其他例如 P 通道型 MOS 電晶體，或是亦可併用 N 通道及 P 通道型 MOS 電晶體，以構成本發明之電荷泵電路。

- 又，本發明之電荷泵電路，並不限於將電源電壓 VDD 予以降壓以產生負電壓的適用例，亦可適用於其他例如將電源電壓 VDD 予以升壓，或利用負電壓以產生正電壓等各種電壓轉換的態樣。

- 又，開關電晶體之個數以及在該電晶體間連接其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

一方之電極的電容器(激勵電容器)之個數為任意，且只要適當地設置分別用以獲得所希望之輸出電壓 V_{out} 所需的個數即可。

• 又，上述各實施形態中為了方便起見，雖係如第 1 圖或第 3 圖所示決定開關電晶體 TR1、TR2、TR3、TR4 之源極 S 以及汲極 D，但並非固定於上述態樣。

• 更且，上述第一或第二實施形態中之緩衝電路 B1 至 B3 或第三及第四實施形態中之緩衝電路 110、210、220 中，雖係將對電容器進行供電之供電端子，分別設定為具有「VDD」、「0」之電位，但是並非限定於此。要言之，只要設定成對應施加在開關電晶體之導通控制端子上的時脈信號之 2 值不同的二個電位即可。而且，藉由適當地變更這些電位，亦可調整電荷泵電路的升壓能力。

【發明之功效】

若依據申請專利範圍第 1 項之發明，則利用延遲電路(緩衝電路)，即可事先對開關電晶體之例如閘極端子(導通控制端子)施加電壓之後再改變同電晶體之源極電壓(節點之電壓)。因此，可防止開關電晶體進行交換時寄生電晶體(虛擬形成於該電晶體之半導體基板內的電晶體)之影響，以及防止節點電壓之變動等。結果，可更確實作為電荷泵電路的動作，同時可提高其可靠度。

若依據申請專利範圍第 2 項之發明，則藉由設置在預定之電源電位與上述節點電位之間動作的緩衝電路，並根據簡單的構成，可獲得使上述開關電晶體之截止動作確

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

實之該電晶體的閘極電壓(導通控制端子施加時脈信號)。

若依據申請專利範圍第 3 項之發明，則依時序調整電路，即可形成設置複數個電晶體之奇數段與偶數段同時成為非導通狀態之期間的時脈信號。因此，可防止在這些電晶體上流入較大的貫穿電流，並提高該電晶體之可靠度，同時可減低電荷泵電路之消耗電力。

若依據申請專利範圍第 4 或 5 項之發明，則可以簡單的電路形成較佳之上述時序調整電路。

若依據申請專利範圍第 6 項之發明，則藉由開放電容器之另一方端子而暫時呈高阻抗狀態，即使隨著電晶體被控制導通而使電容器之另一方端子側的線路電位上升，亦可在該延遲電路內迴避電力消耗。更且，若依據同一發明，則在施加於電晶體上之時脈信號反轉之後，藉由對電容器之另一方端子提供預定電位，亦可避免寄生電晶體效應等。

若依據申請專利範圍第 7 及 8 項之發明，則可以簡易之電路構成形成較佳之申請專利範圍第 6 項之延遲電路。

【圖式之簡單說明】

第 1 圖係顯示本發明電荷泵電路之第一實施形態的電路圖。

第 2 圖(a)至(f)係顯示該實施形態之電路動作的時序圖。

第 3 圖係顯示本發明電荷泵電路之第二實施形態的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

電路圖。

第 4 圖(a)至(e)係顯示該實施形態之電路動作的時序圖。

第 5 圖係顯示該實施形態之電路之適用例的方塊圖。

第 6 圖係顯示本發明電荷泵電路之第三實施形態的電路圖。

第 7 圖(a)至(g)係顯示該實施形態之電路動作的時序圖。

第 8 圖係顯示本發明電荷泵電路之第三實施形態的電路圖。

第 9 圖(a)至(i)係顯示該實施形態之電路動作的時序圖。

第 10 圖(a)至(b)係顯示習知電荷泵電路之構成例的電路圖。

第 11 圖(a)至(c)係顯示該習知電荷泵電路之動作的時序圖。

【元件編號之說明】

1、2、3、4	CMOS 反相器
1a、2a	N 通道型 MOS 電晶體
10、20、100、200	時序調整電路
11、12、13、21、22、23、117、217、227	反相器
14、15	NAND 電路
101	第一反相器
103	第二反相器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

110、210、220	延遲電路(緩衝電路)
111	P通道型 MOS 電晶體
112、212、222	供電端子
115、215、225	AND 電路
116、216、226	NOR 電路
212、213	電晶體
B1、B2、B3、B4	緩衝電路
C1、C2、C3、C4	電容器
CLK	時脈信號
S	源極端子
S213、S223、S113	控制信號
TR1、TR2、TR3、TR4	開關電晶體
ϕ T1、 ϕ T2	控制時脈信號

四、中文發明摘要(發明之名稱：

)

電荷泵電路

本發明之目的在於提供一種既可保持較高可靠度又可提高其電壓轉換效率的電荷泵電路。電荷泵電路包含有：2個開關電晶體 TR1、TR2、電容器 C1、輸出電容器 Cout、時序調整電路 10、其 N 通道型 MOS 電晶體之源極端子 S 分別連接至電晶體 TR1、TR2 之源極端子 S 的 CMOS 反相器 1、2、以及緩衝電路 B1。時序調整電路 10，係使電晶體 TR1、TR2 互相在一方之截止期間(OFF)內生成使另一方導通(ON)的控制時脈信號 $\phi T1$ 、 $\phi T2$ 。使控制時脈信號 $\phi T1$ 介由緩衝電路 B1 而延遲預定時間所形成的電容器時脈信號 $\phi C1$ 輸入至電容器 C1。

英文發明摘要(發明之名稱：CHARGE PUMP CIRCUIT

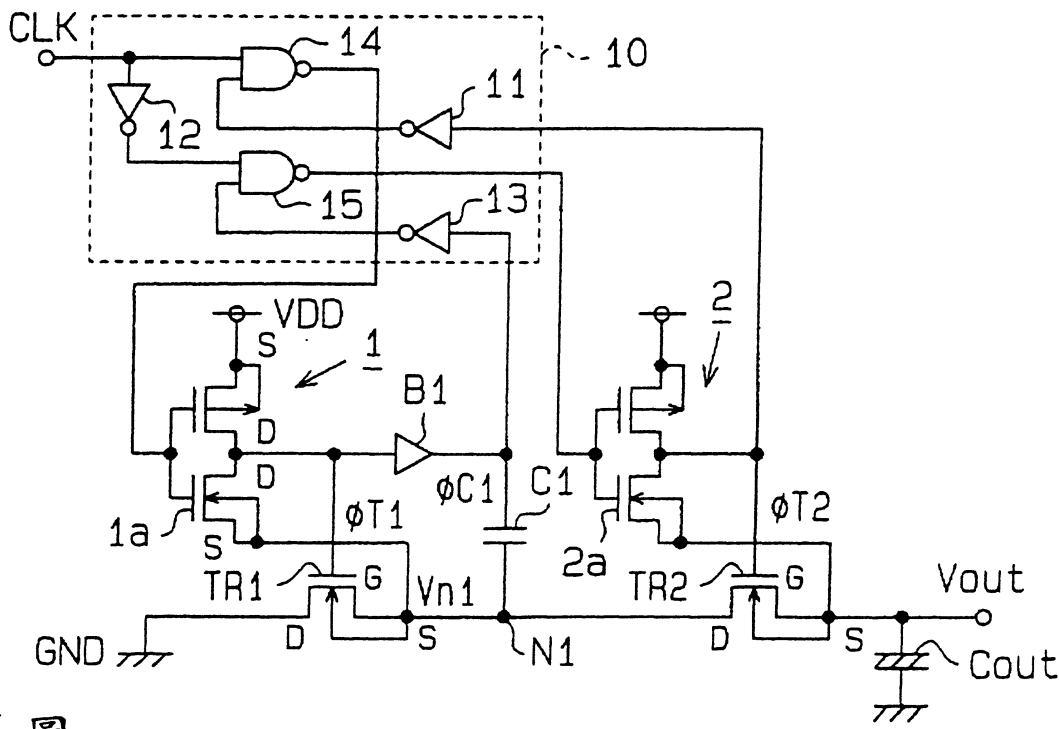
)

A charge pump circuit for converting an input voltage to a predetermined voltage. The charge pump circuit includes switching transistors, which are connected in series between an output terminal and reference potential terminal of the charge pump circuit, and a capacitor connected to a node between the first and second transistors. The switching transistors include a first transistor connected to the reference potential terminal and a second transistor connected to the first transistor. The capacitor has a first terminal connected to a node between the transistors and a second terminal connected to a delay circuit. The delay circuit is connected between the second terminal of the capacitor and a control terminal of the first transistor. The delay circuit delays a clock signal received by the control terminal by a predetermined time and provides the delayed first clock signal to the second terminal of the capacitor.

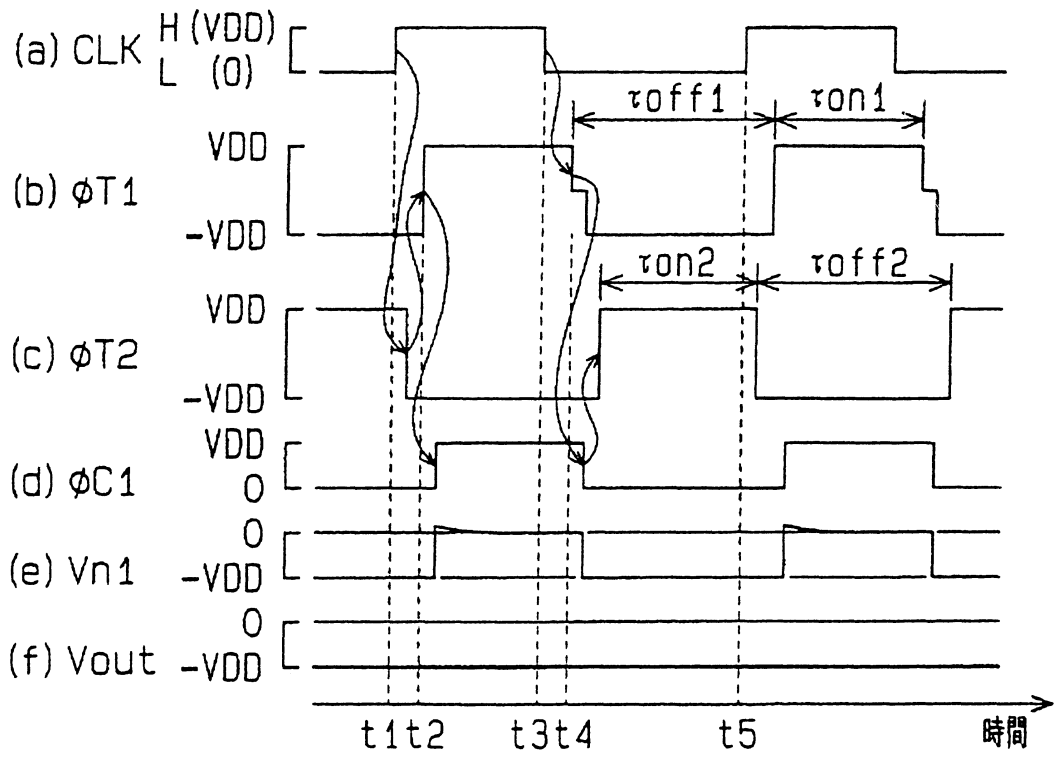
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

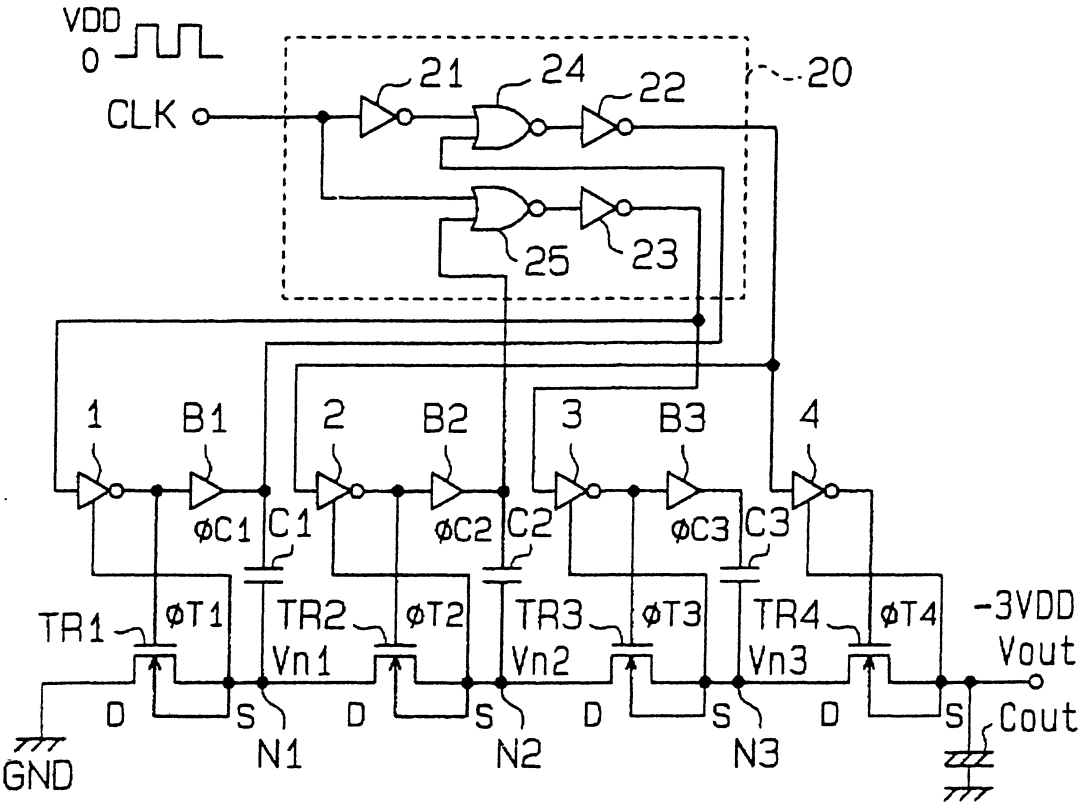
訂



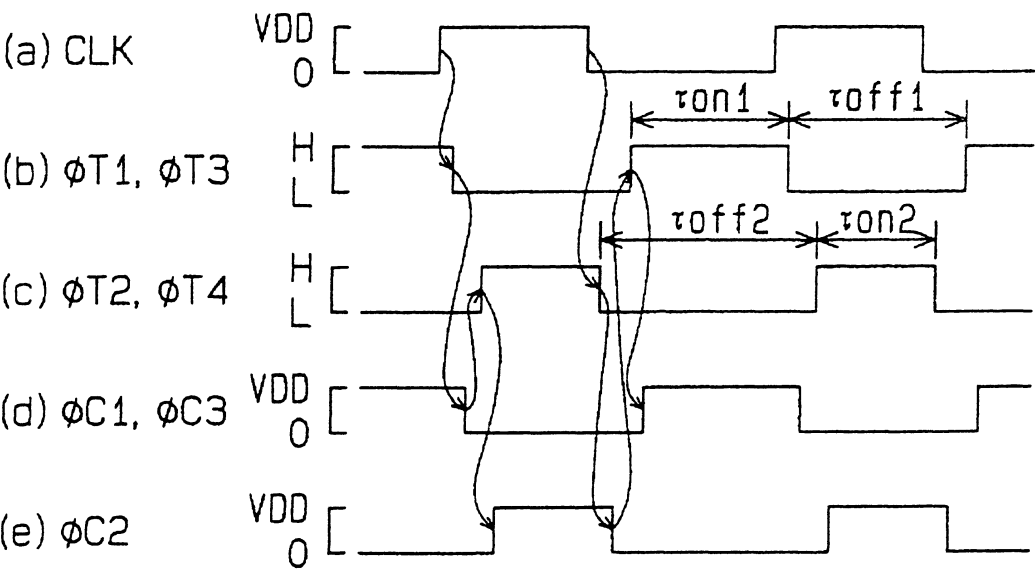
第 1 圖



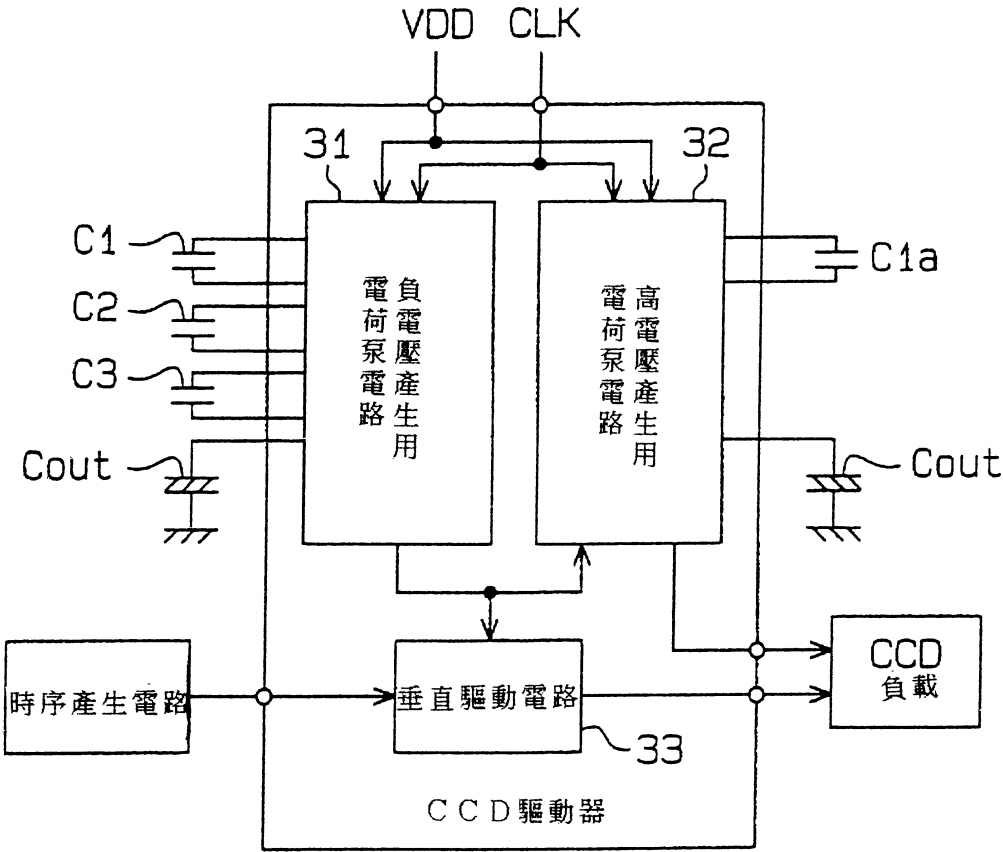
第 2 圖



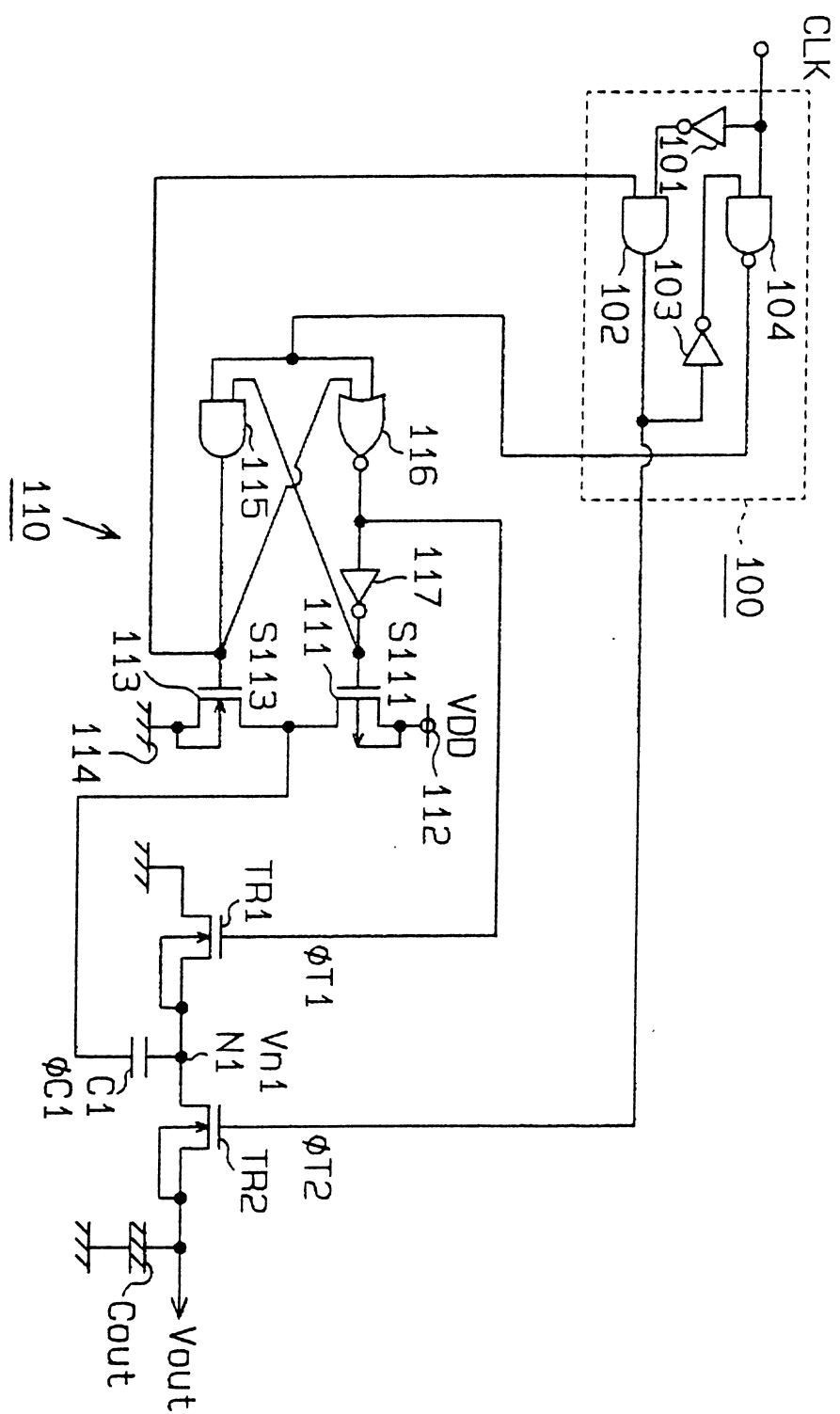
第 3 圖



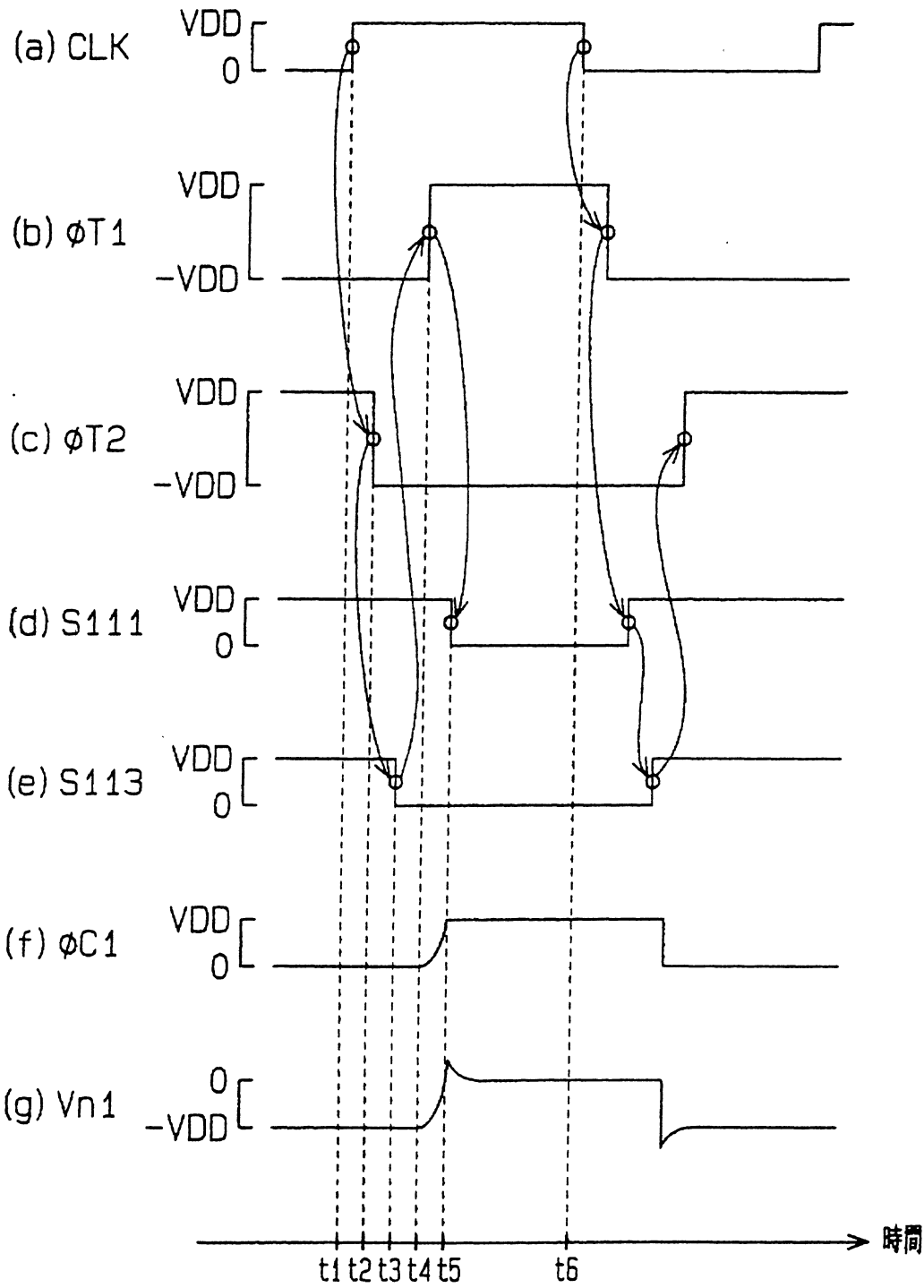
第 4 圖



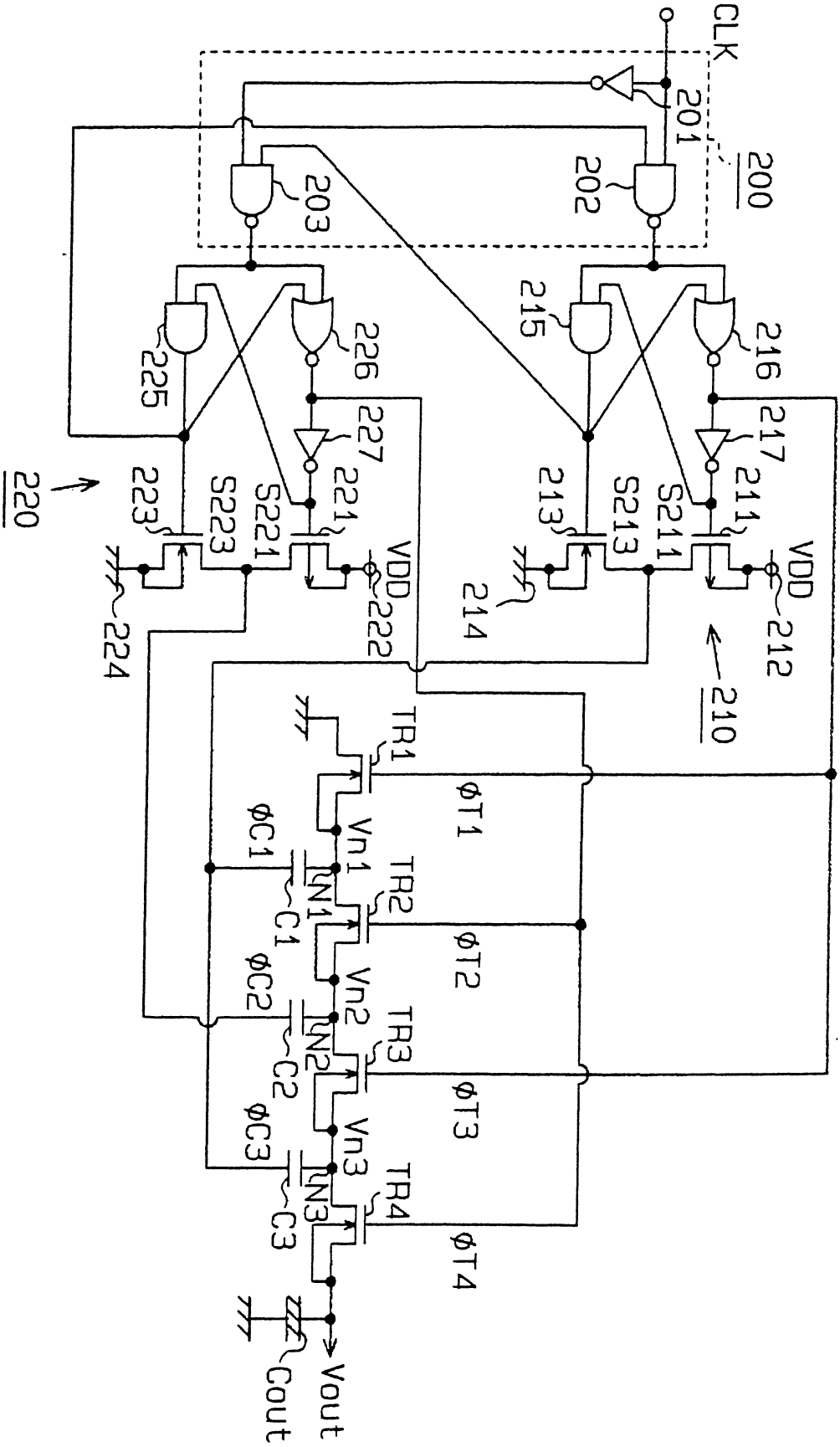
第 5 圖



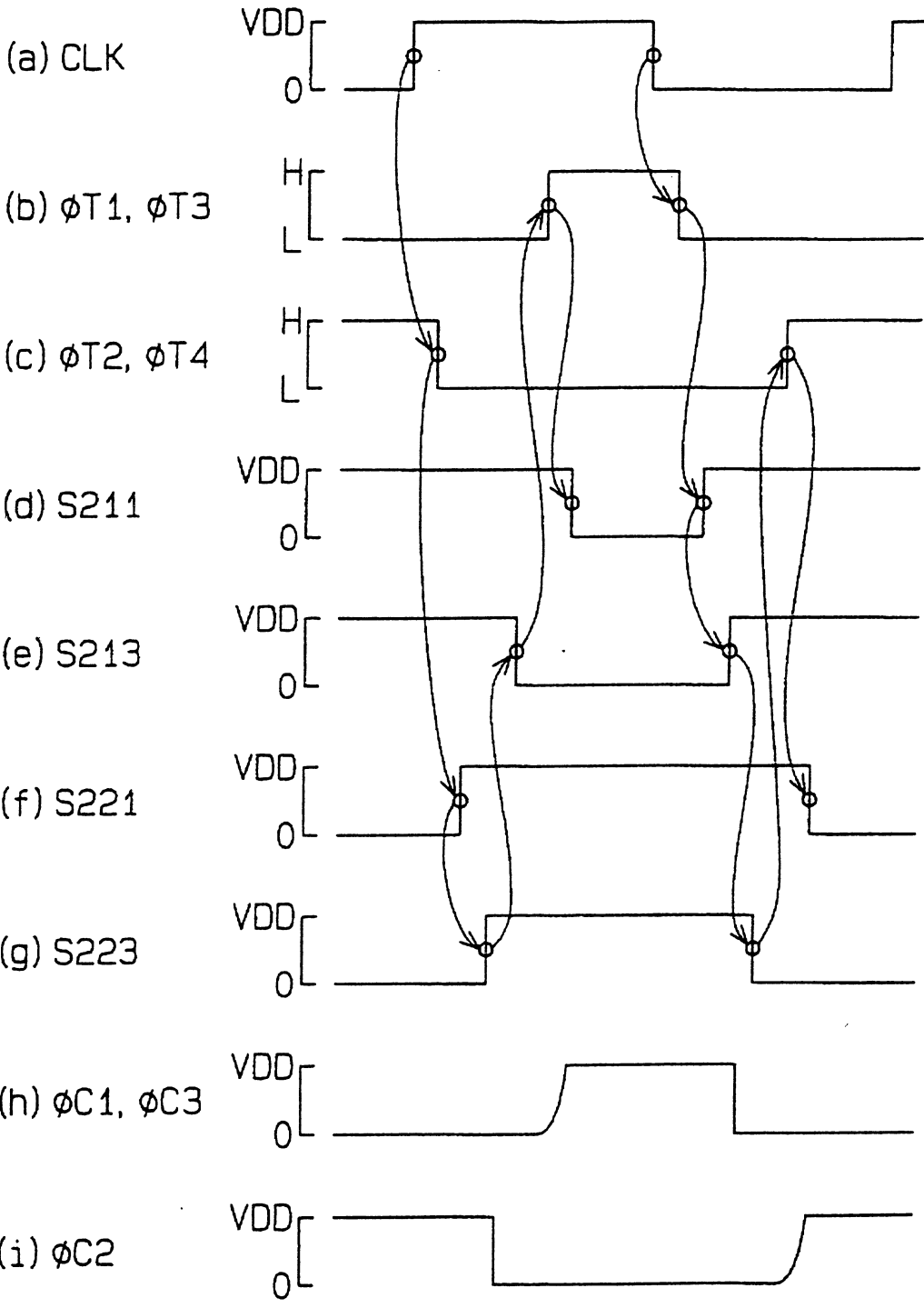
築 6 回



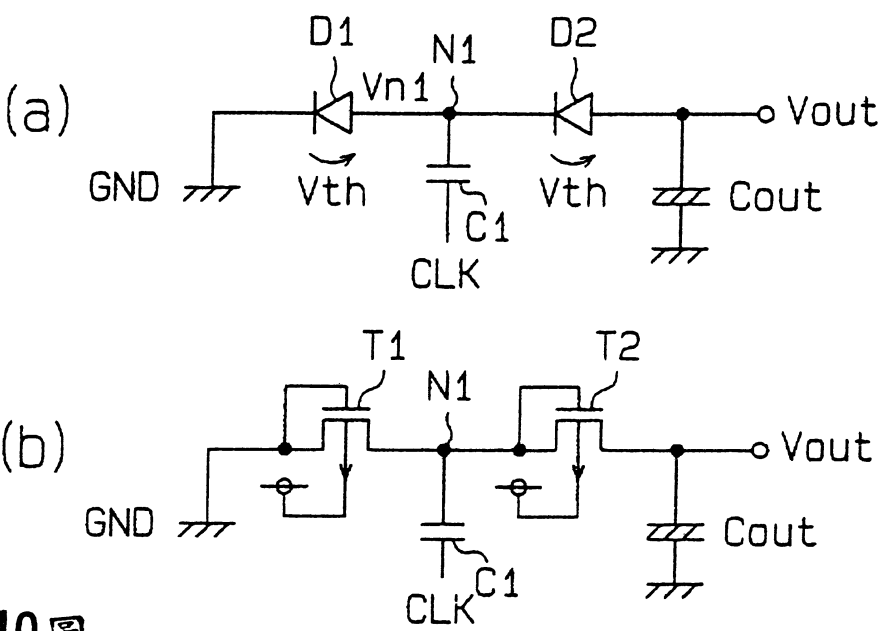
第 7 圖



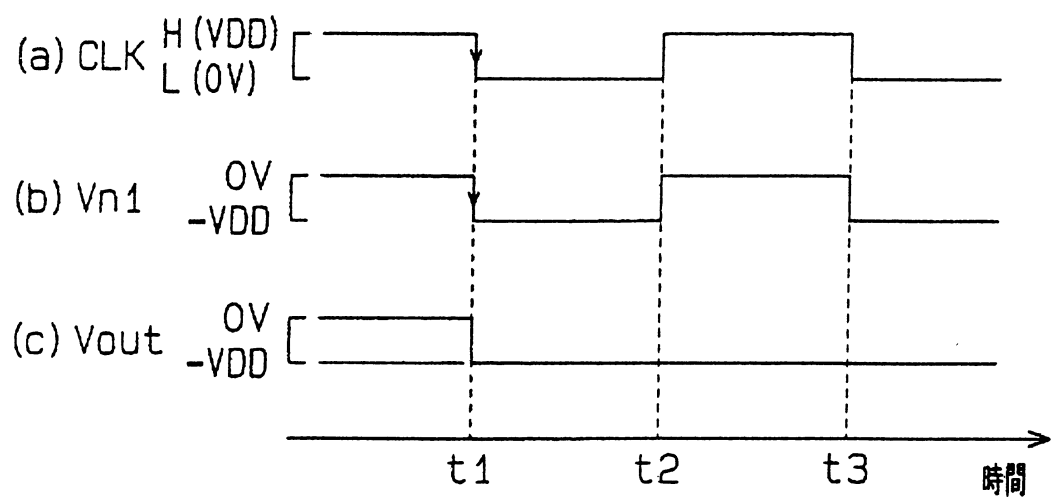
第 8 圖



第 9 圖



第10圖



第11圖

第 90101856 號專利申請案

申請專利範圍修正本

(91 年 7 月 18 日)

1. 一種電荷泵電路，係包含有：串聯連接在輸出端與基準電位端之間的複數個開關電晶體；以及一方端子連接在互相鄰接電晶體間的節點上，而另一方端子則連接在這些鄰接電晶體中之上述基準電位端側之電晶體的導通控制端子之電容器，而對於上述複數個電晶體之各導通控制端子，在奇數段與偶數段施加相位互為反轉的時脈信號，以對上述輸出端產生預定輸出電位者，其特徵為：

在上述電容器之另一方端子及與其連接的電晶體導通控制端子之間設置延遲電路，以使施加在該電晶體之導通控制端子的時脈信號延遲預定期間並施加在上述電容器之另一方端子上。

2. 如申請專利範圍第 1 項之電荷泵電路，其中，上述時脈信號係介由在預定之電源電位與上述節點之電位間動作的緩衝電路而施加在上述開關電晶體之導通控制端子上。
3. 如申請專利範圍第 1 項之電荷泵電路，其中，復具備有時序調整電路，以調整上述相位互為反轉之時脈信號的時間，俾使於設定上述複數個開關電晶體之奇數段與偶數度同時成為非導通狀態之期間。
4. 如申請專利範圍第 3 項之電荷泵電路，其中，上述時序調整電路包含有：用以接受施加在上述鄰接電晶體

之一方電晶體之導通控制端子上的時脈信號並反轉其相位之第一反相電路；用以輸入被輸入至該電荷泵電路內的時脈信號與該第一反相電路之輸出時脈信號並取其 NAND 條件之第一 NAND 電路；用以反轉被輸入至該電荷泵電路內的時脈信號之第二反相電路；用以接受施加在上述鄰接電晶體之另一方電晶體之導通控制端子上的時脈信號並反轉其相位之第三反相電路；以及用以輸入該等第二及第三反相電路之輸出時脈信號並取其 NAND 條件之第二 NAND 電路，而該時序調整電路係以上述第一及第二 NAND 電路之輸出作為調整上述時間的時脈信號。

5. 如申請專利範圍第 3 項之電荷泵電路，其中，上述時序調整電路包含有：用以反轉被輸入該電荷泵電路內的時脈信號之第一反相電路；用以輸入被施加在上述鄰接電晶體之一方電晶體之導通控制端子上的時脈信號與上述第一反相電路之輸出時脈信號並取其 NOR 條件之第一 NOR 電路；用以反轉同第一 NOR 電路之輸出時脈信號之第二反相電路；用以輸入被輸入該電荷泵電路之時脈信號與施加在上述鄰接電晶體之另一方電晶體之導通控制端子上的時脈信號並取其 NOR 條件之第二 NOR 電路；以及用以反轉同第二 NOR 電路之輸出時脈信號之第三反相電路，而該時序調整電路係以上述第二及第三反相電路之輸出作為調整上述時間的時脈信號。

6. 如申請專利範圍第 1 至 3 項中任一項之電荷泵電路，

其中，上述延遲電路係開放上述電容器之另一方端子且暫時呈高阻抗狀態，於施加在上述電晶體之導通控制端子的上述時脈信號反轉之後，經過預定之延遲期間而對上述電容器之另一方端子提供預定的電位。

7. 如申請專利範圍第 6 項之電荷泵電路，其中，上述延遲電路包含有串聯連接在一對電源端子間的一對電晶體；以及用以驅動上述一對電晶體之導通控制端子的一對邏輯電路，而將上述一對邏輯電路之一方與另一方之輸出和上述時脈信號予以合成並設定上述一對電晶體同時成為非導通狀態的期間，以將上述一對電晶體之間的電位供給上述電容器。
8. 如申請專利範圍第 7 項之電荷泵電路，其中，上述一對電晶體係由控制高電位側之電源端子與上述電容器間之導通的 P 通道型電晶體以及控制低電位側之電源端子與上述電容器間之導通的 N 通道型電晶體所構成，而上述一對邏輯電路係由 AND 電路及 NOR 電路所構成，上述 AND 電路係將所輸入之時脈信號與施加在上述 P 通道型電晶體之導通控制端子上的信號之邏輯積信號施加在上述 N 通道型電晶體之導通控制端子上，上述 NOR 電路係將輸入至該延遲電路之時脈信號與上述 AND 電路之輸出信號的 NOR 條件信號施加在上述開關電晶體之導通控制端子上，並使上述 NOR 電路之輸出信號反轉而施加在上述 P 通道型電晶體之導通控制端子上。