

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6796411号
(P6796411)

(45) 発行日 令和2年12月9日 (2020. 12. 9)

(24) 登録日 令和2年11月18日 (2020. 11. 18)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 2 7 C
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 7 J
	HO 1 L 29/78 6 1 8 B
	HO 1 L 29/78 6 1 9 A

請求項の数 7 (全 93 頁)

(21) 出願番号	特願2016-129091 (P2016-129091)	(73) 特許権者	000153878
(22) 出願日	平成28年6月29日 (2016. 6. 29)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2017-17320 (P2017-17320A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成29年1月19日 (2017. 1. 19)	(72) 発明者	遠藤 佑太
審査請求日	令和1年6月28日 (2019. 6. 28)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2015-134341 (P2015-134341)		半導体エネルギー研究所内
(32) 優先日	平成27年7月3日 (2015. 7. 3)	(72) 発明者	須澤 英臣
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	手塚 祐朗
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	田中 哲弘
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

半導体上に第 1 の絶縁体を形成し、
 前記第 1 の絶縁体上に第 1 の層を形成し、
 前記第 1 の層上に第 2 の層を形成し、
 前記第 1 の層が露出するまで前記第 2 の層をエッチングすることで第 3 の層を形成し、
 前記第 3 の層の表面に第 4 の層を形成し、
 前記第 3 の層および前記第 4 の層を用いて、前記第 1 の絶縁体が露出するまで前記第 1 の層をエッチングすることで第 5 の層を形成し、
 前記第 3 の層、前記第 4 の層および前記第 5 の層を用いて、前記半導体が露出するまで
 前記第 1 の絶縁体をエッチングすることで第 2 の絶縁体を形成し、
 前記第 2 の絶縁体の側面と接する領域、および前記半導体の上面と接する領域を有する
 第 3 の絶縁体を形成し、
 前記第 3 の絶縁体を介して、前記半導体と重なる領域を有する第 1 の導電体を形成し、
 前記第 2 の層は、シリコンを有し、
 前記第 1 の層は、前記第 2 の層と異なる材料を有する半導体装置の作製方法。

【請求項 2】

半導体上に第 1 の導電体を形成し、
 前記第 1 の導電体上に第 1 の絶縁体を形成し、
 前記第 1 の絶縁体上に第 1 の層を形成し、

10

20

前記第 1 の層上に第 2 の層を形成し、
前記第 1 の層が露出するまで前記第 2 の層をエッチングすることで第 3 の層を形成し、
前記第 3 の層の表面に第 4 の層を形成し、
前記第 3 の層および前記第 4 の層を用いて、前記第 1 の絶縁体が露出するまで前記第 1 の層をエッチングすることで第 5 の層を形成し、
前記第 3 の層、前記第 4 の層および前記第 5 の層を用いて、前記半導体が露出するまで前記第 1 の絶縁体および前記第 1 の導電体をエッチングすることで第 2 の絶縁体、第 2 の導電体および第 3 の導電体を形成し、
前記第 2 の絶縁体の側面と接する領域、前記第 2 の導電体の側面と接する領域、前記第 3 の導電体の側面と接する領域、および前記半導体の上面と接する領域を有する第 3 の絶縁体を形成し、
前記第 3 の絶縁体を介して、前記半導体と重なる領域を有する第 4 の導電体を形成し、
前記第 2 の層は、シリコンを有し、
前記第 1 の層は、前記第 2 の層と異なる材料を有する半導体装置の作製方法。

10

【請求項 3】

請求項 1 において、
前記第 1 の導電体は、前記半導体のチャンネル幅方向において、前記第 3 の絶縁体を介して、前記半導体の側面と面する領域を有する半導体装置の作製方法。

【請求項 4】

請求項 2 において、
前記第 4 の導電体は、前記半導体のチャンネル幅方向において、前記第 3 の絶縁体を介して、前記半導体の側面と面する領域を有する半導体装置の作製方法。

20

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、
前記第 4 の層は、シリコンおよびハロゲンを有する原料ガスを用いて形成する半導体装置の作製方法。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一において、
前記第 4 の層は、前記第 3 の層の表面を酸化または窒化することで形成する半導体装置の作製方法。

30

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一において、
前記半導体は、酸化物半導体を有する半導体装置の作製方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の一態様は、半導体装置およびその作製方法に関する。

【0002】

または、本発明は、例えば、トランジスタおよび半導体装置、ならびにそれらの作製方法に関する。または、本発明は、例えば、表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、プロセッサ、電子機器に関する。または、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の作製方法に関する。または、半導体装置、表示装置、液晶表示装置、発光装置、記憶装置、電子機器の駆動方法に関する。

40

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、作製方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【0004】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置

50

全般を指す。表示装置、発光装置、照明装置、撮像装置、電気光学装置、半導体回路および電子機器は、半導体装置を有する場合がある。

【背景技術】

【0005】

絶縁表面を有する基板上の半導体を用いて、トランジスタを構成する技術が注目されている。当該トランジスタは集積回路や表示装置のような半導体装置に広く応用されている。トランジスタに適用可能な半導体としてシリコンが知られている。

【0006】

トランジスタの半導体に用いられるシリコンは、用途によって非晶質シリコンと多結晶シリコンとが使い分けられている。例えば、大型の表示装置を構成するトランジスタに適用する場合、大面積基板への成膜技術が確立されている非晶質シリコンを用いると好適である。一方、駆動回路と画素回路とを同一基板上に形成するような高機能の表示装置を構成するトランジスタに適用する場合、高い電界効果移動度を有するトランジスタを作製可能な多結晶シリコンを用いると好適である。多結晶シリコンは、非晶質シリコンに対し高温での熱処理、またはレーザ光処理を行うことで形成する方法が知られる。

10

【0007】

近年では、酸化物半導体（代表的にはIn-Ga-Zn酸化物）を用いたトランジスタの開発が活発化している。

【0008】

酸化物半導体の歴史は古く、1988年には、結晶In-Ga-Zn酸化物を半導体素子へ利用することが開示された（特許文献1参照。）。また、1995年には、酸化物半導体を用いたトランジスタが発明されており、その電気特性が開示された（特許文献2参照。）。)

20

【0009】

2010年には、非晶質In-Ga-Zn酸化物を用いたトランジスタと比べ、優れた電気特性および信頼性を有する、結晶性In-Ga-Zn酸化物を用いたトランジスタが開発された（特許文献3参照。）。該結晶性In-Ga-Zn酸化物は、c軸配向性を有することから、CAAC-OS (C-Axis-Aligned Crystalline Oxide Semiconductor) などとも呼ばれている。

【先行技術文献】

30

【特許文献】

【0010】

【特許文献1】特開昭63-239117号公報

【特許文献2】特表平11-505377号公報

【特許文献3】特開2011-86923号公報

【発明の概要】

【発明が解決しようとする課題】

【0011】

微細な構造を有するトランジスタを提供することを課題の一とする。または、電気特性の良好なトランジスタを提供することを課題の一とする。または、電気特性の安定したトランジスタを提供することを課題の一とする。または、高い周波数特性を有するトランジスタを提供することを課題の一とする。または、オフ時の電流の小さいトランジスタを提供することを課題の一とする。または、該トランジスタを有する半導体装置を提供することを課題の一とする。または、該半導体装置を有するモジュールを提供することを課題の一とする。または、該半導体装置、または該モジュールを有する電子機器を提供することを課題の一とする。

40

【0012】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図

50

面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0013】

(1)

本発明の一態様は、半導体と、第1の絶縁体と、第2の絶縁体と、第1の導電体と、開口部と、を有し、第1の絶縁体は、半導体上に配置され、開口部は、半導体の一部と重なる位置に、第1の絶縁体を貫通して配置され、第2の絶縁体は、開口部の側面および底面と接する領域を有し、第1の導電体は、第2の絶縁体を介して半導体と重なって配置される半導体装置の作製方法であって、半導体上に配置された第3の絶縁体上に第1の層を形成し、第1の層上に第2の層を形成し、第2の層上にエッチングマスクを形成し、エッチングマスクを用いて、第1の層が露出するまで第2の層をエッチングすることで第3の層を形成し、第3の層の上面および側面に選択成長層を形成し、第3の層および選択成長層を用いて、第3の絶縁体が露出するまで第1の層をエッチングすることで第4の層を形成し、第3の層、選択成長層および第4の層を用いて、半導体が露出するまで第3の絶縁体をエッチングすることで第1の絶縁体を形成する半導体装置の作製方法である。

10

【0014】

(2)

本発明の一態様は、半導体と、第1の絶縁体と、第2の絶縁体と、第1の導電体と、第2の導電体と、第3の導電体と、開口部と、を有し、第1の絶縁体は、半導体上に配置され、開口部は、半導体の一部と重なる位置に、第1の絶縁体を貫通して配置され、第2の絶縁体は、開口部の側面および底面と接する領域を有し、第1の導電体は、第2の絶縁体を介して半導体と重なって配置され、第2の導電体および第3の導電体は、それぞれ半導体と第1の絶縁体との間に配置される半導体装置の作製方法であって、半導体上に配置された第4の導電体と、第4の導電体上に配置された第3の絶縁体上に第1の層を形成し、第1の層上に第2の層を形成し、第2の層上にエッチングマスクを形成し、エッチングマスクを用いて、第1の層が露出するまで第2の層をエッチングすることで第3の層を形成し、第3の層の上面および側面に選択成長層を形成し、第3の層および選択成長層を用いて、第3の絶縁体が露出するまで第1の層をエッチングすることで第4の層を形成し、第3の層、選択成長層および第4の層を用いて、半導体が露出するまで第3の絶縁体および第4の導電体をエッチングすることで第1の絶縁体、第2の導電体および第3の導電体を形成する半導体装置の作製方法である。

20

30

【0015】

(3)

本発明の一態様は、(1)または(2)において、第2の層がシリコンを有する半導体装置の作製方法である。

【0016】

(4)

本発明の一態様は、半導体と、第1の絶縁体と、第2の絶縁体と、第1の導電体と、第2の導電体と、第3の導電体と、開口部と、を有し、第1の絶縁体は、半導体上に配置され、開口部は、半導体の一部と重なる位置に、第1の絶縁体を貫通して配置され、第2の絶縁体は、開口部の側面および底面と接する領域を有し、第1の導電体は、第2の絶縁体を介して半導体と重なって配置され、第2の導電体および第3の導電体は、それぞれ半導体と第1の絶縁体との間に配置される半導体装置の作製方法であって、半導体上に配置された第4の導電体と、第4の導電体上に配置された第3の絶縁体上にエッチングマスクを形成し、エッチングマスクを用いて、第4の導電体が露出するまで第3の絶縁体をエッチングすることで第5の絶縁体を形成し、第5の絶縁体の上面および側面に選択成長層を形成し、第5の絶縁体および選択成長層を用いて、半導体が露出するまで第4の導電体をエッチングすることで第2の導電体および第3の導電体を形成する半導体装置の作製方法である。

40

【0017】

50

(5)

本発明の一態様は、(4)において、第3の絶縁体がシリコンを有する半導体装置の作製方法である。

【0018】

(6)

本発明の一態様は、半導体と、第1の絶縁体と、第2の絶縁体と、第1の導電体と、第2の導電体と、第3の導電体と、開口部と、を有し、第1の絶縁体は、半導体上に配置され、開口部は、半導体の一部と重なる位置に、第1の絶縁体を貫通して配置され、第2の絶縁体は、開口部の側面および底面と接する領域を有し、第1の導電体は、第2の絶縁体を介して半導体と重なって配置され、第2の導電体および第3の導電体は、それぞれ半導体と第1の絶縁体との間に配置される半導体装置の作製方法であって、半導体上に配置された第4の導電体と、第4の導電体上に配置された第3の絶縁体上に第1の層を形成し、第1の層上の一部に第2の層を形成し、第1の層および第2の層をシランガスに曝すことで、第1の層にはシランガスに曝された第1の領域と曝されなかった第2の領域とが形成され、第2の層をエッチングし、第1の領域上に選択成長層を形成し、選択成長層を用いて第1の層から第2の領域をエッチングすることで第3の層を形成し、第3の層および選択成長層を用いて、半導体が露出するまで第3の絶縁体および第4の導電体をエッチングすることで第1の絶縁体、第2の導電体および第3の導電体を形成する半導体装置の作製方法である。

【0019】

(7)

本発明の一態様は、(1)乃至(6)のいずれか一において、選択成長層は、シリコンおよびハロゲンを有する原料ガスを用いて形成する半導体装置の作製方法である。

【0020】

(8)

本発明の一態様は、(1)乃至(7)のいずれか一において、半導体が酸化物半導体を有する半導体装置の作製方法である。

【0021】

(9)

本発明の一態様は、(1)乃至(7)のいずれか一において、半導体がシリコンを有する半導体装置の作製方法である。

【発明の効果】

【0022】

微細な構造を有するトランジスタを提供することができる。または、電気特性の良好なトランジスタを提供することができる。または、電気特性の安定したトランジスタを提供することができる。または、高い周波数特性を有するトランジスタを提供することができる。または、オフ時の電流の小さいトランジスタを提供することができる。または、該トランジスタを有する半導体装置を提供することができる。または、該半導体装置を有するモジュールを提供することができる。または、該半導体装置、または該モジュールを有する電子機器を提供することができる。

【0023】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0024】

【図1】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図2】本発明の一態様に係るトランジスタを示す上面図および断面図。

【図3】本発明の一態様に係るトランジスタを示す上面図および断面図。

- 【図4】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図5】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図6】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図7】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図8】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図9】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図10】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図11】本発明の一態様に係るトランジスタのチャネル形成領域近傍のバンド図。
- 【図12】 In-M-Zn 酸化物の組成を説明する三角図。
- 【図13】本発明の一態様に係るトランジスタを示す上面図および断面図。 10
- 【図14】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図15】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図16】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図17】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図18】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図19】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図20】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図21】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図22】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図23】本発明の一態様に係るトランジスタを示す上面図および断面図。 20
- 【図24】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図25】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図26】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図27】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図28】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図29】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図30】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図31】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図32】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図33】本発明の一態様に係るトランジスタを示す上面図および断面図。 30
- 【図34】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図35】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図36】本発明の一態様に係るトランジスタを示す上面図および断面図。
- 【図37】本発明の一態様に係る半導体装置を示す回路図。
- 【図38】本発明の一態様に係る半導体装置を示す断面図。
- 【図39】本発明の一態様に係る半導体装置を示す断面図。
- 【図40】本発明の一態様に係る半導体装置を示す断面図。
- 【図41】本発明の一態様に係る記憶装置を示す回路図。
- 【図42】本発明の一態様に係る半導体装置を示す断面図。
- 【図43】本発明の一態様に係る半導体装置を示す断面図。 40
- 【図44】本発明の一態様に係る半導体装置を示す断面図。
- 【図45】本発明の一態様に係る半導体装置を示す上面図。
- 【図46】本発明の一態様に係る半導体装置を示すブロック図。
- 【図47】本発明の一態様に係る半導体装置を示す断面図。
- 【図48】本発明の一態様に係る半導体装置を示す断面図。
- 【図49】本発明の一態様に係る半導体装置を示す断面図。
- 【図50】本発明の一態様に係る半導体装置を示す斜視図および断面図。
- 【図51】本発明の一態様に係る半導体装置を示す回路図。
- 【図52】本発明の一態様に係る半導体装置を示すブロック図。
- 【図53】本発明の一態様に係る半導体装置を示す回路図。 50

【図54】本発明の一態様に係る半導体装置を示す回路図、上面図および断面図。

【図55】本発明の一態様に係る半導体装置を示す断面図。

【図56】本発明の一態様に係る半導体装置を示す回路図および断面図。

【図57】本発明の一態様に係る電子機器を示す斜視図。

【図58】本発明の一態様に係る電子機器を示す斜視図。

【図59】CAAC-OSおよび単結晶酸化物半導体のXRDによる構造解析を説明する図、ならびにCAAC-OSの制限視野電子回折パターンを示す図。

【図60】CAAC-OSの断面TEM像、ならびに平面TEM像およびその画像解析像。

【図61】nc-OSの電子回折パターンを示す図、およびnc-OSの断面TEM像。

【図62】a-like OSの断面TEM像。

【図63】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【発明を実施するための形態】

【0025】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。なお、異なる符号の構成要素の記載を参照する場合、参照された構成要素の厚さ、組成、構造または形状などについての記載を適宜用いることができる。

【0026】

なお、図において、大きさ、膜（層）の厚さ、または領域は、明瞭化のために誇張されている場合がある。

【0027】

なお、本明細書において、「膜」という表記と、「層」という表記と、を互いに入れ替えることが可能である。

【0028】

また、電圧は、ある電位と、基準の電位（例えば接地電位（GND）またはソース電位）との電位差のことを示す場合が多い。よって、電圧を電位と言い換えることが可能である。一般的に、電位（電圧）は、相対的なものであり、基準の電位からの相対的な大きさによって決定される。したがって、「接地電位」などと記載されている場合であっても、電位が0Vであるとは限らない。例えば、回路で最も低い電位が、「接地電位」となる場合もある。または、回路で中間くらいの電位が、「接地電位」となる場合もある。その場合には、その電位を基準として、正の電位と負の電位が規定される。

【0029】

なお、第1、第2として付される序数詞は便宜的に用いるものであり、工程順または積層順を示すものではない。そのため、例えば、「第1の」を「第2の」または「第3の」などと適宜置き換えて説明することができる。また、本明細書などに記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0030】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物である。不純物が含まれることにより、例えば、半導体にDOS（Density of State）が形成されることや、キャリア移動度が低下することや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第14族元素、第15族元素、主成分以外の遷移金属などがあり、特に、例えば、水素（水にも含まれる）、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、例えば水素などの不純物の混入によって酸素欠損を形

10

20

30

40

50

成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。ただし、不純物以外にも、過剰に含まれた主成分の元素がD O Sの原因となる場合もある。その場合、微量（例えば0.001原子%以上3原子%未満）の添加物によってD O Sを低くできる場合がある。なお、該添加物としては、上述した不純物となりうる元素を用いることもできる。

【0031】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

10

【0032】

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0033】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

30

【0034】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0035】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが互いに重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅（S C W : S u r r o u n d e d C h a n n e l W i d t h）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面T E M像などを取得して、その画像を解析することなどによって、値を決定することができる。

40

【0036】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求め

50

る場合、囲い込みチャネル幅を用いて計算する場合がある。その場合には、実効的なチャネル幅を用いて計算する場合とは異なる値をとる場合がある。

【0037】

なお、本明細書において、AがBより迫り出した形状を有すると記載する場合、上面図または断面図において、Aの少なくとも一端が、Bの少なくとも一端よりも外側にある形状を有することを示す場合がある。したがって、AがBより迫り出した形状を有すると記載されている場合、例えば上面図において、Aの一端が、Bの一端よりも外側にある形状を有すると読み替えることができる。

【0038】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0039】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0040】

なお、明細書において、単に半導体と記載される場合、様々な半導体に置き換えることができる場合がある。例えば、シリコン、ゲルマニウムなどの第14族半導体、酸化物半導体、炭化シリコン、ケイ化ゲルマニウム、ヒ化ガリウム、リン化インジウム、セレン化亜鉛、硫化カドミウムなどの化合物半導体、および有機半導体に置き換えることができる。

【0041】

ここで、本発明の一態様に係る半導体装置を作製する際に、構成要素の一部をエッチングする方法の一例を説明する。まず、構成要素上に感光性を有する有機物または無機物の層を、スピンコート法などを用いて形成する。次に、フォトマスクを用いて、感光性を有する有機物または無機物の層に光を照射する。当該光としては、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いればよい。また、基板と投影レンズとの間に液体 (例えば水) を満たして露光する、液浸技術を用いてもよい。また、感光性を有する有機物または無機物の層に照射する光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、フォトマスクは不要となる。次に、現像液を用いて、感光性を有する有機物または無機物の層の露光された領域を、除去または残存させてレジストなどを有するエッチングマスクを形成する。

【0042】

なお、エッチングマスクの下には、反射防止層 (BARC: Bottom Anti Reflective Coating) を形成してもよい。BARCを用いる場合、まずエッチングマスクによってBARCをエッチングする。次に、エッチングマスクおよびBARCを用いて、構成要素をエッチングする。ただし、BARCに代えて、反射防止層の機能を有さない有機物または無機物を用いてもよい場合がある。

【0043】

構成要素のエッチング後には、用いたエッチングマスクなどを除去する。エッチングマスクなどの除去には、プラズマ処理または／およびウェットエッチングを用いる。なお、プラズマ処理としては、プラズマアッシングが好適である。エッチングマスクなどの除去が不十分な場合、 $0.001\text{ volume \%}$ 以上 $1\text{ volume \%}$ 以下の濃度のフッ化水素酸または／およびオゾン水などによって取り残したエッチングマスクなどを除去してもよい。

【0044】

また、本明細書において、導電体、絶縁体および半導体の成膜は、スパッタリング法、化

10

20

30

40

50

学気相成長（CVD：Chemical Vapor Deposition）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法またはパルスレーザ堆積（PLD：Pulsed Laser Deposition）法、原子層堆積（ALD：Atomic Layer Deposition）法、熱酸化法またはプラズマ酸化法などを用いて行うことができる。

【0045】

なお、CVD法は、プラズマを利用するプラズマCVD（PECVD：Plasma Enhanced CVD）法、熱を利用する熱CVD（TCVD：Thermal CVD）法、光を利用する光CVD（Photo CVD）法などに分類できる。さらに用いる原料ガスによって金属CVD（MCVD：Metal CVD）法、有機金属CVD（MOCVD：Metal Organic CVD）法に分けることができる。

10

【0046】

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

20

【0047】

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0048】

CVD法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

30

【0049】

CVD法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CVD法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CVD法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

40

【0050】

<トランジスタの作製方法1>

以下では、図1乃至図10を用いて、本発明の一態様に係る半導体装置の有するトランジスタの作製方法について説明する。

【0051】

まず、基板400を準備する。

【0052】

次に、絶縁体401となる絶縁体を成膜する。次に、絶縁体401となる絶縁体の一部をエッチングすることで溝部を有する絶縁体401を形成する。

【0053】

50

次に、導電体413となる導電体を成膜し、絶縁体401の溝部を埋める。次に、導電体413となる導電体を化学的機械研磨（CMP：Chemical Mechanical Polishing）法などによって処理し、絶縁体401の上面より上の部分を除去することで導電体413を形成する。なお、CMP法に代えて、ドライエッチング法や機械研磨（MP：Mechanical Polishing）法などを用いてもよい。また、これらの方法を二種以上組み合わせて行ってもよい。

【0054】

なお、絶縁体401となる絶縁体を成膜しなくてもよい場合がある。その場合、エッチングマスクを用いて導電体413となる導電体の一部をエッチングすることで導電体413を形成すればよい。また、導電体413となる導電体を形成しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

10

【0055】

次に、絶縁体402a、絶縁体402bおよび絶縁体402cを順に成膜する（図1参照。）。なお、図1（A）は上面図を示し、図1（B）は図1（A）における一点鎖線A1－A2に対応する断面図を示し、図1（C）は図1（A）における一点鎖線A3－A4に対応する断面図を示す。

【0056】

なお、絶縁体402a、絶縁体402bおよび絶縁体402cの一以上を成膜しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

【0057】

20

次に、第1の加熱処理を行うと好ましい。第1の加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、さらに好ましくは520℃以上570℃以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で加熱処理を行ってもよい。第1の加熱処理によって、水素や水などの不純物を除去することなどができる。

【0058】

次に、絶縁体406aとなる絶縁体、半導体406bとなる半導体および導電体416となる導電体を順に成膜する。ここで、絶縁体406aとなる絶縁体または／および導電体416となる導電体を成膜しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

30

【0059】

次に、導電体416となる導電体の一部をエッチングすることで、島状の導電体416を形成する。次に、導電体416を用いて、半導体406bとなる半導体、および絶縁体406aとなる絶縁体の一部をエッチングすることで半導体406bおよび絶縁体406aを形成する（図2参照。）。なお、図2（A）は上面図を示し、図2（B）は図2（A）における一点鎖線A1－A2に対応する断面図を示し、図2（C）は図2（A）における一点鎖線A3－A4に対応する断面図を示す。

40

【0060】

半導体406bとなる半導体、および絶縁体406aとなる絶縁体のエッチングに導電体416を用いることで、レジストを用いた場合と比べてできあがる半導体406bおよび絶縁体406aの形状を安定させることができる。即ち、微細な形状を有する半導体406bおよび絶縁体406aを得ることができる。ただし、導電体416となる導電体を形成しない場合、半導体406bまたは／および絶縁体406aのエッチングにレジストを用いてもよい。

【0061】

次に、第2の加熱処理を行ってもよい。第2の加熱処理の方法は、第1の加熱処理の方法の説明を参照する。第2の加熱処理を行うことで、エッチング時に混入した水素などを有

50

する不純物を除去することができる場合がある。また、半導体406bまたは／および絶縁体406aの結晶性を高くすることができる場合がある。

【0062】

次に、絶縁体410を成膜する。

【0063】

次に、第3の加熱処理を行ってもよい。第3の加熱処理の方法は、第1の加熱処理の方法の説明を参照する。第3の加熱処理を行うことで、水素などを有する不純物を除去することができる場合がある。また、半導体406bまたは／および絶縁体406aの結晶性を高くすることができる場合がある。

【0064】

次に、層420および層425を順に成膜する(図3参照。)。なお、図3(A)は上面図を示し、図3(B)は図3(A)における一点鎖線A1-A2に対応する断面図を示し、図3(C)は図3(A)における一点鎖線A3-A4に対応する断面図を示す。

【0065】

次に、層425の一部をエッチングすることで溝部を有する層423を形成する(図4参照。)。なお、図4(A)は上面図を示し、図4(B)は図4(A)における一点鎖線A1-A2に対応する断面図を示し、図4(C)は図4(A)における一点鎖線A3-A4に対応する断面図を示す。

【0066】

次に、層423の上面および側面に層424を形成する(図5参照。)。なお、図5(A)は上面図を示し、図5(B)は図5(A)における一点鎖線A1-A2に対応する断面図を示し、図5(C)は図5(A)における一点鎖線A3-A4に対応する断面図を示す。

【0067】

層424は、層423の表面(上面、側面など)に選択的に形成される層であり、層420の表面(上面など)には形成されないことが好ましい。例えば、層423がシリコンを有する場合、シリコンおよびハロゲンを含む原料ガスを用いたCVD法によって層424を形成することができる。その場合、層420の少なくとも露出した表面にはシリコンを有さない(有していても選択的な層の成長が起こらない程度に低濃度であればよい。)ことが好ましい。即ち、層420と層423とは異なる種類の層であることが好ましい。

【0068】

または、層423の表面を酸化または窒化することで、層424を形成してもよい。層423が酸化または窒化することで膨張した部分が層424となる。その場合、層420の酸化もしくは窒化が起こらない(起こっても僅かであればよい。)、または酸化もしくは窒化によって層420の膨張が起こらない(起こっても層423の膨張よりも小さければよい。)ことが好ましい。なお、層423を酸化または窒化以外の方法で膨張させてもよい。

【0069】

次に、層423および層424を用いて、層420の一部をエッチングすることで溝部を有する層426を形成する(図6参照。)。なお、図6(A)は上面図を示し、図6(B)は図6(A)における一点鎖線A1-A2に対応する断面図を示し、図6(C)は図6(A)における一点鎖線A3-A4に対応する断面図を示す。

【0070】

層426に形成された溝部の幅は、層424の厚さの分だけ層423に形成された溝部の幅よりも小さくなる。したがって、層426の溝部の幅は、露光機の解像度の限界値よりも小さくすることができる。例えば、層423の溝部の幅が20nmである場合、層424の厚さを5nm(両側面で10nm)とすることで層426の溝部の幅を10nmまで小さくすることができる。

【0071】

層424は、上述したようにエッチングマスクとしての機能を有するため、層420の表

10

20

30

40

50

面には形成されないことが好ましい。ただし、層 4 2 4 の厚さを層 4 2 3 の厚さよりも薄くすることで、層 4 2 4 が層 4 2 0 の表面に形成されてもよい場合がある。このとき、異方性エッチング法によって層 4 2 0 の表面の層 4 2 4 をエッチングし、かつ層 4 2 3 の側面の層 4 2 4 を残存させることができる。したがって、層 4 2 3 の側面に残存した層 4 2 4 を用いることで、層 4 2 3 の溝部の幅よりも小さい溝部を有する層 4 2 6 を形成することができる。

【0072】

次に、層 4 2 3、層 4 2 4 および層 4 2 6 を用いて、絶縁体 4 1 0 の一部をエッチングすることで溝部を有する絶縁体 4 1 1 を形成する。このとき、層 4 2 3 および層 4 2 4 もエッチングすることができる（図 7 参照。）。なお、図 7（A）は上面図を示し、図 7（B）は図 7（A）における一点鎖線 A 1－A 2 に対応する断面図を示し、図 7（C）は図 7（A）における一点鎖線 A 3－A 4 に対応する断面図を示す。例えば、絶縁体 4 1 0 が酸化シリコンである場合、層 4 2 6 はフッ素を有するエッチングガス（例えば、 CF_4 、 C_2F_6 、 C_4F_8 、 CHF_3 など）によってエッチングされにくい層であることが好ましい。

10

【0073】

なお、絶縁体 4 1 0 の一部をエッチングすることで、導電体 4 1 6 の一部、半導体 4 0 6 b の一部、絶縁体 4 0 6 a の一部、および絶縁体 4 0 2 c の一部が露出する。このとき、絶縁体 4 0 2 c などの一部がエッチングされて薄くなる場合もある。

【0074】

20

次に、層 4 2 6 および絶縁体 4 1 1 を用いて、導電体 4 1 6 の一部をエッチングすることで導電体 4 1 6 a および導電体 4 1 6 b を形成する（図 8 参照。）。なお、図 8（A）は上面図を示し、図 8（B）は図 8（A）における一点鎖線 A 1－A 2 に対応する断面図を示し、図 8（C）は図 8（A）における一点鎖線 A 3－A 4 に対応する断面図を示す。

【0075】

導電体 4 1 6 a と導電体 4 1 6 b との間隔は、層 4 2 6 の溝部の幅と同程度とすることができる。また、図示しないが、導電体 4 1 6 a の端部、および導電体 4 1 6 b の端部がテーパ角を有する場合、導電体 4 1 6 a と導電体 4 1 6 b との間隔は、層 4 2 6 の溝部の幅よりも小さくすることができる。

【0076】

30

次に、絶縁体 4 3 6 c、絶縁体 4 4 2 および導電体 4 3 4 を順に成膜する（図 9 参照。）。なお、図 9（A）は上面図を示し、図 9（B）は図 9（A）における一点鎖線 A 1－A 2 に対応する断面図を示し、図 9（C）は図 9（A）における一点鎖線 A 3－A 4 に対応する断面図を示す。

【0077】

ここで、絶縁体 4 3 6 c を成膜しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

【0078】

絶縁体 4 3 6 c または／および絶縁体 4 4 2 は、絶縁体 4 1 1 の溝部を埋めきってしまわない程度の厚さとするのが好ましい。例えば、絶縁体 4 1 1 の溝部の幅が 12 nm である場合、絶縁体 4 3 6 c の厚さと、絶縁体 4 4 2 の厚さと、の合計が 6 nm（絶縁体 4 1 1 の溝部の両側面における厚さが 12 nm）未満とすればよい。なお、絶縁体 4 3 6 c または／および絶縁体 4 4 2 の厚さが、半導体 4 0 6 b と接する領域と、絶縁体 4 1 1 の溝部の側面と接する領域と、で異なる場合もある。その場合、絶縁体 4 1 1 の溝部の側面と接する領域における絶縁体 4 3 6 c および絶縁体 4 4 2 の厚さの合計が、絶縁体 4 1 1 の溝部の幅よりも薄ければよい。一方、導電体 4 3 4 は、絶縁体 4 1 1 の溝部を埋めきってしまう程度の厚さとするのが好ましい。

40

【0079】

次に、導電体 4 3 4、絶縁体 4 4 2 および絶縁体 4 3 6 c を CMP 法などによって処理し、絶縁体 4 1 1 の上面より上の部分を除去することで導電体 4 0 4、絶縁体 4 1 2 および

50

絶縁体406cを形成する。このときに、絶縁体411の厚さが薄くなる場合がある。なお、CMP法に代えて、ドライエッチング法やMP法などを用いてもよい。また、これらの方法を二種以上組み合わせて行ってもよい。また、エッチングマスクを用いて、導電体434、絶縁体442および絶縁体436cの一部をエッチングしてもよい。

【0080】

次に、絶縁体408を成膜することでトランジスタを作製することができる（図10参照）。なお、図10（A）は上面図を示し、図10（B）は図10（A）における一点鎖線A1-A2に対応する断面図を示し、図10（C）は図10（A）における一点鎖線A3-A4に対応する断面図を示す。

【0081】

絶縁体408は、酸素を有する雰囲気下において成膜することが好ましい。特に、酸素ガスを用いたスパッタリング法によって成膜することが好ましい。こうすることで、絶縁体408を成膜する際に、例えば、絶縁体411などに過剰酸素を添加することができる。過剰酸素は、半導体406bとして酸化物半導体を用いた場合に欠陥準位を低減するために用いられる。半導体406bの欠陥準位密度が高いと、トランジスタの電気特性が劣化する要因となる。

【0082】

ここで、絶縁体408を成膜しなくてもよい場合がある。

【0083】

次に、第4の加熱処理を行ってもよい。第4の加熱処理の方法は、第1の加熱処理の方法の説明を参照する。第4の加熱処理を行うことで、水素などを有する不純物を除去することができる場合がある。また、半導体406bまたは／および絶縁体406aの結晶性を高くすることができる場合がある。また、絶縁体408の成膜時に絶縁体411などに過剰酸素が添加されている場合、第4の加熱処理によって過剰酸素を拡散させることができる。

【0084】

図10に示すトランジスタにおいて、導電体404は第1のゲート電極（フロントゲート電極ともいう。）としての機能を有し、絶縁体412は第1のゲート絶縁体（フロントゲート絶縁体）としての機能を有し、半導体406bはチャネル形成領域としての機能を有し、導電体416aはソース電極としての機能を有し、導電体416bはドレイン電極としての機能を有し、導電体413は第2のゲート電極（バックゲート電極ともいう。）としての機能を有し、絶縁体402a、絶縁体402bおよび絶縁体402cは第2のゲート絶縁体（バックゲート絶縁体ともいう。）としての機能を有し、絶縁体408は、トランジスタへの不純物の混入を抑制するためのバリア層としての機能、または／および過剰酸素の外方拡散を抑制する機能を有する。

【0085】

また、絶縁体406aおよび絶縁体406cは、半導体406bの保護層としての機能を有する。例えば、図10（C）に示す断面図において半導体406bを取り囲んで形成されていることで、寄生チャネルの形成やキャリアトラップの形成などを抑制することができる。絶縁体406a、半導体406bおよび絶縁体406cの詳細については後述する。

【0086】

トランジスタは、図10（C）に示すように、第1のゲート電極としての機能を有する導電体404の電界によって、半導体406bなどが電気的に取り囲まれた構造を有する。ゲート電極の電界によって、半導体を電気的に取り囲むトランジスタの構造を、*surrounded channel*（*s-channel*）構造とよぶ。そのため、半導体406bなどの全体（バルク）にチャネルが形成される場合がある。*s-channel*構造では、トランジスタのソースドレイン間に大電流を流すことができ、導通時の電流（オン電流）を大きくすることができる。また、非導通時の電流（オフ電流）を小さくすることができる。

10

20

30

40

50

【0087】

絶縁体402a、絶縁体402bおよび絶縁体402cは、その一部に電子などの電荷を捕獲する層または領域（電荷捕獲層または電荷捕獲領域ともいう。）を有することが好ましい。例えば、絶縁体402b全体が電荷捕獲層であってもよいし、絶縁体402aと絶縁体402bとの界面近傍の領域、または絶縁体402bと絶縁体402cとの界面近傍の領域が電荷捕獲領域であってもよい。例えば、導電体413に任意の電位を印加することで、電荷捕獲層または電荷捕獲領域に電子を注入することができる。このとき、導電体413に印加する電位の大きさや時間によって注入される電子の量を調整することができる。注入する電子の量は、要求されるスペックに応じて決定すればよい。例えば、注入する電子の量を調整することで、トランジスタのしきい値電圧を0.3V、0.5V、0.8V、1V、1.5Vまたは2V大きくすることもできる。その結果、例えば、ノーマリーオフの電気特性を有するトランジスタを実現することができる。

10

【0088】

なお、電荷捕獲層または電荷捕獲領域が、半導体406bの下部に配置される場合に限定されない。例えば、絶縁体412を積層構造とし、その一部に電荷捕獲層または電荷捕獲領域を形成してもよい。その場合、導電体404に任意の電位を印加することで電子を注入することができる。

【0089】

図10に示すトランジスタは、第1のゲート電極と、ソース電極およびドレイン電極と、の間の寄生容量が小さい。したがって、高い周波数特性を有するトランジスタを実現することができる。また、第1のゲート電極の線幅を、露光機の解像度の限界値よりも小さくすることができるため、微細なトランジスタを実現することができる。

20

【0090】

基板400としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

30

【0091】

また、基板400として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板400に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板400として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板400が伸縮性を有してもよい。また、基板400は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板400は、例えば、5 μm 以上700 μm 以下、好ましくは10 μm 以上500 μm 以下、さらに好ましくは15 μm 以上300 μm 以下の厚さとなる領域を有する。基板400を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板400を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板400上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫

40

50

な半導体装置を提供することができる。

【0092】

可とう性基板である基板400としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板400は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板400としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いいため、可とう性基板である基板400として好適である。

10

【0093】

半導体406bとしては、例えば、シリコン、ゲルマニウムなどの第14族半導体、炭化シリコン、ケイ化ゲルマニウム、ヒ化ガリウム、リン化インジウム、セレン化亜鉛、硫化カドミウム、酸化物半導体などの化合物半導体、および有機半導体を用いることができる。特に、非晶質シリコン、多結晶シリコン、単結晶シリコンまたは酸化物半導体を用いることが好ましい。

【0094】

絶縁体401としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体401としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。なお、本明細書において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

20

【0095】

導電体413としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。特に、銅を有する導電体は、高い導電性を有するため好ましい。例えば、導電体413と同じ工程を経て形成した導電体を半導体装置の配線に用いる場合、導電性の高い銅を有する導電体が好適である。

30

【0096】

絶縁体402aとしては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体402aとしては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

40

【0097】

絶縁体402bとしては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体402bとしては、酸化アルミニウム

50

、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【0098】

絶縁体402cとしては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体402cとしては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

10

【0099】

例えば、絶縁体402bとして、アルミニウム、ジルコニウムもしくはハフニウムを有する酸化物、またはシリコンを有する窒化物を用いることで、電荷蓄積層または電荷蓄積領域を形成できる場合がある。そのとき、絶縁体402aおよび絶縁体402cとして、絶縁体402bよりもエネルギーギャップの大きい絶縁体を用いると、絶縁体402bに注入された電子を安定して保持することができる。例えば、絶縁体402aおよび絶縁体402cとして酸化シリコンを用いればよい。

【0100】

半導体406bが酸化物半導体である場合、絶縁体402a、絶縁体402bおよび絶縁体402cのいずれか一以上が過剰酸素を有する絶縁体であることが好ましい。また、絶縁体402a、絶縁体402bおよび絶縁体402cのいずれか一以上が酸素透過性の低い絶縁体（酸素バリア性を有する絶縁体ともいう。）であることが好ましい。特に、絶縁体402bが酸素バリア性を有し、絶縁体402cが過剰酸素を有することが好ましい。その場合、絶縁体402cの過剰酸素が外方拡散することを抑制できる。酸素透過性の低い絶縁体としては、例えば、酸化マグネシウム、酸化アルミニウム、酸化イットリウム、酸化ジルコニウム、酸化ハフニウムおよび窒化シリコンなどがある。

20

【0101】

過剰酸素を有する絶縁体は、昇温脱離ガス分光法分析（TDS分析）にて、100℃以上700℃以下または100℃以上500℃以下の表面温度の範囲で 1×10^{18} atoms/cm³以上、 1×10^{19} atoms/cm³以上または 1×10^{20} atoms/cm³以上の酸素（酸素原子数換算）を放出することもある。

30

【0102】

TDS分析を用いた酸素の放出量の測定方法について、以下に説明する。

【0103】

測定試料をTDS分析したときの気体の全放出量は、放出ガスのイオン強度の積分値に比例する。そして標準試料との比較により、気体の全放出量を計算することができる。

【0104】

例えば、標準試料である所定の密度の水素を含むシリコン基板のTDS分析結果、および測定試料のTDS分析結果から、測定試料の酸素分子の放出量（ N_{O_2} ）は、下に示す式で求めることができる。ここで、TDS分析で得られる質量電荷比32で検出されるガスの全てが酸素分子由来と仮定する。 CH_3OH の質量電荷比は32であるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子および質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

40

【0105】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha$$

【0106】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのイオン強度の積分値である。ここで、標準試料の基準値を、 N

50

H_2/S_{H_2} とする。 S_{O_2} は、測定試料をTDS分析したときのイオン強度の積分値である。 α は、TDS分析におけるイオン強度に影響する係数である。上に示す式の詳細に関しては、特開平6-275697公報を参照する。なお、上記酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として一定量の水素原子を含むシリコン基板を用いて測定する。

【0107】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の α は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

10

【0108】

なお、 N_{O_2} は酸素分子の放出量である。酸素原子に換算したときの放出量は、酸素分子の放出量の2倍となる。

【0109】

または、加熱処理によって酸素を放出する絶縁体は、過酸化ラジカルを含むこともある。具体的には、過酸化ラジカルに起因するスピン密度が、 $5 \times 10^{17} \text{ spins/cm}^3$ 以上であることをいう。なお、過酸化ラジカルを含む絶縁体は、電子スピン共鳴法(ESR: Electron Spin Resonance)にて、 g 値が2.01近傍に非対称の信号を有することもある。

20

【0110】

また、絶縁体402a、絶縁体402bおよび絶縁体402cのいずれか一以上が、水素透過性の低い絶縁体であることが好ましい。

【0111】

水素は、原子半径などが小さいため絶縁体中を拡散しやすい(拡散係数が大きい)。例えば、密度の低い絶縁体は、水素透過性が高くなる。言い換えれば、密度の高い絶縁体は水素透過性が低くなる。密度の低い絶縁体は、絶縁体全体の密度が低い必要はなく、部分的に密度が低い場合も含む。これは、密度の低い領域が水素の経路となるためである。水素を透過しうる密度は一意には定まらないが、代表的には 2.6 g/cm^3 未満などが挙げられる。密度の低い絶縁体としては、例えば、酸化シリコンおよび酸化窒化シリコンなどの無機絶縁体、ならびにポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネートおよびアクリルなどの有機絶縁体などがある。密度の高い絶縁体としては、例えば、酸化マグネシウム、酸化アルミニウム、酸化ゲルマニウム、酸化ガリウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどがある。なお、密度の低い絶縁体および密度の高い絶縁体は、上述の絶縁体に限定されない。例えば、これらの絶縁体に、ホウ素、窒素、フッ素、ネオン、リン、塩素またはアルゴンから選ばれた一種以上の元素が含まれていてもよい。

30

【0112】

また、結晶粒界を有する絶縁体は、水素透過性が高い場合がある。言い換えれば、結晶粒界を有さない(または結晶粒界が少ない)絶縁体は水素を透過させにくい。例えば、非多結晶絶縁体(非晶質絶縁体など)は、多結晶絶縁体と比べて水素透過性が低くなる。

40

【0113】

また、水素との結合エネルギーが高い絶縁体は、水素透過性が低い場合がある。例えば、水素と結合して水素化合物を作る絶縁体が、装置の作製工程または装置の動作における温度で水素を脱離しない程度の結合エネルギーを有すれば、水素透過性の低い絶縁体といえる。例えば、 200°C 以上 1000°C 以下、 300°C 以上 1000°C 以下、または 400°C 以上 1000°C 以下で水素化合物を作る絶縁体は、水素透過性が低い場合がある。また、例えば、水素の脱離温度が、 200°C 以上 1000°C 以下、 300°C 以上 1000°C 以下、または 400°C 以上 1000°C 以下である水素化合物を作る絶縁体は、水素透過性が低い場合がある。一方、水素の脱離温度が、 20°C 以上 400°C 以下、 20°C 以上 300°C

50

℃以下、または20℃以上200℃以下である水素化合物を作る絶縁体は、水素透過性が高い場合がある。また、容易に脱離する水素、および遊離した水素を過剰水素と呼ぶ場合がある。

【0114】

導電体416aおよび導電体416bとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

10

【0115】

絶縁体412としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体412としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【0116】

半導体406bが酸化物半導体である場合、絶縁体412は過剰酸素を有する絶縁体であることが好ましい。

20

【0117】

導電体404としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

30

【0118】

導電体404として、酸化物導電体を用いると好ましい場合がある。例えば、インジウムおよび亜鉛を有する酸化物、インジウムおよびスズを有する酸化物、またはインジウム、ガリウムおよび亜鉛を有する酸化物などを用いる場合、導電体404となる導電体434の成膜時に、絶縁体412となる絶縁体442、および絶縁体411などに過剰酸素を添加することができる。一般に、インジウム、ガリウムおよび亜鉛を有する酸化物は、成膜時に高い割合で酸化性ガスを有する成膜ガスを用いる場合、導電性が著しく低下する。よって、その後にドーパントの添加などによって、低抵抗化することが好ましい。ドーパントの添加などによる低抵抗化を効果的に行うために、酸化性ガスの割合の高い成膜ガスを用いて成膜する層と、酸化性ガスの割合の低い、または有さない成膜ガスを用いて成膜する層と、を順に成膜した積層構造を有してもよい。

40

【0119】

ドーパントの添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法などを用いることができる。質量分離を行う場合、添加するイオン種およびその濃度を厳密に制御することができる。一方、質量分離を行わない場合、短時間で高濃度のイオンを添加することができる。また、原子または分子のクラスターを生成してイオン化するイオン注入法またはイオンドーピング法を用いてもよい。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素と言い換えてもよい。

【0120】

50

ドーパントの添加工程は、加速電圧、ドーズ量などの注入条件を適宜設定して制御すればよい。ドーパントのドーズ量は、例えば、 $1 \times 10^{12} \text{ ions/cm}^2$ 以上 $1 \times 10^{16} \text{ ions/cm}^2$ 以下、好ましくは $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $1 \times 10^{15} \text{ ions/cm}^2$ 以下とすればよい。ドーパント添加時の加速電圧は 2 kV 以上 50 kV 以下、好ましくは 5 kV 以上 30 kV 以下とすればよい。

【0121】

また、加熱しながらドーパント添加してもよい。例えば、 200°C 以上 700°C 以下、好ましくは 300°C 以上 500°C 以下、より好ましくは 350°C 以上 450°C 以下に加熱しながらドーパントを添加してもよい。

【0122】

ドーパントとしては、例えば、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタングステンなどが挙げられる。これらの元素の中でも、ヘリウム、アルゴン、クリプトン、キセノン、窒素、リンまたはホウ素は、イオン注入法またはイオンドーピング法などを用いて抵抗の制御性を高く添加することができるため、好適である。

【0123】

ドーパントの添加はイオンドーピング法およびイオン注入法に限定されない。例えば、ドーパントを有するプラズマに曝すことでドーパントを添加することができる。または、例えば、ドーパントを有する絶縁体などを成膜し、ドーパントを熱などで拡散させてもよい。特に、これらのドーパントの添加方法を二以上組み合わせるとよい。

【0124】

また、ドーパントの添加処理後、加熱処理を行ってもよい。加熱処理は、例えば、 250°C 以上 650°C 以下、好ましくは 350°C 以上 450°C 以下とし、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0125】

絶縁体 411 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 411 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【0126】

絶縁体 408 としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。例えば、絶縁体 408 としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルを用いればよい。

【0127】

絶縁体 408 が酸素透過性の低い絶縁体であることが好ましい。または、絶縁体 408 が水素透過性の低い絶縁体であることが好ましい。

【0128】

以下では、絶縁体 406 a、半導体 406 b および絶縁体 406 c について説明する。

【0129】

半導体 406 b の上下に絶縁体 406 a および絶縁体 406 c を配置することで、トラン

10

20

30

40

50

ジスタの電気特性を向上させることができる場合がある。

【0130】

絶縁体406aはCAAC-Osを有することが好ましい。半導体406bはCAAC-Osを有することが好ましい。絶縁体406cはCAAC-Osを有することが好ましい。

【0131】

半導体406bは、例えば、インジウムを含む酸化物である。半導体406bは、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、半導体406bは、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素Mは、例えば、酸化物のエネルギーギャップを大きくする機能を有する元素である。また、半導体406bは、亜鉛を含むと好ましい。酸化物は、亜鉛を含むと結晶化しやすくなる場合がある。

10

【0132】

ただし、半導体406bは、インジウムを含む酸化物に限定されない。半導体406bは、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物、ガリウムを含む酸化物、スズを含む酸化物などであっても構わない。

20

【0133】

半導体406bは、例えば、エネルギーギャップが大きい酸化物を用いる。半導体406bのエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。

【0134】

例えば、絶縁体406aおよび絶縁体406cは、半導体406bを構成する酸素以外の元素一種以上、または二種以上から構成される酸化物である。半導体406bを構成する酸素以外の元素一種以上、または二種以上から絶縁体406aおよび絶縁体406cが構成されるため、絶縁体406aと半導体406bとの界面、および半導体406bと絶縁体406cとの界面において、欠陥準位が形成されにくい。

30

【0135】

絶縁体406a、半導体406bおよび絶縁体406cは、少なくともインジウムを含むと好ましい。なお、絶縁体406aがIn-M-Zn酸化物のとき、InおよびMの和を100 atomic %としたとき、好ましくはInが50 atomic %未満、Mが50 atomic %より高く、さらに好ましくはInが25 atomic %未満、Mが75 atomic %より高いとする。また、半導体406bがIn-M-Zn酸化物のとき、InおよびMの和を100 atomic %としたとき、好ましくはInが25 atomic %より高く、Mが75 atomic %未満、さらに好ましくはInが34 atomic %より高く、Mが66 atomic %未満とする。また、絶縁体406cがIn-M-Zn酸化物のとき、InおよびMの和を100 atomic %としたとき、好ましくはInが50 atomic %未満、Mが50 atomic %より高く、さらに好ましくはInが25 atomic %未満、Mが75 atomic %より高くする。なお、絶縁体406cは、絶縁体406aと同種の酸化物を用いても構わない。ただし、絶縁体406aまたは／および絶縁体406cがインジウムを含まなくても構わない場合がある。例えば、絶縁体406aまたは／および絶縁体406cが酸化ガリウムであっても構わない。なお、絶縁体406a、半導体406bおよび絶縁体406cに含まれる各元素の原子数が、簡単な整数比にならなくても構わない。

40

【0136】

半導体406bは、絶縁体406aおよび絶縁体406cよりも電子親和力の大きい酸化

50

物を用いる。例えば、半導体406bとして、絶縁体406aおよび絶縁体406cよりも電子親和力の0.07eV以上1.3eV以下、好ましくは0.1eV以上0.7eV以下、さらに好ましくは0.15eV以上0.4eV以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0137】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、絶縁体406cがインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70%以上、好ましくは80%以上、さらに好ましくは90%以上とする。

【0138】

このとき、ゲート電圧を印加すると、絶縁体406a、半導体406b、絶縁体406cのうち、電子親和力の大きい半導体406bにチャンネルが形成される。

【0139】

ここで、絶縁体406aと半導体406bとの間には、絶縁体406aと半導体406bとの混合領域を有する場合がある。また、半導体406bと絶縁体406cとの間には、半導体406bと絶縁体406cとの混合領域を有する場合がある。混合領域は、欠陥準位密度が低くなる。そのため、絶縁体406a、半導体406bおよび絶縁体406cの積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド図となる（図11参照。）。なお、絶縁体406a、半導体406bおよび絶縁体406cは、それぞれの界面を明確に判別できない場合がある。

【0140】

このとき、電子は、絶縁体406a中および絶縁体406c中ではなく、半導体406b中を主として移動する。なお、絶縁体406aおよび絶縁体406cは、単独で存在した場合には導体、半導体または絶縁体のいずれの性質も取りうるが、トランジスタの動作時にはチャンネルを形成しない領域を有する。具体的には、絶縁体406aと半導体406bとの界面近傍、および絶縁体406cと半導体406bとの界面近傍のみにチャンネルが形成され、そのほかの領域にはチャンネルが形成されない。したがって、トランジスタの動作上は絶縁体と呼ぶことができるため、本明細書中では半導体および導電体ではなく絶縁体と表記する。ただし、絶縁体406aと、半導体406bと、絶縁体406cと、は相対的な物性の違いによって半導体と絶縁体とを呼び分けられるだけであって、例えば、絶縁体406aまたは絶縁体406cとして用いることのできる絶縁体を、半導体406bとして用いることができる場合がある。上述したように、絶縁体406aと半導体406bとの界面における欠陥準位密度、および半導体406bと絶縁体406cとの界面における欠陥準位密度を低くすることによって、半導体406b中で電子の移動が阻害されることが少なく、トランジスタのオン電流を大きくすることができる。

【0141】

また、トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推定される。電子の移動は、例えば、チャンネル形成領域の物理的な凹凸が大きい場合にも阻害される。

【0142】

トランジスタのオン電流を大きくするためには、例えば、半導体406bの上面または下面（被形成面、ここでは絶縁体406aの上面）の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根（RMS：Root Mean Square）粗さが1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ（Raともいう。）が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差（P-Vともいう。）が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。RMS粗さ、RaおよびP-Vは、エスアイアイ

10

20

30

40

50

・ナノテクノロジー株式会社製走査型プローブ顕微鏡システムSPA-500などを用いて測定することができる。

【0143】

また、トランジスタのオン電流を大きくするためには、絶縁体406cの厚さは小さいほど好ましい。例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有する絶縁体406cとすればよい。一方、絶縁体406cは、チャンネルの形成される半導体406bへ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、絶縁体406cは、ある程度の厚さを有することが好ましい。例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有する絶縁体406cとすればよい。また、絶縁体406cは、他の絶縁体から放出される酸素の外方拡散を抑制するために、酸素をブロックする性質を有すると好ましい。

10

【0144】

また、信頼性を高くするためには、絶縁体406aは厚く、絶縁体406cは薄いことが好ましい。例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有する絶縁体406aとすればよい。絶縁体406aの厚さを、厚くすることで、隣接する絶縁体と絶縁体406aとの界面からチャンネルの形成される半導体406bまでの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有する絶縁体406aとすればよい。

20

【0145】

例えば、半導体406bと絶縁体406aとの間に、例えば、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）において、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下のシリコン濃度となる領域を有する。また、半導体406bと絶縁体406cとの間に、SIMSにおいて、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下のシリコン濃度となる領域を有する。

30

【0146】

また、半導体406bは、SIMSにおいて、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の水素濃度となる領域を有する。また、半導体406bの水素濃度を低減するために、絶縁体406aおよび絶縁体406cの水素濃度を低減すると好ましい。絶縁体406aおよび絶縁体406cは、SIMSにおいて、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。また、半導体406bは、SIMSにおいて、 $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。また、半導体406bの窒素濃度を低減するために、絶縁体406a

40

50

および絶縁体406cの窒素濃度を低減すると好ましい。絶縁体406aおよび絶縁体406cは、SIMSにおいて、 $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{15} \text{ atoms/cm}^3$ 以上 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下の窒素濃度となる領域を有する。

【0147】

上述の3層構造は一例である。例えば、絶縁体406aまたは絶縁体406cのない2層構造としても構わない。または、絶縁体406aの上もしくは下、または絶縁体406c上もしくは下に、絶縁体406a、半導体406bおよび絶縁体406cとして例示した半導体のいずれか一を有する4層構造としても構わない。または、絶縁体406aの上、絶縁体406aの下、絶縁体406cの上、絶縁体406cの下のいずれか二箇所以上に、絶縁体406a、半導体406bおよび絶縁体406cとして例示した半導体のいずれか一以上を有するn層構造（nは5以上の整数）としても構わない。

10

【0148】

<組成>

以下では、In-M-Zn酸化物の組成について説明する。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステンなどがある。

20

【0149】

図12は、各頂点にIn、MまたはZnを配置した三角図である。また、図中の[In]はInの原子濃度を示し、[M]は元素Mの原子濃度を示し、[Zn]はZnの原子濃度を示す。

【0150】

In-M-Zn酸化物の結晶はホモロガス構造を有することが知られており、 $\text{InMO}_3(\text{ZnO})_m$ （mは自然数。）で示される。また、InとMとを置き換えることが可能であるため、 $\text{In}_{1+\alpha}\text{M}_{1-\alpha}\text{O}_3(\text{ZnO})_m$ で示すこともできる。これは、[In] : [M] : [Zn] = $1 + \alpha : 1 - \alpha : 1$ 、[In] : [M] : [Zn] = $1 + \alpha : 1 - \alpha : 2$ 、[In] : [M] : [Zn] = $1 + \alpha : 1 - \alpha : 3$ 、[In] : [M] : [Zn] = $1 + \alpha : 1 - \alpha : 4$ 、および[In] : [M] : [Zn] = $1 + \alpha : 1 - \alpha : 5$ と表記した破線で示される組成である。なお、破線上の太線は、例えば、原料となる酸化物を混合し、1350℃で焼成した場合に固溶体となりうる組成である。

30

【0151】

よって、上述の固溶体となりうる組成に近づけることで、結晶性を高くすることができる。なお、スパッタリング法によってIn-M-Zn酸化物を成膜する場合、ターゲットの組成と膜の組成とが異なる場合がある。例えば、ターゲットとして原子数比が「1 : 1 : 1」、「1 : 1 : 1.2」、「3 : 1 : 2」、「4 : 2 : 4.1」、「5 : 1 : 7」、「1 : 3 : 2」、「1 : 3 : 4」、「1 : 4 : 5」のIn-M-Zn酸化物を用いた場合、膜の原子数比はそれぞれ「1 : 1 : 0.7（0.5から0.9程度）」、「1 : 1 : 0.9（0.8から1.1程度）」、「3 : 1 : 1.5（1から1.8程度）」、「4 : 2 : 3（2.6から3.6程度）」、「5 : 1 : 6（5.5から6.5程度）」、「1 : 3 : 1.5（1から1.8程度）」、「1 : 3 : 3（2.5から3.5程度）」、「1 : 4 : 4（3.4から4.4程度）」となる。したがって、所望の組成の膜を得るためには、組成の変化を考慮してターゲットの組成を選択すればよい。

40

【0152】

<酸化物半導体の構造>

以下では、酸化物半導体の構造について説明する。

【0153】

50

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、C A A C - O S (c - a x i s - a l i g n e d c r y s t a l l i n e o x i d e s e m i c o n d u c t o r)、多結晶酸化物半導体、n c - O S (n a n o c r y s t a l l i n e o x i d e s e m i c o n d u c t o r)、擬似非晶質酸化物半導体 (a - l i k e O S : a m o r p h o u s - l i k e o x i d e s e m i c o n d u c t o r) および非晶質酸化物半導体などがある。

【0154】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、C A A C - O S、多結晶酸化物半導体および n c - O S などがある。

10

【0155】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

【0156】

即ち、安定な酸化物半導体を完全な非晶質 (c o m p l e t e l y a m o r p h o u s) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a - l i k e O S は、等方的でないが、鬆 (ボイドともいう。) を有する不安定な構造である。不安定であるという点では、a - l i k e O S は、物性的に非晶質酸化物半導体に近い。

20

【0157】

< C A A C - O S >

まずは、C A A C - O S について説明する。

【0158】

C A A C - O S は、c 軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

【0159】

C A A C - O S を X 線回折 (X R D : X - R a y D i f f r a c t i o n) によって解析した場合について説明する。例えば、空間群 $R-3m$ に分類される $InGaZnO_4$ の結晶を有する C A A C - O S に対し、o u t - o f - p l a n e 法による構造解析を行うと、図 59 (A) に示すように回折角 (2θ) が 31° 近傍にピークが現れる。このピークは、 $InGaZnO_4$ の結晶の (009) 面に帰属されることから、C A A C - O S では、結晶が c 軸配向性を有し、c 軸が C A A C - O S の膜を形成する面 (被形成面ともいう。) 、または上面に略垂直な方向を向いていることが確認できる。なお、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、空間群 $Fd-3m$ に分類される結晶構造に起因する。そのため、C A A C - O S は、該ピークを示さないことが好ましい。

30

【0160】

一方、C A A C - O S に対し、被形成面に平行な方向から X 線を入射させる i n - p l a n e 法による構造解析を行うと、 2θ が 56° 近傍にピークが現れる。このピークは、 $InGaZnO_4$ の結晶の (110) 面に帰属される。そして、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸 (ϕ 軸) として試料を回転させながら分析 (ϕ スキャン) を行っても、図 59 (B) に示すように明瞭なピークは現れない。一方、単結晶 $InGaZnO_4$ に対し、 2θ を 56° 近傍に固定して ϕ スキャンした場合、図 59 (C) に示すように (110) 面と等価な結晶面に帰属されるピークが 6 本観察される。したがって、X R D を用いた構造解析から、C A A C - O S は、a 軸および b 軸の配向が不規則であることが確認できる。

40

【0161】

50

次に、電子回折によって解析したCAAC-O Sについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-O Sに対し、CAAC-O Sの被形成面に平行にプローブ径が300 nmの電子線を入射させると、図59 (D) に示すような回折パターン（制限視野電子回折パターンともいう。）が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-O Sに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300 nmの電子線を入射させたときの回折パターンを図59 (E) に示す。図59 (E) より、リング状の回折パターンが確認される。したがって、プローブ径が300 nmの電子線を用いた電子回折によっても、CAAC-O Sに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図59 (E) における第1リングは、InGaZnO₄の結晶の(010)面および(100)面などに起因すると考えられる。また、図59 (E) における第2リングは(110)面などに起因すると考えられる。

【0162】

また、透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって、CAAC-O Sの明視野像と回折パターンとの複合解析像（高分解能TEM像ともいう。）を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を明確に確認することができない場合がある。そのため、CAAC-O Sは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0163】

図60 (A) に、試料面と略平行な方向から観察したCAAC-O Sの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正（Spherical Aberration Corrector）機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

【0164】

図60 (A) より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1 nm以上のものや、3 nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶（nc：nanocrystal）と呼ぶこともできる。また、CAAC-O Sを、CAN C（C-Axis Aligned nanocrystals）を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-O Sの被形成面または上面の凹凸を反映しており、CAAC-O Sの被形成面または上面と平行となる。

【0165】

また、図60 (B) および図60 (C) に、試料面と略垂直な方向から観察したCAAC-O Sの平面のCs補正高分解能TEM像を示す。図60 (D) および図60 (E) は、それぞれ図60 (B) および図60 (C) を画像処理した像である。以下では、画像処理の方法について説明する。まず、図60 (B) を高速フーリエ変換（FFT：Fast Fourier Transform）処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換（IFFT：Inverse Fast Fourier Transform）処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

【0166】

図60 (D) では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、

一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

【0167】

図60(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間を点線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形または／および七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

10

【0168】

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット（ナノ結晶）が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAA crystal (c-axis-aligned a-b-plane-anchored crystal) を有する酸化物半導体と称することもできる。

【0169】

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。

20

【0170】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0171】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

30

【0172】

不純物および酸素欠損の少ないCAAC-OSは、キャリア密度の低い酸化物半導体である。具体的には、 $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

40

【0173】

<nc-OS>

次に、nc-OSについて説明する。

【0174】

nc-OSをXRDによって解析した場合について説明する。例えば、nc-OSに対し、out-of-plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc-OSの結晶は配向性を有さない。

【0175】

また、例えば、 InGaZnO_4 の結晶を有するnc-OSを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図61

50

(A)に示すようなリング状の回折パターン(ナノビーム電子回折パターン)が観測される。また、同じ試料にプローブ径が1 nmの電子線を入射させたときの回折パターン(ナノビーム電子回折パターン)を図61(B)に示す。図61(B)より、リング状の領域内に複数のスポットが観測される。したがって、nc-Osは、プローブ径が50 nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1 nmの電子線を入射させることでは秩序性が確認される。

【0176】

また、厚さが10 nm未満の領域に対し、プローブ径が1 nmの電子線を入射させると、図61(C)に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10 nm未満の範囲において、nc-Osが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

【0177】

図61(D)に、被形成面と略平行な方向から観察したnc-Osの断面のCs補正高分解能TEM像を示す。nc-Osは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc-Osに含まれる結晶部は、1 nm以上10 nm以下の大きさであり、特に1 nm以上3 nm以下の大きさであることが多い。なお、結晶部の大きさが10 nmより大きく100 nm以下である酸化物半導体を微結晶酸化物半導体(microcrystalline oxide semiconductor)と呼ぶことがある。nc-Osは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC-Osにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc-Osの結晶部をペレットと呼ぶ場合がある。

【0178】

このように、nc-Osは、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-Osは、分析方法によっては、a-like Osや非晶質酸化物半導体と区別が付かない場合がある。

【0179】

なお、ペレット(ナノ結晶)間で結晶方位が規則性を有さないことから、nc-Osを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、またはNANC(Non-Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

【0180】

nc-Osは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc-Osは、a-like Osや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc-Osは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc-Osは、CAAC-Osと比べて欠陥準位密度が高くなる。

【0181】

<a-like Os>

a-like Osは、nc-Osと非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【0182】

図62に、a-like Osの高分解能断面TEM像を示す。ここで、図62(A)は電子照射開始時におけるa-like Osの高分解能断面TEM像である。図62(B)は $4.3 \times 10^8 \text{ e}^-/\text{nm}^2$ の電子(e^-)照射後におけるa-like Osの高分解能断面TEM像である。図62(A)および図62(B)より、a-like Osは電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密

10

20

30

40

50

度領域と推測される。

【0183】

鬆を有するため、*a-like OS*は、不安定な構造である。以下では、*a-like OS*が、*CAAC-OS*および*nc-OS*と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【0184】

試料として、*a-like OS*、*nc-OS*および*CAAC-OS*を準備する。いずれの試料も *In-Ga-Zn* 酸化物である。

【0185】

まず、各試料の高分解能断面TEM像を取得する。高分解能断面TEM像により、各試料は、いずれも結晶部を有する。

10

【0186】

なお、*InGaZnO₄*の結晶の単位格子は、*In-O*層を3層有し、また*Ga-Zn-O*層を6層有する、計9層が*c*軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、(009)面の格子面間隔(*d*値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。したがって、以下では、格子縞の間隔が0.28nm以上0.30nm以下である箇所を、*InGaZnO₄*の結晶部と見なした。なお、格子縞は、*InGaZnO₄*の結晶の*a-b*面に対応する。

【0187】

20

図63は、各試料の結晶部(22箇所から30箇所)の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図63より、*a-like OS*は、TEM像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図63より、TEMによる観察初期においては1.2nm程度の大きさだった結晶部(初期核ともいう。)が、電子(e^-)の累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては1.9nm程度の大きさまで成長していることがわかる。一方、*nc-OS*および*CAAC-OS*は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図63より、電子の累積照射量によらず、*nc-OS*および*CAAC-OS*の結晶部の大きさは、それぞれ1.3nm程度および1.8nm程度であることがわかる。なお、電子線照射およびTEMの観察は、日立透過電子顕微鏡H-9000NARを用いた。電子線照射条件は、加速電圧を300kV、電流密度を $6.7 \times 10^5 e^- / (nm^2 \cdot s)$ 、照射領域の直径を230nmとした。

30

【0188】

このように、*a-like OS*は、電子照射によって結晶部の成長が見られる場合がある。一方、*nc-OS*および*CAAC-OS*は、電子照射による結晶部の成長がほとんど見られない。即ち、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて、不安定な構造であることがわかる。

【0189】

また、鬆を有するため、*a-like OS*は、*nc-OS*および*CAAC-OS*と比べて密度の低い構造である。具体的には、*a-like OS*の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、*nc-OS*の密度および*CAAC-OS*の密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

40

【0190】

例えば、*In:Ga:Zn=1:1:1* [原子数比]を満たす酸化物半導体において、菱面体晶構造を有する単結晶*InGaZnO₄*の密度は $6.357 g/cm^3$ である。よって、例えば、*In:Ga:Zn=1:1:1* [原子数比]を満たす酸化物半導体において、*a-like OS*の密度は $5.0 g/cm^3$ 以上 $5.9 g/cm^3$ 未満である。また、例えば、*In:Ga:Zn=1:1:1* [原子数比]を満たす酸化物半導体において、

50

nc-O Sの密度およびCAAC-O Sの密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満である。

【0191】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0192】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、a-like O S、nc-O S、CAAC-O Sのうち、二種以上を有する積層膜であってもよい。

10

【0193】

<トランジスタの作製方法2>

以下では、図13乃至図19を用いて、本発明の一態様に係る半導体装置の有するトランジスタの作製方法について説明する。なお、図1乃至図10を用いて説明したトランジスタの作製方法を参酌することができる。

【0194】

まず、基板400を準備する。

【0195】

20

次に、絶縁体401となる絶縁体を成膜する。次に、絶縁体401となる絶縁体の一部をエッチングすることで溝部を有する絶縁体401を形成する。

【0196】

次に、導電体413となる導電体を成膜し、絶縁体401の溝部を埋める。次に、導電体413となる導電体をCMP法などによって処理し、絶縁体401の上面より上の部分を除去することで導電体413を形成する。なお、CMP法に代えて、ドライエッチング法やMP法などを用いてもよい。また、これらの方法を二種以上組み合わせて行ってもよい。

【0197】

なお、絶縁体401となる絶縁体を成膜しなくてもよい場合がある。その場合、エッチングマスクを用いて導電体413となる導電体の一部をエッチングすることで導電体413を形成すればよい。また、導電体413となる導電体を形成しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

30

【0198】

次に、絶縁体402a、絶縁体402bおよび絶縁体402cを順に成膜する。

【0199】

なお、絶縁体402a、絶縁体402bおよび絶縁体402cの一以上を成膜しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

【0200】

次に、第1の加熱処理を行うと好ましい。第1の加熱処理は、 250°C 以上 650°C 以下、好ましくは 450°C 以上 600°C 以下、さらに好ましくは 520°C 以上 570°C 以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、不活性ガス雰囲気加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気加熱処理を行ってもよい。第1の加熱処理によって、水素や水などの不純物を除去することなどができる。

40

【0201】

次に、絶縁体406aとなる絶縁体、半導体406bとなる半導体および導電体416となる導電体を順に成膜する。ここで、絶縁体406aとなる絶縁体または／および導電体

50

416となる導電体を成膜しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

【0202】

次に、導電体416となる導電体の一部をエッチングすることで、島状の導電体416を形成する。次に、導電体416を用いて、半導体406bとなる半導体、および絶縁体406aとなる絶縁体の一部をエッチングすることで半導体406bおよび絶縁体406aを形成する（図13参照。）。なお、図13（A）は上面図を示し、図13（B）は図13（A）における一点鎖線B1-B2に対応する断面図を示し、図13（C）は図13（A）における一点鎖線B3-B4に対応する断面図を示す。

【0203】

半導体406bとなる半導体、および絶縁体406aとなる絶縁体のエッチングに導電体416を用いることで、レジストを用いた場合と比べてできあがる半導体406bおよび絶縁体406aの形状を安定させることができる。即ち、微細な形状を有する半導体406bおよび絶縁体406aを得ることができる。ただし、導電体416となる導電体を形成しない場合、半導体406bまたは／および絶縁体406aのエッチングにレジストを用いてもよい。

【0204】

次に、第2の加熱処理を行ってもよい。第2の加熱処理の方法は、第1の加熱処理の方法の説明を参照する。第2の加熱処理を行うことで、エッチング時に混入した水素などを有する不純物を除去することができる場合がある。また、半導体406bまたは／および絶縁体406aの結晶性を高くすることができる場合がある。

【0205】

次に、絶縁体410を成膜する（図14参照。）。なお、図14（A）は上面図を示し、図14（B）は図14（A）における一点鎖線B1-B2に対応する断面図を示し、図14（C）は図14（A）における一点鎖線B3-B4に対応する断面図を示す。

【0206】

次に、第3の加熱処理を行ってもよい。第3の加熱処理の方法は、第1の加熱処理の方法の説明を参照する。第3の加熱処理を行うことで、水素などを有する不純物を除去することができる場合がある。また、半導体406bまたは／および絶縁体406aの結晶性を高くすることができる場合がある。

【0207】

次に、絶縁体410の一部をエッチングすることで、溝部を有する絶縁体411を形成する（図15参照。）。なお、図15（A）は上面図を示し、図15（B）は図15（A）における一点鎖線B1-B2に対応する断面図を示し、図15（C）は図15（A）における一点鎖線B3-B4に対応する断面図を示す。

【0208】

なお、絶縁体410の一部をエッチングすることで、導電体416の一部、半導体406bの一部、絶縁体406aの一部、および絶縁体402cの一部が露出する。このとき、絶縁体402cなどの一部がエッチングされて薄くなる場合もある。

【0209】

次に、絶縁体411の上面および側面に層428を形成する（図16参照。）。なお、図16（A）は上面図を示し、図16（B）は図16（A）における一点鎖線B1-B2に対応する断面図を示し、図16（C）は図16（A）における一点鎖線B3-B4に対応する断面図を示す。

【0210】

層428は、絶縁体411の表面（上面、側面など）に選択的に形成される層であり、導電体416の表面（上面など）には形成されないことが好ましい。例えば、絶縁体411がシリコンを有する場合、シリコンおよびハロゲンを有する原料ガスを用いたCVD法によって層428を形成することができる。その場合、導電体416の少なくとも露出した表面にはシリコンを有さない（有していても選択的な層の成長が起こらない程度に低濃度

10

20

30

40

50

であればよい。)ことが好ましい。

【0211】

次に、絶縁体411および層428を用いて、導電体416の一部をエッチングすることで導電体416aおよび導電体416bを形成する(図17参照。)。なお、図17(A)は上面図を示し、図17(B)は図17(A)における一点鎖線B1-B2に対応する断面図を示し、図17(C)は図17(A)における一点鎖線B3-B4に対応する断面図を示す。

【0212】

導電体416の露出した表面の幅は、層428の厚さの分だけ小さくなる。したがって、導電体416aと導電体416bとの間隔(チャンネル長に相当する。)を、露光機の解像度の限界値よりも小さくすることができる。例えば、絶縁体411の溝部の幅が20nmである場合、層428の厚さを5nm(両側面で10nm)とすることで導電体416aと導電体416bとの間隔を10nmまで小さくすることができる。

10

【0213】

層428は、上述したようにエッチングマスクとしての機能を有するため、導電体416の表面には形成されないことが好ましい。ただし、層428の厚さを導電体416の厚さよりも薄くすることで、層428が導電体416の表面に形成されてもよい場合がある。このとき、異方性エッチング法によって導電体416の表面の層428をエッチングし、かつ絶縁体411の溝部の側面の層428を残存させることができる。したがって、絶縁体411の溝部の側面に残存した層428を用いることで、導電体416aと導電体416bとの間隔を絶縁体411の溝部の幅よりも小さくすることができる。

20

【0214】

この後、残存した層428を除去してもよい。その場合、以下に示す作製方法の係る部分を省略することができる。

【0215】

次に、絶縁体436c、絶縁体442および導電体434を順に成膜する(図18参照。)。なお、図18(A)は上面図を示し、図18(B)は図18(A)における一点鎖線B1-B2に対応する断面図を示し、図18(C)は図18(A)における一点鎖線B3-B4に対応する断面図を示す。

【0216】

ここで、絶縁体436cを成膜しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

30

【0217】

絶縁体436cまたは／および絶縁体442は、絶縁体411および層428の溝部を埋めきってしまわない程度の厚さとすることが好ましい。例えば、絶縁体411および層428の溝部の幅が12nmである場合、絶縁体436cの厚さと、絶縁体442の厚さと、の合計が6nm(絶縁体411の溝部の両側面における厚さが12nm)未満とすればよい。なお、絶縁体436cまたは／および絶縁体442の厚さが、半導体406bと接する領域と、絶縁体411および層428の溝部の側面と接する領域と、で異なる場合もある。その場合、絶縁体411および層428の溝部の側面と接する領域における絶縁体436cおよび絶縁体442の厚さの合計が、絶縁体411および層428の溝部の幅よりも薄ければよい。一方、導電体434は、絶縁体411および層428の溝部を埋めきってしまう程度の厚さとすることが好ましい。

40

【0218】

次に、導電体434、絶縁体442、絶縁体436cおよび層428をCMP法などによって処理し、絶縁体411の上面より上の部分を除去することで導電体404、絶縁体412、絶縁体406cおよび層429を形成する。このときに、絶縁体411の厚さが薄くなる場合がある。なお、CMP法に代えて、ドライエッチング法やMP法などを用いてもよい。また、これらの方法を二種以上組み合わせてもよい。また、エッチングマスクを用いて、導電体434、絶縁体442、絶縁体436cおよび層428の一部をエ

50

ッチングしてもよい。

【0219】

次に、絶縁体408を成膜することでトランジスタを作製することができる（図19参照）。なお、図19（A）は上面図を示し、図19（B）は図19（A）における一点鎖線B1-B2に対応する断面図を示し、図19（C）は図19（A）における一点鎖線B3-B4に対応する断面図を示す。

【0220】

絶縁体408は、酸素を有する雰囲気下において成膜することが好ましい。特に、酸素ガスを用いたスパッタリング法によって成膜することが好ましい。こうすることで、絶縁体408を成膜する際に、例えば、絶縁体411などに過剰酸素を添加することができる。

10

【0221】

ここで、絶縁体408を成膜しなくてもよい場合がある。

【0222】

次に、第4の加熱処理を行ってもよい。第4の加熱処理の方法は、第1の加熱処理の方法の説明を参照する。第4の加熱処理を行うことで、水素などを有する不純物を除去することができる場合がある。また、半導体406bまたは／および絶縁体406aの結晶性を高くすることができる場合がある。また、絶縁体408の成膜時に絶縁体411などに過剰酸素が添加されている場合、第4の加熱処理によって過剰酸素を拡散させることができる。

【0223】

20

図19に示すトランジスタにおいて、導電体404は第1のゲート電極（フロントゲート電極ともいう。）としての機能を有し、絶縁体412は第1のゲート絶縁体（フロントゲート絶縁体）としての機能を有し、半導体406bはチャネル形成領域としての機能を有し、導電体416aはソース電極としての機能を有し、導電体416bはドレイン電極としての機能を有し、導電体413は第2のゲート電極（バックゲート電極ともいう。）としての機能を有し、絶縁体402a、絶縁体402bおよび絶縁体402cは第2のゲート絶縁体（バックゲート絶縁体ともいう。）としての機能を有し、絶縁体408は、トランジスタへの不純物の混入を抑制するためのバリア層としての機能、または／および過剰酸素の外方拡散を抑制する機能を有する。

【0224】

30

また、絶縁体406aおよび絶縁体406cは、半導体406bの保護層としての機能を有する。例えば、図19（C）に示す断面図において半導体406bを取り囲んで形成されていることで、寄生チャネルの形成やキャリアトラップの形成などを抑制することができる。

【0225】

トランジスタは、図19（C）に示すように、第1のゲート電極としての機能を有する導電体404の電界によって、半導体406bなどが電気的に取り囲まれた構造を有する。ゲート電極の電界によって、半導体を電気的に取り囲むトランジスタの構造を、s-c h a n n e l 構造とよぶ。そのため、半導体406bなどの全体（バルク）にチャネルが形成される場合がある。s-c h a n n e l 構造では、トランジスタのソースドレイン間に大電流を流すことができ、導通時の電流（オン電流）を大きくすることができる。また、非導通時の電流（オフ電流）を小さくすることができる。

40

【0226】

絶縁体402a、絶縁体402bおよび絶縁体402cは、その一部に電子などの電荷を捕獲する層または領域（電荷捕獲層または電荷捕獲領域ともいう。）を有することが好ましい。例えば、絶縁体402b全体が電荷捕獲層であってもよいし、絶縁体402aと絶縁体402bとの界面近傍の領域、または絶縁体402bと絶縁体402cとの界面近傍の領域が電荷捕獲領域であってもよい。例えば、導電体413に任意の電位を印加することで、電荷捕獲層または電荷捕獲領域に電子を注入することができる。このとき、導電体413に印加する電位の大きさや時間によって注入される電子の量を調整することができ

50

る。注入する電子の量は、要求されるスペックに応じて決定すればよい。例えば、注入する電子の量を調整することで、トランジスタのしきい値電圧を0.3 V、0.5 V、0.8 V、1 V、1.5 Vまたは2 V大きくすることもできる。その結果、例えば、ノーマリーオフの電気特性を有するトランジスタを実現することができる。

【0227】

なお、電荷捕獲層または電荷捕獲領域が、半導体406bの下部に配置される場合に限定されない。例えば、絶縁体412を積層構造とし、その一部に電荷捕獲層または電荷捕獲領域を形成してもよい。その場合、導電体404に任意の電位を印加することで電子を注入することができる。

【0228】

図19に示すトランジスタは、第1のゲート電極と、ソース電極およびドレイン電極と、の間の寄生容量が小さい。したがって、高い周波数特性を有するトランジスタを実現することができる。また、第1のゲート電極の線幅を、露光機の解像度の限界値よりも小さくすることができるため、微細なトランジスタを実現することができる。

【0229】

<トランジスタの作製方法3>

以下では、図20乃至図28を用いて、本発明の一態様に係る半導体装置の有するトランジスタの作製方法について説明する。なお、図1乃至図10、または図13乃至図19を用いて説明したトランジスタの作製方法を参酌することができる。

【0230】

まず、基板400を準備する。

【0231】

次に、絶縁体401となる絶縁体を成膜する。次に、絶縁体401となる絶縁体の一部をエッチングすることで溝部を有する絶縁体401を形成する。

【0232】

次に、導電体413となる導電体を成膜し、絶縁体401の溝部を埋める。次に、導電体413となる導電体をCMP法などによって処理し、絶縁体401の上面より上の部分を除去することで導電体413を形成する。なお、CMP法に代えて、ドライエッチング法やMP法などを用いてもよい。また、これらの方法を二種以上組み合わせて行ってもよい。

【0233】

なお、絶縁体401となる絶縁体を成膜しなくてもよい場合がある。その場合、エッチングマスクを用いて導電体413となる導電体の一部をエッチングすることで導電体413を形成すればよい。また、導電体413となる導電体を形成しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

【0234】

次に、絶縁体402a、絶縁体402bおよび絶縁体402cを順に成膜する。

【0235】

なお、絶縁体402a、絶縁体402bおよび絶縁体402cの一以上を成膜しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

【0236】

次に、第1の加熱処理を行うと好ましい。第1の加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、さらに好ましくは520℃以上570℃以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。第1の加熱処理によって、水素や水などの不純物を除去することなどができる。

【0237】

次に、絶縁体406aとなる絶縁体、半導体406bとなる半導体および導電体416となる導電体を順に成膜する。ここで、絶縁体406aとなる絶縁体または／および導電体416となる導電体を成膜しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

【0238】

次に、導電体416となる導電体の一部をエッチングすることで、島状の導電体416を形成する。次に、導電体416を用いて、半導体406bとなる半導体、および絶縁体406aとなる絶縁体の一部をエッチングすることで半導体406bおよび絶縁体406aを形成する。

【0239】

半導体406bとなる半導体、および絶縁体406aとなる絶縁体のエッチングに導電体416を用いることで、レジストを用いた場合と比べてできあがる半導体406bおよび絶縁体406aの形状を安定させることができる。即ち、微細な形状を有する半導体406bおよび絶縁体406aを得ることができる。ただし、導電体416となる導電体を形成しない場合、半導体406bまたは／および絶縁体406aのエッチングにレジストを用いてもよい。

【0240】

次に、第2の加熱処理を行ってもよい。第2の加熱処理の方法は、第1の加熱処理の方法の説明を参照する。第2の加熱処理を行うことで、エッチング時に混入した水素などを有する不純物を除去することができる場合がある。また、半導体406bまたは／および絶縁体406aの結晶性を高くすることができる場合がある。

【0241】

次に、絶縁体410を成膜する。

【0242】

次に、層420を成膜する（図20参照。）なお、図20（A）は上面図を示し、図20（B）は図20（A）における一点鎖線C1-C2に対応する断面図を示し、図20（C）は図20（A）における一点鎖線C3-C4に対応する断面図を示す。

【0243】

次に、第3の加熱処理を行ってもよい。第3の加熱処理の方法は、第1の加熱処理の方法の説明を参照する。第3の加熱処理を行うことで、水素などを有する不純物を除去することができる場合がある。また、半導体406bまたは／および絶縁体406aの結晶性を高くすることができる場合がある。

【0244】

次に、層420上の一部に層430を形成する（図21参照。）。なお、図21（A）は上面図を示し、図21（B）は図21（A）における一点鎖線C1-C2に対応する断面図を示し、図21（C）は図21（A）における一点鎖線C3-C4に対応する断面図を示す。

【0245】

次に、シランガスを有する雰囲気に曝す（図22参照。）。なお、図22（A）は上面図を示し、図22（B）は図22（A）における一点鎖線C1-C2に対応する断面図を示し、図22（C）は図22（A）における一点鎖線C3-C4に対応する断面図を示す。

【0246】

次に、層430を除去する。シランガスに曝されることで層420には領域421が形成される（図23参照。）。なお、図23（A）は上面図を示し、図23（B）は図23（A）における一点鎖線C1-C2に対応する断面図を示し、図23（C）は図23（A）における一点鎖線C3-C4に対応する断面図を示す。領域421は、シリコン（シリコンを有する原子団を含む。）が付着または結合した領域となる。シランガスとしては、 SiH_4 、 Si_2H_6 、 Si_3H_8 などを用いることができる。また、表面に曝すだけでシリコンを付着させるためには、処理温度よりも低い温度で分解の起こるガスを用いることが好ましい。その観点から、シランガスに代えて SiCl_4 、 Si_2Cl_6 、 SiCl_2

10

20

30

40

50

H_2 、 SiCl_3H 、 SiEt_2H_2 、 $\text{Si}(\text{OMe})_4$ 、 $\text{Si}(\text{OEt})_4$ 、 $\text{Si}(\text{OEt})_3((\text{CH}_2)_3\text{NH}_2)$ 、 $\text{Si}(\text{O}^t\text{Pe})_3\text{OH}$ 、 $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ 、 $\text{SiH}_2(\text{N}(\text{CH}_3)_2)_2$ 、 $\text{SiH}_2(\text{NH}^t\text{Bu})_2$ 、 $\text{Si}(\text{NCO})_4$ 、 $\text{MeOSi}(\text{NCO})_3$ などを用いてもよい。なお、Meはメチル基、Etはエチル基、 ^tBu はtert-ブチル基、 ^tPe はtert-ペンチル基を示す。ただし、扱いやすさの点から SiH_4 を用いることが好ましい。

【0247】

層430は、層420とエッチングの選択性を有する層であることが好ましい。例えば、感光性の無機物または有機物を用いればよい。

【0248】

次に、領域421上に層432を形成する(図24参照。)。なお、図24(A)は上面図を示し、図24(B)は図24(A)における一点鎖線C1-C2に対応する断面図を示し、図24(C)は図24(A)における一点鎖線C3-C4に対応する断面図を示す。

【0249】

層432は、領域421の表面(上面など)に選択的に形成される層であり、領域421以外の領域には形成されないことが好ましい。例えば、シリコンおよびハロゲンを含む原料ガスを用いたCVD法によって層432を形成することができる。その場合、層420の領域421以外の領域の表面にはシリコンを有さない(有していても選択的な層の成長が起こらない程度に低濃度であればよい。)ことが好ましい。

【0250】

次に、層432を用いて、層420の一部をエッチングすることで溝部を有する層423を形成する(図25参照。)。なお、図25(A)は上面図を示し、図25(B)は図25(A)における一点鎖線C1-C2に対応する断面図を示し、図25(C)は図25(A)における一点鎖線C3-C4に対応する断面図を示す。

【0251】

次に、層423、層432を用いて、絶縁体410の一部をエッチングすることで溝部を有する絶縁体411を形成する。このとき、層432もエッチングすることができる(図26参照。)。なお、図26(A)は上面図を示し、図26(B)は図26(A)における一点鎖線C1-C2に対応する断面図を示し、図26(C)は図26(A)における一点鎖線C3-C4に対応する断面図を示す。

【0252】

なお、絶縁体410の一部をエッチングすることで、導電体416の一部、半導体406bの一部、絶縁体406aの一部、および絶縁体402cの一部が露出する。このとき、絶縁体402cなどの一部がエッチングされて薄くなる場合もある。

【0253】

次に、層423および絶縁体411を用いて、導電体416の一部をエッチングすることで導電体416aおよび導電体416bを形成する(図27参照。)。なお、図27(A)は上面図を示し、図27(B)は図27(A)における一点鎖線C1-C2に対応する断面図を示し、図27(C)は図27(A)における一点鎖線C3-C4に対応する断面図を示す。

【0254】

次に、絶縁体436c、絶縁体442および導電体434を順に成膜する。

【0255】

ここで、絶縁体436cを成膜しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

【0256】

絶縁体436cまたは／および絶縁体442は、絶縁体411の溝部を埋めきってしまわない程度の厚さとすることが好ましい。例えば、絶縁体411の溝部の幅が12nmである場合、絶縁体436cの厚さと、絶縁体442の厚さと、の合計が6nm(絶縁体41

10

20

30

40

50

1の溝部の両側面における厚さが12nm未満とすればよい。なお、絶縁体436cまたは／および絶縁体442の厚さが、半導体406bと接する領域と、絶縁体411の溝部の側面と接する領域と、で異なる場合もある。その場合、絶縁体411の溝部の側面と接する領域における絶縁体436cおよび絶縁体442の厚さの合計が、絶縁体411の溝部の幅よりも薄ければよい。一方、導電体434は、絶縁体411の溝部を埋めきってしまう程度の厚さとするのが好ましい。

【0257】

次に、導電体434、絶縁体442および絶縁体436cをCMP法などによって処理し、絶縁体411の上面より上の部分を除去することで導電体404、絶縁体412および絶縁体406cを形成する。このときに、絶縁体411の厚さが薄くなる場合がある。なお、CMP法に代えて、ドライエッチング法やMP法などを用いてもよい。また、これらの方法を二種以上組み合わせて行ってもよい。また、エッチングマスクを用いて、導電体434、絶縁体442および絶縁体436cの一部をエッチングしてもよい。

10

【0258】

次に、絶縁体408を成膜することでトランジスタを作製することができる(図28参照)。なお、図28(A)は上面図を示し、図28(B)は図28(A)における一点鎖線C1-C2に対応する断面図を示し、図28(C)は図28(A)における一点鎖線C3-C4に対応する断面図を示す。

【0259】

絶縁体408は、酸素を有する雰囲気下において成膜することが好ましい。特に、酸素ガスを用いたスパッタリング法によって成膜することが好ましい。こうすることで、絶縁体408を成膜する際に、例えば、絶縁体411などに過剰酸素を添加することができる。

20

【0260】

ここで、絶縁体408を成膜しなくてもよい場合がある。

【0261】

次に、第4の加熱処理を行ってもよい。第4の加熱処理の方法は、第1の加熱処理の方法の説明を参照する。第4の加熱処理を行うことで、水素などを有する不純物を除去することができる場合がある。また、半導体406bまたは／および絶縁体406aの結晶性を高くすることができる場合がある。また、絶縁体408の成膜時に絶縁体411などに過剰酸素が添加されている場合、第4の加熱処理によって過剰酸素を拡散させることができる。

30

【0262】

図28に示すトランジスタにおいて、導電体404は第1のゲート電極(フロントゲート電極ともいう。)としての機能を有し、絶縁体412は第1のゲート絶縁体(フロントゲート絶縁体)としての機能を有し、半導体406bはチャネル形成領域としての機能を有し、導電体416aはソース電極としての機能を有し、導電体416bはドレイン電極としての機能を有し、導電体413は第2のゲート電極(バックゲート電極ともいう。)としての機能を有し、絶縁体402a、絶縁体402bおよび絶縁体402cは第2のゲート絶縁体(バックゲート絶縁体ともいう。)としての機能を有し、絶縁体408は、トランジスタへの不純物の混入を抑制するためのバリア層としての機能、または／および過剰酸素の外方拡散を抑制する機能を有する。

40

【0263】

また、絶縁体406aおよび絶縁体406cは、半導体406bの保護層としての機能を有する。例えば、図28(C)に示す断面図において半導体406bを取り囲んで形成されていることで、寄生チャネルの形成やキャリアトラップの形成などを抑制することができる。

【0264】

トランジスタは、図28(C)に示すように、第1のゲート電極としての機能を有する導電体404の電界によって、半導体406bなどが電気的に取り囲まれた構造を有する。ゲート電極の電界によって、半導体を電気的に取り囲むトランジスタの構造を、s-c-h

50

annel 構造とよぶ。そのため、半導体406bなどの全体（バルク）にチャンネルが形成される場合がある。s-channel 構造では、トランジスタのソースドレイン間に大電流を流すことができ、導通時の電流（オン電流）を大きくすることができる。また、非導通時の電流（オフ電流）を小さくすることができる。

【0265】

絶縁体402a、絶縁体402bおよび絶縁体402cは、その一部に電子などの電荷を捕獲する層または領域（電荷捕獲層または電荷捕獲領域ともいう。）を有することが好ましい。例えば、絶縁体402b全体が電荷捕獲層であってもよいし、絶縁体402aと絶縁体402bとの界面近傍の領域、または絶縁体402bと絶縁体402cとの界面近傍の領域が電荷捕獲領域であってもよい。例えば、導電体413に任意の電位を印加することで、電荷捕獲層または電荷捕獲領域に電子を注入することができる。このとき、導電体413に印加する電位の大きさや時間によって注入される電子の量を調整することができる。注入する電子の量は、要求されるスペックに応じて決定すればよい。例えば、注入する電子の量を調整することで、トランジスタのしきい値電圧を0.3V、0.5V、0.8V、1V、1.5Vまたは2V大きくすることもできる。その結果、例えば、ノーマリーオフの電気特性を有するトランジスタを実現することができる。

10

【0266】

なお、電荷捕獲層または電荷捕獲領域が、半導体406bの下部に配置される場合に限定されない。例えば、絶縁体412を積層構造とし、その一部に電荷捕獲層または電荷捕獲領域を形成してもよい。その場合、導電体404に任意の電位を印加することで電子を注

20

【0267】

図28に示すトランジスタは、第1のゲート電極と、ソース電極およびドレイン電極と、の間の寄生容量が小さい。したがって、高い周波数特性を有するトランジスタを実現することができる。また、第1のゲート電極の線幅を、露光機の解像度の限界値よりも小さくすることができるため、微細なトランジスタを実現することができる。

【0268】

<トランジスタの作製方法4>

以下では、図29乃至図36を用いて、本発明の一態様に係る半導体装置の有するトランジスタの作製方法について説明する。なお、図1乃至図10、図13乃至図19、または図20乃至図28を用いて説明したトランジスタの作製方法を参酌することができる。

30

【0269】

まず、基板400を準備する。

【0270】

次に、絶縁体401となる絶縁体を成膜する。次に、絶縁体401となる絶縁体の一部をエッチングすることで溝部を有する絶縁体401を形成する。

【0271】

次に、導電体413となる導電体を成膜し、絶縁体401の溝部を埋める。次に、導電体413となる導電体をCMP法などによって処理し、絶縁体401の上面より上の部分を除去することで導電体413を形成する。なお、CMP法に代えて、ドライエッチング法やMP法などを用いてもよい。また、これらの方法を二種以上組み合わせてもよい。

40

【0272】

なお、絶縁体401となる絶縁体を成膜しなくてもよい場合がある。その場合、エッチングマスクを用いて導電体413となる導電体の一部をエッチングすることで導電体413を形成すればよい。また、導電体413となる導電体を形成しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

【0273】

次に、絶縁体402a、絶縁体402bおよび絶縁体402cを順に成膜する。

【0274】

50

なお、絶縁体402a、絶縁体402bおよび絶縁体402cの一以上を成膜しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

【0275】

次に、第1の加熱処理を行うと好ましい。第1の加熱処理は、250℃以上650℃以下、好ましくは450℃以上600℃以下、さらに好ましくは520℃以上570℃以下で行えばよい。第1の加熱処理は、不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。第1の加熱処理によって、水素や水などの不純物を除去することなどができる。

10

【0276】

次に、絶縁体406aとなる絶縁体、および半導体406bとなる半導体を順に成膜する。ここで、絶縁体406aとなる絶縁体を成膜しなくてもよい場合がある。その場合、以下に示す作製方法の係る部分を省略することができる。

【0277】

次に、半導体406bとなる半導体、および絶縁体406aとなる絶縁体の一部をエッチングすることで半導体406bおよび絶縁体406aを形成する。

【0278】

なお、半導体406bとなる半導体、および絶縁体406aとなる絶縁体の一部のエッチングに、図2などで説明した導電体416を用いてもよい。その場合、半導体406bおよび絶縁体406aの形成後に導電体416を除去すればよい。半導体406bとなる半導体、および絶縁体406aとなる絶縁体のエッチングに導電体416を用いることで、レジストを用いた場合と比べてできあがる半導体406bおよび絶縁体406aの形状を安定させることができる。即ち、微細な形状を有する半導体406bおよび絶縁体406aを得ることができる。

20

【0279】

次に、絶縁体436cを成膜する(図29参照。)。なお、図29(A)は上面図を示し、図29(B)は図29(A)における一点鎖線D1-D2に対応する断面図を示し、図29(C)は図29(A)における一点鎖線D3-D4に対応する断面図を示す。

30

【0280】

次に、第2の加熱処理を行ってもよい。第2の加熱処理の方法は、第1の加熱処理の方法の説明を参照する。第2の加熱処理を行うことで、エッチング時に混入した水素などを有する不純物を除去することができる場合がある。また、半導体406b、絶縁体406aまたは／および絶縁体406cの結晶性を高くすることができる場合がある。

【0281】

次に、絶縁体411を形成する(図30参照。)。なお、図30(A)は上面図を示し、図30(B)は図30(A)における一点鎖線D1-D2に対応する断面図を示し、図30(C)は図30(A)における一点鎖線D3-D4に対応する断面図を示す。

【0282】

絶縁体411の形成方法については、図3乃至図7、または図20乃至図26を用いた説明を参酌すればよい。ただし、絶縁体411の形成方法は、これらの限定されるものではない。例えば、図14乃至図16を用いた説明を参酌し、絶縁体411の表面に層428が形成されていてもよい。

40

【0283】

次に、第3の加熱処理を行ってもよい。第3の加熱処理の方法は、第1の加熱処理の方法の説明を参照する。第3の加熱処理を行うことで、水素などを有する不純物を除去することができる場合がある。また、半導体406bまたは／および絶縁体406aの結晶性を高くすることができる場合がある。また、チャネル形成領域となる半導体406b、およびその近傍におけるキャリア密度を低減することができる場合がある。

50

【0284】

次に、絶縁体412となる絶縁体、および導電体404となる導電体を順に成膜する。

【0285】

絶縁体412となる絶縁体は、絶縁体411の溝部を埋めきってしまわない程度の厚さとしてすることが好ましい。例えば、絶縁体411の溝部の幅が12nmである場合、絶縁体412となる絶縁体の厚さが6nm（絶縁体411の溝部の両側面における厚さが12nm）未満とすればよい。なお、絶縁体412となる絶縁体の厚さが、絶縁体406cと接する領域と、絶縁体411の溝部の側面と接する領域と、で異なる場合もある。その場合、絶縁体411の溝部の側面と接する領域における絶縁体412となる絶縁体の厚さが、絶縁体411の溝部の幅よりも薄ければよい。一方、導電体404となる導電体は、絶縁体411の溝部を埋めきってしまう程度の厚さとしてすることが好ましい。

10

【0286】

次に、導電体404となる導電体および絶縁体412となる絶縁体をCMP法などによって処理し、絶縁体411の上面より上の部分を除去することで導電体404および絶縁体412を形成する（図31参照。）。このときに、絶縁体411の厚さが薄くなる場合がある。なお、図31（A）は上面図を示し、図31（B）は図31（A）における一点鎖線D1-D2に対応する断面図を示し、図31（C）は図31（A）における一点鎖線D3-D4に対応する断面図を示す。なお、CMP法に代えて、ドライエッチング法やMP法などを用いてもよい。また、これらの方法を二種以上組み合わせて行ってもよい。また、エッチングマスクを用いて、導電体404となる導電体、および絶縁体412となる絶縁体の一部をエッチングしてもよい。

20

【0287】

次に、絶縁体436cが露出するまで絶縁体411をエッチングする（図32参照。）。なお、図32（A）は上面図を示し、図32（B）は図32（A）における一点鎖線D1-D2に対応する断面図を示し、図32（C）は図32（A）における一点鎖線D3-D4に対応する断面図を示す。

【0288】

絶縁体411のエッチングには、エッチングマスクを形成しなくてもよい。例えば、導電体404がエッチングされない、またはエッチングされにくい条件で絶縁体411をエッチングすることで、導電体404を残存させることができる。

30

【0289】

図32では、絶縁体412がエッチングされない場合を示しているが、絶縁体411をエッチングする際に絶縁体412の一部がエッチングされていてもよい。例えば、絶縁体412の導電体404の側面に形成された部分がエッチングされる場合がある。絶縁体412の導電体404の側面に形成された部分は、絶縁体411のエッチング時に完全になくなる場合と、一部なくなると、薄くなる場合と、がある。例えば、基板400の上面（または背面）に平行な面と、導電体404の側面に平行な面と、の為す角度が90°以下である領域を有する場合（このような形状を垂直形状または順テーパ形状と呼ぶ場合がある。）、絶縁体412の導電体404の側面に形成された部分は、絶縁体411のエッチング時に完全になくなる場合がある（図33参照。）。なお、図33（A）は上面図を示し、図33（B）は図33（A）における一点鎖線D1-D2に対応する断面図を示し、図33（C）は図33（A）における一点鎖線D3-D4に対応する断面図を示す。一方、基板400の上面（または背面）に平行な面と、導電体404の側面に平行な面と、の為す角度が90°より大きい領域を有する場合（このような形状を逆テーパ形状またはオーバーハング形状と呼ぶ場合がある。）、絶縁体412の導電体404の側面に形成された部分は、絶縁体411のエッチング時に一部なくなると、薄くなる場合と、がある（図34参照。）。なお、図34（A）は上面図を示し、図34（B）は図34（A）における一点鎖線D1-D2に対応する断面図を示し、図34（C）は図34（A）における一点鎖線D3-D4に対応する断面図を示す。なお、絶縁体412をエッチングさせない場合、絶縁体411と絶縁体412とがエッチングの選択性を有する条件でエッ

40

50

チングすればよい。

【0290】

次に、絶縁体436cの一部をエッチングすることで絶縁体406cを形成する（図35参照。）。なお、図35（A）は上面図を示し、図35（B）は図35（A）における一点鎖線D1-D2に対応する断面図を示し、図35（C）は図35（A）における一点鎖線D3-D4に対応する断面図を示す。ただし、絶縁体436cのエッチングは、絶縁体411のエッチングと同じ工程、または連続した工程で行ってもよい。

【0291】

絶縁体436cのエッチングには、エッチングマスクを形成しなくてもよい。例えば、導電体404または／および絶縁体412がエッチングされない、またはエッチングされにくい条件で絶縁体436cをエッチングすることで、導電体404または／および絶縁体412の下にある領域を残存させることができる。ただし、絶縁体436cのエッチングにエッチングマスクを用いてもよい。その場合、例えば、絶縁体406aおよび半導体406bを覆うように絶縁体406cを形成することができる。

10

【0292】

次に、絶縁体406aおよび半導体406bにドーパントの添加を行うことで領域417aおよび領域417bを形成する（図36参照。）。なお、図36（A）は上面図を示し、図36（B）は図36（A）における一点鎖線D1-D2に対応する断面図を示し、図36（C）は図36（A）における一点鎖線D3-D4に対応する断面図を示す。領域417aおよび領域417bは、導電体404および絶縁体412をマスクとして自己整合的に形成することができる。領域417aおよび領域417bは、他の領域と比べて抵抗の低い領域を有する。なお、絶縁体411の溝部を利用することで、導電体404が高いアスペクト比を有する場合でも倒壊などの不良発生を抑制することができる。即ち、導電体404を厚く形成することができる。例えば、導電体404を厚くすることで、ドーパントの突き抜けなどを防ぐことができる。

20

【0293】

ここで、絶縁体412が導電体404の側面にも形成されている場合、絶縁体412の厚さの分だけ領域417aおよび領域417bと、導電体404と、が重ならない領域（オフセット領域ともいう。）が絶縁体406aおよび半導体406bに形成される。ただし、領域417aおよび領域417bは、横方向に広がって形成される場合があるため、オフセット領域が存在しない場合もある。また、チャンネル長が短いトランジスタの場合、領域417aおよび領域417bが横方向に広がって実効チャンネル長が0になってしまう場合もあるため、絶縁体412の厚さなどによって実効チャンネル長を確保することが好ましい。

30

【0294】

ドーパントの添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法などを用いることができる。質量分離を行う場合、添加するイオン種およびその濃度を厳密に制御することができる。一方、質量分離を行わない場合、短時間で高濃度のイオンを添加することができる。また、原子または分子のクラスターを生成してイオン化するイオン注入法またはイオンドーピング法を用いてもよい。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素と言い換えてもよい。

40

【0295】

ドーパントの添加工程は、加速電圧、ドーズ量などの注入条件を適宜設定して制御すればよい。ドーパントのドーズ量は、例えば、 $1 \times 10^{12} \text{ ions/cm}^2$ 以上 $1 \times 10^{16} \text{ ions/cm}^2$ 以下、好ましくは $1 \times 10^{13} \text{ ions/cm}^2$ 以上 $1 \times 10^{15} \text{ ions/cm}^2$ 以下とすればよい。ドーパント添加時の加速電圧は2kV以上50kV以下、好ましくは5kV以上30kV以下とすればよい。

【0296】

また、加熱しながらドーパント添加してもよい。例えば、200℃以上700℃以下、好

50

ましくは300℃以上500℃以下、より好ましくは350℃以上450℃以下に加熱しながらドーパントを添加してもよい。

【0297】

ドーパントとしては、例えば、ヘリウム、ネオン、アルゴン、クリプトン、キセノン、窒素、フッ素、リン、塩素、ヒ素、ホウ素、マグネシウム、アルミニウム、シリコン、チタン、バナジウム、クロム、ニッケル、亜鉛、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ニオブ、モリブデン、インジウム、スズ、ランタン、セリウム、ネオジム、ハフニウム、タンタルまたはタングステンなどが挙げられる。これらの元素の中でも、ヘリウム、アルゴン、クリプトン、キセノン、窒素、リンまたはホウ素は、イオン注入法またはイオンドーピング法などを用いて抵抗の制御性を高く添加することができるため、好適である。なお、領域417aおよび領域417bの横方向の広がりを低減するために、半導体406bにおける拡散係数の小さいドーパントを用いることが好ましい。

10

【0298】

また、ドーパントの添加処理後、加熱処理を行ってもよい。加熱処理は、例えば、250℃以上650℃以下、好ましくは350℃以上450℃以下とし、窒素雰囲気下、減圧下、大気（超乾燥エア）下で加熱処理を行ってもよい。

【0299】

導電体404として、酸化物導電体を用いる場合、例えば、インジウムおよび亜鉛を有する酸化物、インジウムおよびスズを有する酸化物、またはインジウム、ガリウムおよび亜鉛を有する酸化物などを用いる場合、導電体404となる導電体の成膜時に、絶縁体412となる絶縁体、および絶縁体411などに過剰酸素を添加することができる。一般に、インジウム、ガリウムおよび亜鉛を有する酸化物は、成膜時に高い割合で酸化性ガスを有する成膜ガスを用いる場合、導電性が著しく低下する。よって、その後にドーパントの添加などによって、低抵抗化することが好ましい。ドーパントの添加などによる低抵抗化を効果的に行うために、酸化性ガスの割合の高い成膜ガスを用いて成膜する層と、酸化性ガスの割合の低い、または有さない成膜ガスを用いて成膜する層と、を順に成膜した積層構造を有してもよい。なお、ドーパントの添加を、領域417aおよび領域417bの形成と同時に行ってもよい。

20

【0300】

図36に示すトランジスタにおいて、導電体404は第1のゲート電極（フロントゲート電極ともいう。）としての機能を有し、絶縁体412は第1のゲート絶縁体（フロントゲート絶縁体）としての機能を有し、半導体406bはチャネル形成領域としての機能を有し、領域417aはソース領域としての機能を有し、領域417bはドレイン領域としての機能を有し、導電体413は第2のゲート電極（バックゲート電極ともいう。）としての機能を有し、絶縁体402a、絶縁体402bおよび絶縁体402cは第2のゲート絶縁体（バックゲート絶縁体ともいう。）としての機能を有する。以上の工程を経てトランジスタを作製することができる。

30

【0301】

図36に示すトランジスタは、第1のゲート電極と、ソース領域およびドレイン領域との間の寄生容量が小さい。したがって、高い周波数特性を有するトランジスタを実現することができる。また、第1のゲート電極の線幅を、露光機の解像度の限界値よりも小さくすることができるため、微細なトランジスタを実現することができる。

40

【0302】

上述した複数のトランジスタの作製方法は一例であり、それらを組み合わせて使用しても良い。よって、本発明の一態様に係るトランジスタの作製方法は、上述したそれぞれのトランジスタの作製方法を部分的に組み合わせて全体を構成することもできる。

【0303】

<回路>

以下では、本発明の一態様に係る半導体装置の回路の一例について説明する。

【0304】

50

<CMOSインバータ>

図37(A)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、かつそれぞれのゲートを接続した、いわゆるCMOSインバータの構成を示している。

【0305】

<半導体装置の構造1>

図38は、図37(A)に対応する半導体装置の断面図である。図38に示す半導体装置は、トランジスタ2200と、トランジスタ2100と、を有する。また、トランジスタ2100は、トランジスタ2200の上方に配置する。なお、トランジスタ2100としては、上述したトランジスタなどを用いればよい。よって、トランジスタ2100については、適宜上述したトランジスタについての記載を参酌する。なお、図38(A)、図38(B)および図38(C)は、それぞれ異なる場所の断面図である。

10

【0306】

図38に示すトランジスタ2200は、半導体基板450を用いたトランジスタである。トランジスタ2200は、半導体基板450中の領域472aと、半導体基板450中の領域472bと、絶縁体462と、導電体454と、を有する。

【0307】

トランジスタ2200において、領域472aおよび領域472bは、ソース領域およびドレイン領域としての機能を有する。また、絶縁体462は、ゲート絶縁体としての機能を有する。また、導電体454は、ゲート電極としての機能を有する。したがって、導電体454に印加する電位によって、チャンネル形成領域の抵抗を制御することができる。即ち、導電体454に印加する電位によって、領域472aと領域472bとの間の導通・非導通を制御することができる。

20

【0308】

半導体基板450としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムなどの化合物半導体基板などを用いればよい。好ましくは、半導体基板450として単結晶シリコン基板を用いる。

【0309】

半導体基板450は、n型の導電型を付与する不純物を有する半導体基板を用いる。ただし、半導体基板450として、p型の導電型を付与する不純物を有する半導体基板を用いても構わない。その場合、トランジスタ2200となる領域には、n型の導電型を付与する不純物を有するウェルを配置すればよい。または、半導体基板450がi型であっても構わない。

30

【0310】

半導体基板450の上面は、(110)面を有することが好ましい。こうすることで、トランジスタ2200のオン特性を向上させることができる。

【0311】

領域472aおよび領域472bは、p型の導電型を付与する不純物を有する領域である。このようにして、トランジスタ2200はpチャネル型トランジスタを構成する。

40

【0312】

なお、トランジスタ2200は、領域460などによって隣接するトランジスタと分離される。領域460は、絶縁性を有する領域である。

【0313】

図38に示す半導体装置は、絶縁体464と、絶縁体466と、絶縁体468と、絶縁体470と、導電体480aと、導電体480bと、導電体480cと、導電体478aと、導電体478bと、導電体478cと、導電体476aと、導電体476bと、導電体474aと、導電体474bと、導電体474cと、導電体496aと、導電体496bと、導電体496cと、導電体496dと、導電体498aと、導電体498bと、導電体498cと、絶縁体482と、絶縁体402と、絶縁体492と、絶縁体408と、絶

50

縁体４９４と、を有する。

【０３１４】

ここで、絶縁体４７０および絶縁体４０８は、バリア性を有する絶縁体である。即ち、図３８に示す半導体装置は、トランジスタ２１００がバリア性を有する絶縁体に囲まれた構造を有する。ただし、絶縁体４７０および絶縁体４０８のいずれか一以上を有さなくてもよい。

【０３１５】

絶縁体４６４は、トランジスタ２２００上に配置する。また、絶縁体４６６は、絶縁体４６４上に配置する。また、絶縁体４６８は、絶縁体４６６上に配置する。また、絶縁体４８２は、絶縁体４６８上に配置する。また、トランジスタ２１００は、絶縁体４８２上に配置する。また、絶縁体４９２は、トランジスタ２１００上に配置する。また、絶縁体４９４は、絶縁体４９２上に配置する。

10

【０３１６】

絶縁体４６４は、領域４７２ａに達する開口部と、領域４７２ｂに達する開口部と、導電体４５４に達する開口部と、を有する。また、開口部には、それぞれ導電体４８０ａ、導電体４８０ｂまたは導電体４８０ｃが埋め込まれている。

【０３１７】

また、絶縁体４６６は、導電体４８０ａに達する開口部と、導電体４８０ｂに達する開口部と、導電体４８０ｃに達する開口部と、を有する。また、開口部には、それぞれ導電体４７８ａ、導電体４７８ｂまたは導電体４７８ｃが埋め込まれている。

20

【０３１８】

また、絶縁体４６８および絶縁体４７０は、導電体４７８ｂに達する開口部と、導電体４７８ｃに達する開口部と、を有する。また、開口部には、それぞれ導電体４７６ａまたは導電体４７６ｂが埋め込まれている。

【０３１９】

また、絶縁体４８２は、トランジスタ２１００のチャネル形成領域と重なる開口部と、導電体４７６ａに達する開口部と、導電体４７６ｂに達する開口部と、を有する。また、開口部には、それぞれ導電体４７４ａ、導電体４７４ｂまたは導電体４７４ｃが埋め込まれている。

【０３２０】

導電体４７４ａは、トランジスタ２１００のゲート電極としての機能を有しても構わない。または、例えば、導電体４７４ａに一定の電位を印加することで、トランジスタ２１００のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体４７４ａとトランジスタ２１００のゲート電極としての機能を有する導電体４０４とを電氣的に接続しても構わない。こうすることで、トランジスタ２１００のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ２１００の飽和領域における電気特性を安定にすることができる。

30

【０３２１】

また、絶縁体４０８および絶縁体４９２は、トランジスタ２１００のソースまたはドレインの一方である領域４１７ｂを通して、導電体４７４ｂに達する開口部と、トランジスタ２１００のソースまたはドレインの他方である領域４１７ａに達する開口部と、トランジスタ２１００のゲート電極である導電体４０４に達する開口部と、導電体４７４ｃに達する開口部と、を有する。また、開口部には、それぞれ導電体４９６ａ、導電体４９６ｂ、導電体４９６ｃまたは導電体４９６ｄが埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ２１００などの構成要素のいずれかを介する場合がある。

40

【０３２２】

また、絶縁体４９４は、導電体４９６ａに達する開口部と、導電体４９６ｂおよび導電体４９６ｄに達する開口部と、導電体４９６ｃに達する開口部と、を有する。また、開口部には、それぞれ導電体４９８ａ、導電体４９８ｂまたは導電体４９８ｃが埋め込まれている。

50

【0323】

絶縁体464、絶縁体466、絶縁体468、絶縁体482、絶縁体492および絶縁体494としては、材料が同じであってもよいし、材料が異なってもよく、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層でそれぞれ用いればよい。例えば、絶縁体464、絶縁体466、絶縁体468、絶縁体482、絶縁体492および絶縁体494としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルから選ばれた一種以上をそれぞれ用いればよい。

10

【0324】

絶縁体464、絶縁体466、絶縁体468、絶縁体482、絶縁体492または絶縁体494の一以上は、バリア性を有する絶縁体を有すると好ましい。

【0325】

水素などの不純物および酸素をブロックする機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。

【0326】

導電体480a、導電体480b、導電体480c、導電体478a、導電体478b、導電体478c、導電体476a、導電体476b、導電体474a、導電体474b、導電体474c、導電体496a、導電体496b、導電体496c、導電体496d、導電体498a、導電体498bおよび導電体498cとしては、材料が同じであってもよいし、材料が異なってもよく、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層でそれぞれ用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。導電体480a、導電体480b、導電体480c、導電体478a、導電体478b、導電体478c、導電体476a、導電体476b、導電体474a、導電体474b、導電体474c、導電体496a、導電体496b、導電体496c、導電体496d、導電体498a、導電体498bおよび導電体498cの一以上は、バリア性を有する導電体を有すると好ましい。

20

30

【0327】

なお、図39に示す半導体装置は、図38に示した半導体装置のトランジスタ2200の構造が異なるのみである。よって、図39に示す半導体装置については、図38に示した半導体装置の記載を参酌する。具体的には、図39に示す半導体装置は、トランジスタ2200がFin型である場合を示している。トランジスタ2200をFin型とすることにより、実効上のチャネル幅が増大することによりトランジスタ2200のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ2200のオフ特性を向上させることができる。なお、図39(A)、図39(B)および図39(C)は、それぞれ異なる場所の断面図である。

40

【0328】

また、図40に示す半導体装置は、図38に示した半導体装置のトランジスタ2200の構造が異なるのみである。よって、図40に示す半導体装置については、図38に示した半導体装置の記載を参酌する。具体的には、図40に示す半導体装置は、トランジスタ2200がSOI基板に設けられた場合を示している。図40には、絶縁体452によって

50

領域456が半導体基板450と分離されている構造を示す。SOI基板を用いることによって、パンチスルー現象などを抑制することができるためトランジスタ2200のオフ特性を向上させることができる。なお、絶縁体452は、半導体基板450の一部を絶縁体化させることによって形成することができる。例えば、絶縁体452としては、酸化シリコンを用いることができる。なお、図40(A)、図40(B)および図40(C)は、それぞれ異なる場所の断面図である。

【0329】

図38乃至図40に示した半導体装置は、半導体基板を用いてpチャネル型トランジスタを作製し、その上方にnチャネル型トランジスタを作製するため、素子の占有面積を縮小することができる。即ち、半導体装置の集積度を高くすることができる。また、nチャネル型トランジスタと、pチャネル型トランジスタとを同一の半導体基板を用いて作製した場合と比べて、工程を簡略化することができるため、半導体装置の生産性を高くすることができる。また、半導体装置の歩留まりを高くすることができる。また、pチャネル型トランジスタは、LDD(Lightly Doped Drain)領域、シャロートレンチ構造、歪み設計などの複雑な工程を省略できる場合がある。そのため、nチャネル型トランジスタを、半導体基板を用いて作製する場合と比べて、生産性および歩留まりを高くすることができる場合がある。

【0330】

<CMOSアナログスイッチ>

また図37(B)に示す回路図は、トランジスタ2100とトランジスタ2200のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるCMOSアナログスイッチとして機能させることができる。

【0331】

<記憶装置1>

本発明の一態様に係るトランジスタを用いた、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置(記憶装置)の一例を図41に示す。

【0332】

図41(A)に示す半導体装置は、第1の半導体を用いたトランジスタ3200と第2の半導体を用いたトランジスタ3300、および容量素子3400を有している。なお、トランジスタ3300としては、上述したトランジスタを用いることができる。

【0333】

トランジスタ3300は、オフ電流の小さいトランジスタが好ましい。トランジスタ3300は、例えば、酸化物半導体を用いたトランジスタを用いることができる。トランジスタ3300のオフ電流が小さいことにより、半導体装置の特定のノードに長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、またはリフレッシュ動作の頻度が極めて少なくすることが可能となるため、消費電力の低い半導体装置となる。

【0334】

図41(A)において、第1の配線3001はトランジスタ3200のソースと電氣的に接続され、第2の配線3002はトランジスタ3200のドレインと電氣的に接続される。また、第3の配線3003はトランジスタ3300のソース、ドレインの一方と電氣的に接続され、第4の配線3004はトランジスタ3300のゲートと電氣的に接続されている。そして、トランジスタ3200のゲート、およびトランジスタ3300のソース、ドレインの他方は、容量素子3400の電極の一方と電氣的に接続され、第5の配線3005は容量素子3400の電極の他方と電氣的に接続されている。

【0335】

図41(A)に示す半導体装置は、トランジスタ3200のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【0336】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ3300が導通状態となる電位にして、トランジスタ3300を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ3200のゲート、および容量素子3400の電極の一方と電気的に接続するノードFGに与えられる。即ち、トランジスタ3200のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ3300が非導通状態となる電位にして、トランジスタ3300を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。

10

【0337】

トランジスタ3300のオフ電流が小さいため、ノードFGの電荷は長期間にわたって保持される。

【0338】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、第2の配線3002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ3200のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ3200を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $> V_{th_H}$ ）となれば、トランジスタ3200は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が V_0 （ $< V_{th_L}$ ）となっても、トランジスタ3200は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

20

30

【0339】

なお、メモリセルをアレイ状に配置する場合、読み出し時には、所望のメモリセルの情報を読み出さなくてはならない。情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷にかかわらず、トランジスタ3200が「非導通状態」となるような電位、つまり、 V_{th_H} より低い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。または、情報を読み出さないメモリセルにおいては、ノードFGに与えられた電荷にかかわらず、トランジスタ3200が「導通状態」となるような電位、つまり、 V_{th_L} より高い電位を第5の配線3005に与えることで所望のメモリセルの情報のみを読み出せる構成とすればよい。

【0340】

40

<半導体装置の構造2>

図42は、図41（A）に対応する半導体装置の断面図である。図42に示す半導体装置は、トランジスタ3200と、トランジスタ3300と、容量素子3400と、を有する。また、トランジスタ3300および容量素子3400は、トランジスタ3200の上方に配置する。なお、トランジスタ3300としては、上述したトランジスタ2100についての記載を参照する。また、トランジスタ3200としては、図38に示したトランジスタ2200についての記載を参照する。なお、図38では、トランジスタ2200がpチャネル型トランジスタである場合について説明したが、トランジスタ3200がnチャネル型トランジスタであっても構わない。なお、図42（A）、図42（B）および図42（C）は、それぞれ異なる場所の断面図である。

50

【0341】

図42に示すトランジスタ3200は、半導体基板450を用いたトランジスタである。トランジスタ3200は、半導体基板450中の領域472aと、半導体基板450中の領域472bと、絶縁体462と、導電体454と、を有する。

【0342】

図42に示す半導体装置は、絶縁体464と、絶縁体466と、絶縁体468と、絶縁体470と、導電体480aと、導電体480bと、導電体480cと、導電体478aと、導電体478bと、導電体478cと、導電体476aと、導電体476bと、導電体474aと、導電体474bと、導電体474cと、導電体496aと、導電体496bと、導電体496cと、導電体496dと、導電体498aと、導電体498bと、導電体498cと、導電体498dと、絶縁体482と、絶縁体402と、絶縁体492と、絶縁体408と、絶縁体494と、を有する。

10

【0343】

ここで、絶縁体470および絶縁体408は、バリア性を有する絶縁体である。即ち、図42に示す半導体装置は、トランジスタ3300がバリア性を有する絶縁体に囲まれた構造を有する。ただし、絶縁体470および絶縁体408のいずれか一以上を有さなくてもよい。

【0344】

絶縁体464は、トランジスタ3200上に配置する。また、絶縁体466は、絶縁体464上に配置する。また、絶縁体468は、絶縁体466上に配置する。また、絶縁体482は、絶縁体468上に配置する。また、トランジスタ3300は、絶縁体482上に配置する。また、絶縁体492は、トランジスタ3300上に配置する。また、絶縁体494は、絶縁体492上に配置する。

20

【0345】

絶縁体464は、領域472aに達する開口部と、領域472bに達する開口部と、導電体454に達する開口部と、を有する。また、開口部には、それぞれ導電体480a、導電体480bまたは導電体480cが埋め込まれている。

【0346】

また、絶縁体466は、導電体480aに達する開口部と、導電体480bに達する開口部と、導電体480cに達する開口部と、を有する。また、開口部には、それぞれ導電体478a、導電体478bまたは導電体478cが埋め込まれている。

30

【0347】

また、絶縁体468および絶縁体470は、導電体478bに達する開口部と、導電体478cに達する開口部と、を有する。また、開口部には、それぞれ導電体476aまたは導電体476bが埋め込まれている。

【0348】

また、絶縁体482は、トランジスタ3300のチャネル形成領域と重なる開口部と、導電体476aに達する開口部と、導電体476bに達する開口部と、を有する。また、開口部には、それぞれ導電体474a、導電体474bまたは導電体474cが埋め込まれている。

40

【0349】

導電体474aは、トランジスタ3300のボトムゲート電極としての機能を有しても構わない。または、例えば、導電体474aに一定の電位を印加することで、トランジスタ3300のしきい値電圧などの電気特性を制御しても構わない。または、例えば、導電体474aとトランジスタ3300のトップゲート電極である導電体404とを電氣的に接続しても構わない。こうすることで、トランジスタ3300のオン電流を大きくすることができる。また、パンチスルー現象を抑制することができるため、トランジスタ3300の飽和領域における電気特性を安定にすることができる。

【0350】

また、絶縁体408および絶縁体492は、トランジスタ3300のソースまたはドレイ

50

ン的一方である領域417bを通して、導電体474bに達する開口部と、トランジスタ3300のソースまたはドレインの他方である領域417aと絶縁体412を介して重なる導電体405に達する開口部と、トランジスタ3300のゲート電極である導電体404に達する開口部と、トランジスタ3300のソースまたはドレインの他方である領域417aを通して、導電体474cに達する開口部と、を有する。また、開口部には、それぞれ導電体496a、導電体496b、導電体496cまたは導電体496dが埋め込まれている。ただし、それぞれの開口部は、さらにトランジスタ3300などの構成要素のいずれかが有する開口部を介する場合がある。

【0351】

また、絶縁体494は、導電体496aに達する開口部と、導電体496bに達する開口部と、導電体496cに達する開口部と、導電体496dに達する開口部と、を有する。また、開口部には、それぞれ導電体498a、導電体498b、導電体498cまたは導電体498dが埋め込まれている。

【0352】

絶縁体464、絶縁体466、絶縁体468、絶縁体482、絶縁体492または絶縁体494の一以上は、バリア性を有する絶縁体を有すると好ましい。

【0353】

導電体498dとしては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金や化合物であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。導電体498dは、バリア性を有する導電体を有すると好ましい。

【0354】

トランジスタ3200のソースまたはドレインは、導電体480bと、導電体478bと、導電体476aと、導電体474bと、導電体496cと、を介してトランジスタ3300のソースまたはドレインの一方である領域417bと電氣的に接続する。また、トランジスタ3200のゲート電極である導電体454は、導電体480cと、導電体478cと、導電体476bと、導電体474cと、導電体496dと、を介してトランジスタ3300のソースまたはドレインの他方である領域417aと電氣的に接続する。

【0355】

容量素子3400は、トランジスタ3300のソースまたはドレインの他方と電氣的に接続する電極と、導電体405と、絶縁体412と、を有する。なお、容量素子3400の絶縁体412は、トランジスタ3300のゲート絶縁体として機能する絶縁体412と同一工程を経て形成できるため、生産性を高めることができると好ましい場合がある。また、導電体405として、トランジスタ3300のゲート電極として機能する導電体404と同一工程を経て形成した層を用いると、生産性を高めることができると好ましい場合がある。ただし、それらを別々の工程で形成しても構わない。

【0356】

そのほかの構造については、適宜図38などについての記載を参照することができる。

【0357】

なお、図43に示す半導体装置は、図42に示した半導体装置のトランジスタ3200の構造が異なるのみである。よって、図43に示す半導体装置については、図42に示した半導体装置の記載を参照する。具体的には、図43に示す半導体装置は、トランジスタ3200がFin型である場合を示している。Fin型であるトランジスタ3200については、図39に示したトランジスタ2200の記載を参照する。なお、図39では、トランジスタ2200がpチャネル型トランジスタである場合について説明したが、トランジスタ3200がnチャネル型トランジスタであっても構わない。なお、図43(A)、図

10

20

30

40

50

43 (B) および図43 (C) は、それぞれ異なる場所の断面図である。

【0358】

また、図44に示す半導体装置は、図42に示した半導体装置のトランジスタ3200の構造が異なるのみである。よって、図44に示す半導体装置については、図42に示した半導体装置の記載を参酌する。具体的には、図44に示す半導体装置は、トランジスタ3200がSOI基板である半導体基板450に設けられた場合を示している。SOI基板である半導体基板450に設けられたトランジスタ3200については、図40に示したトランジスタ2200の記載を参照する。なお、図40では、トランジスタ2200がpチャネル型トランジスタである場合について説明したが、トランジスタ3200がnチャネル型トランジスタであっても構わない。なお、図44 (A)、図44 (B) および図44 (C) は、それぞれ異なる場所の断面図である。

10

【0359】

<記憶装置2>

図41 (B) に示す半導体装置は、トランジスタ3200を有さない点で図41 (A) に示した半導体装置と異なる。この場合も図41 (A) に示した半導体装置と同様の動作により情報の書き込みおよび保持動作が可能である。

【0360】

図41 (B) に示す半導体装置における、情報の読み出しについて説明する。トランジスタ3300が導通状態になると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の電極の一方の電位（または容量素子3400に蓄積された電荷）によって、異なる値をとる。

20

【0361】

例えば、容量素子3400の電極の一方の電位をV、容量素子3400の容量をC、第3の配線3003が有する容量成分をCB、電荷が再分配される前の第3の配線3003の電位をVB0とすると、電荷が再分配された後の第3の配線3003の電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。したがって、メモリセルの状態として、容量素子3400の電極の一方の電位がV1とV0 ($V1 > V0$) の2つの状態をとるとすると、電位V1を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V1) / (CB + C)$) は、電位V0を保持している場合の第3の配線3003の電位 ($= (CB \times VB0 + C \times V0) / (CB + C)$) よりも高くなることがわかる。

30

【0362】

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

【0363】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体が適用されたトランジスタを用い、トランジスタ3300として第2の半導体が適用されたトランジスタを駆動回路上に積層して配置する構成とすればよい。

【0364】

以上に示した半導体装置は、酸化物半導体を用いたオフ電流の小さいトランジスタを適用することで、長期にわたって記憶内容を保持することが可能となる。つまり、リフレッシュ動作が不要となるか、またはリフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力の低い半導体装置を実現することができる。また、電力の供給がない場合（ただし、電位は固定されていることが好ましい）であっても、長期にわたって記憶内容を保持することが可能である。

40

【0365】

また、該半導体装置は、情報の書き込みに高い電圧が不要であるため、素子の劣化が起こりにくい。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行わないため、絶縁体の劣化といっ

50

た問題が生じない。即ち、本発明の一態様に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上した半導体装置である。さらに、トランジスタの導通状態、非導通状態によって、情報の書き込みが行われるため、高速な動作が可能となる。

【0366】

<撮像装置>

以下では、本発明の一態様に係る撮像装置について説明する。

【0367】

図45(A)は、本発明の一態様に係る撮像装置2000の例を示す平面図である。撮像装置2000は、画素部2010と、画素部2010を駆動するための周辺回路2060と、周辺回路2070、周辺回路2080と、周辺回路2090と、を有する。画素部2010は、p行q列(pおよびqは2以上の整数)のマトリクス状に配置された複数の画素2011を有する。周辺回路2060、周辺回路2070、周辺回路2080および周辺回路2090は、それぞれ複数の画素2011に接続し、複数の画素2011を駆動するための信号を供給する機能を有する。なお、本明細書等において、周辺回路2060、周辺回路2070、周辺回路2080および周辺回路2090などの全てを指して「周辺回路」または「駆動回路」と呼ぶ場合がある。例えば、周辺回路2060は周辺回路の一部といえる。

10

【0368】

また、撮像装置2000は、光源2091を有することが好ましい。光源2091は、検出光P1を放射することができる。

20

【0369】

また、周辺回路は、少なくとも、論理回路、スイッチ、バッファ、増幅回路、または変換回路の1つを有する。また、周辺回路は、画素部2010を形成する基板上に形成してもよい。また、周辺回路の一部または全部にICチップ等の半導体装置を用いてもよい。なお、周辺回路は、周辺回路2060、周辺回路2070、周辺回路2080および周辺回路2090のいずれか一以上を省略してもよい。

【0370】

また、図45(B)に示すように、撮像装置2000が有する画素部2010において、画素2011を傾けて配置してもよい。画素2011を傾けて配置することにより、行方向および列方向の画素間隔(ピッチ)を短くすることができる。これにより、撮像装置2000における撮像の品質をより高めることができる。

30

【0371】

<画素の構成例1>

撮像装置2000が有する1つの画素2011を複数の副画素2012で構成し、それぞれの副画素2012に特定の波長帯域の光を透過するフィルタ(カラーフィルタ)を組み合わせることで、カラー画像表示を実現するための情報を取得することができる。

【0372】

図46(A)は、カラー画像を取得するための画素2011の一例を示す平面図である。図46(A)に示す画素2011は、赤(R)の波長帯域の光を透過するカラーフィルタが設けられた副画素2012(以下、「副画素2012R」ともいう)、緑(G)の波長帯域の光を透過するカラーフィルタが設けられた副画素2012(以下、「副画素2012G」ともいう)および青(B)の波長帯域の光を透過するカラーフィルタが設けられた副画素2012(以下、「副画素2012B」ともいう)を有する。副画素2012は、フォトセンサとして機能させることができる。

40

【0373】

副画素2012(副画素2012R、副画素2012G、および副画素2012B)は、配線2031、配線2047、配線2048、配線2049、配線2050と電氣的に接続される。また、副画素2012R、副画素2012G、および副画素2012Bは、それぞれが独立した配線2053に接続している。また、本明細書等において、例えばn行

50

目の画素2011に接続された配線2048および配線2049を、それぞれ配線2048[n]および配線2049[n]と記載する。また、例えばm列目の画素2011に接続された配線2053を、配線2053[m]と記載する。なお、図46(A)において、m列目の画素2011が有する副画素2012Rに接続する配線2053を配線2053[m]R、副画素2012Gに接続する配線2053を配線2053[m]G、および副画素2012Bに接続する配線2053を配線2053[m]Bと記載している。副画素2012は、上記配線を介して周辺回路と電氣的に接続される。

【0374】

また、撮像装置2000は、隣接する画素2011の、同じ波長帯域の光を透過するカラーフィルタが設けられた副画素2012同士がスイッチを介して電氣的に接続する構成を有する。図46(B)に、n行(nは1以上p以下の整数)m列(mは1以上q以下の整数)に配置された画素2011が有する副画素2012と、該画素2011に隣接するn+1行m列に配置された画素2011が有する副画素2012の接続例を示す。図46(B)において、n行m列に配置された副画素2012Rと、n+1行m列に配置された副画素2012Rがスイッチ2003を介して接続されている。また、n行m列に配置された副画素2012Gと、n+1行m列に配置された副画素2012Gがスイッチ2002を介して接続されている。また、n行m列に配置された副画素2012Bと、n+1行m列に配置された副画素2012Bがスイッチ2001を介して接続されている。

10

【0375】

なお、副画素2012に用いるカラーフィルタは、赤(R)、緑(G)、青(B)に限定されず、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタを用いてもよい。1つの画素2011に3種類の異なる波長帯域の光を検出する副画素2012を設けることで、フルカラー画像を取得することができる。

20

【0376】

または、それぞれ赤(R)、緑(G)および青(B)の光を透過するカラーフィルタが設けられた副画素2012に加えて、黄(Y)の光を透過するカラーフィルタが設けられた副画素2012を有する画素2011を用いてもよい。または、それぞれシアン(C)、黄(Y)およびマゼンダ(M)の光を透過するカラーフィルタが設けられた副画素2012に加えて、青(B)の光を透過するカラーフィルタが設けられた副画素2012を有する画素2011を用いてもよい。1つの画素2011に4種類の異なる波長帯域の光を検出する副画素2012を設けることで、取得した画像の色の再現性をさらに高めることができる。

30

【0377】

また、例えば、図46(A)において、赤の波長帯域の光を検出する副画素2012、緑の波長帯域の光を検出する副画素2012、および青の波長帯域の光を検出する副画素2012の画素数比(または受光面積比)は、1:1:1でなくても構わない。例えば、画素数比(受光面積比)を赤:緑:青=1:2:1とするBayer配列としてもよい。または、画素数比(受光面積比)を赤:緑:青=1:6:1としてもよい。

【0378】

なお、画素2011に設ける副画素2012は1つでもよいが、2つ以上が好ましい。例えば、同じ波長帯域の光を検出する副画素2012を2つ以上設けることで、冗長性を高め、撮像装置2000の信頼性を高めることができる。

40

【0379】

また、可視光を吸収または反射して、赤外光を透過するIR(IR:Infrared)フィルタを用いることで、赤外光を検出する撮像装置2000を実現することができる。

【0380】

また、ND(ND:Neutral Density)フィルタ(減光フィルタ)を用いることで、光電変換素子(受光素子)に大光量光が入射した時に生じる出力飽和することを防ぐことができる。減光量の異なるNDフィルタを組み合わせることで、撮像装置のダイナミックレンジを大きくすることができる。

50

【0381】

また、前述したフィルタ以外に、画素2011にレンズを設けてもよい。ここで、図47の断面図を用いて、画素2011、フィルタ2054、レンズ2055の配置例を説明する。レンズ2055を設けることで、光電変換素子が入射光を効率よく受光することができる。具体的には、図47(A)に示すように、画素2011に形成したレンズ2055、フィルタ2054（フィルタ2054R、フィルタ2054Gおよびフィルタ2054B）、および画素回路2030等を通して光2056を光電変換素子2020に入射させる構造とすることができる。

【0382】

ただし、二点鎖線で囲んだ領域に示すように、矢印で示す光2056の一部が配線2057の一部によって遮光されてしまうことがある。したがって、図47(B)に示すように光電変換素子2020側にレンズ2055およびフィルタ2054を配置して、光電変換素子2020が光2056を効率良く受光させる構造が好ましい。光電変換素子2020側から光2056を光電変換素子2020に入射させることで、検出感度の高い撮像装置2000を提供することができる。

10

【0383】

図47に示す光電変換素子2020として、pn型接合またはpin型接合が形成された光電変換素子を用いてもよい。

【0384】

また、光電変換素子2020を、放射線を吸収して電荷を発生させる機能を有する物質を用いて形成してもよい。放射線を吸収して電荷を発生させる機能をもつ物質としては、セレン、ヨウ化鉛、ヨウ化水銀、ヒ化ガリウム、テルル化カドミウム、カドミウム亜鉛合金等がある。

20

【0385】

例えば、光電変換素子2020にセレンを用いると、可視光や、紫外光、赤外光に加えて、X線や、ガンマ線といった幅広い波長帯域にわたって光吸収係数を有する光電変換素子2020を実現できる。

【0386】

ここで、撮像装置2000が有する1つの画素2011は、図46に示す副画素2012に加えて、第1のフィルタを有する副画素2012を有してもよい。

30

【0387】

<画素の構成例2>

以下では、シリコンを用いたトランジスタと、酸化物半導体を用いたトランジスタと、を用いて画素を構成する一例について説明する。

【0388】

図48(A)、図48(B)は、撮像装置を構成する素子の断面図である。図48(A)に示す撮像装置は、シリコン基板2300に設けられたシリコンを用いたトランジスタ2351、トランジスタ2351上に積層して配置された酸化物半導体を用いたトランジスタ2352およびトランジスタ2353、ならびにシリコン基板2300に設けられたフォトダイオード2360を含む。各トランジスタおよびフォトダイオード2360は、種々のプラグ2370および配線2371と電気的な接続を有する。また、フォトダイオード2360のカソード2362は、プラグを介して配線2371と電気的に接続を有する。また、フォトダイオード2360のアノード2361は、低抵抗領域2363を介してプラグ2370と電気的に接続を有する。

40

【0389】

また撮像装置は、シリコン基板2300に設けられたトランジスタ2351およびフォトダイオード2360を有する層2310と、層2310と接して設けられ、配線2371を有する層2320と、層2320と接して設けられ、トランジスタ2352およびトランジスタ2353を有する層2330と、層2330と接して設けられ、配線2372および配線2373を有する層2340を備えている。

50

【0390】

なお図48 (A) の断面図の一例では、シリコン基板2300において、トランジスタ2351が形成された面とは逆側の面にフォトダイオード2360の受光面を有する構成とする。該構成とすることで、各種トランジスタや配線などの影響を受けずに光路を確保することができる。そのため、高開口率の画素を形成することができる。なお、フォトダイオード2360の受光面をトランジスタ2351が形成された面と同じとすることもできる。

【0391】

なお、酸化物半導体を用いたトランジスタのみを用いて画素を構成する場合には、層2310を、酸化物半導体を用いたトランジスタを有する層とすればよい。または層2310を省略し、酸化物半導体を用いたトランジスタのみで画素を構成してもよい。

10

【0392】

なおシリコンを用いたトランジスタのみを用いて画素を構成する場合には、層2330を省略すればよい。層2330を省略した断面図の一例を図48 (B) に示す。層2330を省略する場合、層2340の配線2372も省略することができる。

【0393】

なお、シリコン基板2300は、SOI基板であってもよい。また、シリコン基板2300に替えて、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、ヒ化アルミニウムガリウム、リン化インジウム、窒化ガリウムまたは有機半導体を有する基板を用いることもできる。

20

【0394】

ここで、トランジスタ2351およびフォトダイオード2360を有する層2310と、トランジスタ2352およびトランジスタ2353を有する層2330と、の間には絶縁体2402が設けられる。ただし、絶縁体2402の位置は限定されない。

【0395】

トランジスタ2351のチャンネル形成領域近傍に設けられる絶縁体中の水素はシリコンのダングリングボンドを終端し、トランジスタ2351の信頼性を向上させる効果がある。一方、トランジスタ2352およびトランジスタ2353などの近傍に設けられる絶縁体中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなる。そのため、トランジスタ2352およびトランジスタ2353などの信頼性を低下させる要因となる場合がある。したがって、シリコンを用いたトランジスタの上層に酸化物半導体を用いたトランジスタを積層して設ける場合、これらの間にバリア性を有する絶縁体2402を設けることが好ましい。また、トランジスタ2352およびトランジスタ2353の四方を、バリア性を有する絶縁体で囲むことが好ましい。また、トランジスタ2352およびトランジスタ2353の上方を、バリア性を有する絶縁体2408で覆うことが好ましい。絶縁体2402より下層に水素を閉じ込めることで、トランジスタ2351の信頼性が向上させることができる。さらに、絶縁体2402より下層から、絶縁体2402より上層に水素が拡散することを抑制できるため、トランジスタ2352およびトランジスタ2353などの信頼性を向上させることができる。

30

【0396】

即ち、図48 (A) に示す半導体装置は、トランジスタ2352およびトランジスタ2353がバリア性を有する絶縁体に囲まれた構造を有する。ただし、トランジスタ2352およびトランジスタ2353がバリア性を有する絶縁体に囲まれていなくてもよい。

40

【0397】

また、図48 (A) の断面図において、層2310に設けるフォトダイオード2360と、層2330に設けるトランジスタとを重なるように形成することができる。そうすると、画素の集積度を高めることができる。すなわち、撮像装置の解像度を高めることができる。

【0398】

なお、図49 (A) および図49 (B) に示すように、画素の上部または下部にフィルタ

50

2 3 5 4 または／およびレンズ 2 3 5 5 を配置してもよい。フィルタ 2 3 5 4 は、フィルタ 2 0 5 4 についての記載を参照する。レンズ 2 3 5 5 は、レンズ 2 0 5 5 についての記載を参照する。

【0399】

また、図 5 0 (A 1) および図 5 0 (B 1) に示すように、撮像装置の一部または全部を湾曲させてもよい。図 5 0 (A 1) は、撮像装置を同図中の一点鎖線 X 1 - X 2 の方向に湾曲させた状態を示している。図 5 0 (A 2) は、図 5 0 (A 1) 中の一点鎖線 X 1 - X 2 で示した部位の断面図である。図 5 0 (A 3) は、図 5 0 (A 1) 中の一点鎖線 Y 1 - Y 2 で示した部位の断面図である。

【0400】

図 5 0 (B 1) は、撮像装置を同図中の一点鎖線 X 3 - X 4 の方向に湾曲させ、かつ、同図中の一点鎖線 Y 3 - Y 4 の方向に湾曲させた状態を示している。図 5 0 (B 2) は、図 5 0 (B 1) 中の一点鎖線 X 3 - X 4 で示した部位の断面図である。図 5 0 (B 3) は、図 5 0 (B 1) 中の一点鎖線 Y 3 - Y 4 で示した部位の断面図である。

【0401】

撮像装置を湾曲させることで、像面湾曲や非点収差を低減することができる。よって、撮像装置と組み合わせて用いるレンズなどの光学設計を容易とすることができる。例えば、収差補正のためのレンズ枚数を低減できるため、撮像装置を用いた電子機器などの小型化や軽量化を実現することができる。また、撮像された画像の品質を向上させる事ができる。

【0402】

<FPGA>

また本発明の一態様は、FPGA (Field Programmable Gate Array) などの LSI にも適用可能である。

【0403】

図 5 1 (A) には、FPGA のブロック図の一例を示す。FPGA は、ルーティングスイッチエレメント 1 5 2 1 と、ロジックエレメント 1 5 2 2 とによって構成される。また、ロジックエレメント 1 5 2 2 は、コンフィギュレーションメモリに記憶したコンフィギュレーションデータに応じて、組み合わせ回路の機能、または順序回路の機能といった論理回路の機能を切り替えることができる。

【0404】

図 5 1 (B) は、ルーティングスイッチエレメント 1 5 2 1 の役割を説明するための模式図である。ルーティングスイッチエレメント 1 5 2 1 は、コンフィギュレーションメモリ 1 5 2 3 に記憶したコンフィギュレーションデータに応じて、ロジックエレメント 1 5 2 2 間の接続を切り替えることができる。なお図 5 1 (B) では、スイッチを一つ示し、端子 IN と端子 OUT の間の接続を切り替える様子を示しているが、実際には複数あるロジックエレメント 1 5 2 2 間にスイッチが設けられる。

【0405】

図 5 1 (C) には、コンフィギュレーションメモリ 1 5 2 3 として機能する回路構成の一例を示す。コンフィギュレーションメモリ 1 5 2 3 は、酸化物半導体を用いたトランジスタで構成されるトランジスタ M 1 1 と、シリコンを用いたトランジスタで構成されるトランジスタ M 1 2 と、によって構成される。ノード FN_{SW} には、トランジスタ M 1 1 を介してコンフィギュレーションデータ D_{SW} が与えられる。このコンフィギュレーションデータ D_{SW} の電位は、トランジスタ M 1 1 を非導通状態とすることで、保持することができる。保持したコンフィギュレーションデータ D_{SW} の電位によって、トランジスタ M 1 2 の導通状態が切り替えられ、端子 IN と端子 OUT の間の接続を切り替えることができる。

【0406】

図 5 1 (D) は、ロジックエレメント 1 5 2 2 の役割を説明するための模式図である。ロジックエレメント 1 5 2 2 は、コンフィギュレーションメモリ 1 5 2 7 に記憶したコンフ

10

20

30

40

50

ィギュレーションデータに応じて、端子OUT_{m e m}の電位を切り替えることができる。ルックアップテーブル1524は、端子OUT_{m e m}の電位に応じて、端子INの信号を処理する組み合わせ回路の機能を切り替えることができる。またロジックエレメント1522は、順序回路であるレジスタ1525と、端子OUTの信号を切り替えるためのセクタ1526を有する。セクタ1526は、コンフィギュレーションメモリ1527から出力される端子OUT_{m e m}の電位に応じて、ルックアップテーブル1524の信号の出力か、レジスタ1525の信号の出力か、を選択することができる。

【0407】

図51(E)には、コンフィギュレーションメモリ1527として機能する回路構成の一例を示す。コンフィギュレーションメモリ1527は、酸化物半導体を用いたトランジスタで構成されるトランジスタM13、トランジスタM14と、シリコンを用いたトランジスタで構成されるトランジスタM15、トランジスタM16と、によって構成される。ノードFN_{L E}には、トランジスタM13を介してコンフィギュレーションデータD_{L E}が与えられる。ノードBFN_{L E}には、トランジスタM14を介してコンフィギュレーションデータBD_{L E}が与えられる。コンフィギュレーションデータBD_{L E}は、コンフィギュレーションデータD_{L E}の論理が反転した電位に相当する。このコンフィギュレーションデータD_{L E}、コンフィギュレーションデータBD_{L E}の電位は、トランジスタM13、トランジスタM14を非導通状態とすることで、保持することができる。保持したコンフィギュレーションデータD_{L E}、コンフィギュレーションデータBD_{L E}の電位によって、トランジスタM15またはトランジスタM16の一方の導通状態が切り替えられ、端子OUT_{m e m}には電位VDDまたは電位VSSを与えることができる。

【0408】

図51の構成に対して、上述したトランジスタ、論理回路および記憶装置などを適用することができる。例えばトランジスタM12、トランジスタM15、トランジスタM16を、シリコンを用いたトランジスタで構成し、トランジスタM11、トランジスタM13、トランジスタM14を、酸化物半導体を用いたトランジスタで構成する。この場合、シリコン基板上にシリコンを用いたトランジスタを作製し、その後、シリコンを用いたトランジスタの上方に酸化物半導体を用いたトランジスタを作製することで、FPGAのチップサイズを縮小することができる。また、酸化物半導体を用いたトランジスタの低いオフ電流を有する特性と、シリコンを用いたトランジスタの高いオン電流を有する特性と、を組み合わせることにによって、消費電力が小さく、動作速度の高いFPGAとすることができる。

【0409】

<CPU>

以下では、上述したトランジスタや上述した記憶装置などの半導体装置を含むCPUについて説明する。

【0410】

図52は、上述したトランジスタを一部に用いたCPUの一例の構成を示すブロック図である。

【0411】

図52に示すCPUは、基板1190上に、ALU1191(ALU: Arithmetic logic unit、演算回路)、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、タイミングコントローラ1195、レジスタ1196、レジスタコントローラ1197、バスインターフェース1198、書き換え可能なROM1199、およびROMインターフェース1189を有している。基板1190は、半導体基板、SOI基板、ガラス基板などを用いる。ROM1199およびROMインターフェース1189は、別チップに設けてもよい。もちろん、図52に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図52に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するよ

10

20

30

40

50

うな構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

【0412】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

【0413】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行なう。

10

【0414】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

20

【0415】

図52に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、上述したトランジスタや記憶装置などを用いることができる。

【0416】

図52に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。即ち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

30

【0417】

図53は、レジスタ1196として用いることのできる記憶素子1200の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していてもよい。

40

【0418】

ここで、回路1202には、上述した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートにはGND(0V)、またはトランジスタ1209がオフする電位が入力され続ける構成とする。例えば、トランジスタ1209のゲートが抵抗等の負荷を介して接地される構成とする。

【0419】

スイッチ1203は、一導電型(例えば、nチャネル型)のトランジスタ1213を用いて構成され、スイッチ1204は、一導電型とは逆の導電型(例えば、pチャネル型)の

50

トランジスタ1214を用いて構成した例を示す。ここで、スイッチ1203の第1の端子はトランジスタ1213のソースとドレインの一方に対応し、スイッチ1203の第2の端子はトランジスタ1213のソースとドレインの他方に対応し、スイッチ1203はトランジスタ1213のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1213の導通状態または非導通状態）が選択される。スイッチ1204の第1の端子はトランジスタ1214のソースとドレインの一方に対応し、スイッチ1204の第2の端子はトランジスタ1214のソースとドレインの他方に対応し、スイッチ1204はトランジスタ1214のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ1214の導通状態または非導通状態）が選択される。

10

【0420】

トランジスタ1209のソースとドレインの一方は、容量素子1208の一对の電極のうちの一方、およびトランジスタ1210のゲートと電気的に接続される。ここで、接続部分をノードM2とする。トランジスタ1210のソースとドレインの一方は、低電源電位を供給することのできる配線（例えばGND線）に電気的に接続され、他方は、スイッチ1203の第1の端子（トランジスタ1213のソースとドレインの一方）と電気的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）はスイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と電気的に接続される。スイッチ1204の第2の端子（トランジスタ1214のソースとドレインの他方）は電源電位VDDを供給することのできる配線と電気的に接続される。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）と、スイッチ1204の第1の端子（トランジスタ1214のソースとドレインの一方）と、論理素子1206の入力端子と、容量素子1207の一对の電極のうちの一方と、は電気的に接続される。ここで、接続部分をノードM1とする。容量素子1207の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1207の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電気的に接続される。容量素子1208の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子1208の一对の電極のうちの他方は、低電源電位を供給することのできる配線（例えばGND線）と電気的に接続される。

20

30

【0421】

なお、容量素子1207および容量素子1208は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0422】

トランジスタ1209のゲートには、制御信号WEが入力される。スイッチ1203およびスイッチ1204は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

40

【0423】

トランジスタ1209のソースとドレインの他方には、回路1201に保持されたデータに対応する信号が入力される。図53では、回路1201から出力された信号が、トランジスタ1209のソースとドレインの他方に入力される例を示した。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

【0424】

なお、図53では、スイッチ1203の第2の端子（トランジスタ1213のソースとド

50

レインの他方) から出力される信号は、論理素子 1 2 0 6 および回路 1 2 2 0 を介して回路 1 2 0 1 に入力する例を示したがこれに限定されない。スイッチ 1 2 0 3 の第 2 の端子 (トランジスタ 1 2 1 3 のソースとドレインの他方) から出力される信号が、論理値を反転させられることなく、回路 1 2 0 1 に入力されてもよい。例えば、回路 1 2 0 1 内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ 1 2 0 3 の第 2 の端子 (トランジスタ 1 2 1 3 のソースとドレインの他方) から出力される信号を当該ノードに入力することができる。

【0425】

また、図 5 3 において、記憶素子 1 2 0 0 に用いられるトランジスタのうち、トランジスタ 1 2 0 9 以外のトランジスタは、酸化物半導体以外の半導体でなる膜または基板 1 1 9 0 にチャンネルが形成されるトランジスタとすることができる。例えば、シリコン膜またはシリコン基板にチャンネルが形成されるトランジスタとすることができる。また、記憶素子 1 2 0 0 に用いられるトランジスタ全てを、チャンネルが酸化物半導体で形成されるトランジスタとすることもできる。または、記憶素子 1 2 0 0 は、トランジスタ 1 2 0 9 以外にも、チャンネルが酸化物半導体で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる膜または基板 1 1 9 0 にチャンネルが形成されるトランジスタとすることもできる。

【0426】

図 5 3 における回路 1 2 0 1 には、例えばフリップフロップ回路を用いることができる。また、論理素子 1 2 0 6 としては、例えばインバータやクロックドインバータ等を用いることができる。

【0427】

本発明の一態様に係る半導体装置では、記憶素子 1 2 0 0 に電源電圧が供給されない間は、回路 1 2 0 1 に記憶されていたデータを、回路 1 2 0 2 に設けられた容量素子 1 2 0 8 によって保持することができる。

【0428】

また、酸化物半導体にチャンネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体にチャンネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャンネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ 1 2 0 9 として用いることによって、記憶素子 1 2 0 0 に電源電圧が供給されない間も容量素子 1 2 0 8 に保持された信号は長期間にわたり保たれる。こうして、記憶素子 1 2 0 0 は電源電圧の供給が停止した間も記憶内容 (データ) を保持することが可能である。

【0429】

また、スイッチ 1 2 0 3 およびスイッチ 1 2 0 4 を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路 1 2 0 1 が元のデータを保持しなおすまでの時間を短くすることができる。

【0430】

また、回路 1 2 0 2 において、容量素子 1 2 0 8 によって保持された信号はトランジスタ 1 2 1 0 のゲートに入力される。そのため、記憶素子 1 2 0 0 への電源電圧の供給が再開された後、容量素子 1 2 0 8 によって保持された信号に応じてトランジスタ 1 2 1 0 の状態 (導通状態、または非導通状態) が決まり、その信号を回路 1 2 0 2 から読み出すことができる。それ故、容量素子 1 2 0 8 に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0431】

このような記憶素子 1 2 0 0 を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を

10

20

30

40

50

抑えることができる。

【0432】

記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP (Digital Signal Processor)、カスタムLSI、PLD (Programmable Logic Device) 等のLSI、RF (Radio Frequency) デバイスにも応用可能である。

【0433】

<表示装置>

以下では、本発明の一態様に係る表示装置について、図54および図56を用いて説明する。

10

【0434】

表示装置に用いられる表示素子としては液晶素子（液晶表示素子ともいう。）、発光素子（発光表示素子ともいう。）などを用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL (Electroluminescence)、有機ELなどを含む。以下では、表示装置の一例としてEL素子を用いた表示装置（EL表示装置）および液晶素子を用いた表示装置（液晶表示装置）について説明する。

【0435】

なお、以下に示す表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むICなどを実装した状態にあるモジュールとを含む。

20

【0436】

また、以下に示す表示装置は画像表示デバイス、または光源（照明装置含む）を指す。また、コネクタ、例えばFPC、TCPが取り付けられたモジュール、TCPの先にプリント配線板を有するモジュールまたは表示素子にCOG方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

【0437】

図54は、本発明の一態様に係るEL表示装置の一例である。図54（A）に、EL表示装置の画素の回路図を示す。図54（B）は、EL表示装置全体を示す上面図である。

【0438】

図54（A）は、EL表示装置に用いられる画素の回路図の一例である。

30

【0439】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であるといえる。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先として複数の箇所が想定される場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

40

【0440】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であるといえる。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として

50

開示されているものであり、発明の一態様を構成することが可能である。

【0441】

図54(A)に示すEL表示装置は、スイッチ素子743と、トランジスタ741と、容量素子742と、発光素子719と、を有する。

【0442】

なお、図54(A)などは、回路構成の一例であるため、さらに、トランジスタを追加することが可能である。逆に、図54(A)の各ノードにおいて、トランジスタ、スイッチ、受動素子などを追加しないようにすることも可能である。

【0443】

トランジスタ741のゲートはスイッチ素子743の一端および容量素子742の一方の電極と電氣的に接続される。トランジスタ741のソースは容量素子742の他方の電極と電氣的に接続され、発光素子719の一方の電極と電氣的に接続される。トランジスタ741のドレインは電源電位VDDが与えられる。スイッチ素子743の他端は信号線744と電氣的に接続される。発光素子719の他方の電極は定電位が与えられる。なお、定電位は接地電位GNDまたはそれより小さい電位とする。

【0444】

スイッチ素子743としては、トランジスタを用いると好ましい。トランジスタを用いることで、画素の面積を小さくでき、解像度の高いEL表示装置とすることができる。また、スイッチ素子743として、トランジスタ741と同一工程を経て作製されたトランジスタを用いると、EL表示装置の生産性を高めることができる。なお、トランジスタ741または／およびスイッチ素子743としては、例えば、上述したトランジスタを適用することができる。

【0445】

図54(B)は、EL表示装置の上面図である。EL表示装置は、基板700と、基板750と、絶縁体422と、絶縁体408と、シール材734と、駆動回路735と、駆動回路736と、画素737と、FPC732と、を有する。シール材734は、画素737、駆動回路735および駆動回路736を囲むように基板700と基板750との間に配置される。なお、駆動回路735または／および駆動回路736をシール材734の外側に配置しても構わない。

【0446】

図54(C)は、図54(B)の一点鎖線M-Nの一部に対応するEL表示装置の断面図である。

【0447】

図54(C)には、トランジスタ741として、基板700上の導電体713aと、導電体713a上の絶縁体702と、絶縁体702上にあり導電体713aと重なる絶縁体706aおよび半導体706bと、半導体706b上の絶縁体706cと、絶縁体706c上の絶縁体712と、絶縁体712上にあり半導体706bと重なる導電体704と、を有する構造を示す。絶縁体706aおよび半導体706bは、領域707aおよび領域707bを有する。なお、トランジスタ741の構造は一例であり、図54(C)に示す構造と異なる構造であっても構わない。

【0448】

したがって、図54(C)に示すトランジスタ741において、導電体713aはゲート電極としての機能を有し、絶縁体702はゲート絶縁体としての機能を有し、領域707aはソースとしての機能を有し、領域707bはドレインとしての機能を有し、絶縁体712はゲート絶縁体としての機能を有し、導電体704はゲート電極としての機能を有する。なお、半導体706bは、光が当たることによって電気特性が変動する場合がある。したがって、導電体713a、領域707a、領域707b、導電体704のいずれか一以上が遮光性を有すると好ましい。

【0449】

図54(C)には、容量素子742として、基板700上の導電体713bと、導電体7

10

20

30

40

50

13b上の絶縁体702と、絶縁体702上の電極707cと、を有する構造を示す。

【0450】

容量素子742において、導電体713bは一方の電極として機能し、電極707cは他方の電極として機能する。

【0451】

電極707cは、トランジスタの絶縁体706aおよび半導体706bと同じ表面にある層に形成される。したがって、容量素子742は、トランジスタ741と共通する膜を用いて作製することができる。また、導電体713aおよび導電体713bを同種の導電体とすると好ましい。その場合、導電体713aおよび導電体713bは、同一工程を経て形成することができる。

10

【0452】

トランジスタ741および容量素子742上には、絶縁体718が配置される。ここで、絶縁体718は、トランジスタ741のソースとして機能する領域707bに達する開口部を有してもよい。絶縁体718上には、導電体781が配置される。導電体781は、絶縁体718の開口部を介してトランジスタ741と電気的に接続してもよい。

【0453】

導電体781上には、導電体781に達する開口部を有する隔壁784が配置される。隔壁784上には、隔壁784の開口部で導電体781と接する発光層782が配置される。発光層782上には、導電体783が配置される。導電体781、発光層782および導電体783の重なる領域が、発光素子719となる。

20

【0454】

ここで、絶縁体422および絶縁体408は、バリア性を有する絶縁体である。即ち、図54に示す表示装置は、トランジスタ741がバリア性を有する絶縁体に囲まれた構造を有する。ただし、絶縁体422および絶縁体408のいずれか一以上を有さなくてもよい。

【0455】

なお、EL表示装置を高精細化するために、トランジスタ、容量素子または／および配線層などを積層させてもよい。

【0456】

図55は、半導体基板上に作製したEL表示装置の画素を示す断面図の一例である。

30

【0457】

図55に示すEL表示装置は、半導体基板801と、基板802と、絶縁体803と、絶縁体804と、絶縁体805と、接着層806と、フィルタ807と、フィルタ808と、フィルタ809と、絶縁体811と、絶縁体812と、絶縁体813と、絶縁体814と、絶縁体815と、絶縁体816と、絶縁体817と、絶縁体818と、絶縁体819と、絶縁体820と、絶縁体821と、導電体831と、導電体832と、導電体833と、導電体834と、導電体835と、導電体836と、導電体837と、導電体838と、導電体839と、導電体840と、導電体841と、導電体842と、導電体843と、導電体844と、導電体845と、導電体846と、導電体847と、導電体848と、導電体849と、導電体850と、導電体851、導電体852と、導電体853と、導電体854と、導電体855と、導電体856と、導電体857と、導電体858と、導電体859と、導電体860と、導電体861と、導電体862と、絶縁体871と、導電体872と、絶縁体873と、絶縁体874と、領域875と、領域876と、絶縁体877と、絶縁体878と、絶縁体881と、導電体882と、絶縁体883と、絶縁体884と、領域885と、領域886と、層887と、層888と、発光層893と、を有する。

40

【0458】

また、半導体基板801と、絶縁体871と、導電体872と、絶縁体873と、絶縁体874と、領域875と、領域876と、によって、トランジスタ891が構成される。半導体基板801は、チャンネル形成領域としての機能を有する。絶縁体871は、ゲート

50

絶縁体としての機能を有する。導電体 872 は、ゲート電極としての機能を有する。絶縁体 873 は、側壁絶縁体としての機能を有する。絶縁体 874 は、側壁絶縁体としての機能を有する。領域 875 は、ソース領域または／およびドレイン領域としての機能を有する。領域 876 は、ソース領域または／およびドレイン領域としての機能を有する。

【0459】

導電体 872 は、絶縁体 871 を介して半導体基板 801 の一部と重なる領域を有する。領域 875 および領域 876 は、半導体基板 801 に不純物が添加された領域である。または、半導体基板 801 がシリコン基板である場合、シリサイドの形成された領域であってもよい。例えば、タングステンシリサイド、チタンシリサイド、コバルトシリサイドまたはニッケルシリサイドなどを有する領域であってもよい。領域 875 および領域 876 は、導電体 872、絶縁体 873 および絶縁体 874 などによって、自己整合的に形成することができる。したがって、半導体基板 801 のチャンネル形成領域を挟む位置に、それぞれ領域 875 および領域 876 が配置される。

10

【0460】

トランジスタ 891 は、絶縁体 873 を有することにより、領域 875 とチャンネル形成領域との間を空けることができる。したがって、絶縁体 873 を有することにより、領域 875 から生じる電界に起因してトランジスタ 891 が破壊または劣化することを抑制することができる。また、トランジスタ 891 は、絶縁体 874 を有することにより、領域 876 とチャンネル形成領域との間を空けることができる。したがって、絶縁体 874 を有することにより、領域 876 から生じる電界に起因してトランジスタ 891 が破壊または劣化することを抑制することができる。なお、トランジスタ 891 は、領域 875 とチャンネル形成領域との間隔よりも、領域 876 とチャンネル形成領域との間隔が広い構造を有する。例えば、トランジスタ 891 の動作時において、領域 875 とチャンネル形成領域との電位差よりも、領域 876 とチャンネル形成領域との電位差のほうが大きくなることが多い場合、高いオン電流および高い信頼性を両立することができる構造である。

20

【0461】

また、半導体基板 801 と、絶縁体 881 と、導電体 882 と、絶縁体 883 と、絶縁体 884 と、領域 885 と、領域 886 と、によって、トランジスタ 892 が構成される。半導体基板 801 は、チャンネル形成領域としての機能を有する。絶縁体 881 は、ゲート絶縁体としての機能を有する。導電体 882 は、ゲート電極としての機能を有する。絶縁体 883 は、側壁絶縁体としての機能を有する。絶縁体 884 は、側壁絶縁体としての機能を有する。領域 885 は、ソース領域または／およびドレイン領域としての機能を有する。領域 886 は、ソース領域または／およびドレイン領域としての機能を有する。

30

【0462】

導電体 882 は、絶縁体 881 を介して半導体基板 801 の一部と重なる領域を有する。領域 885 および領域 886 は、半導体基板 801 に不純物が添加された領域である。または、半導体基板 801 がシリコン基板である場合、シリサイドの形成された領域である。領域 885 および領域 886 は、導電体 882、絶縁体 883 および絶縁体 884 などによって、自己整合的に形成することができる。したがって、半導体基板 801 のチャンネル形成領域を挟む位置に、それぞれ領域 885 および領域 886 が配置される。

40

【0463】

トランジスタ 892 は、絶縁体 883 を有することにより、領域 885 とチャンネル形成領域との間を空けることができる。したがって、絶縁体 883 を有することにより、領域 885 から生じる電界に起因してトランジスタ 892 が破壊または劣化することを抑制することができる。また、トランジスタ 892 は、絶縁体 884 を有することにより、領域 886 とチャンネル形成領域との間を空けることができる。したがって、絶縁体 884 を有することにより、領域 886 から生じる電界に起因してトランジスタ 892 が破壊または劣化することを抑制することができる。なお、トランジスタ 892 は、領域 885 とチャンネル形成領域との間隔よりも、領域 886 とチャンネル形成領域との間隔が広い構造を有する。例えば、トランジスタ 892 の動作時において、領域 885 とチャンネル形成領域との電

50

位差よりも、領域 886 とチャネル形成領域との電位差のほうが大きくなることが多い場合、高いオン電流および高い信頼性を両立することができる構造である。

【0464】

絶縁体 877 は、トランジスタ 891 およびトランジスタ 892 を覆うように配置される。したがって、絶縁体 877 は、トランジスタ 891 およびトランジスタ 892 の保護膜としての機能を有する。絶縁体 803、絶縁体 804 および絶縁体 805 は、素子を分離する機能を有する。例えば、トランジスタ 891 とトランジスタ 892 とは、絶縁体 803 および絶縁体 804 を間に有することによって素子分離される。

【0465】

導電体 851、導電体 852、導電体 853、導電体 854、導電体 855、導電体 856、導電体 857、導電体 858、導電体 859、導電体 860、導電体 861 および導電体 862 は、素子と素子、素子と配線、配線と配線などを電氣的に接続する機能を有する。よって、これらの導電体を配線またはプラグと言い換えることもできる。

10

【0466】

導電体 831、導電体 832、導電体 833、導電体 834、導電体 835、導電体 836、導電体 837、導電体 838、導電体 839、導電体 840、導電体 841、導電体 842、導電体 843、導電体 844、導電体 845、導電体 846、導電体 847、導電体 849、導電体 850 は、配線、電極または／および遮光層としての機能を有する。

【0467】

例えば、導電体 836 および導電体 844 は、絶縁体 817 を有する容量素子の電極としての機能を有する。例えば、導電体 838 および導電体 845 は、絶縁体 818 を有する容量素子の電極としての機能を有する。例えば、導電体 840 および導電体 846 は、絶縁体 819 を有する容量素子の電極としての機能を有する。例えば、導電体 842 および導電体 847 は、絶縁体 820 を有する容量素子の電極としての機能を有する。なお、導電体 836 と導電体 838 とが電氣的に接続していてもよい。また、導電体 844 と導電体 845 とが電氣的に接続していてもよい。また、導電体 840 と導電体 842 とが電氣的に接続していてもよい。また、導電体 846 と導電体 847 とが電氣的に接続していてもよい。

20

【0468】

絶縁体 811、絶縁体 812、絶縁体 813、絶縁体 814、絶縁体 815 および絶縁体 816 は、層間絶縁体としての機能を有する。絶縁体 811、絶縁体 812、絶縁体 813、絶縁体 814、絶縁体 815 および絶縁体 816 は、表面が平坦化されていると好ましい。

30

【0469】

導電体 831、導電体 832、導電体 833 および導電体 834 は、絶縁体 811 上に配置される。導電体 851 は、絶縁体 811 の開口部に配置される。導電体 851 は、導電体 831 と領域 875 とを電氣的に接続する。導電体 852 は、絶縁体 811 の開口部に配置される。導電体 852 は、導電体 833 と領域 885 とを電氣的に接続する。導電体 853 は、絶縁体 811 の開口部に配置される。導電体 853 は、導電体 834 と領域 886 とを電氣的に接続する。

40

【0470】

導電体 835、導電体 836、導電体 837 および導電体 838 は、絶縁体 812 上に配置される。導電体 836 上には絶縁体 817 が配置される。絶縁体 817 上には導電体 844 が配置される。導電体 838 上には絶縁体 818 が配置される。絶縁体 818 上には導電体 845 が配置される。導電体 854 は、絶縁体 812 の開口部に配置される。導電体 854 は、導電体 835 と導電体 831 とを電氣的に接続する。導電体 855 は、絶縁体 812 の開口部に配置される。導電体 855 は、導電体 837 と導電体 833 とを電氣的に接続する。

【0471】

導電体 839、導電体 840、導電体 841 および導電体 842 は、絶縁体 813 上に配

50

置される。導電体840上には絶縁体819が配置される。絶縁体819上には導電体846が配置される。導電体842上には絶縁体820が配置される。絶縁体820上には導電体847が配置される。導電体856は、絶縁体813の開口部に配置される。導電体856は、導電体839と導電体835とを電氣的に接続する。導電体857は、絶縁体813の開口部に配置される。導電体857は、導電体840と導電体844とを電氣的に接続する。導電体858は、絶縁体813の開口部に配置される。導電体858は、導電体841と導電体837とを電氣的に接続する。導電体859は、絶縁体813の開口部に配置される。導電体859は、導電体842と導電体845とを電氣的に接続する。

【0472】

10

導電体843は、絶縁体814上に配置される。導電体860は、絶縁体814の開口部に配置される。導電体860は、導電体843と導電体846とを電氣的に接続する。導電体861は、導電体843と導電体847とを電氣的に接続する。

【0473】

導電体848は、絶縁体815上に配置される。導電体848は、電氣的に浮いていてもよい。なお、導電体848は、遮光層としての機能を有すれば、導電体に限定されない。例えば、遮光性を有する絶縁体または半導体であってもよい。

【0474】

導電体849は、絶縁体816上に配置される。絶縁体821は、絶縁体816上および導電体849上に配置される。絶縁体821は、導電体849を露出する開口部を有する。発光層893は、導電体849上および絶縁体821上に配置される。導電体850は、発光層893上に配置される。

20

【0475】

したがって、導電体849と導電体850とに電位差を与えることで、発光層893から発光が生じる。そのため、導電体849と、導電体850と、発光層893と、は発光素子としての機能を有する。なお、絶縁体821は、隔壁としての機能を有する。

【0476】

絶縁体878は、導電体850上に配置される。絶縁体878は、発光素子を覆うため、保護絶縁体としての機能を有する。例えば、絶縁体878がバリア性を有する絶縁体であってもよい。また、バリア性を有する絶縁体で、発光素子を囲む構造としてもよい。

30

【0477】

基板802は、透光性を有する基板を用いればよい。例えば、基板750についての記載を参照する。基板802には、層887および層888が設けられる。層887および層888は、遮光層としての機能を有する。遮光層としては、例えば、樹脂や金属などを用いればよい。層887および層888を有することによって、EL表示装置のコントラストを向上させることや色のにじみを低減させることなどができる。

【0478】

フィルタ807、フィルタ808およびフィルタ809は、カラーフィルタとしての機能を有する。例えば、フィルタ2054についての記載を参照する。フィルタ808は、層888、基板802および層887にまたがって配置される。フィルタ807は、層888においてフィルタ808と重なる領域を有する。フィルタ809は、層887においてフィルタ808と重なる領域を有する。フィルタ807、フィルタ808およびフィルタ809は、それぞれ厚さが異なってもよい。フィルタの厚さが異なることによって、発光素子からの光取り出し効率が高くなる場合がある。

40

【0479】

フィルタ807、フィルタ808およびフィルタ809と、絶縁体878と、の間には、接着層806が配置される。

【0480】

図55に示したEL表示装置は、トランジスタ、容量素子または／および配線層などが積層した構造を有するため、画素を縮小することができる。そのため、高精細なEL表示装

50

置を実現することができる。

【0481】

ここまでは、EL表示装置の例について説明した。次に、液晶表示装置の例について説明する。

【0482】

図56(A)は、液晶表示装置の画素の構成例を示す回路図である。図56に示す画素は、トランジスタ751と、容量素子752と、一对の電極間に液晶の充填された素子(液晶素子)753とを有する。

【0483】

トランジスタ751では、ソース、ドレインの一方が信号線755に電氣的に接続され、ゲートが走査線754に電氣的に接続されている。

10

【0484】

容量素子752では、一方の電極がトランジスタ751のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。

【0485】

液晶素子753では、一方の電極がトランジスタ751のソース、ドレインの他方に電氣的に接続され、他方の電極が共通電位を供給する配線に電氣的に接続されている。なお、上述した容量素子752の他方の電極が電氣的に接続する配線に与えられる共通電位と、液晶素子753の他方の電極に与えられる共通電位とが異なる電位であってもよい。

【0486】

20

なお、液晶表示装置も、上面図はEL表示装置と同様として説明する。図54(B)の一点鎖線M-Nに対応する液晶表示装置の断面図を図56(B)に示す。図56(B)において、FPC732は、端子731を介して配線733aと接続される。なお、配線733aは、トランジスタ751を構成する導電体または半導体のいずれかと同種の導電体または半導体を用いてもよい。

【0487】

トランジスタ751は、トランジスタ741についての記載を参照する。また、容量素子752は、容量素子742についての記載を参照する。なお、図56(B)には、図54(C)の容量素子742に対応した容量素子752の構造を示したが、これに限定されない。

30

【0488】

なお、トランジスタ751の半導体に酸化物半導体を用いた場合、極めてオフ電流の小さいトランジスタとすることができる。したがって、容量素子752に保持された電荷がリークしにくく、長期間に渡って液晶素子753に印加される電圧を維持することができる。そのため、動きの少ない動画や静止画の表示の際に、トランジスタ751をオフ状態とすることで、トランジスタ751の動作のための電力が不要となり、消費電力の小さい液晶表示装置とすることができる。また、容量素子752の占有面積を小さくできるため、開口率の高い液晶表示装置、または高精細化した液晶表示装置を提供することができる。

【0489】

トランジスタ751および容量素子752上には、絶縁体718が配置される。ここで、絶縁体718は、トランジスタ751に達する開口部を有する。絶縁体718上には、導電体791が配置される。導電体791は、絶縁体718の開口部を介してトランジスタ751と電氣的に接続する。

40

【0490】

ここで、絶縁体422および絶縁体408は、バリア性を有する絶縁体である。即ち、図56に示す表示装置は、トランジスタ751がバリア性を有する絶縁体に囲まれた構造を有する。ただし、絶縁体422および絶縁体408のいずれか一以上を有さなくてもよい。

【0491】

導電体791上には、配向膜として機能する絶縁体792が配置される。絶縁体792上

50

には、液晶層 793 が配置される。液晶層 793 上には、配向膜として機能する絶縁体 794 が配置される。絶縁体 794 上には、スペーサ 795 が配置される。スペーサ 795 および絶縁体 794 上には、導電体 796 が配置される。導電体 796 上には、基板 797 が配置される。

【0492】

例えば、本明細書等において、表示素子、表示素子を有する装置である表示装置、発光素子、および発光素子を有する装置である発光装置は、様々な形態を用いること、または様々な素子を有することができる。表示素子、表示装置、発光素子または発光装置は、例えば、EL素子、白色、赤色、緑色または青色などの発光ダイオード（LED: Light Emitting Diode）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、プラズマディスプレイパネル（PDP）、MEMS（マイクロ・エレクトロ・メカニカル・システム）を用いた表示素子（例えば、グレーティングライトバルブ（GLV）、デジタルマイクロミラーデバイス（DMD）、DMS（デジタル・マイクロ・シャッター）、IMOD（インターフェロメトリック・モジュレーション）素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、圧電セラミックディスプレイなど）、エレクトロウェットティング素子、カーボンナノチューブを用いた表示素子、量子ドットなどの少なくとも一つを有している。これらの他にも、電氣的または磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有していてもよい。

【0493】

EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）またはSED方式平面型ディスプレイ（SED: Surface-conduction Electron-emitter Display）などがある。各画素に量子ドットを有する表示装置の一例としては、量子ドットディスプレイなどがある。なお、量子ドットは、表示素子の一部、バックライトの一部、またはバックライトと表示素子との間に配置すればよい。量子ドットを用いることにより、色純度の高い表示装置を作製することができる。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク、または電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。なお、半透過型液晶ディスプレイや反射型液晶ディスプレイを実現する場合には、画素電極の一部、または、全部が、反射電極としての機能を有するようにすればよい。例えば、画素電極の一部または全部が、アルミニウム、銀、などを有するようにすればよい。さらに、その場合、反射電極の下に、SRAMなどの記憶回路を設けることも可能である。これにより、さらに、消費電力を低減することができる。

【0494】

なお、LEDチップを用いる場合、LEDチップの電極や窒化物半導体の下に、グラフェンやグラファイトを配置してもよい。グラフェンやグラファイトは、複数の層を重ねて、多層膜としてもよい。このように、グラフェンやグラファイトを設けることにより、その上に、窒化物半導体、例えば、結晶を有するn型GaN半導体などを容易に成膜することができる。さらに、その上に、結晶を有するp型GaN半導体などを設けて、LEDチップを構成することができる。なお、グラフェンやグラファイトと、結晶を有するn型GaN半導体との間に、AlN層を設けてもよい。なお、LEDチップが有するGaN半導体は、MOCVDで成膜してもよい。ただし、グラフェンを設けることにより、LEDチップが有するGaN半導体は、スパッタリング法で成膜することも可能である。

【0495】

また、MEMSを用いた表示装置は、表示素子が封止されている空間（例えば、表示素子が配置されている素子基板と、素子基板に対向して配置されている対向基板との間）に、乾燥剤を配置してもよい。乾燥剤によって水分を除去できるため、MEMSなどが動きに

くくなることや劣化することを防止することができる。

【0496】

＜電子機器＞

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図57に示す。

10

【0497】

図57（A）は携帯型ゲーム機であり、筐体901、筐体902、表示部903、表示部904、マイクロフォン905、スピーカー906、操作キー907、スタイラス908等を有する。なお、図57（A）に示した携帯型ゲーム機は、2つの表示部903と表示部904とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0498】

図57（B）は携帯データ端末であり、第1筐体911、第2筐体912、第1表示部913、第2表示部914、接続部915、操作キー916等を有する。第1表示部913は第1筐体911に設けられており、第2表示部914は第2筐体912に設けられている。そして、第1筐体911と第2筐体912とは、接続部915により接続されており、第1筐体911と第2筐体912の間の角度は、接続部915により変更が可能である。第1表示部913における映像を、接続部915における第1筐体911と第2筐体912との間の角度にしたがって、切り替える構成としてもよい。また、第1表示部913および第2表示部914の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしてもよい。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。または、位置入力装置としての機能は、

20

30

【0499】

図57（C）はノート型パーソナルコンピュータであり、筐体921、表示部922、キーボード923、ポインティングデバイス924等を有する。

【0500】

図57（D）は電気冷凍冷蔵庫であり、筐体931、冷蔵室用扉932、冷凍室用扉933等を有する。

【0501】

図57（E）はビデオカメラであり、第1筐体941、第2筐体942、表示部943、操作キー944、レンズ945、接続部946等を有する。操作キー944およびレンズ945は第1筐体941に設けられており、表示部943は第2筐体942に設けられている。そして、第1筐体941と第2筐体942とは、接続部946により接続されており、第1筐体941と第2筐体942の間の角度は、接続部946により変更が可能である。表示部943における映像を、接続部946における第1筐体941と第2筐体942との間の角度にしたがって切り替える構成としてもよい。

40

【0502】

図57（F）は自動車であり、車体951、車輪952、ダッシュボード953、ライト954等を有する。

【0503】

50

＜表示領域または発光領域に曲面を有する電子機器＞

以下では、本発明の一態様に係る電子機器の一例である表示領域または発光領域に曲面を有する電子機器について、図58を参照しながら説明する。なお、ここでは、電子機器の一例として、情報機器、特に携帯性を有する情報機器（携帯機器）について説明する。携帯性を有する情報機器としては、例えば、携帯電話機（ファブレット、スマートフォン（スマホ））、タブレット端末（スレートPC）なども含まれる。

【0504】

図58（A-1）は、携帯機器1300Aの外形を説明する斜視図である。図58（A-2）は、携帯機器1300Aの上面図である。図58（A-3）は、携帯機器1300Aの使用状態を説明する図である。

10

【0505】

図58（B-1）および図58（B-2）は、携帯機器1300Bの外形を説明する斜視図である。

【0506】

図58（C-1）および図58（C-2）は、携帯機器1300Cの外形を説明する斜視図である。

【0507】

＜携帯機器＞

携帯機器1300Aは、例えば電話、電子メール作成閲覧、手帳または情報閲覧などの機能から選ばれた一つまたは複数の機能を有する。

20

【0508】

携帯機器1300Aは、筐体の複数の面に沿って表示部が設けられている。例えば、可とう性を有する表示装置を、筐体の内側に沿うように配置することで表示部を設ければよい。これにより、文字情報や画像情報などを第1の領域1311または／および第2の領域1312に表示することができる。

【0509】

例えば、3つの操作の用に供する画像を第1の領域1311に表示することができる（図58（A-1）参照。）。また、図中に破線の矩形で示すように文字情報などを第2の領域1312に表示することができる（図58（A-2）参照。）。

【0510】

30

携帯機器1300Aの上部に第2の領域1312を配置した場合、携帯機器1300Aを洋服の胸ポケットに収納したままの状態、携帯機器1300Aの第2の領域1312に表示された文字や画像情報を、使用者は容易に確認することができる（図58（A-3）参照。）。例えば、着信した電話の発信者の電話番号または氏名などを、携帯機器1300Aの上方から観察できる。

【0511】

なお、携帯機器1300Aは、表示装置と筐体との間、表示装置内または筐体上に入力装置などを有してもよい。入力装置は、例えば、タッチセンサー、光センサー、超音波センサーなどを用いればよい。入力装置を表示装置と筐体との間または筐体上に配置する場合、マトリクススイッチ方式、抵抗膜方式、超音波表面弾性波方式、赤外線方式、電磁誘導方式、静電容量方式などのタッチパネルを用いればよい。また、入力装置を表示装置内に配置する場合、インセルタイプのセンサー、またはオンセルタイプのセンサーなどを用いればよい。

40

【0512】

なお、携帯機器1300Aは、振動センサーなどと、当該振動センサーなどに検知された振動に基づいて、着信を拒否するモードに移行するプログラムを記憶した記憶装置を備えることができる。これにより、使用者は携帯機器1300Aを洋服の上から軽く叩いて振動を与えることにより着信を拒否するモードに移行させることができる。

【0513】

携帯機器1300Bは、第1の領域1311および第2の領域1312を有する表示部と

50

、表示部を支持する筐体 1 3 1 0 を有する。

【0 5 1 4】

筐体 1 3 1 0 は複数の屈曲部を備え、筐体 1 3 1 0 が備える最も長い屈曲部が、第 1 の領域 1 3 1 1 と第 2 の領域 1 3 1 2 に挟まれる。

【0 5 1 5】

携帯機器 1 3 0 0 B は、最も長い屈曲部に沿って設けられた第 2 の領域 1 3 1 2 を側面に向けて使用することができる。

【0 5 1 6】

携帯機器 1 3 0 0 C は、第 1 の領域 1 3 1 1 および第 2 の領域 1 3 1 2 を有する表示部と、表示部を支持する筐体 1 3 1 0 を有する。

10

【0 5 1 7】

筐体 1 3 1 0 は複数の屈曲部を備え、筐体 1 3 1 0 が備える二番目に長い屈曲部が、第 1 の領域 1 3 1 1 と第 2 の領域 1 3 1 2 に挟まれる。

【0 5 1 8】

携帯機器 1 3 0 0 C は、第 2 の領域 1 3 1 2 を上部に向けて使用することができる。

【符号の説明】

【0 5 1 9】

4 0 0 基板

4 0 1 絶縁体

4 0 2 絶縁体

20

4 0 2 a 絶縁体

4 0 2 b 絶縁体

4 0 2 c 絶縁体

4 0 4 導電体

4 0 5 導電体

4 0 6 a 絶縁体

4 0 6 b 半導体

4 0 6 c 絶縁体

4 0 8 絶縁体

4 1 0 絶縁体

30

4 1 1 絶縁体

4 1 2 絶縁体

4 1 3 導電体

4 1 6 導電体

4 1 6 a 導電体

4 1 6 b 導電体

4 1 7 a 領域

4 1 7 b 領域

4 2 0 層

4 2 1 領域

40

4 2 2 絶縁体

4 2 3 層

4 2 4 層

4 2 5 層

4 2 6 層

4 2 8 層

4 2 9 層

4 3 0 層

4 3 2 層

4 3 4 導電体

50

4 3 6 c	絶縁体	
4 4 2	絶縁体	
4 5 0	半導体基板	
4 5 2	絶縁体	
4 5 4	導電体	
4 5 6	領域	
4 6 0	領域	
4 6 2	絶縁体	
4 6 4	絶縁体	
4 6 6	絶縁体	10
4 6 8	絶縁体	
4 7 0	絶縁体	
4 7 2 a	領域	
4 7 2 b	領域	
4 7 4 a	導電体	
4 7 4 b	導電体	
4 7 4 c	導電体	
4 7 6 a	導電体	
4 7 6 b	導電体	
4 7 8 a	導電体	20
4 7 8 b	導電体	
4 7 8 c	導電体	
4 8 0 a	導電体	
4 8 0 b	導電体	
4 8 0 c	導電体	
4 8 2	絶縁体	
4 9 0	トランジスタ	
4 9 2	絶縁体	
4 9 4	絶縁体	
4 9 6 a	導電体	30
4 9 6 b	導電体	
4 9 6 c	導電体	
4 9 6 d	導電体	
4 9 8 a	導電体	
4 9 8 b	導電体	
4 9 8 c	導電体	
4 9 8 d	導電体	
7 0 0	基板	
7 0 2	絶縁体	
7 0 4	導電体	40
7 0 6 a	絶縁体	
7 0 6 b	半導体	
7 0 6 c	絶縁体	
7 0 7 a	領域	
7 0 7 b	領域	
7 0 7 c	電極	
7 1 2	絶縁体	
7 1 3 a	導電体	
7 1 3 b	導電体	
7 1 8	絶縁体	50

7 1 9	発光素子	
7 3 1	端子	
7 3 2	F P C	
7 3 3 a	配線	
7 3 4	シール材	
7 3 5	駆動回路	
7 3 6	駆動回路	
7 3 7	画素	
7 4 1	トランジスタ	
7 4 2	容量素子	10
7 4 3	スイッチ素子	
7 4 4	信号線	
7 5 0	基板	
7 5 1	トランジスタ	
7 5 2	容量素子	
7 5 3	液晶素子	
7 5 4	走査線	
7 5 5	信号線	
7 8 1	導電体	
7 8 2	発光層	20
7 8 3	導電体	
7 8 4	隔壁	
7 9 1	導電体	
7 9 2	絶縁体	
7 9 3	液晶層	
7 9 4	絶縁体	
7 9 5	スペーサ	
7 9 6	導電体	
7 9 7	基板	
8 0 1	半導体基板	30
8 0 2	基板	
8 0 3	絶縁体	
8 0 4	絶縁体	
8 0 5	絶縁体	
8 0 6	接着層	
8 0 7	フィルタ	
8 0 8	フィルタ	
8 0 9	フィルタ	
8 1 1	絶縁体	
8 1 2	絶縁体	40
8 1 3	絶縁体	
8 1 4	絶縁体	
8 1 5	絶縁体	
8 1 6	絶縁体	
8 1 7	絶縁体	
8 1 8	絶縁体	
8 1 9	絶縁体	
8 2 0	絶縁体	
8 2 1	絶縁体	
8 3 1	導電体	50

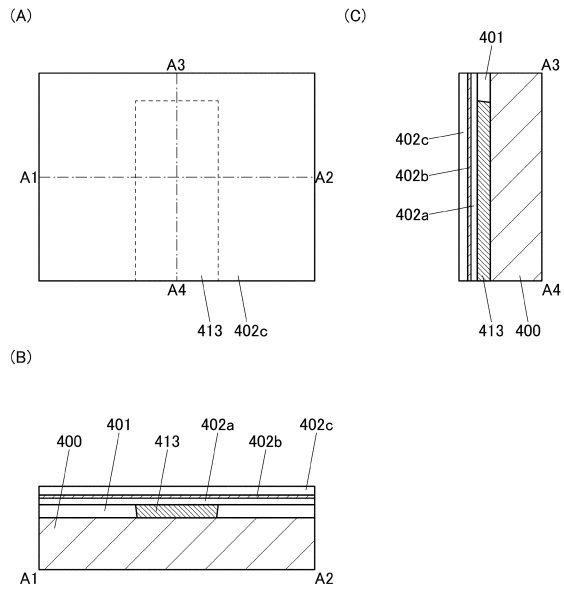
8 3 2	導電体	
8 3 3	導電体	
8 3 4	導電体	
8 3 5	導電体	
8 3 6	導電体	
8 3 7	導電体	
8 3 8	導電体	
8 3 9	導電体	
8 4 0	導電体	
8 4 1	導電体	10
8 4 2	導電体	
8 4 3	導電体	
8 4 4	導電体	
8 4 5	導電体	
8 4 6	導電体	
8 4 7	導電体	
8 4 8	導電体	
8 4 9	導電体	
8 5 0	導電体	
8 5 1	導電体	20
8 5 2	導電体	
8 5 3	導電体	
8 5 4	導電体	
8 5 5	導電体	
8 5 6	導電体	
8 5 7	導電体	
8 5 8	導電体	
8 5 9	導電体	
8 6 0	導電体	
8 6 1	導電体	30
8 6 2	導電体	
8 7 1	絶縁体	
8 7 2	導電体	
8 7 3	絶縁体	
8 7 4	絶縁体	
8 7 5	領域	
8 7 6	領域	
8 7 7	絶縁体	
8 7 8	絶縁体	
8 8 1	絶縁体	40
8 8 2	導電体	
8 8 3	絶縁体	
8 8 4	絶縁体	
8 8 5	領域	
8 8 6	領域	
8 8 7	層	
8 8 8	層	
8 9 1	トランジスタ	
8 9 2	トランジスタ	
8 9 3	発光層	50

9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカ	
9 0 7	操作キー	
9 0 8	スタイラス	
9 1 1	筐体	
9 1 2	筐体	10
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	
9 3 1	筐体	
9 3 2	冷蔵室用扉	20
9 3 3	冷凍室用扉	
9 4 1	筐体	
9 4 2	筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	
9 5 2	車輪	
9 5 3	ダッシュボード	30
9 5 4	ライト	
1 1 8 9	ROMインターフェース	
1 1 9 0	基板	
1 1 9 1	ALU	
1 1 9 2	ALUコントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	
1 1 9 6	レジスタ	
1 1 9 7	レジスタコントローラ	40
1 1 9 8	バスインターフェース	
1 1 9 9	ROM	
1 2 0 0	記憶素子	
1 2 0 1	回路	
1 2 0 2	回路	
1 2 0 3	スイッチ	
1 2 0 4	スイッチ	
1 2 0 6	論理素子	
1 2 0 7	容量素子	
1 2 0 8	容量素子	50

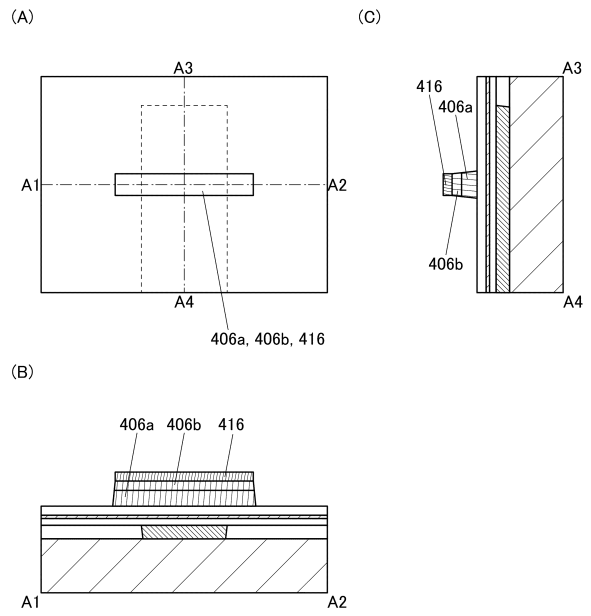
1 2 0 9	トランジスタ	
1 2 1 0	トランジスタ	
1 2 1 3	トランジスタ	
1 2 1 4	トランジスタ	
1 2 2 0	回路	
1 3 0 0 A	携帯機器	
1 3 0 0 B	携帯機器	
1 3 0 0 C	携帯機器	
1 3 1 0	筐体	
1 3 1 1	領域	10
1 3 1 2	領域	
1 5 2 1	ルーティングスイッチエレメント	
1 5 2 2	ロジックエレメント	
1 5 2 3	コンフィギュレーションメモリ	
1 5 2 4	ルックアップテーブル	
1 5 2 5	レジスタ	
1 5 2 6	セレクタ	
1 5 2 7	コンフィギュレーションメモリ	
2 0 0 0	撮像装置	
2 0 0 1	スイッチ	20
2 0 0 2	スイッチ	
2 0 0 3	スイッチ	
2 0 1 0	画素部	
2 0 1 1	画素	
2 0 1 2	副画素	
2 0 1 2 B	副画素	
2 0 1 2 G	副画素	
2 0 1 2 R	副画素	
2 0 2 0	光電変換素子	
2 0 3 0	画素回路	30
2 0 3 1	配線	
2 0 4 7	配線	
2 0 4 8	配線	
2 0 4 9	配線	
2 0 5 0	配線	
2 0 5 3	配線	
2 0 5 4	フィルタ	
2 0 5 4 B	フィルタ	
2 0 5 4 G	フィルタ	
2 0 5 4 R	フィルタ	40
2 0 5 5	レンズ	
2 0 5 6	光	
2 0 5 7	配線	
2 0 6 0	周辺回路	
2 0 7 0	周辺回路	
2 0 8 0	周辺回路	
2 0 9 0	周辺回路	
2 0 9 1	光源	
2 1 0 0	トランジスタ	
2 2 0 0	トランジスタ	50

2 3 0 0	シリコン基板	
2 3 1 0	層	
2 3 2 0	層	
2 3 3 0	層	
2 3 4 0	層	
2 3 5 1	トランジスタ	
2 3 5 2	トランジスタ	
2 3 5 3	トランジスタ	
2 3 5 4	フィルタ	
2 3 5 5	レンズ	10
2 3 6 0	フォトダイオード	
2 3 6 1	アノード	
2 3 6 2	カソード	
2 3 6 3	低抵抗領域	
2 3 7 0	プラグ	
2 3 7 1	配線	
2 3 7 2	配線	
2 3 7 3	配線	
2 4 0 2	絶縁体	
2 4 0 8	絶縁体	20
3 0 0 1	配線	
3 0 0 2	配線	
3 0 0 3	配線	
3 0 0 4	配線	
3 0 0 5	配線	
3 2 0 0	トランジスタ	
3 3 0 0	トランジスタ	
3 4 0 0	容量素子	

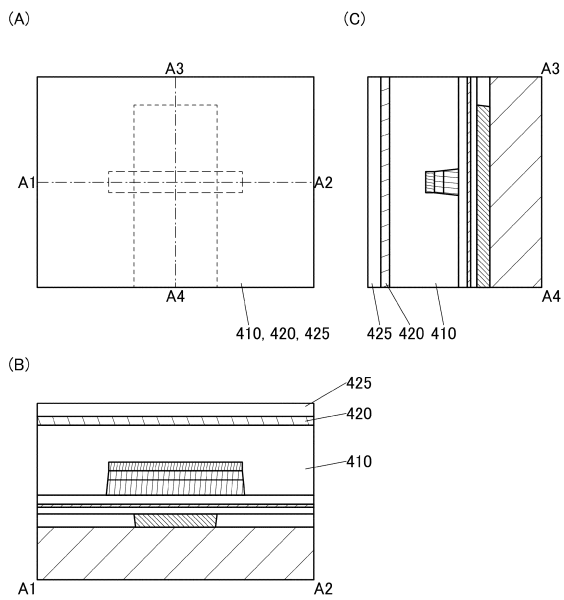
【図 1】



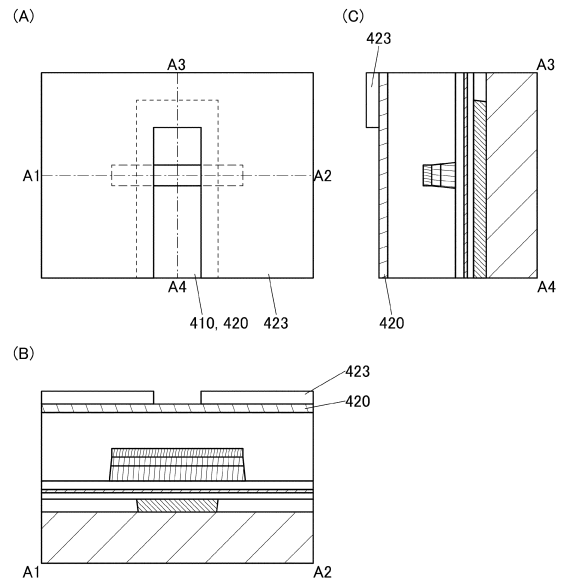
【図 2】



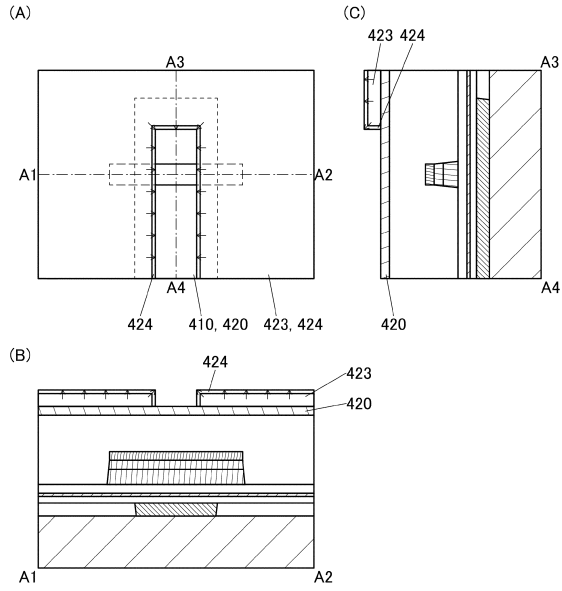
【図 3】



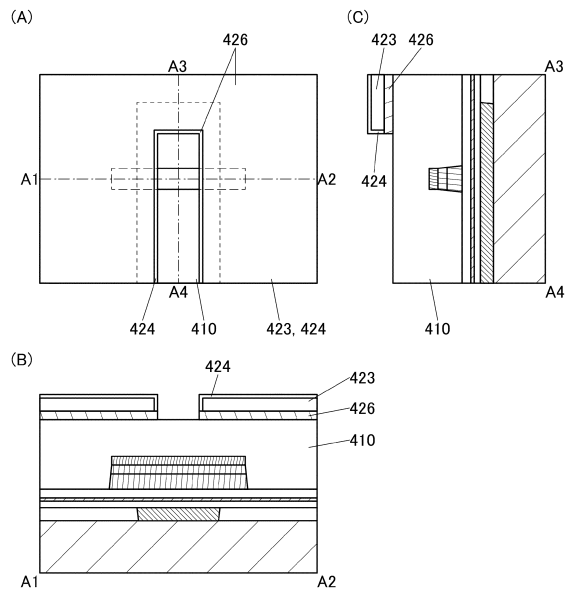
【図 4】



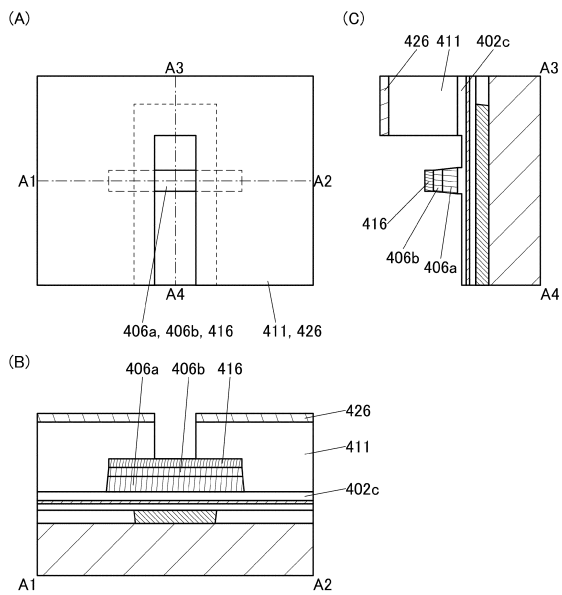
【図 5】



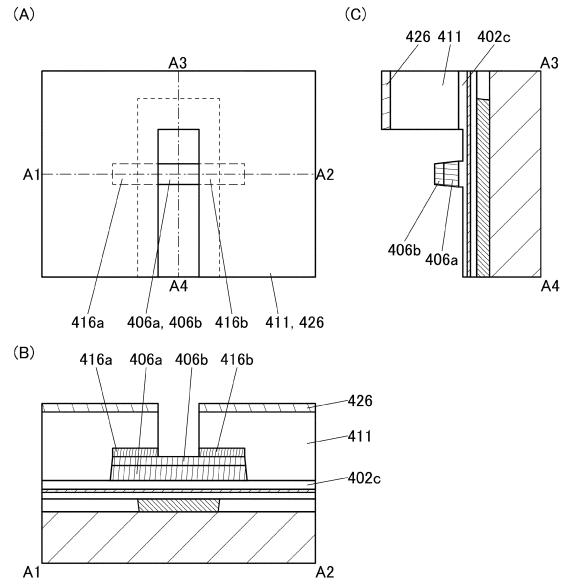
【図 6】



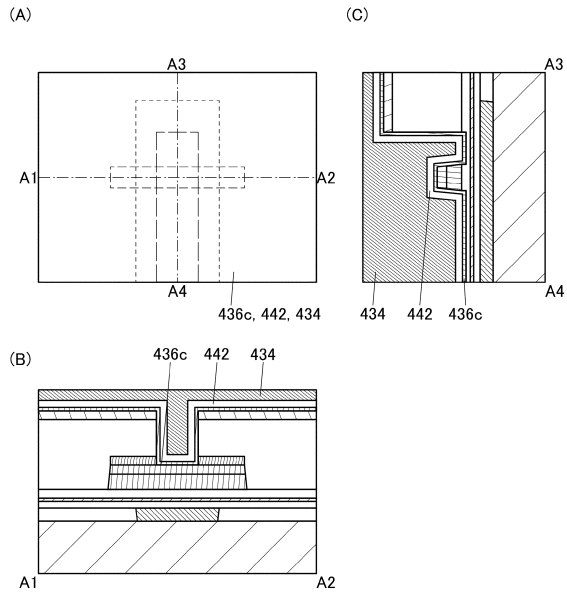
【図 7】



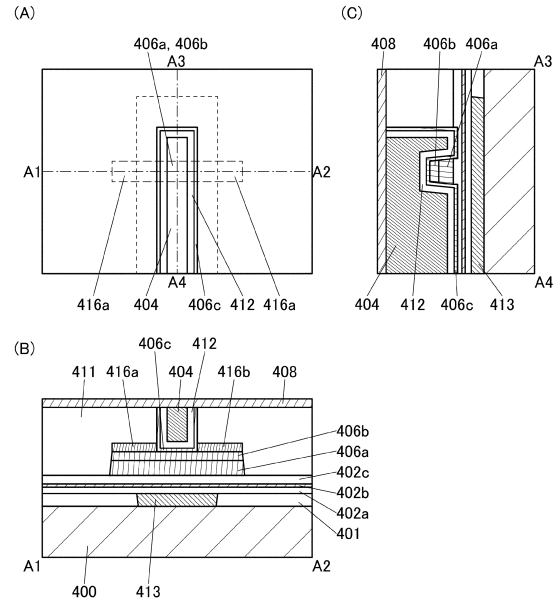
【図 8】



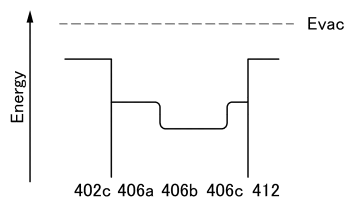
【図 9】



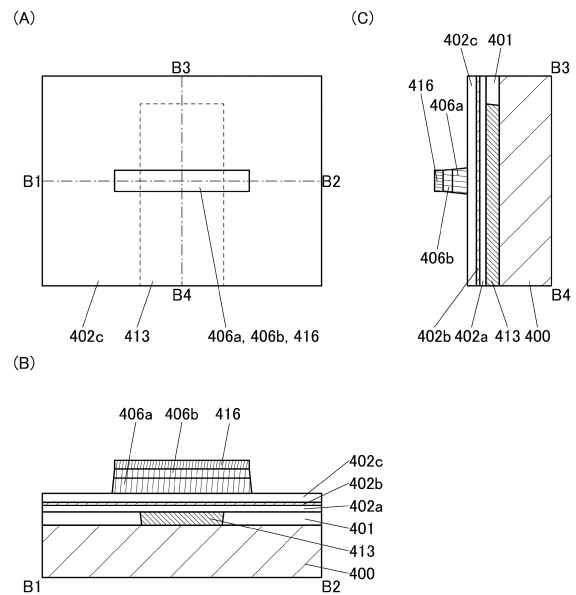
【図 10】



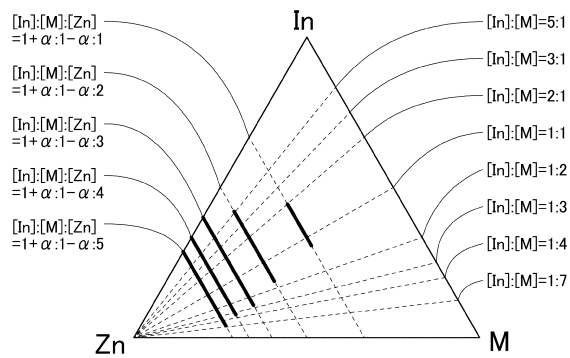
【図 11】



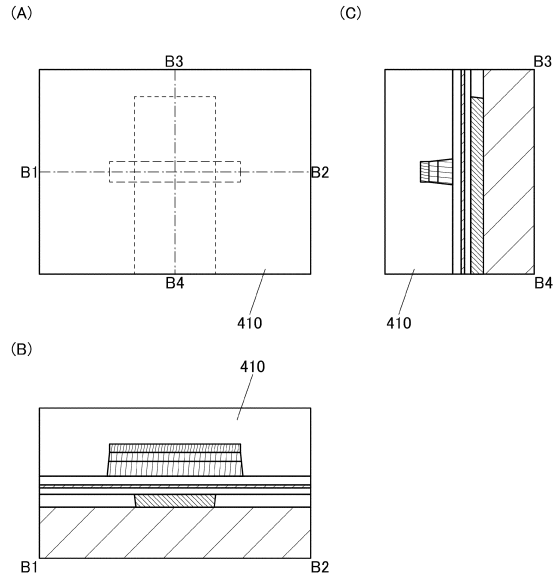
【図 13】



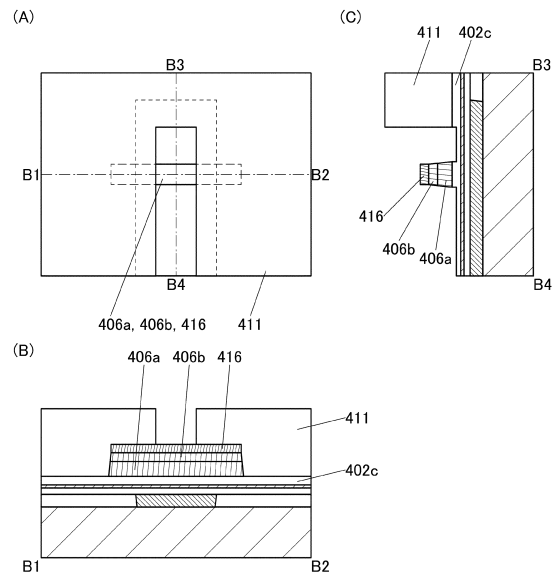
【図 12】



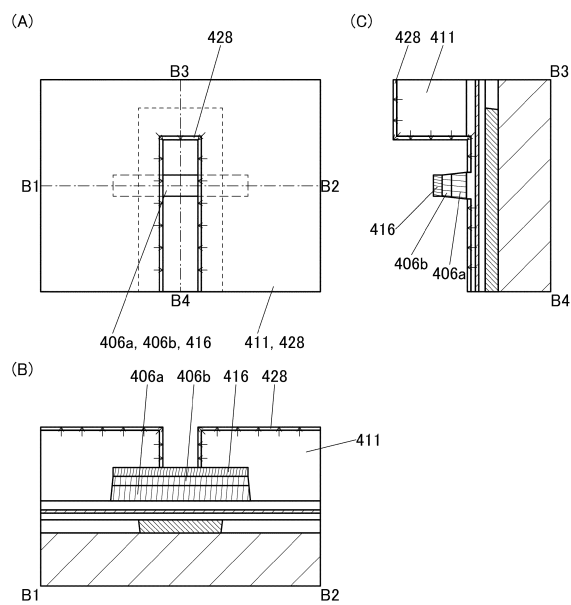
【図 14】



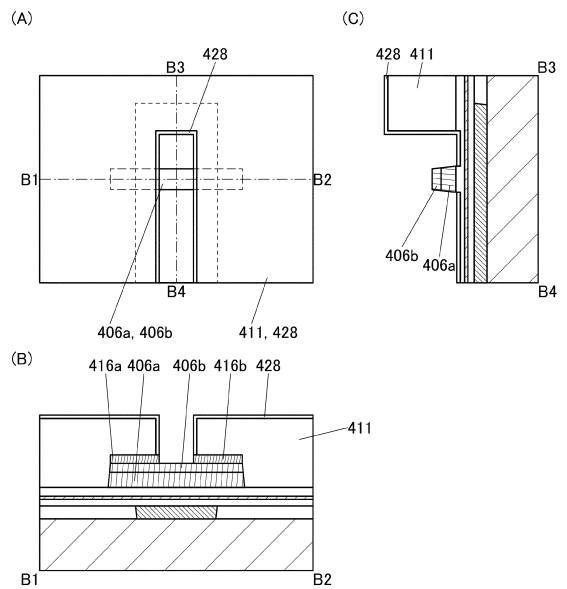
【図 15】



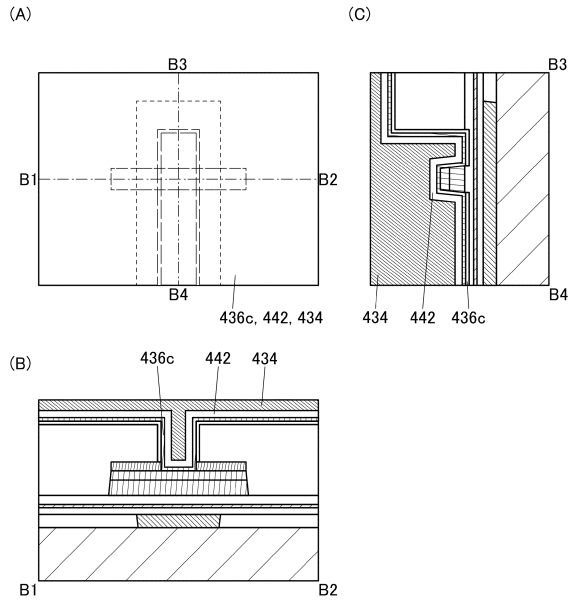
【図 16】



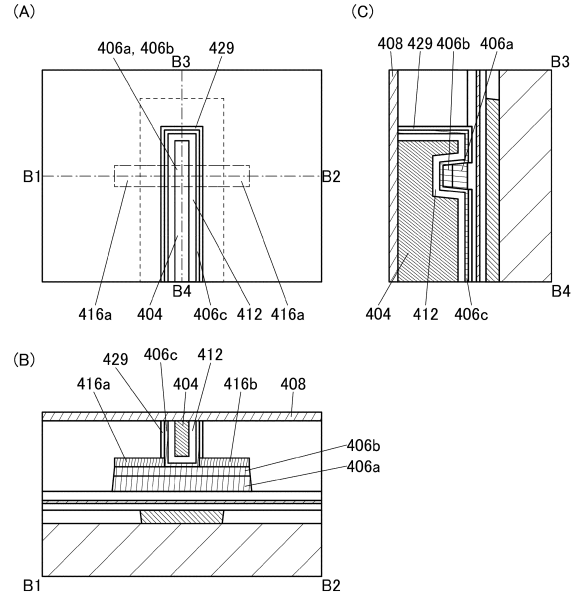
【図 17】



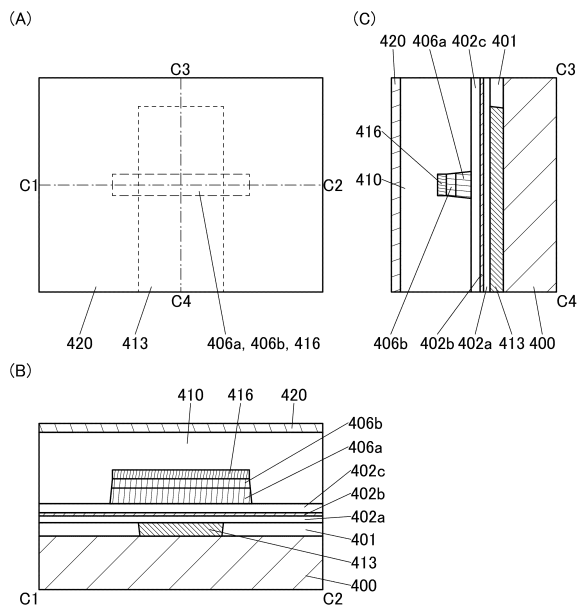
【図 18】



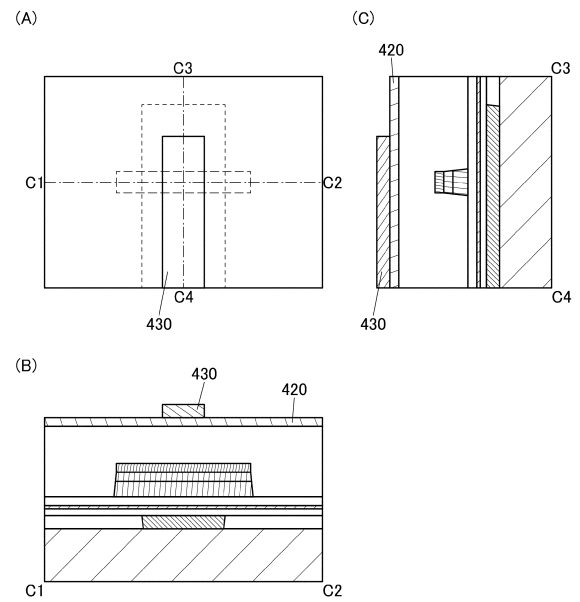
【図 19】



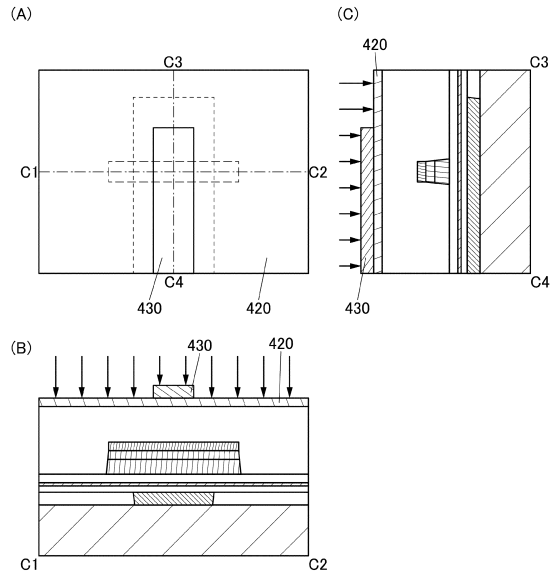
【図 20】



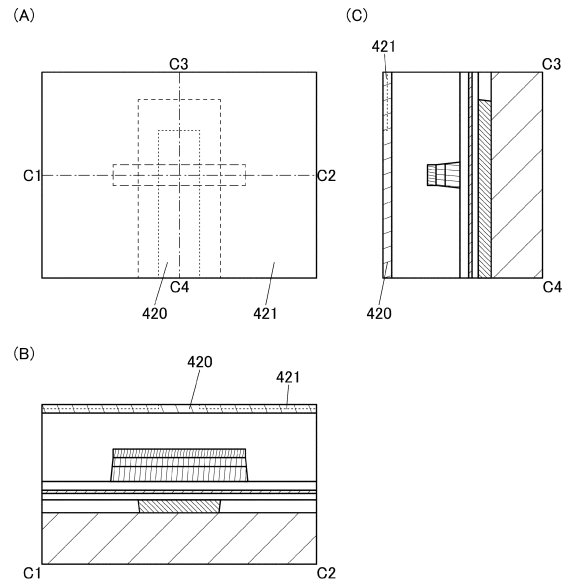
【図 21】



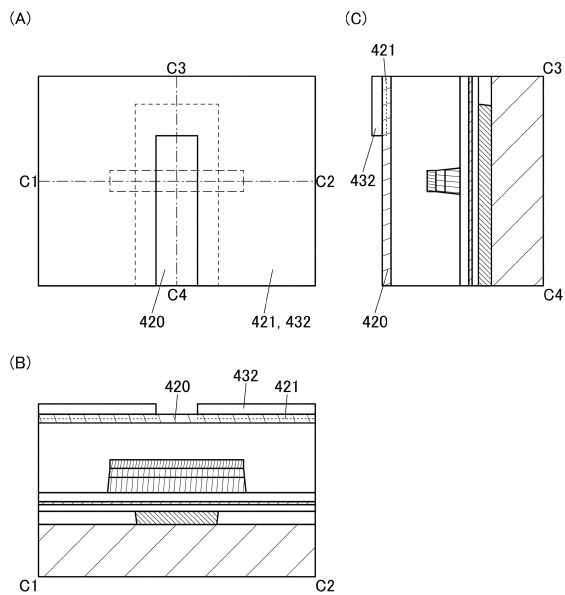
【図 2 2】



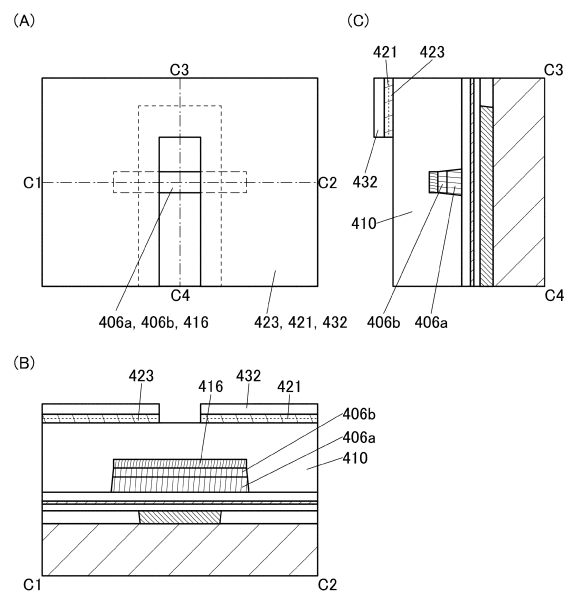
【図 2 3】



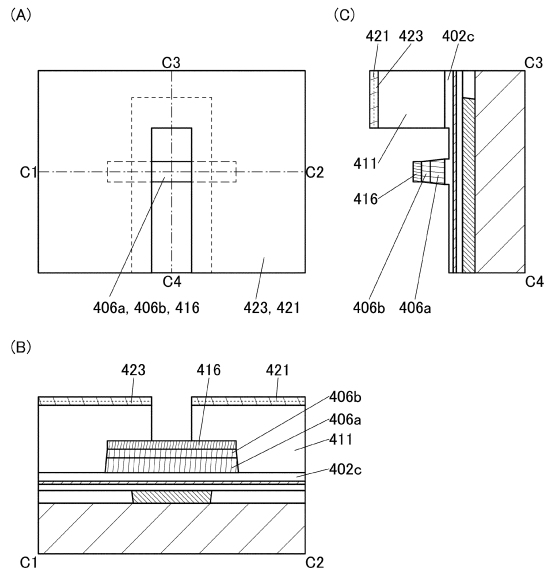
【図 2 4】



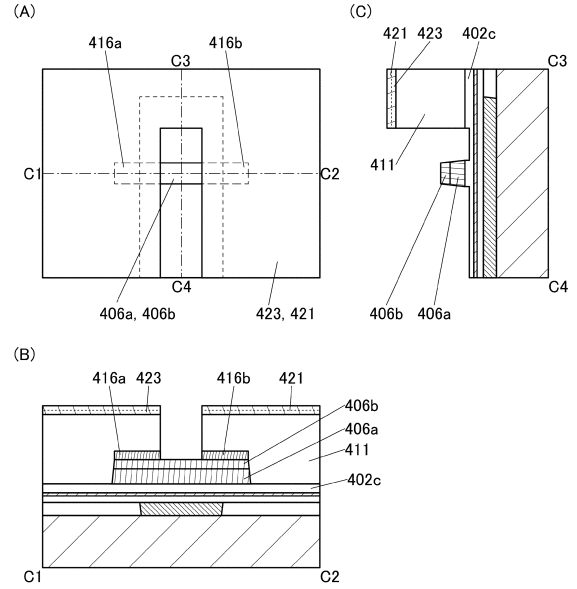
【図 2 5】



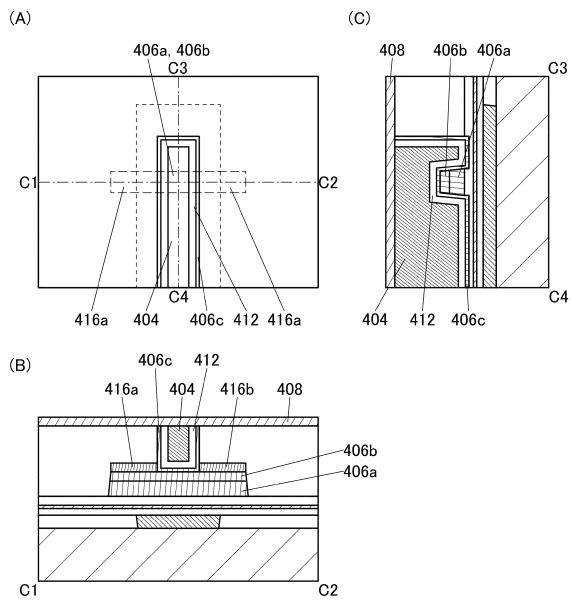
【図 26】



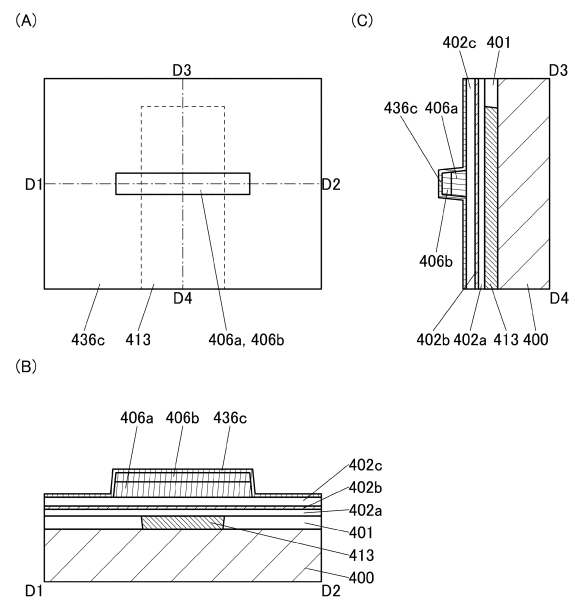
【図 27】



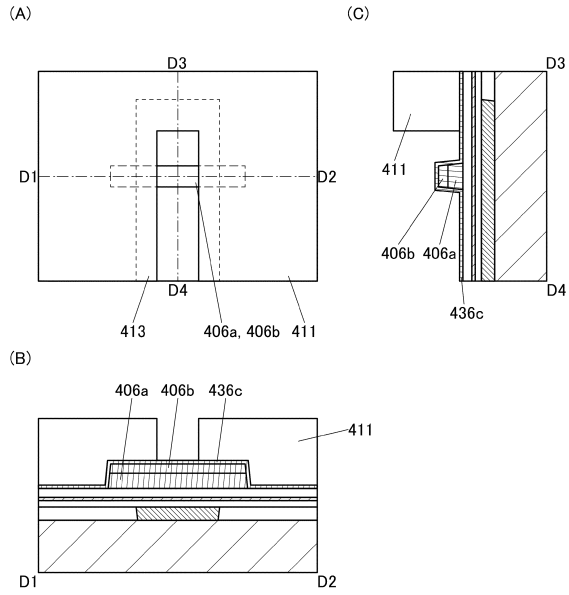
【図 28】



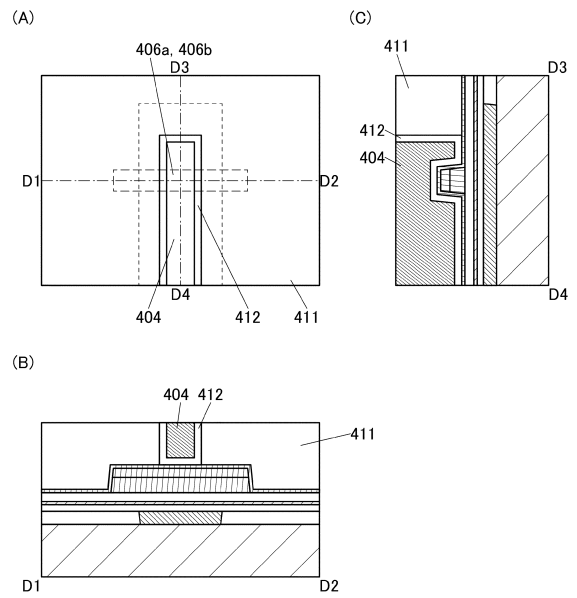
【図 29】



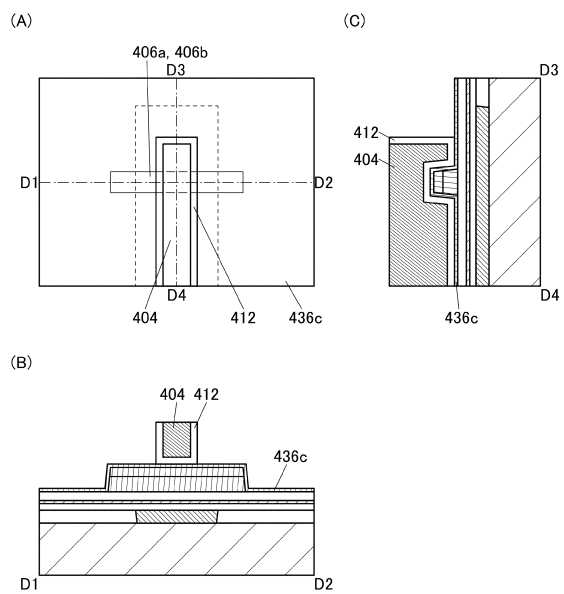
【図 30】



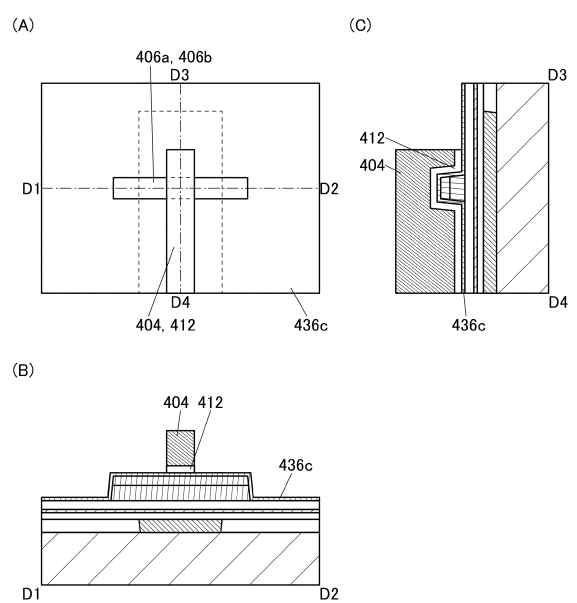
【図 31】



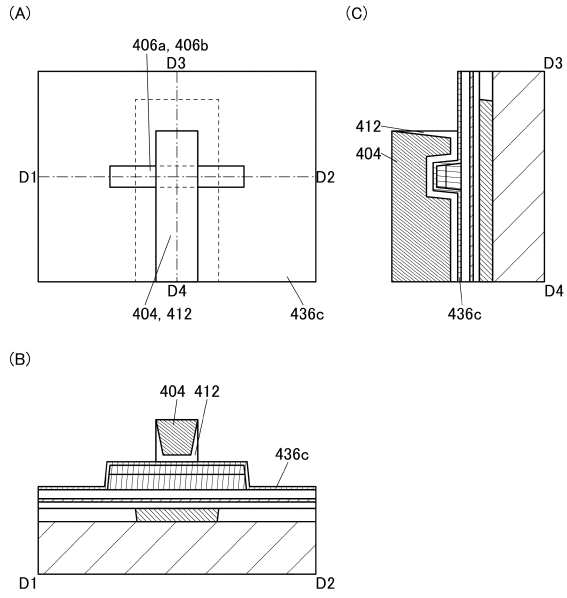
【図 32】



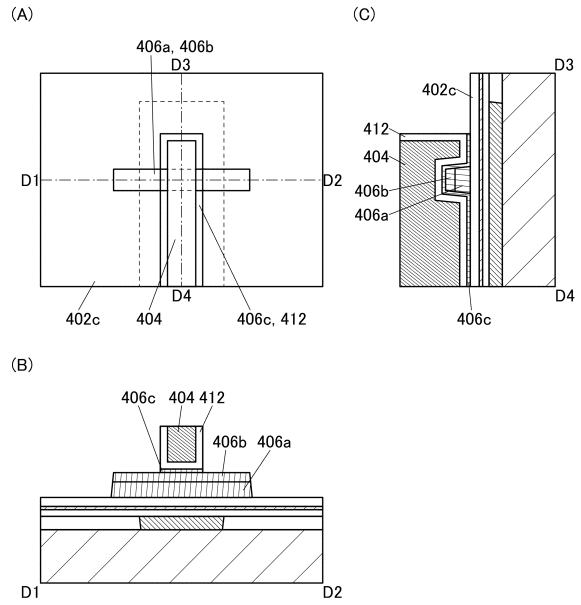
【図 33】



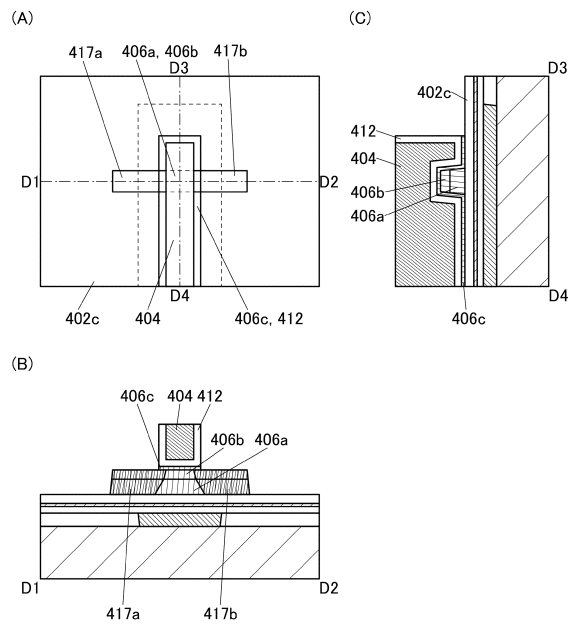
【図 3 4】



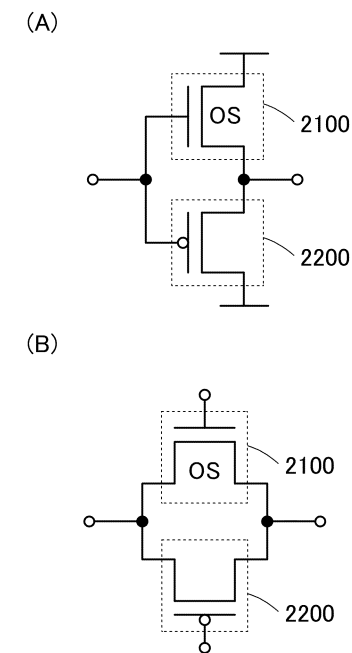
【図 3 5】



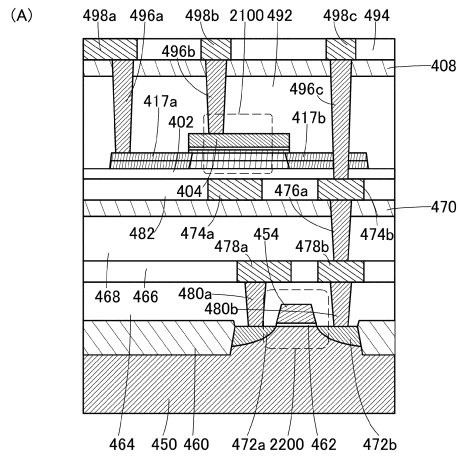
【図 3 6】



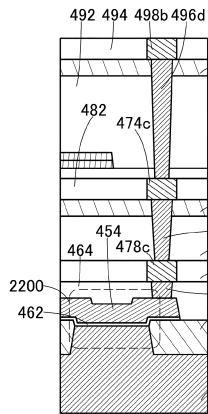
【図 3 7】



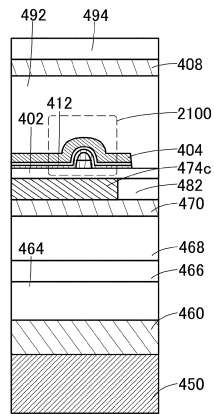
【図 38】



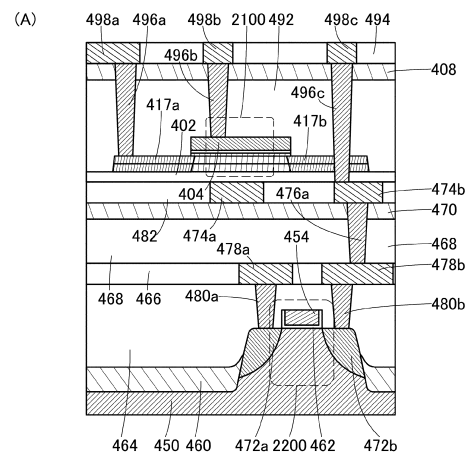
(B)



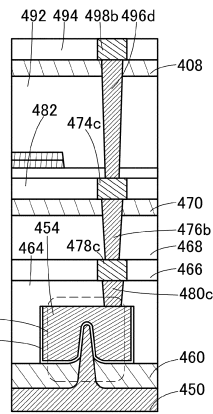
(C)



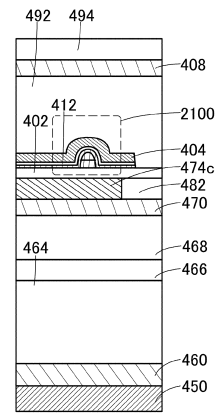
【図 39】



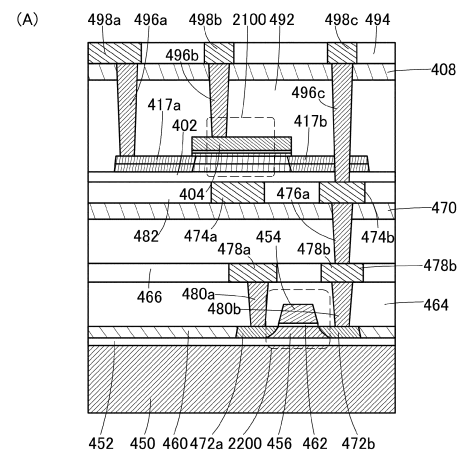
(B)



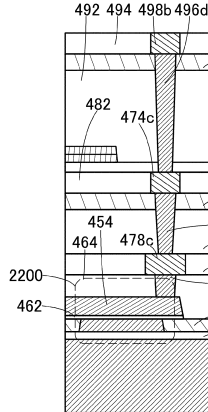
(C)



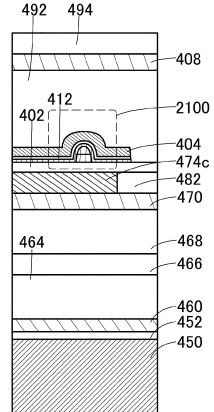
【図 40】



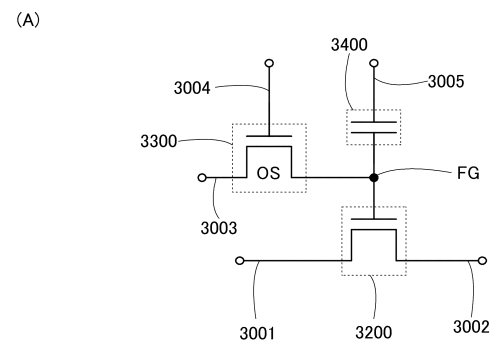
(B)



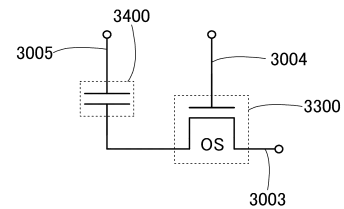
(C)



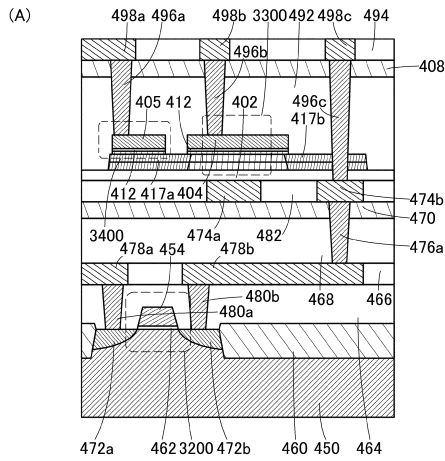
【図 41】



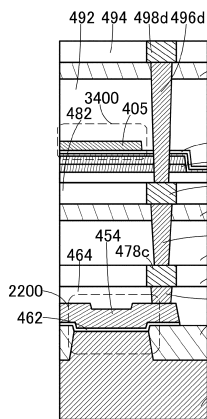
(B)



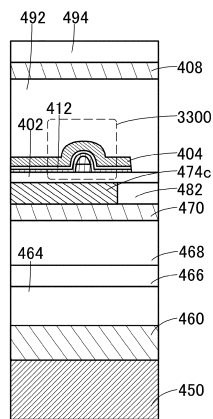
【図 4 2】



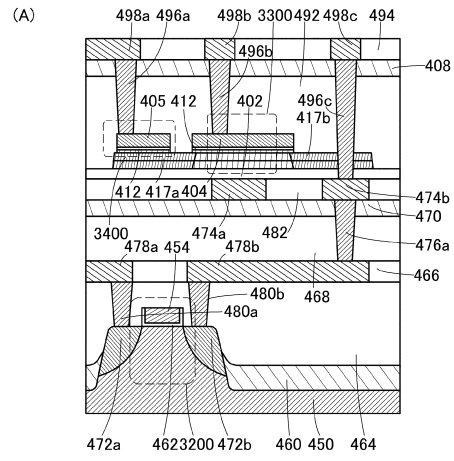
(B)



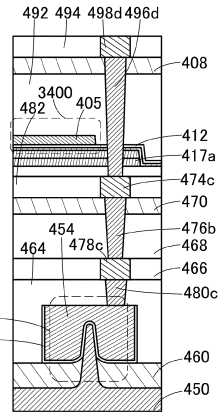
(C)



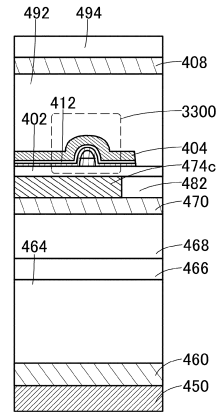
【図 4 3】



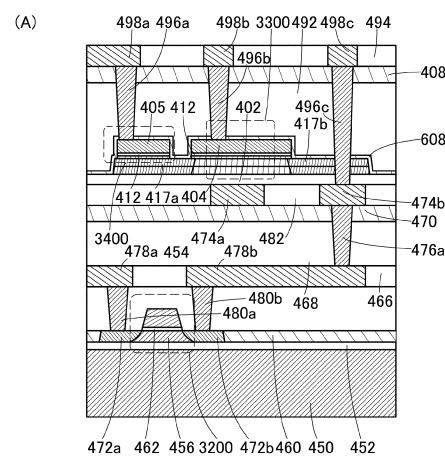
(B)



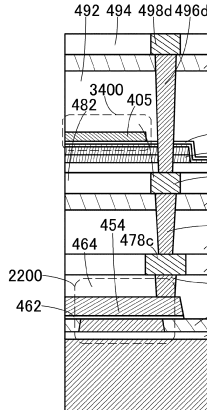
(C)



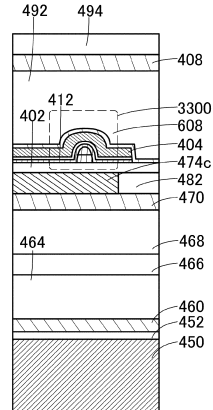
【図 4 4】



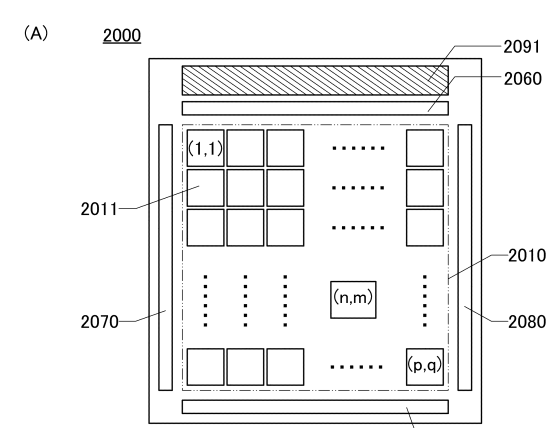
(B)



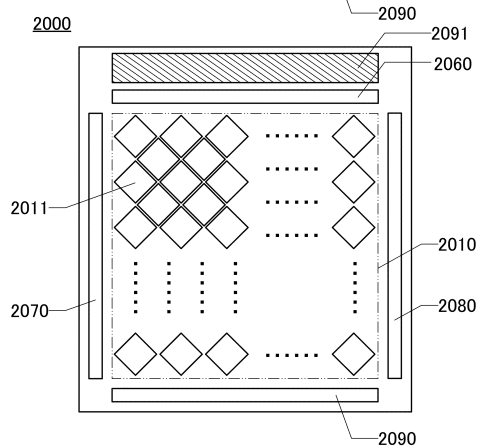
(C)



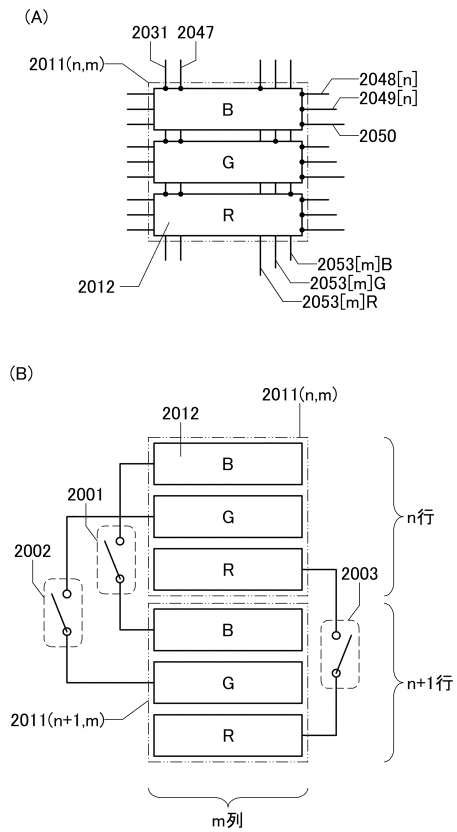
【図 4 5】



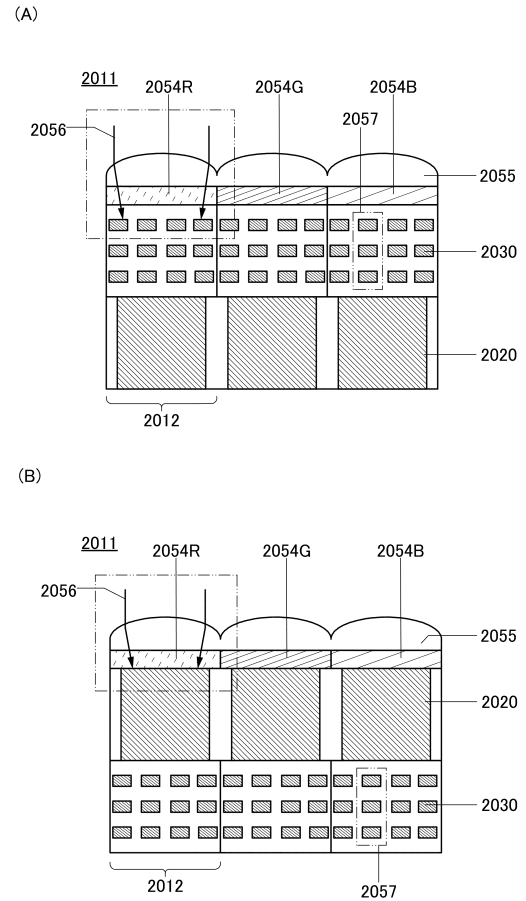
(B)



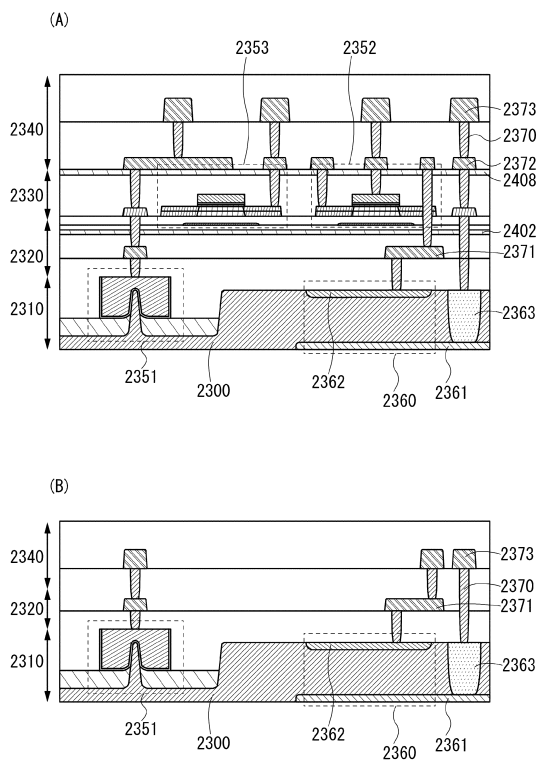
【図 4 6】



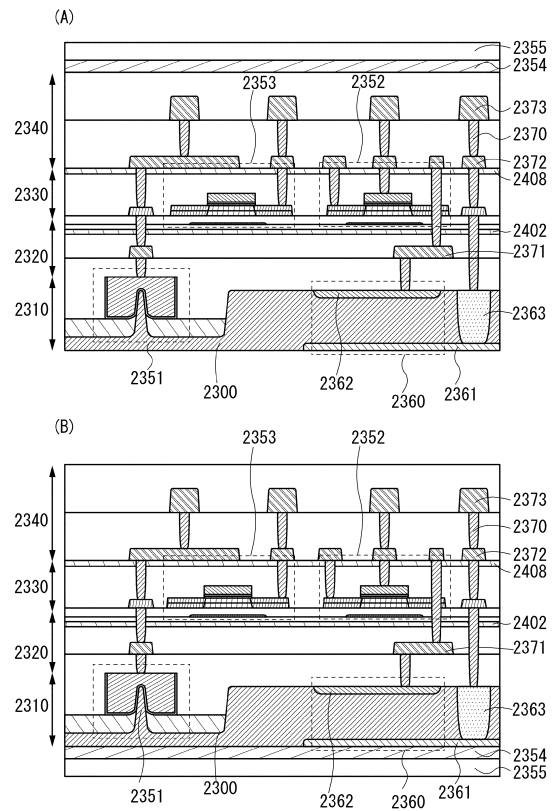
【図 4 7】



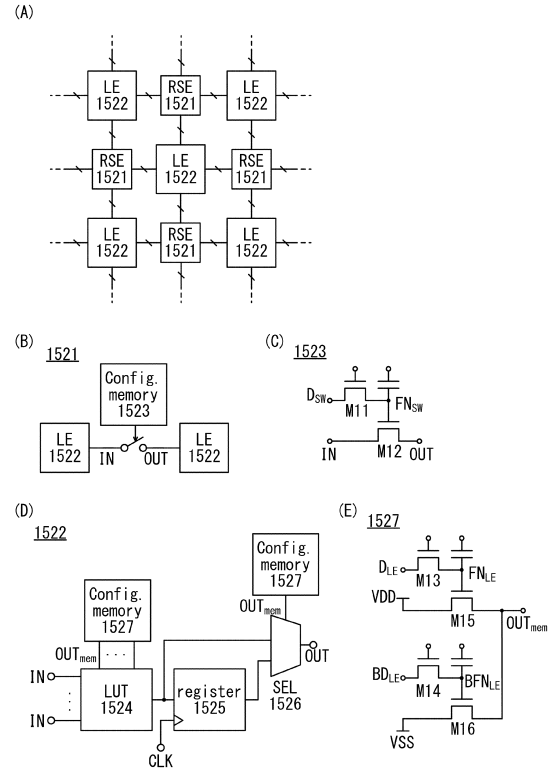
【図 4 8】



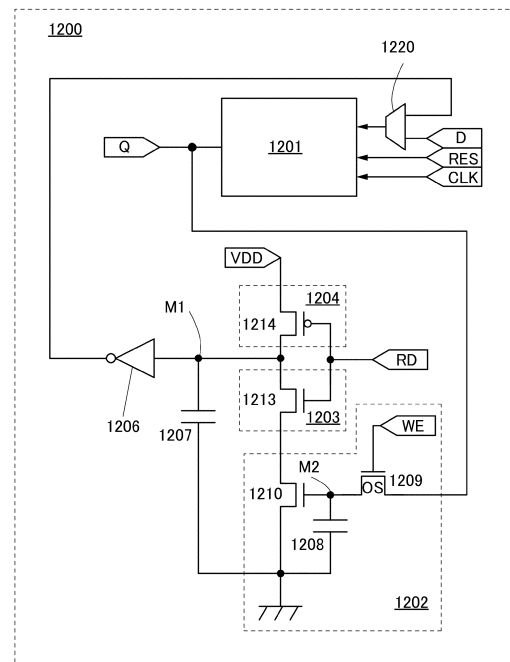
【図 4 9】



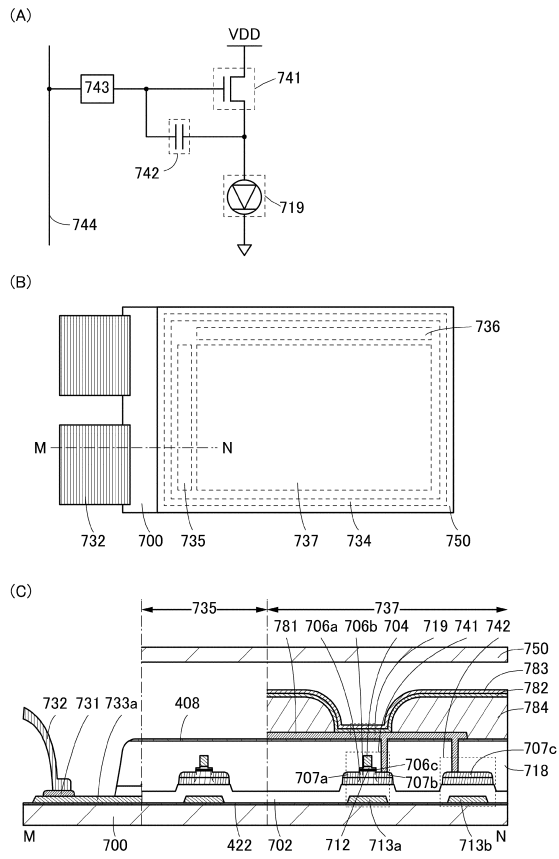
【図 5 1】



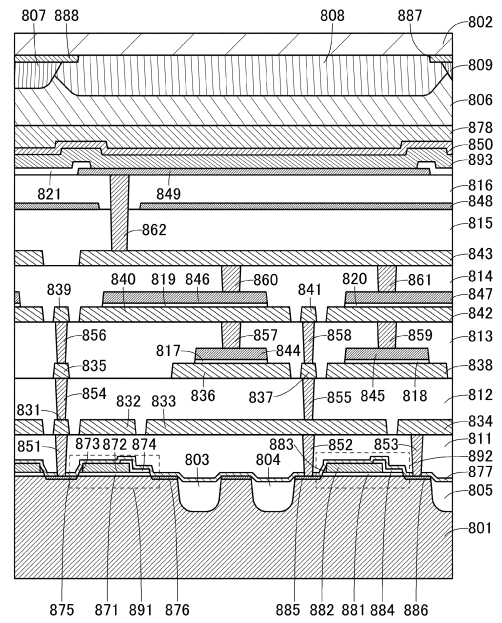
【图 5 3】



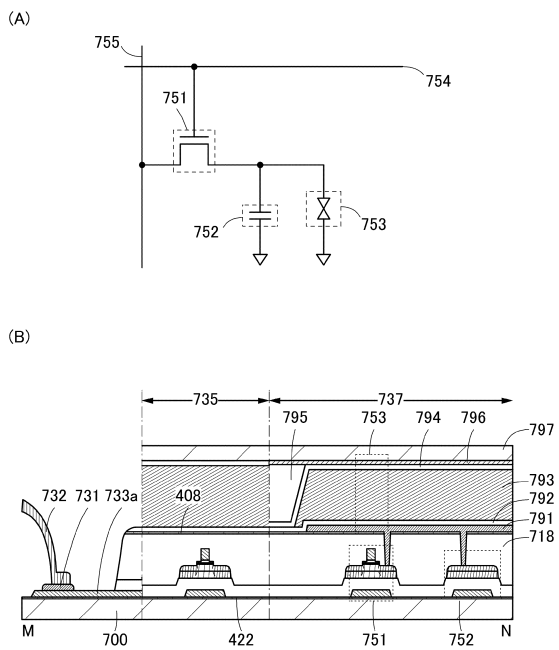
【図 5 4】



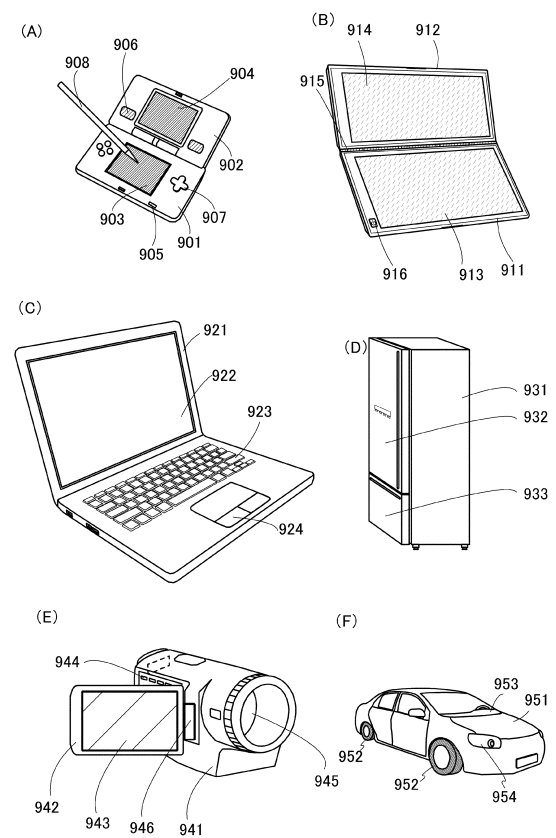
【図 5 5】



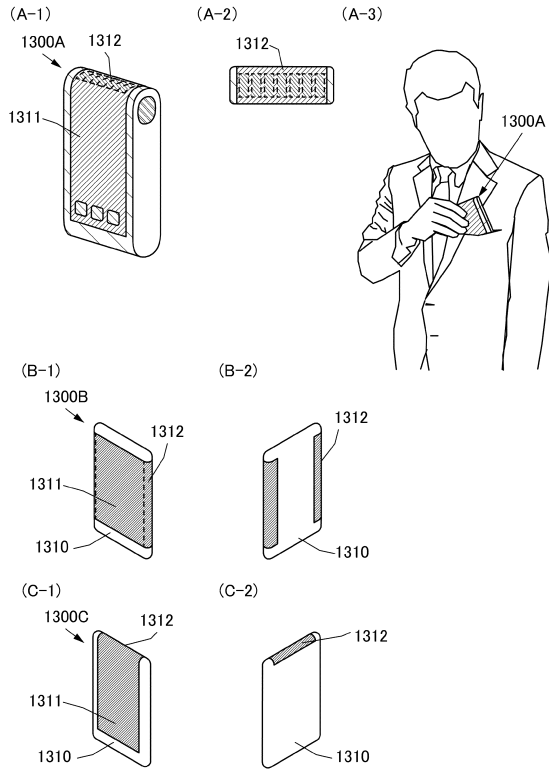
【図 5 6】



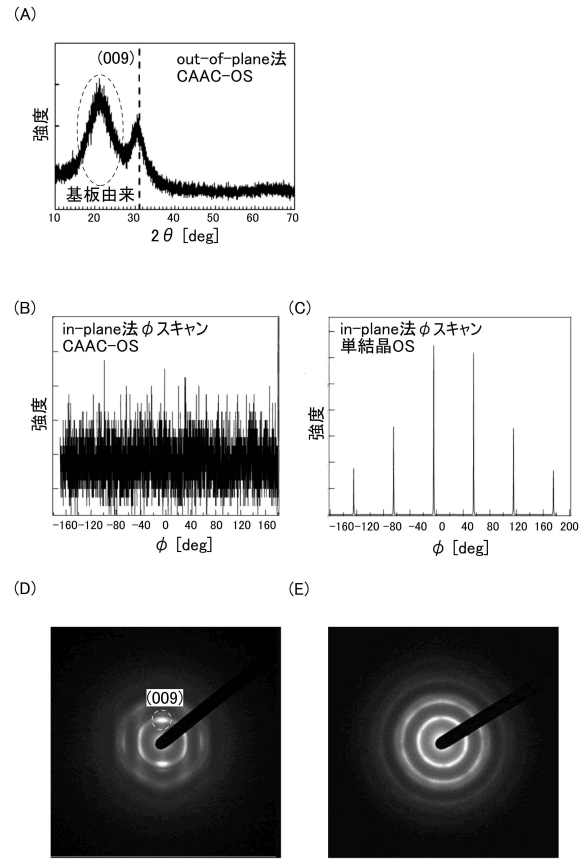
【図 5 7】



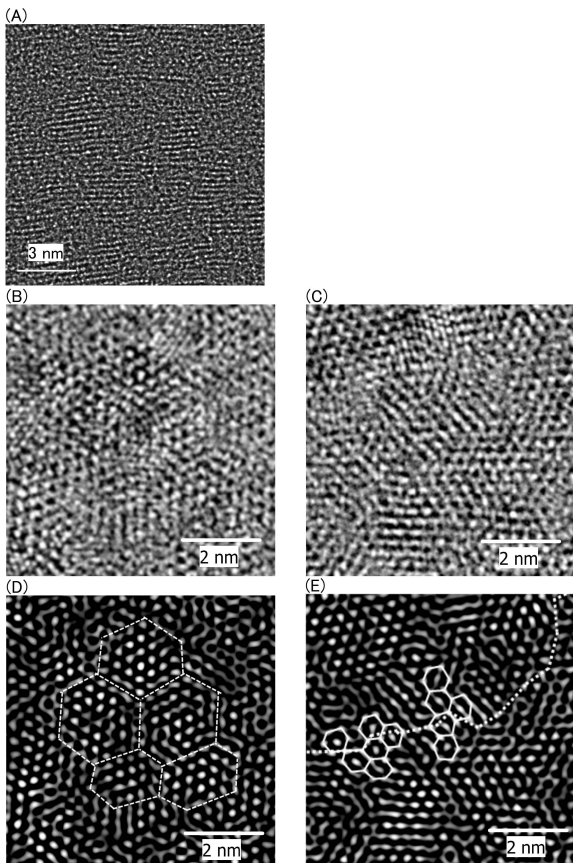
【図 58】



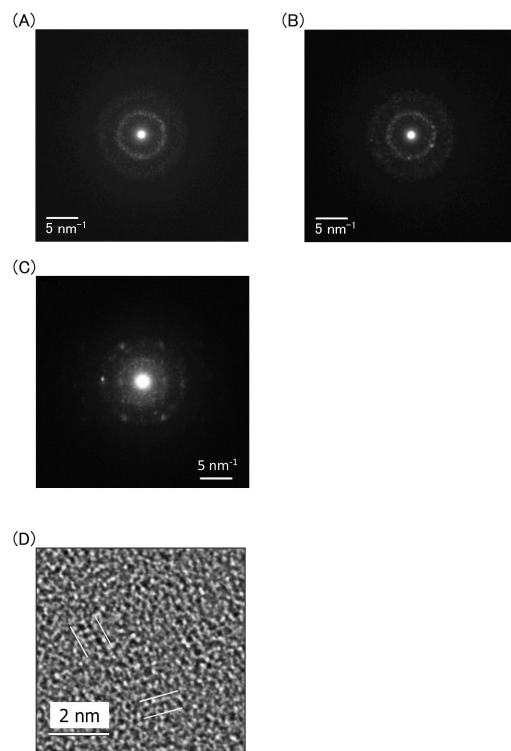
【図 59】



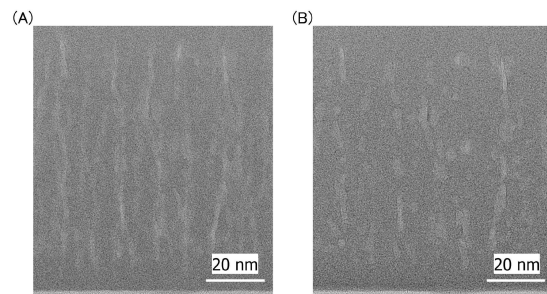
【図 60】



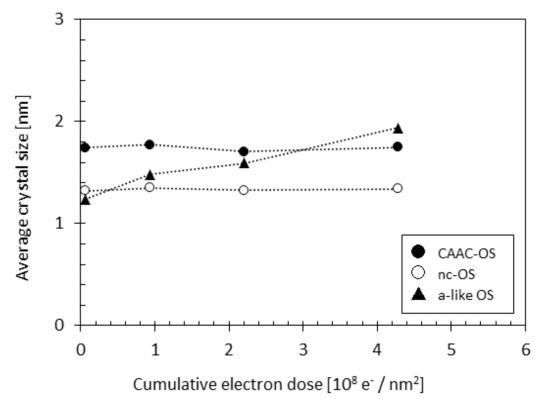
【図 61】



【図 6 2】



【図 6 3】



フロントページの続き

- (72)発明者 遠藤 俊弥
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
- (72)発明者 一條 充弘
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 綿引 隆

- (56)参考文献 特開2012-049514 (JP, A)
特開2014-209593 (JP, A)
特開2015-109425 (JP, A)
特開2013-251534 (JP, A)
特開2013-149963 (JP, A)
特表2008-546173 (JP, A)
特開2013-062529 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/336
H01L 29/786