

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4157563号  
(P4157563)

(45) 発行日 平成20年10月1日(2008.10.1)

(24) 登録日 平成20年7月18日(2008.7.18)

(51) Int.Cl. F I  
**G 1 1 C 16/02 (2006.01)** G 1 1 C 17/00 6 1 1 G  
**G 1 1 C 16/04 (2006.01)** G 1 1 C 17/00 6 1 1 A  
 G 1 1 C 17/00 6 2 2 E  
 G 1 1 C 17/00 6 4 1

請求項の数 4 (全 27 頁)

(21) 出願番号	特願2006-23875 (P2006-23875)	(73) 特許権者	000003078 株式会社東芝
(22) 出願日	平成18年1月31日(2006.1.31)		東京都港区芝浦一丁目1番1号
(65) 公開番号	特開2007-207333 (P2007-207333A)	(73) 特許権者	000221199 東芝マイクロエレクトロニクス株式会社
(43) 公開日	平成19年8月16日(2007.8.16)		神奈川県川崎市川崎区駅前本町2-5番地1
審査請求日	平成18年1月31日(2006.1.31)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

複数のページを有するメモリセルアレイと、  
 補正量記憶回路と、  
 補正量計算回路と、  
 前記メモリセルアレイに配置された、電荷蓄積層を有する第1の不揮発性半導体メモリセルと、  
 前記第1の不揮発性半導体メモリセルに隣接して前記メモリセルアレイに配置された、電荷蓄積層を有する第2の不揮発性半導体メモリセルと、を備え、  
 前記第1の不揮発性半導体メモリセルに対して通常データ書き込みを行った後、前記第2の不揮発性半導体メモリセルに対して通常データ書き込みを行い、  
 前記第2の不揮発性半導体メモリセルに対して通常データ書き込みを行った後、前記第1の不揮発性半導体メモリセルに対して追加データ書き込みを行い、  
 前記補正量計算回路は、前記第1、第2の不揮発性半導体メモリセルに対して書き込まれた前記通常データに基づいて、前記追加データ書き込みの量を計算し、  
 前記補正量記憶回路は、前記補正量計算回路における計算結果を保持し、  
 前記追加データ書き込みは、前記複数のページのうち、1つのページの書き込みが終了した後に行われ、  
 前記追加データ書き込みの量の計算は、前記通常データ書き込みと平行に行われることを特徴とする半導体集積回路装置。

10

20

## 【請求項 2】

複数のページを含むブロックを複数有するメモリセルアレイと、  
 補正量記憶回路と、  
 補正量計算回路と、  
 前記メモリセルアレイに配置された、電荷蓄積層を有する第1の不揮発性半導体メモリセルと、  
 前記第1の不揮発性半導体メモリセルに隣接して前記メモリセルアレイに配置された、電荷蓄積層を有する第2の不揮発性半導体メモリセルと、を備え、  
 前記第1の不揮発性半導体メモリセルに対して通常データ書き込みを行った後、前記第2の不揮発性半導体メモリセルに対して通常データ書き込みを行い、  
 前記第2の不揮発性半導体メモリセルに対して通常データ書き込みを行った後、前記第1の不揮発性半導体メモリセルに対して追加データ書き込みを行い、  
 前記補正量計算回路は、前記第1、第2の不揮発性半導体メモリセルに対して書き込まれた前記通常データに基づいて、前記追加データ書き込みの量を計算し、  
 前記補正量記憶回路は、前記補正量計算回路における計算結果を保持し、  
 前記追加データ書き込みは、前記複数のブロックのうち、1つのブロックの書き込みが終了した後に行われ、  
 前記追加データ書き込みの量の計算は、前記通常データ書き込みと平行に行われることを特徴とする半導体集積回路装置。

10

## 【請求項 3】

前記追加データ書き込みは、前記第1の不揮発性半導体メモリセルに書き込まれたデータと、前記第2の不揮発性半導体メモリセルに書き込まれたデータに応じて前記第1の不揮発性半導体メモリのしきい値のシフト量を変化させることを特徴とする請求項1及び請求項2いずれかに記載の半導体集積回路装置。

20

## 【請求項 4】

近接効果による前記第1の不揮発性半導体メモリセルの前記しきい値の変動量は、大、中、小のレベルに区別され、  
 前記シフト量は、前記しきい値の変動量が小の場合に最も大きくされ、大の場合に最も小さくされる  
 ことを特徴とする請求項3記載の半導体集積回路装置。

30

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明は、半導体集積回路装置に係わり、特に、データの書き換えが可能な不揮発性半導体メモリを備えた半導体集積回路装置に関する。

## 【背景技術】

## 【0002】

データ書き換えが可能な不揮発性半導体メモリ、例えば、NAND型フラッシュメモリは、その記憶容量は、益々増大する傾向にある。

## 【0003】

記憶容量の増加の増大に伴ってメモリセルの微細化がすすむと、今までは現れにくかった現象、例えば、隣接したセルの浮遊ゲートの電位に起因するしきい値変動等の現象が現れるようになってきた。このしきい値変動は、近接効果と呼ばれる。

40

## 【0004】

近接効果は、データ書き込み済みのメモリセルのしきい値を変動させる。これは、しきい値分布幅を狭くしようとする際の弊害となる。

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

この発明は、狭いしきい値分布幅を実現できる不揮発性半導体メモリを有した半導体集

50

積回路装置を提供する。

【課題を解決するための手段】

【0006】

この発明の一態様に係る半導体集積回路装置は、複数のページを有するメモリセルアレイと、補正量記憶回路と、補正量計算回路と、前記メモリセルアレイに配置された、電荷蓄積層を有する第1の不揮発性半導体メモリセルと、前記第1の不揮発性半導体メモリセルに隣接して前記メモリセルアレイに配置された、電荷蓄積層を有する第2の不揮発性半導体メモリセルと、を備え、前記第1の不揮発性半導体メモリセルに対して通常データ書き込みを行った後、前記第2の不揮発性半導体メモリセルに対して通常データ書き込みを行い、前記第2の不揮発性半導体メモリセルに対して通常データ書き込みを行った後、前記第1の不揮発性半導体メモリセルに対して追加データ書き込みを行い、前記補正量計算回路は、前記第1、第2の不揮発性半導体メモリセルに対して書き込まれた前記通常データに基づいて、前記追加データ書き込みの量を計算し、前記補正量記憶回路は、前記補正量計算回路における計算結果を保持し、前記追加データ書き込みは、前記複数のページのうち、1つのページの書き込みが終了した後に行われ、前記追加データ書き込みの量の計算は、前記通常データ書き込みと平行に行われる。

10

【発明の効果】

【0008】

この発明によれば、狭いしきい値分布幅を実現できる不揮発性半導体メモリを有した半導体集積回路装置を提供できる。

20

【発明を実施するための最良の形態】

【0009】

実施形態の説明に先立ち、近接効果について簡単に説明する。

【0010】

不揮発性半導体メモリ、例えば、NAND型フラッシュメモリは、データをページ毎に書き込む。つまり、1つのページに対する書き込みが終わると、次のページの書き込みに移る。ページはワード線単位で設定されることが一般的である。例えば、ワード線WL1に接続されたメモリセルMC1にデータを書き込むと(図1A参照)、次に、ワード線WL2に接続されたメモリセルMC2にデータを書き込む(図1B参照)。

【0011】

30

ここで、メモリセルMC2にデータ“0”を書き込む、と仮定する。データ“0”を書き込むと、メモリセルMC2の電荷蓄積層、例えば、浮遊ゲートFG2には電子e<sup>-</sup>が注入され、浮遊ゲートFG2の電位が下がる。浮遊ゲートFG2は、ビット線方向に沿ってメモリセルMC1の浮遊ゲートFG1と絶縁物を介して隣接する(図2参照)。浮遊ゲートFG2は、メモリセルMC1の浮遊ゲートFG1と寄生容量C<sub>ff</sub>を介して結合する。浮遊ゲートFG2の電位が下がると、浮遊ゲートFG1は浮遊ゲートFG2と容量結合し、浮遊ゲートFG1の電位が下がる。メモリセルMC1は、書き込み済みである。書き込み済みのメモリセルMC1の浮遊ゲートFG1の電位が下がる、ということは、書き込み済みのメモリセルMC1のしきい値V<sub>th</sub>が変化した、ということである。これが近接効果である。近接効果を受ける前のメモリセルのしきい値分布D<sub>w</sub>を図3Aに、近接効果を受けた後のしきい値分布D<sub>w</sub>'を図3Bに示す。

40

【0012】

図3A、及び図3Bに示すように、近接効果は、書き込み済みメモリセルのしきい値分布幅D<sub>w</sub>を、分布幅D<sub>w</sub>'に拡大させる。これは、しきい値分布を狙い通りの範囲内に制御することを難しくする。

【0013】

近接効果は、ビット線方向に隣接するメモリセル間において発生するばかりでなく、ワード線方向に隣接するメモリセル間においても発生する。例えば、データ書き込みを、偶数ビット線BL<sub>e</sub>、奇数ビット線BL<sub>o</sub>で交互に行う方式のNAND型フラッシュメモリである(図4参照)。この方式のNAND型フラッシュメモリは、ワード線方向に隣接す

50

るメモリセル間において近接効果が発生する。

【0014】

メモリセルの微細化とともに、1個のメモリセルに3値以上の情報を記憶させる、いわゆる多値化も進展しつつある。多値NAND型フラッシュメモリは、二値NAND型フラッシュメモリに比較してしきい値分布幅が狭い。このため、そのしきい値の制御は、二値NAND型フラッシュメモリに比較して繊細である。

【0015】

近接効果の影響は二値NAND型フラッシュメモリも受けるが、多値NAND型フラッシュメモリはより顕著に受けやすい。例えば、4値NAND型フラッシュメモリは、中間電圧V<sub>pass</sub>と0Vとの間に、3つ以上のしきい値分布を形成しなければならない。このため、しきい値分布幅を狭くせざるを得ない。

10

【0016】

以下、この発明の実施形態を、図面を参照して説明する。なお、図面においては、同一の部分については同一の参照符号を付す。

【0017】

(第1実施形態)

本例では、半導体集積回路装置の一例として、不揮発性半導体メモリ、例えば、NAND型フラッシュメモリを示す。本例では、3値以上の情報を1個のメモリセルに記憶させる多値NAND型フラッシュメモリを示すが、この発明の実施形態は多値NAND型フラッシュメモリに限られるものではない。多値の一例は、4値である。4値NAND型フラッシュメモリのしきい値分布の一例を図5に示す。

20

【0018】

図5に示すように、一例に係るしきい値分布には、しきい値の低い方から高い方に向かって、順にA、B、C、Dの4つの分布がある。4つの分布は、読み出し電圧V<sub>A</sub>、V<sub>B</sub>、V<sub>C</sub>の3つを境にして分かれる。しきい値が最も低い分布Aは消去状態であり、読み出し電圧V<sub>A</sub>よりも低い位置にある。読み出し電圧V<sub>A</sub>の一例は0Vである。本例では、分布Aは負の値をとる。分布Aは、例えば、データ“11”に対応する。分布Bは書き込み状態であり、読み出し電圧V<sub>A</sub>よりも高く、かつ、読み出し電圧V<sub>B</sub>よりも低い位置にある。分布Bは、例えば、データ“10”に対応する。分布Cも書き込み状態であり、読み出し電圧V<sub>B</sub>よりも高く、かつ、読み出し電圧V<sub>C</sub>よりも低い位置にある。分布Cは、例えば、データ“00”に対応する。分布Dも書き込み状態であり、読み出し電圧V<sub>C</sub>よりも高く中間電圧V<sub>pass</sub>よりも低い位置にある。分布Dは、例えば、データ“01”に対応する。中間電圧V<sub>pass</sub>は、読み出し電圧V<sub>C</sub>よりも高く、かつ、書き込み電圧V<sub>pgm</sub>よりも低い電圧である。

30

【0019】

本例のデータ書き込みは下位ビット、上位ビットの順で行なう。

【0020】

まず、書き込みデータの下位ビットが“0”ならば、メモリセルの浮遊ゲートに電子を注入し、しきい値を、分布A(消去状態)から分布Bにシフトする。反対に“1”ならば、メモリセルの浮遊ゲートに電子が注入されることを抑制し、分布Aを維持する。これで、メモリセルのしきい値の分布は、データ“11”(消去状態)の分布Aと、データ“10”の分布Bとに分かれる(図5、参照符号(I)参照)。

40

【0021】

次に、書き込みデータの上位ビットが“0”ならば、メモリセルの浮遊ゲートに電子を注入し、しきい値を、分布Aから分布D、及び分布Bから分布Cにシフトする。反対に“1”ならば、メモリセルの浮遊ゲートに電子が注入されることを抑制し、分布A、及び分布Bを維持する。これで、メモリセルのしきい値の分布は、データ“11”(消去状態)の分布A、データ“10”の分布B、データ“00”の分布C、及びデータ“01”の分布Dに分かれる(図5、参照符号(II)参照)。

【0022】

50

なお、本明細書においては、データ“10”を低位レベルデータ、データ“00”、“01”を上位レベルデータと呼ぶ。

【0023】

(第1例)

図6は、この発明の第1実施形態に係る半導体集積回路装置の第1例を示す回路図である。本例は、ビット線方向に隣接するメモリセル間で、近接効果を受ける例に関する。

【0024】

図6に示すように、ワード線WL1に接続されたメモリセル(...、MC1n-1、MC1n、MC1n+1、...)はデータ書き込み済みであり、次に、ワード線WL2に接続されたメモリセル(...、MC2n-1、MC2n、MC2n+1、...)に、データを書き込む。この動作を説明する。

10

【0025】

なお、本例において、読み出し動作、及び消去動作は、例えば、従来の動作と同じで良い。従って、本例では書き込み動作のみを説明する。

【0026】

(書き込み動作)

まず、ワード線WL1に接続されたメモリセル(...、MC1n-1、MC1n、MC1n+1、...)に、データ“11”、データ“10”、データ“00”、データ“01”を書き込む。具体的な一例は、上述した通り、書き込みデータに従って、まず、低位レベルデータ“10”を書き込み、続いて上位レベルデータ“00”、“01”を書き込む。

20

【0027】

次に、ワード線WL2に接続されたメモリセル(...、MC2n-1、MC2n、MC2n+1、...)に、ワード線WL1の場合と同様に、低位レベルデータ“10”を書き込み、続いて上位レベルデータ“00”、“01”を書き込む。この書き込みによって、ワード線WL1に接続されたメモリセル(...、MC1n-1、MC1n、MC1n+1、...)は、近接効果を受ける。

【0028】

そこで、本例では、メモリセル(...、MC1n-1、MC1n、MC1n+1、...)に対して追加書き込みを行う。追加書き込みによってメモリセル(...、MC1n-1、MC1n、MC1n+1、...)の浮遊ゲートに電子が注入され、そのしきい値が上昇する。これにより、近接効果を受けて拡大してしまったしきい値分布幅を、再度狭くなるように補正することができる。

30

【0029】

追加書き込みを用いた書き込み動作の一例を以下に説明する。

【0030】

図7は、ベリファイ電圧の設定の一例を示す図である。

【0031】

図7に示すように、この一例では、書き込みの後に追加書き込みを行うことを考慮し、ベリファイ電圧に、書き込み用ベリファイ電圧VVと、追加書き込み用ベリファイ電圧VV\*との2種類を設定する。なお、追加書き込みの前に行う書き込みを、以下通常書き込みと呼び、通常書き込みの際のベリファイ電圧を、通常書き込み用ベリファイ電圧VVと呼ぶ。本例では、通常書き込み用ベリファイ電圧VVとして、分布Bの下限を規定するベリファイ電圧VVA、分布Cの下限を規定するベリファイ電圧VVB、及び分布Dの下限を規定するVVCが設定される。また、追加書き込み用ベリファイ電圧VV\*として、ベリファイ電圧VVA\*、VVB\*、及びVVC\*が設定される。ベリファイ電圧VVA\*は追加書き込み後の分布Bの下限を規定し、同様に、ベリファイ電圧VVB\*は追加書き込み後の分布Cの下限を、ベリファイ電圧VVC\*は追加書き込み後の分布Cの下限を規定する。

40

【0032】

本例では、通常書き込み用ベリファイ電圧VVは、追加書き込み用ベリファイ電圧VV

50

\*よりも低く設定される。通常書き込みでは、通常書き込み用ベリファイ電圧 $VVA$ 、 $VVB$ 、及び $VVC$ を使用してベリファイ読み出しが行われる。追加書き込みでは、追加書き込み用ベリファイ電圧 $VVA^*$ 、 $VVB^*$ 、及び $VVC^*$ を使用してベリファイ読み出しが行われる。通常書き込み後（近接効果を受ける前）のしきい値分布の例を図8に、近接効果を受けた後のしきい値分布の例を図9に、追加書き込み後（近接効果補正後）のしきい値分布の例を図10に示す。

【0033】

このように第1実施形態に係る半導体集積回路装置によれば、通常書き込みの後、近接効果を受けたメモリセルに対して追加書き込みを行う。これにより、近接効果を受けて拡大したしきい値分布幅 $Dw'$ が、再度狭まるように、しきい値分布幅を補正することができる（ $Dw^*B < Dw'B$ 、 $Dw^*C < Dw'C$ 、 $Dw^*D < Dw'D$ ）。従って、狭いしきい値分布幅を実現できる不揮発性半導体メモリを有した半導体集積回路装置を提供できる。

10

【0034】

（第2例）

第2例は、ワード線方向に隣接するメモリセル間で、近接効果を受ける例に関する。

【0035】

図11は、この発明の第1実施形態に係る半導体集積回路装置の第2例を示す回路図である。

【0036】

図11に示すように、ワード線 $WL$ に接続され、かつ、偶数ビット線（ $BLE$ ）に接続されたメモリセル（...、 $MCen$ 、 $MCen+1$ 、...）はデータ書き込み済みであり、次に、ワード線 $WL$ に接続され、かつ、奇数ビット線（ $BLo$ ）に接続されたメモリセル（...、 $MCon$ 、 $MCon+1$ 、...）に、データを書き込む。この動作を説明する。

20

【0037】

なお、本例においても、読み出し動作、及び消去動作は、例えば、従来の動作と同じで良い。従って、本例では書き込み動作のみを説明する。

【0038】

（書き込み動作）

まず、ワード線 $WL$ に接続され、かつ、偶数ビット線 $BLE$ （...、 $BLEn$ 、 $BLEn+1$ 、...）に接続されたメモリセル $MCE$ （...、 $MCen$ 、 $MCen+1$ 、...）に、第1実施形態と同様に、書き込みデータに従って、低位レベルデータ“10”を書き込み、続いて上位レベルデータ“00”、“01”を書き込む。

30

【0039】

次に、ワード線 $WL$ に接続され、かつ、奇数ビット線 $BLo$ （...、 $BLOn$ 、 $BLOn+1$ 、...）に接続されたメモリセル $MCo$ （...、 $MCon$ 、 $MCon+1$ 、...）に、書き込みデータに従って、低位レベルデータ“10”を書き込み、続いて上位レベルデータ“00”、“01”を書き込む。この書き込みによって、メモリセル $MCE$ （...、 $MCen$ 、 $MCen+1$ 、...）は、近接効果を受ける。

【0040】

本例では、メモリセル $MCE$ （...、 $MCen$ 、 $MCen+1$ 、...）に対して追加書き込みを行う。追加書き込みによってメモリセル $MCE$ （...、 $MCen$ 、 $MCen+1$ 、...）の浮遊ゲートに電子が注入され、そのしきい値が上昇する。

40

【0041】

なお、第2例における通常書き込み用ベリファイ電圧 $VV$ 、及び追加書き込み用ベリファイ電圧 $VV^*$ の設定は、第1実施形態と同様で良い。

【0042】

第2例に係る半導体集積回路装置においても、通常書き込みの後、近接効果を受けたメモリセルに対して追加書き込みを行うので、近接効果を受けて拡大したしきい値分布幅を、再度狭くなるように補正することができる。従って、第1例と同様に、狭いしきい値分

50

布幅を実現できる不揮発性半導体メモリを有した半導体集積回路装置を提供できる。

【0043】

(第3例)

本例は、ビット線方向に隣接するメモリセル間、及びワード線方向に隣接するメモリセル間でそれぞれにおいて、近接効果を受ける例に関する。

【0044】

図12、図13は、この発明の第1実施形態に係る半導体集積回路装置の第3例を示す回路図である。

【0045】

まず、図12に示すように、ワード線WL1に接続され、かつ、偶数ビット線(BLe)に接続されたメモリセル(...、MC1en、MC1en+1、...)はデータ書き込み済みであり、次に、ワード線WL1に接続され、かつ、奇数ビット線(BLo)に接続されたメモリセル(...、MC1on、MC1on+1、...)に、データを書き込む。次に、図13に示すように、ワード線WL2に接続され、かつ、偶数ビット線(BLe)に接続されたメモリセル(...、MC2en、MC2en+1、...)に、データを書き込む。この動作を説明する。

10

【0046】

なお、本例において、読み出し動作、及び消去動作は、例えば、従来の動作と同じで良い。従って、本例では書き込み動作のみを説明する。

【0047】

(書き込み動作)

まず、図12に示すように、ワード線WL1に接続され、かつ、偶数ビット線BLe(...、BLen、BLen+1、...)に接続されたメモリセルMC1e(...、MC1en、MC1en+1、...)に、第1実施形態と同様に、書き込みデータに従って、低位レベルデータ“10”を書き込み、続いて上位レベルデータ“00”、“01”を書き込む。

20

【0048】

次に、ワード線WL1に接続され、かつ、奇数ビット線BLo(...、BLon、BLon+1、...)に接続されたメモリセルMC1o(...、MC1on、MC1on+1、...)に、書き込みデータに従って、低位レベルデータ“10”を書き込み、続いて上位レベルデータ“00”、“01”を書き込む。この書き込みによって、メモリセルMC1e(...、MC1en、MC1en+1、...)は、第1回目の近接効果を受ける。

30

【0049】

次に、図13に示すように、ワード線WL2に接続され、かつ、偶数ビット線BLe(...、BLen、BLen+1、...)に接続されたメモリセルMC2e(...、MC2en、MC2en+1、...)に、第1実施形態と同様に、書き込みデータに従って、低位レベルデータ“10”を書き込み、続いて上位レベルデータ“00”、“01”を書き込む。この書き込みによって、メモリセルMC1e(...、MC1en、MC1en+1、...)は、第2回目の近接効果を受ける。

【0050】

本例では、メモリセルMC1e(...、MC1en、MC1en+1、...)に対して追加書き込みを行う。追加書き込みによってメモリセルMC1e(...、MC1en、MC1en+1、...)の浮遊ゲートに電子が注入され、そのしきい値が上昇する。

40

【0051】

なお、第3実施形態における通常書き込み用ベリファイ電圧VV、及び追加書き込み用ベリファイ電圧VV\*の設定は、第1実施形態と同様で良い。

【0052】

第3実施形態に係る半導体集積回路装置においても、通常書き込みの後、近接効果を受けたメモリセルに対して追加書き込みを行うので、近接効果を受けて拡大したしきい値分布幅を、再度狭くなるように補正することができる。従って、第1例、第2例と同様に、狭いしきい値分布幅を実現できる不揮発性半導体メモリを有した半導体集積回路装置を提

50

供できる。

【 0 0 5 3 】

( 第 2 実施形態 )

第 2 実施形態は、追加書き込みを開始するタイミングに関する例である。

【 0 0 5 4 】

図 1 4 は N A N D 型フラッシュメモリの概略的な構成を示すブロック図である。

【 0 0 5 5 】

図 1 4 に示すように、半導体集積回路チップ 1 には、I / O バッファ 3、ページバッファ 5、メモリセルアレイ 7、及びロウデコーダ 9 が配置される。なお、図 1 4 は概略的な構成の一例であり、基本的なデータの入力経路、及びデータの出力経路のみを示す。このため、図 1 4 においては、コマンドをデコードするコマンドデコーダやメモリのステータスを保持するステータスレジスタ、制御回路等は省略する。

10

【 0 0 5 6 】

I / O バッファ 3 は、チップ 1 とチップ 1 の外にある外部電子機器との電気的接点である。例えば、書き込みデータは、外部電子機器から I / O バッファ 3 を介してチップ 1 に入力される。また、読み出しデータは、チップ 1 から I / O バッファを介して外部電子機器に出力される。I / O バッファ 3 は、内部データ線を介してページバッファ 5 に電氣的に接続される。

【 0 0 5 7 】

ページバッファ 5 は、メモリセルアレイ 7 に書き込む書き込みデータを、1 ページ分保持する回路である。また、メモリセルアレイ 7 から読み出した読み出しデータを、1 ページ分保持する回路である。このため、ページバッファ 5 は、その内部に、データを一時的に保持するデータキャッシュと呼ばれる回路を含む。データキャッシュの一例はラッチ回路であり、ラッチ回路は 1 ページ分の読み出しデータ、あるいは 1 ページ分の書き込みデータをラッチする。ページバッファ 5 は、ビット線を介してメモリセルアレイ 7 に電氣的に接続される。

20

【 0 0 5 8 】

図 1 5 は、メモリセルアレイの一例を示す図である。

【 0 0 5 9 】

図 1 5 に示すように、N A N D 型フラッシュメモリのメモリセルアレイ 7 は複数のブロックを含む。本例では、メモリセルアレイ 1 は 2 0 4 8 個のブロック No . 0 0 0 1 ~ No . 2 0 4 8 を含む。ブロックは、例えば、データ消去の最小単位を構成する。図 1 6 に、ブロックの一例を示す。

30

【 0 0 6 0 】

図 1 6 に示すように、1 個のブロック No . i は複数の N A N D 型メモリセルユニットを含む。本例においては、1 個のブロック No . i は 1 6 8 9 6 個の N A N D 型メモリユニットを含む。N A N D 型メモリセルユニットは、直列に接続された複数の不揮発性半導体メモリセル M C を含む。本例においては、N A N D 型メモリセルユニットは 3 2 個のメモリセル M C を含む。3 2 個のメモリセル M C は、ドレイン側ブロック選択トランジスタ S T D とソース側ブロック選択トランジスタ S T S との間に直列に接続される。N A N D 型メモリセルユニットの一端は、選択トランジスタ S T D を介してビット線 B L に接続される。N A N D 型メモリセルユニットの他端は、選択トランジスタ S T S を介して共通ソース線 C E L S R C に接続される。選択トランジスタ S T D のゲートはドレイン側ブロック選択ゲート線 S G D に接続される。選択トランジスタ S T S のゲートはソース側ブロック選択ゲート線 S G S に接続される。メモリセル M C のゲート ( 制御ゲート ) はワード線 W L に接続される。ブロック選択線 S G D、S G S、ワード線 W L はロウデコーダ 9 のロウデコード回路 R D に接続される。ロウデコード回路 R D は、ロウアドレスをデコードし、ブロック選択線 S G D、S G S、ワード線 W L を選択する。

40

【 0 0 6 1 】

本例では、1 本のワード線 W L に接続される 1 6 8 9 6 個のメモリセル M C に対して、

50



データの読み出し、及び書き込みが同時に行われる。1つのメモリセルMCが1ビットのデータを記憶する場合(2値メモリ)、16896個のメモリセルMCが集まってページという単位を構成する。ページは、例えば、データの読み出し、及び書き込みの最小単位を構成する。1つのメモリセルMCが2ビットのデータを記憶する場合(4値メモリ)、16896個のメモリセルは2ページ分のデータを記憶する。

【0062】

追加データ書き込みは、複数のブロックのうち、1つのブロックの書き込みが終了した後に行っても良く、複数のページのうち、1つのページの書き込みが終了した後に行っても良い。以下、書き込み動作の例のいくつかを説明する。

【0063】

(第1例)

本例は、1つのブロックへの通常書き込みが終わった後に、追加書き込みする例である。

【0064】

図17は、第2実施形態の第1例に係る書き込み方法の一手順例を示す図である。

【0065】

集積回路が書き込みコマンドを受けると、集積回路の制御回路系には書き込み開始フラグが立つ。本例では、書き込み開始フラグが立つと、書き込み動作以外の動作は禁止される。

【0066】

<通常書き込み動作>

書き込み開始フラグが立つと、通常書き込み動作が始まる。本例における通常書き込み動作の手順は以下の通りである。

【0067】

図17に示すように、書き込みデータ、例えば、1ページ分の書き込みデータを、ページバッファ内のデータキャッシュにロードする(Data Cache)。次いで、ロードされたデータを、データキャッシュにラッチする(Cache Latch)。次いで、指定されたページに、ラッチされたデータに従ってデータを書き込む(Latch Program)。

【0068】

1ページ分の書き込みが終了したら、次の1ページ分の書き込みに移り、上記通常書き込み動作を繰り返す。本例ではブロックのうち、最もソース線に近い側のページから、ドレイン側に向かって、1つのブロックの通常書き込みが終わるまで繰り返す。1つのブロックの通常書き込みが終わると、制御回路系に書き込み終了フラグが立つ。書き込み終了フラグが立つと、今度は追加書き込み開始フラグが立つ。

【0069】

<追加書き込み動作>

追加書き込み開始フラグが立つと、追加書き込み動作が始まる。本例における追加書き込み動作の手順は以下の通りである。

【0070】

図17に示すように、通常書き込みが終わったブロックからデータを読み出す。本例では、最もソース線に近いページ(本例ではワード線WL1のページ)からデータを読み出す。続いて、次のページ(本例ではワード線WL2のページ)からデータを読み出す(READ)。次いで、ワード線WL1のページデータと、ワード線WL2のページデータとを比較して、ワード線WL1のページデータに対して与える追加書き込み量、本例では、しきい値補正量を決める(補正量計算)。しきい値補正量は、ワード線WL1に接続されるメモリセルMC毎に、一つ一つ決められる。次いで、決まったしきい値補正量に基づいて、ワード線WL1に接続されるメモリセルMCにデータを追加書き込みし、しきい値を補正する(補正書き込み)。

【0071】

10

20

30

40

50

ワード線WL1のページデータへの追加書き込みが終わったら、上記追加書き込み動作を繰り返す。つまり、次のページ(本例ではワード線WL3のページ)からデータを読み出す。このワード線WL3のページデータと、先に読み出したワード線WL2のページデータとを比較して、ワード線WL2のページデータに対して与える追加書き込み量、本例では、しきい値補正量を決める。このような追加書き込み動作を、ワード線WL31のページデータへの追加書き込みが終わるまで繰り返す。さらに、本例では、ワード線WL32のページデータにも追加書き込みする。最後に通常書き込みされたワード線WL32のページデータは近接効果を受けない。近接効果を受けないページデータは、追加書き込みする必要は無い。しかし、近接効果を受けないページデータにも追加書き込みすると、近接効果を受けないページデータと近接効果を受けるページデータとのしきい値差を縮めることができる。図18Aに近接効果を受けないセルのしきい値分布を、図18Bに近接効果を受けるセルのしきい値分布を示す。図18Aに示すように、近接効果を受けないセルに追加書き込みすると、そのしきい値分布は、近接効果を受けるセル(追加書き込みするセル)のしきい値とほぼ同じにできる。この結果、図18Cに示すように、しきい値分布幅 $Dw * B$ 、 $Dw * C$ 、 $Dw * D$ は狭くすることができる。参考例として、図19A~図19Cに、近接効果を受けないセルには、追加書き込みをしないケースを示す。このケースは、特に、図19Cに示すように、近接効果を受けないセルに追加書き込みをしないために、しきい値分布幅 $Dw * B$ 、 $Dw * C$ 、 $Dw * D$ は、図18Cに示す本例に比較して、広くなる。

10

**【0072】**

20

1つのブロックの追加書き込みが終わると、追加書き込み終了フラグが立つ。

**【0073】**

第1例によれば、近接効果を受けていないページデータへも追加書き込みするので、特に、図18Cに示すように、しきい値分布幅 $Dw * B$ 、 $Dw * C$ 、 $Dw * D$ を縮めることができる。しきい値分布幅 $Dw * B$ 、 $Dw * C$ 、 $Dw * D$ が縮まると、例えば、データが別のデータに変化し難くなる等の利点を得ることができ、データ保持に関する信頼性が向上する。

**【0074】**

狭いしきい値分布幅を得る手法として、パスライト書き込みが知られている(参考文献:特開2003-196988)。パスライト書き込みは、メモリセルのしきい値が、所定の書き込みレベルに近づいてきたら、ワード線のステップアップ電圧幅を小さくする。パスライト書き込みは、ステップアップ電圧幅を小さくし、書き込みパルス1回当たりのしきい値シフト量を小さくすることで、所定の書き込みレベルにソフトにランディングさせる。パスライト書き込みによれば、狭いしきい値分布幅を得ることができる。しかし、より狭いしきい値分布幅を得るには、ステップアップ電圧幅を、より小さくしなければならない。パスライト書き込みだけを用いると、書き込みパルス印加回数が増え、データ書き込み時間が長くなりやすい。

30

**【0075】**

対して、第1例によれば、追加書き込みすることで、狭いしきい値分布幅を得る。第1例は、パスライト書き込みに比較すれば、データ書き込み時間を短くすることができる。もちろん、第1例は、パスライト書き込みと併用することもできる。併用した場合においても、パスライト書き込みだけを用いた書き込みに比較すれば、データ書き込み時間を短くすることができる。

40

**【0076】**

さらに、第1例は、追加書き込み開始フラグが立つと、追加書き込みが始まる。追加書き込み開始フラグが立っている間は、追加書き込み以外の動作を禁止することができる。追加書き込み以外の動作を禁止することで、誤った追加書き込みの可能性が低減される。

**【0077】**

さらに、第1例は、追加書き込みが終わると、追加書き込み終了フラグが立つ。追加書き込み終了フラグを検知することで、追加書き込みが完全に終わったか否かの判断も可能

50

である。追加書き込み以外の動作は、追加書き込み終了フラグが立った後に為されれば良い。

【0078】

(第2例)

第2例は、第1例と同様に、1つのブロックへの通常書き込みが終わった後に、追加書き込みする例である。特に、異なるところは、データキャッシュとは別系統で、追加書き込み量を計算する計算回路と、計算された追加書き込み量を記憶する回路とを持つことである。以下、第2例を、異なる部分を中心に説明する。

【0079】

<通常書き込み動作>

図20に示すように、書き込みデータ、例えば、最初の1ページ分の書き込みデータを、ページバッファ内のデータキャッシュにロードする(Data Cache)。このロードと同時に、最初の1ページ分の書き込みデータを、追加書き込み量を計算する計算回路にロードする(補正量計算)。最初にロードされる書き込みデータは、ワード線WL1のページデータである。計算回路は、補正量計算をしない。次いで、ロードされた書き込みデータを、データキャッシュにラッチし、ラッチされたデータに従って、ワード線WL1のページにデータを書き込む(Cache Latch Prog.)。

【0080】

1ページ分の書き込みが終わると、次の1ページ分のデータを書き込む。上述の動作と同様に、次の1ページ分の書き込みデータを、データキャッシュ、及び計算回路にロードする。計算回路は、先にロードされたワード線WL1のページデータと、今回ロードされたワード線WL2のページデータとを比較して、ワード線WL1のページデータに対して与える追加書き込み量、本例では、しきい値補正量を定める(補正量計算)。決まったしきい値補正量は、補正量記憶回路に記憶する(補正量記憶(1ブロック分))。

【0081】

上記通常書き込み、及び上記補正量計算/補正量記憶動作を、1ブロック分終わるまで繰り返す。

【0082】

<追加書き込み動作>

1ブロックの書き込みが終わると、追加書き込みを始める。補正量記憶回路に記憶されたしきい値補正量に従って、本例ではソース線に最も近いワード線WL1から、ビット線に最も近いワード線WL32に向かって、順次追加書き込みする。1ブロック分の追加書き込みが終わると、次のブロックがあれば、次のブロックに対する上記通常書き込み動作、及び本追加書き込み動作を繰り返す。

【0083】

第2例によれば、第1例と同様の効果が得られるとともに、補正量計算を、通常書き込みと平行に実行するので、第1例に比較して書き込み時間を短縮できる。

【0084】

(第3例)

本例は、第1例に係る動作を、ページ毎に実行する例である。

【0085】

図21に示すように、第1例に係る動作は、ページ毎に実行することが可能である。

【0086】

(第4例)

本例は、第2例に係る動作を、ページ毎に実行する例である。

【0087】

図22に示すように、第2例に係る動作は、ページ毎に実行することが可能である。

【0088】

(第5例)

図23に示すように、第5例は、ビット線を、偶数ビット線と奇数ビット線とに分けた

10

20

30

40

50

例である。第2実施形態の第1例～第4例に係る動作は、1本のワード線に複数のページを持たせたNAND型フラッシュメモリにも適用することができる。

【0089】

(第3実施形態)

近接効果に起因するしきい値の変動量は、厳密に述べるならば、隣接するメモリセルに書き込まれたデータに応じて変わる。

【0090】

第3実施形態は、隣接したメモリセルに書き込まれたデータに応じて、追加書き込みするか否かを判断する手法に関する。

【0091】

(第1例)

本例は、ワード線方向に沿って隣接するメモリセル間において、近接効果が発生する例である。本例は、ワード線方向に沿って隣接するメモリセル間において近接効果を補正し、ビット線方向に沿って隣接するメモリセル間においては上記近接効果を補正しない。

【0092】

図24に示すように、ワード線WL2に接続される3個のメモリセルMC2o1、MC2e2、MC2o2にデータを書き込むことを想定する。メモリセルMC2o1、MC2o2はそれぞれ、ワード線WL2と奇数ビット線BL2o1、及びワード線WL2と奇数ビット線BL2o2とに接続され、メモリセルMC2e2はワード線WL2と偶数ビット線BL2e2とに接続される。書き込みの順序は、メモリセルMC2e2にデータを書き込んだ後(I、II)、メモリセルMC2o1、MC2o2にデータを書き込む(III、IV)。この場合、メモリセルMC2e2が近接効果を受けるモードとして、4つのケースがある(ケース1～ケース4)。以下、ケース1～ケース4について順次説明する。

【0093】

<ケース1>

図25に示すように、ケース1は、メモリセルMC2o1、MC2o2の双方に、“00”レベル、又は“01”レベルが書き込まれるケースである。“00”レベル、又は“01”レベルへの書き込みを、本明細書では“上位書き込み”と呼ぶ。対して、“10”レベルへの書き込みは“下位書き込み”と呼ぶ。

【0094】

ケース1は、メモリセルMC2o1、及びMC2o2の双方に上位書き込みをするので、メモリセルMC2o1、及びMC2o2の双方の浮遊ゲートに対して、“10”レベルよりも多くの電子が注入される。ケース1は、メモリセルMC2o1の浮遊ゲート電位、及びMC2o2の浮遊ゲート電位の双方が非常に低くなる。メモリセルMC2e2に対する近接効果の影響は第1例においては最も大きい。メモリセルMC2e2の浮遊ゲート電位は、低い方向に大きくシフトする。電位が、低い方向に大きくシフトするケースは、本明細書では“シフト量大”と呼ぶ。

【0095】

ケース1は“シフト量大”であるので、メモリセルMC2e2には追加書き込み(近接効果を補正する書き込み)をしない。追加書き込みをしない、ということは、追加書き込み時に、しきい値のシフトを抑制する、ということである。

【0096】

メモリセルMC2o1、MC2o2の書き込みレベルを判定するには、ブロック書き込み終了後、“10”レベルと“00”レベルとの間に設定された追加書き込み判定レベルをワード線WL2に与え、データを読み出せば良い。あるいはメモリセルMC2o1、MC2o2にデータを書き込んだ際に、例えば、記憶回路に、メモリセルMC2o1、MC2o2に対して上位レベルを書き込んだか否かを判別する情報を記憶させれば良い。記憶回路は、例えば、メモリセルアレイとは別に設けられたラッチ回路で良い。上位レベルを書き込んだか否かを判別する情報は、例えば、ページラッチにロードされた書き込みデータ、あるいはI/Oバッファに入力された書き込みデータから得れば良い。例えば、書き

10

20

30

40

50

込みデータの上位ビットが“ 0 ”であるか、“ 1 ”であるかをラッチ回路に記憶させる。“ 1 0 ”レベルは、上位ビットが“ 1 ”である。対して、“ 0 0 ”レベル、及び“ 0 1 ”レベルは、上位ビットが“ 0 ”である。

【 0 0 9 7 】

< ケース 2 >

図 2 6 に示すように、ケース 2 は、“ 1 0 ”レベルがメモリセル M C 2 o 1 に書き込まれ、“ 0 0 ”レベル、又は“ 0 1 ”レベルがメモリセル M C 2 o 2 に書き込まれるケースである。つまり、ケース 2 は、メモリセル M C 2 o 1、及び M C 2 o 2 に、上位書き込みと下位書き込みとが行われるケースである。

【 0 0 9 8 】

ケース 2 は、メモリセル M C 2 o 1、及び M C 2 o の双方が上位書き込みされるケース 1 に比較して、メモリセル M C 2 e 2 の浮遊ゲート電位のシフト量はやや小さい。本明細書では“シフト量中”と呼ぶ。

【 0 0 9 9 】

ケース 2 は“シフト量中”であるので、メモリセル M C 2 e 2 には追加書き込みをする。追加書き込みは、ケース 1 に示した“シフト量大”のケースと同様のしきい値レベルとなるように行われる。追加書き込みの際のベリファイレベルは、通常書き込みの際のベリファイレベルよりも、ケース 1 の近接効果分だけ高くする。近接効果の量は、メモリセルの構造に依存する。追加書き込み量を、どの位にするかについては、メモリセルの構造毎に適宜決められれば良い。

【 0 1 0 0 】

< ケース 3 >

図 2 7 に示すように、ケース 3 は、ケース 2 と同様に、一方のメモリセルが上位書き込みされ、もう一方のメモリセルが下位書き込みされるケースである。ケース 3 がケース 2 と異なるところは、メモリセル M C 2 o 1 に“ 0 1 ”レベルが書き込まれ、メモリセル M C 2 o 2 に“ 0 0 ”レベルが書き込まれることである。

【 0 1 0 1 】

ケース 3 は“シフト量中”であるので、ケース 2 と同様に、メモリセル M C 2 e 2 には追加書き込みをする。

【 0 1 0 2 】

< ケース 4 >

図 2 8 に示すように、ケース 4 は、メモリセル M C 2 o 1、M C 2 o 2 の双方に、“ 1 0 ”レベルが書き込まれるケースである。

【 0 1 0 3 】

ケース 4 は、メモリセル M C 2 o 1、及び M C 2 o 2 の双方に下位書き込みをする。ケース 4 は、ケース 1 ~ ケース 3 に比較して近接効果の影響が最も小さくなる。即ち、4 つのケースの中で、メモリセル M C 2 e 2 に対する近接効果の影響が最も小さい。ケース 4 は、メモリセル M C 2 e 2 の浮遊ゲート電位のシフト量が非常に小さいか、あるいは全くシフトしない。本明細書では“シフト量小”と呼ぶ。

【 0 1 0 4 】

ケース 4 は“シフト量小”であるので、メモリセル M C 2 e 2 には追加書き込みをする。追加書き込みは、ケース 1 に示した“シフト量大”のケースと同様のしきい値レベルとなるように行われる。

【 0 1 0 5 】

( 第 2 例 )

本例は、ビット線方向に隣接するメモリセル間において、近接効果が発生する例である。本例は、ビット線方向に沿って隣接するメモリセル間において近接効果を補正し、ワード線方向に沿って隣接するメモリセル間においては上記近接効果を補正しない。

【 0 1 0 6 】

図 2 9 に示すように、ワード線 W L 2 に接続される 3 個のメモリセル M C 2 e 1、M C

10

20

30

40

50

2 o 1、MC 2 e 2、ワード線WL 3に接続される1個のメモリセルMC 3 o 1にデータを書き込むことを想定する。メモリセルMC 2 e 1、MC 2 e 2はそれぞれ、ワード線WL 2と偶数ビット線BL e 1、及びワード線WL 2と偶数ビット線BL e 2とに接続され、メモリセルMC 2 o 1、MC 3 o 1はそれぞれ、ワード線WL 2と奇数ビット線BL o 1、及びワード線WL 3と奇数ビット線BL o 1とに接続される。書き込みの順序は、メモリセルMC 2 o 1にデータを書き込んだ後(I、II)、メモリセルMC 2 e 1、MC 2 e 2にデータを書き込む(III、IV)。この後、メモリセルMC 3 o 1にデータを書き込む(V、VI)。この場合、メモリセルMC 2 o 1が近接効果を受けるモードとして、2つのケースがある(ケース1、及びケース2)

<ケース1>

図30に示すように、ケース1は、メモリセルMC 3 o 1に、“00”レベル、又は“01”レベルが書き込まれるケースである。

【0107】

ケース1は、メモリセルMC 3 o 1に上位書き込みをするので、メモリセルMC 2 o 1は、近接効果の影響を大きく受ける。本第2例においては、ケース1が最も近接効果の影響が大きい。いわば“シフト量大”である。

【0108】

ケース1は“シフト量大”であるので、メモリセルMC 2 o 1には、追加書き込みをしない。

【0109】

<ケース2>

図31に示すように、ケース2は、メモリセルMC 3 o 1に“10”レベルが書き込まれるケースである。

【0110】

ケース2はメモリセルMC 3 o 1に下位書き込みをするので、メモリセルMC 2 o 1が受ける近接効果の影響は小さい。いわば“シフト量小”である。

【0111】

ケース2は“シフト量小”であるので、メモリセルMC 2 o 1には、追加書き込みをする。追加書き込みは、ケース1に示した“シフト量大”のケースと同様のしきい値レベルとなるように行われる。

【0112】

(第3例)

本例は、ワード線方向に隣接するメモリセル間、及びビット線方向に隣接するメモリセル間の双方において、近接効果が発生する例である。本例は、ワード線方向に沿って隣接するメモリセル間、ビット線方向に沿って隣接するメモリセル間の双方で近接効果を補正する。

【0113】

図32に示すように、ワード線WL 2に接続される3個のメモリセルMC 2 o 1、MC 2 e 2、MC 2 o 2、ワード線WL 3に接続される1個のメモリセルMC 3 e 2にデータを書き込むことを想定する。メモリセルMC 2 o 1、MC 2 o 2はそれぞれ、ワード線WL 2と奇数ビット線BL o 1、及びワード線WL 2と奇数ビット線BL o 2とに接続され、メモリセルMC 2 e 2、MC 3 e 2はそれぞれ、ワード線WL 2と偶数ビット線BL e 2、及びワード線WL 3と偶数ビット線BL e 2とに接続される。書き込みの順序は、メモリセルMC 2 e 2にデータを書き込んだ後(I、II)、メモリセルMC 2 o 1、MC 2 o 2にデータを書き込む(III、IV)。この後、メモリセルMC 3 e 2にデータを書き込む(V、VI)。この場合、メモリセルMC 2 e 2が近接効果を受けるモードとして、8つのケースがある(ケース1~ケース8)

<ケース1>

図30に示すように、ケース1は、メモリセルMC 2 o 1、MC 2 o 2、MC 3 e 2に、“00”レベル、又は“01”レベルが書き込まれるケースである。

10

20

30

40

50

## 【 0 1 1 4 】

ケース 1 は、メモリセル MC 2 o 1、MC 2 o 2、MC 3 e 2 の全てに上位書き込みをするので、メモリセル MC 2 e 2 は、近接効果の影響を大きく受ける。本第 3 例においては、ケース 1 が最も近接効果の影響が大きい。“シフト量大”である。

## 【 0 1 1 5 】

ケース 1 は“シフト量大”であるので、メモリセル MC 2 e 2 には、追加書き込みをしない。

## 【 0 1 1 6 】

## &lt; ケース 2 &gt;

図 3 4 に示すように、ケース 2 は、メモリセル MC 2 o 1、MC 2 o 2 に“0 0”レベル、又は“0 1”レベルが書き込まれ、メモリセル MC 3 e 2 に“1 0”レベルが書き込まれるケースである。

10

## 【 0 1 1 7 】

ケース 2 は、メモリセル MC 2 o 1、MC 2 o 2 に上位書き込みし、メモリセル MC 3 e 2 に下位書き込みする。ケース 2 は、ケース 1 に比較して、ややシフト量が小さくなる。“シフト量中”である。

## 【 0 1 1 8 】

ケース 2 は“シフト量中”であるので、メモリセル MC 2 e 2 には、追加書き込みをする。追加書き込みは、ケース 1 に示した“シフト量大”のケースと同様のしきい値レベルとなるように行われる。

20

## 【 0 1 1 9 】

## &lt; ケース 3 &gt;

図 3 5 に示すように、ケース 3 は、メモリセル MC 2 o 1 に“1 0”レベルが書き込まれ、メモリセル MC 2 o 2、MC 3 e 2 に“0 0”レベル、又は“0 1”レベルが書き込まれケースである。

## 【 0 1 2 0 】

ケース 3 は、メモリセル MC 2 o 1 に下位書き込みし、メモリセル MC 2 o 2、MC 3 e 2 に上位書き込みする。ケース 3 は、ケース 1 に比較して、ややシフト量が小さくなる。“シフト量中”である。

## 【 0 1 2 1 】

ケース 3 は“シフト量中”であるので、メモリセル MC 2 e 2 には、追加書き込みをする。

30

## 【 0 1 2 2 】

## &lt; ケース 4 &gt;

図 3 6 に示すように、ケース 4 がケース 3 と異なるところは、メモリセル MC 3 e 2 に“1 0”レベルが書き込まれるところである。それ以外はケース 3 と同様である。

## 【 0 1 2 3 】

ケース 4 はメモリセル MC 3 e 2 が下位書き込みされるので、ケース 3 に比較して、ややシフト量が小さくなるが、“シフト量中”と考えて良い。

## 【 0 1 2 4 】

ケース 4 は“シフト量中”であるので、メモリセル MC 2 e 2 には、追加書き込みをする。

40

## 【 0 1 2 5 】

## &lt; ケース 5 &gt;

図 3 7 に示すように、ケース 5 がケース 3 と異なるところは、メモリセル MC 2 o 1 に“0 0”レベル、又は“0 1”が書き込まれ、メモリセル MC 2 o 2 に“1 0”レベルが書き込まれるところである。ケース 5 は、ケース 3 と同様に“シフト量中”である。

## 【 0 1 2 6 】

ケース 5 は“シフト量中”であるので、メモリセル MC 2 e 2 には、追加書き込みをする。

50

## 【 0 1 2 7 】

< ケース 6 >

図 3 8 に示すように、ケース 6 がケース 4 と異なるところは、メモリセル M C 2 o 1 に “ 0 0 ” レベル、又は “ 0 1 ” が書き込まれ、メモリセル M C 2 o 2 に “ 1 0 ” レベルが書き込まれるところである。ケース 6 は、ケース 4 と同様に “ シフト量中 ” である。

## 【 0 1 2 8 】

ケース 6 は “ シフト量中 ” であるので、メモリセル M C 2 e 2 には、追加書き込みをする。

## 【 0 1 2 9 】

< ケース 7 >

図 3 9 に示すように、ケース 7 は、メモリセル M C 2 o 1、M C 2 o 2 に “ 1 0 ” レベルが書き込まれ、メモリセル M C 3 o 2 に “ 0 0 ” レベル、又は “ 0 1 ” レベルが書き込まれるケースである。

## 【 0 1 3 0 】

ケース 7 は、メモリセル M C 2 o 1、M C 2 o 2 に下位書き込みし、メモリセル M C 3 e 2 に上位書き込みする。ケース 7 は、メモリセル M C 2 o 1、M C 2 o 2 の双方が下位書き込みされるので、ケース 5 に比較して、ややシフト量が小さくなるが、“ シフト量中 ” と考えて良い。

## 【 0 1 3 1 】

ケース 7 は “ シフト量中 ” であるので、メモリセル M C 2 e 2 には、追加書き込みをする。

## 【 0 1 3 2 】

< ケース 8 >

図 4 0 に示すように、ケース 8 がケース 7 と異なるところは、メモリセル M C 3 e 2 に “ 1 0 ” レベルが書き込まれるところである。

## 【 0 1 3 3 】

ケース 8 は、メモリセル M C 2 o 1、M C 2 o 2、M C 3 e 2 の全てに下位書き込みをするので、メモリセル M C 2 e 2 は、近接効果の影響が小さい。本第 3 例においては、ケース 8 が最も近接効果の影響が小さい。“ シフト量小 ” である。

## 【 0 1 3 4 】

ケース 8 は “ シフト量小 ” であるので、メモリセル M C 2 e 2 には、追加書き込みをする。

## 【 0 1 3 5 】

第 3 実施形態によれば、最もしきい値がシフトするケースに合わせてしきい値を補正するので、近接効果が生じた場合でも、狭いしきい値分布幅を得ることができる。

## 【 0 1 3 6 】

( 第 4 実施形態 )

追加書き込みのベリファイ読み出しに関する例である。

## 【 0 1 3 7 】

追加書き込みを行う場合、下流に隣接するセルに保存されているデータを読み出す必要がある。通常の読み出し動作では、指定ページに保存されているデータが判別できれば良いため、偶数ページを読み出すか、奇数ページを読み出すかで 2 回あるいは 1 回の読み出し動作を行うが、4 つのしきい値レベルのどこにあるかまでの判別は行わない。そのため、指定されるアドレスにより必要なベリファイ順位が異なるため、ビット線のプリチャージ、セル電流による放電、ビット線電位のリカバリは、一組の動作として行う必要がある。

## 【 0 1 3 8 】

本例の追加書き込み時の読み出しは、セルに保存されているしきい値順位を判別するため、同一セルに記録される偶数ページ、及び奇数ページを必ず連続して読み出す。

10

20

30

40

50



## 【0139】

これは、セルのしきい値レベルを低い順に読み出すことにより、ビット線のプリチャージ、ビット線のリカバリにかかる時間と電流とを抑制することができる。以下に、具体的な操作方法を説明する。

## 【0140】

図41は、NAND型ユニットセルが配置されたメモリセルアレイの一部を示す図である。

## 【0141】

図41において、セルI、II、III、IVのセルのしきい値電圧 $V_{th}$ を、図42に示すように、A、B、C、Dに設定する。セルI~IVからのデータの読み出しは、低いしきい値レベルから読み出す。この手順は、ビット線プリチャージ  $V_{th1}$  読み出し  $V_{th2}$  読み出し  $V_{th3}$  読み出し リカバリ操作を考える。このとき、セル電流により放電されずに残留したビット線電荷を、次の読み出し時のプリチャージ電荷として再利用する。さらに、セル電流が一度流れており、 $V_{th}$ 順位が判定されたセルでは、ビット線をプリチャージしない。以上の一連の操作による、各セルに流れる電流の変化のイメージを図43に示す。

## 【0142】

読み出し動作時のプリチャージ電荷及び放電電流は、各動作に悪影響を及ぼすノイズとなる。従来は、読み出し時の放電電流により、通常、ソース線電位が上昇し、それが消失するまでにはある時間を要する。よって、これによるノイズの影響を回避する目的で、発生電位の消失が完了するまで、次の動作をストップさせるので、結局、連続動作において、時間遅延が起きてしまうのが現状である。

## 【0143】

本例にかかる追加書き込み時の読み出し動作では、しきい値電圧 $V_{th}$ が判定されたセルのプリチャージが不要であることから、プリチャージ電荷によるノイズの悪影響を従来法に比べて、そのセル分減ずることができる。

## 【0144】

同時に、放電電流も低減されることから、それに起因したソース電位変化も、従来の読み出し方式より抑えることができ、発生電位の消失時間が短縮され、結果的により高速動作を実現し得る。

## 【0145】

以上、この発明をいくつかの実施形態により説明したが、この発明は各実施形態に限定されるものではなく、その実施にあたっては発明の要旨を逸脱しない範囲で種々に変形することが可能である。

## 【0146】

また、各実施形態は単独で実施することが可能であるが、適宜組み合わせることも可能である。

## 【0147】

また、各実施形態は種々の段階の発明を含んでおり、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することが可能である。

## 【0148】

また、実施形態は、この発明をNAND型フラッシュメモリに適用した例に基づき説明したが、この発明はNAND型フラッシュメモリに限られるものではなく、AND型、NOR型等、NAND型以外のフラッシュメモリにも適用することができる。さらに、これらフラッシュメモリを内蔵した半導体集積回路装置、例えば、プロセッサ、システムLSI等もまた、この発明の範疇である。

## 【図面の簡単な説明】

## 【0149】

【図1】図1A及び図1Bはメモリセルへのデータ書き込みを示す図

【図2】図2はメモリセルのビット線方向に沿った断面図

10

20

30

40

50

- 【図 3】図 3 A は近接効果を受ける前のしきい値分布を示す図、図 3 B は近接効果を受けた後のしきい値分布を示す図
- 【図 4】図 4 はメモリセルへのデータ書き込みを示す図
- 【図 5】図 5 はメモリセルのしきい値分布を示す図
- 【図 6】図 6 はこの発明の第 1 実施形態に係る半導体集積回路装置の第 1 例を示す回路図
- 【図 7】図 7 はベリファイ電圧の設定の一例を示す図
- 【図 8】図 8 は近接効果を受ける前のしきい値分布を示す図
- 【図 9】図 9 は近接効果を受けた後のしきい値分布を示す図
- 【図 10】図 10 は追加書き込み後のしきい値分布を示す図
- 【図 11】図 11 はこの発明の第 1 実施形態に係る半導体集積回路装置の第 2 例を示す回路図 10
- 【図 12】図 12 はこの発明の第 1 実施形態に係る半導体集積回路装置の第 3 例を示す回路図
- 【図 13】図 13 はこの発明の第 1 実施形態に係る半導体集積回路装置の第 3 例を示す回路図
- 【図 14】図 14 は NAND 型フラッシュメモリの概略的な構成を示すブロック図
- 【図 15】図 15 はメモリセルアレイの一例を示す図
- 【図 16】図 16 はブロックの一例を示す等価回路図
- 【図 17】図 17 はこの発明の第 2 実施形態に係る書き込み方法の第 1 例を示す図
- 【図 18】図 18 A ~ 図 18 C はこの発明の第 2 実施形態に係る動作方法を用いて得たしきい値分布を示す図 20
- 【図 19】図 19 A ~ 図 19 C はこの発明の第 2 実施形態の参考例に係る動作方法を用いて得たしきい値分布を示す図
- 【図 20】図 20 はこの発明の第 2 実施形態に係る書き込み方法の第 2 例を示す図
- 【図 21】図 21 はこの発明の第 2 実施形態に係る書き込み方法の第 3 例を示す図
- 【図 22】図 22 はこの発明の第 2 実施形態に係る書き込み方法の第 4 例を示す図
- 【図 23】図 23 はブロックの他例を示す等価回路図
- 【図 24】図 24 はこの発明の第 3 実施形態に係る書き込み方法の第 1 例を示す図
- 【図 25】図 25 は第 3 実施形態に係る書き込み方法の第 1 例に従ったしきい値分布の変化（ケース 1）を示す図 30
- 【図 26】図 26 は第 3 実施形態に係る書き込み方法の第 1 例に従ったしきい値分布の変化（ケース 2）を示す図
- 【図 27】図 27 は第 3 実施形態に係る書き込み方法の第 1 例に従ったしきい値分布の変化（ケース 3）を示す図
- 【図 28】図 28 は第 3 実施形態に係る書き込み方法の第 1 例に従ったしきい値分布の変化（ケース 4）を示す図
- 【図 29】図 29 はこの発明の第 3 実施形態に係る書き込み方法の第 2 例を示す図
- 【図 30】図 30 は第 3 実施形態に係る書き込み方法の第 2 例に従ったしきい値分布の変化（ケース 1）を示す図
- 【図 31】図 31 は第 3 実施形態に係る書き込み方法の第 2 例に従ったしきい値分布の変化（ケース 2）を示す図 40
- 【図 32】図 32 はこの発明の第 3 実施形態に係る書き込み方法の第 3 例を示す図
- 【図 33】図 33 は第 3 実施形態に係る書き込み方法の第 3 例に従ったしきい値分布の変化（ケース 1）を示す図
- 【図 34】図 34 は第 3 実施形態に係る書き込み方法の第 3 例に従ったしきい値分布の変化（ケース 2）を示す図
- 【図 35】図 35 は第 3 実施形態に係る書き込み方法の第 3 例に従ったしきい値分布の変化（ケース 3）を示す図
- 【図 36】図 36 は第 3 実施形態に係る書き込み方法の第 3 例に従ったしきい値分布の変化（ケース 4）を示す図 50

【図37】図37は第3実施形態に係る書き込み方法の第3例に従ったしきい値分布の変化(ケース5)を示す図

【図38】図38は第3実施形態に係る書き込み方法の第3例に従ったしきい値分布の変化(ケース6)を示す図

【図39】図39は第3実施形態に係る書き込み方法の第3例に従ったしきい値分布の変化(ケース7)を示す図

【図40】図40は第3実施形態に係る書き込み方法の第3例に従ったしきい値分布の変化(ケース8)を示す図

【図41】図41はNAND型ユニットセルが配置されたメモリセルアレイの一部を示す図

【図42】図42はしきい値分布を示す図

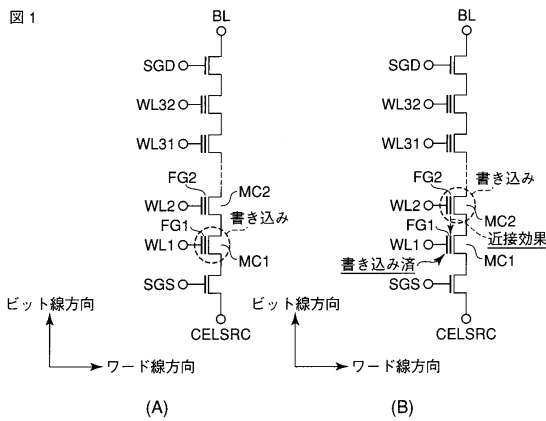
【図43】図43はセルに流れる電流の変化のイメージを示す図

【符号の説明】

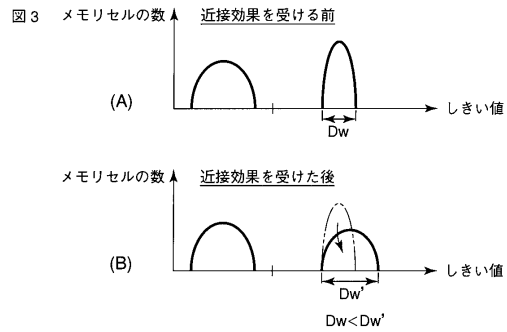
【0150】

7...メモリセルアレイ、MC...不揮発性半導体メモリセル、WL...ワード線、BL...ビット線、FG...浮遊ゲート(電荷蓄積層)

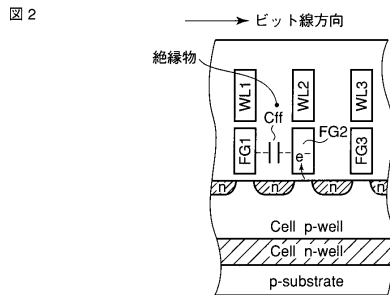
【図1】



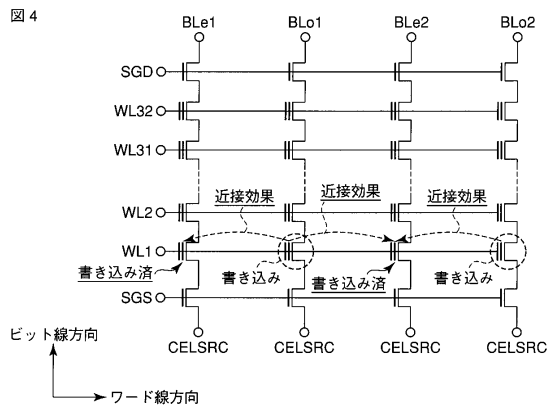
【図3】



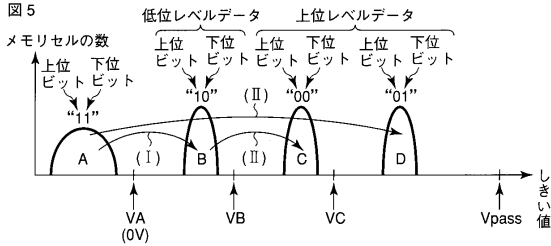
【図2】



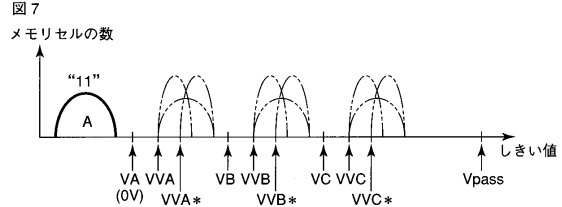
【図4】



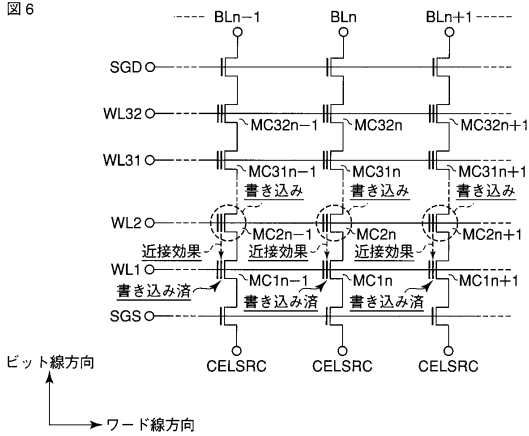
【図5】



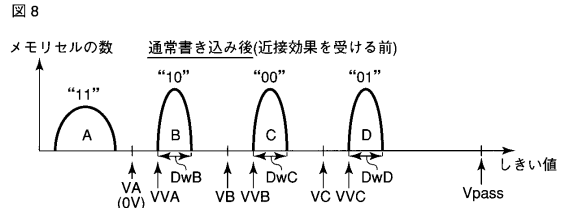
【図7】



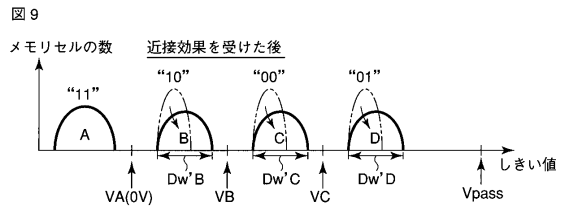
【図6】



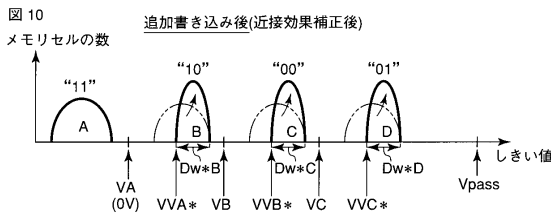
【図8】



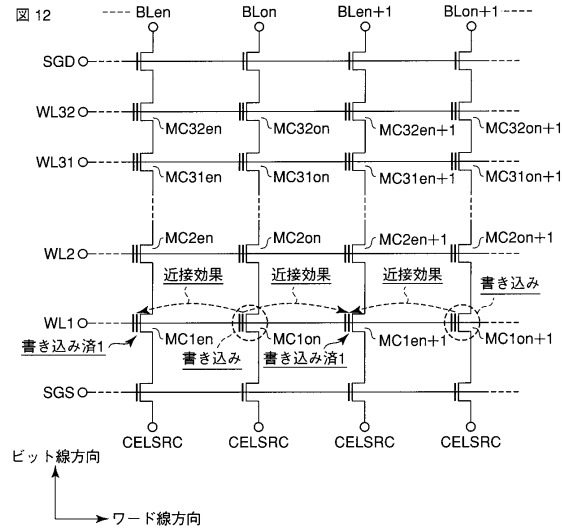
【図9】



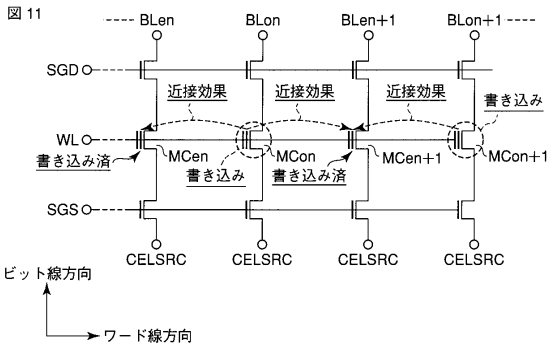
【図10】



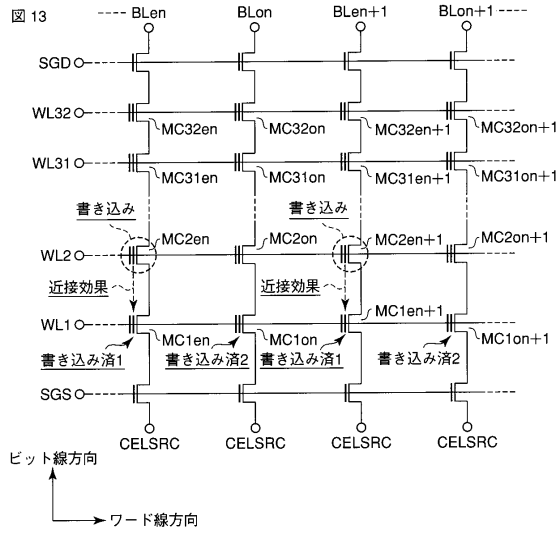
【図12】



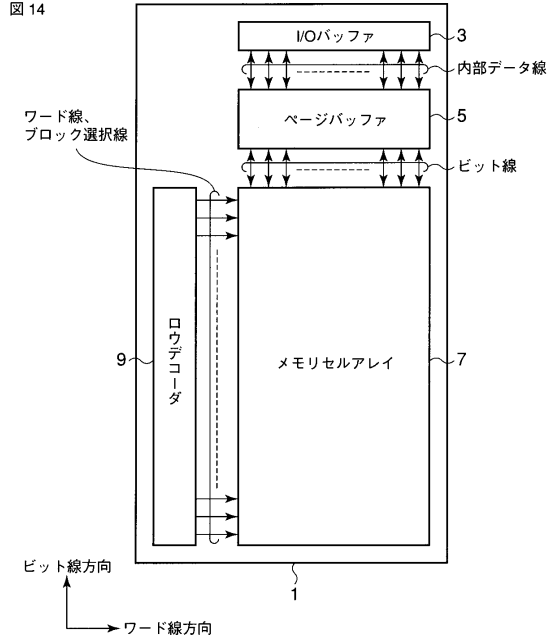
【図11】



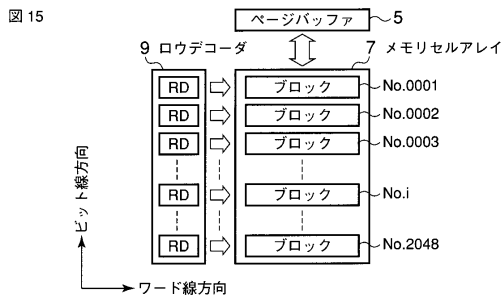
【図13】



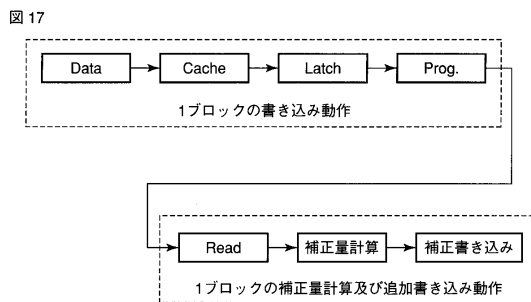
【図14】



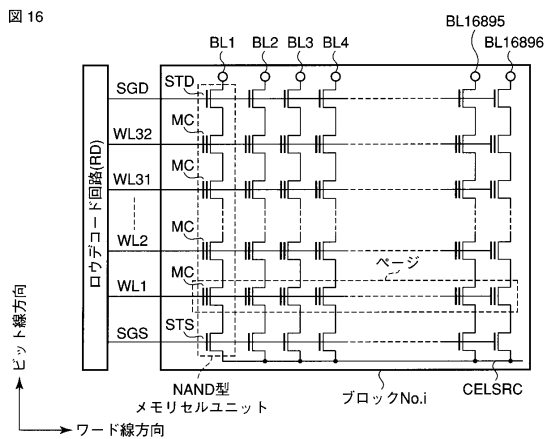
【図15】



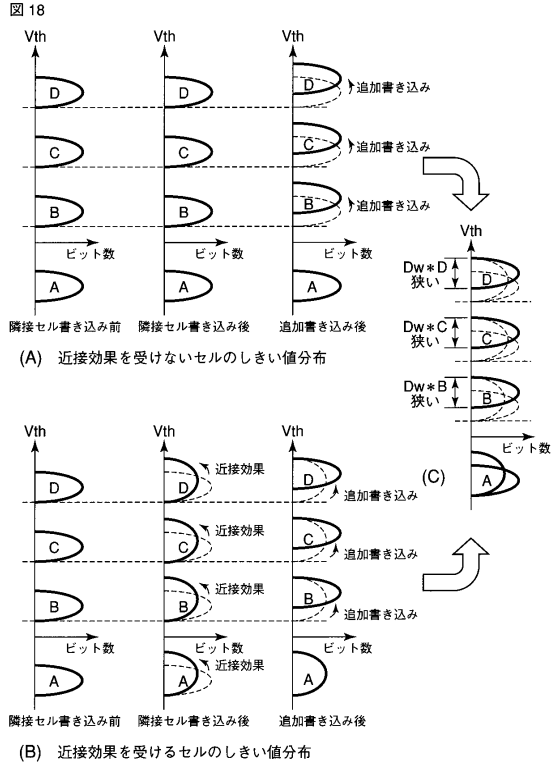
【図17】



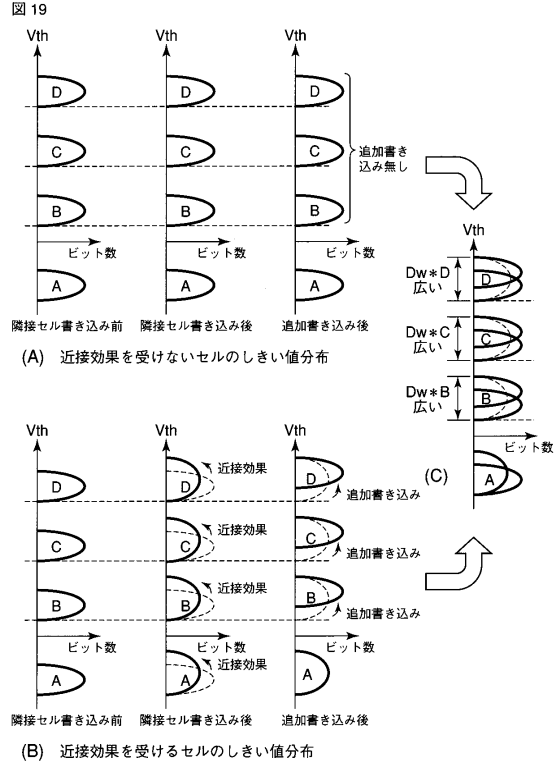
【図16】



【図18】

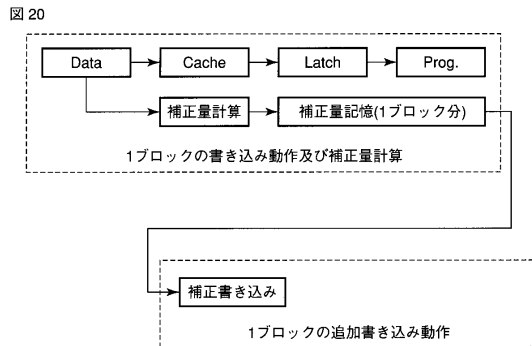


【図19】

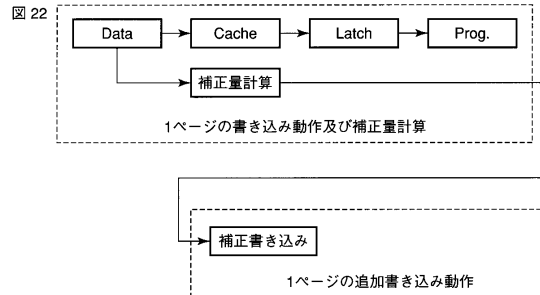


参考例

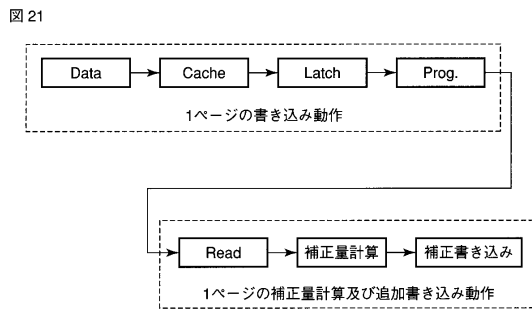
【図20】



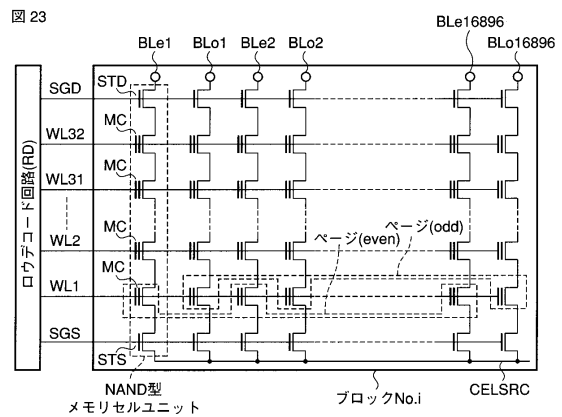
【図22】



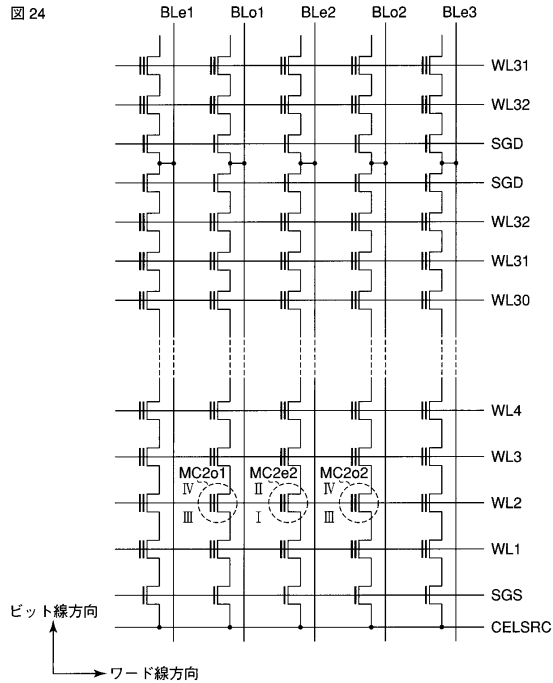
【図21】



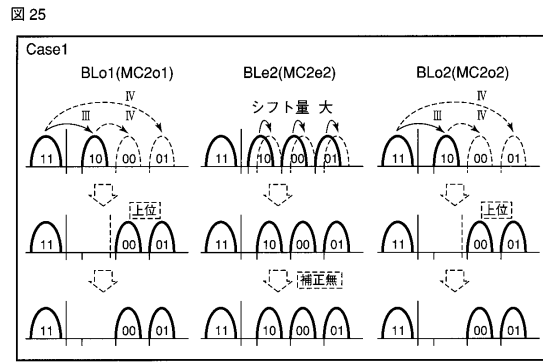
【図23】



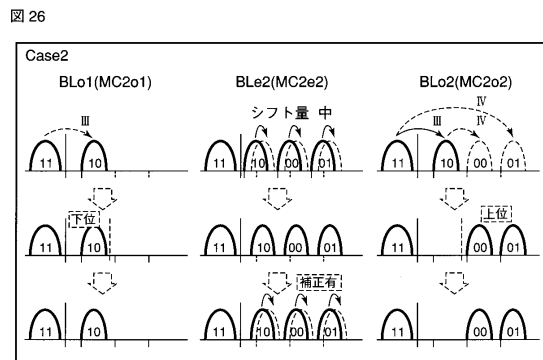
【図 24】



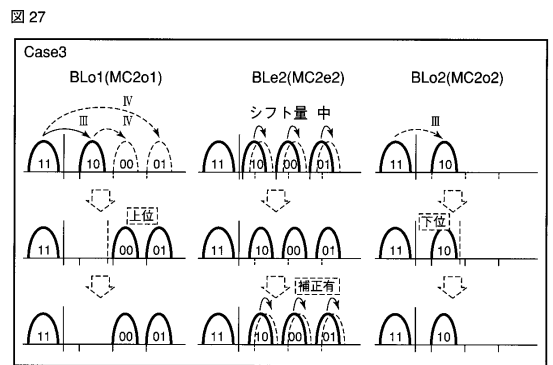
【図 25】



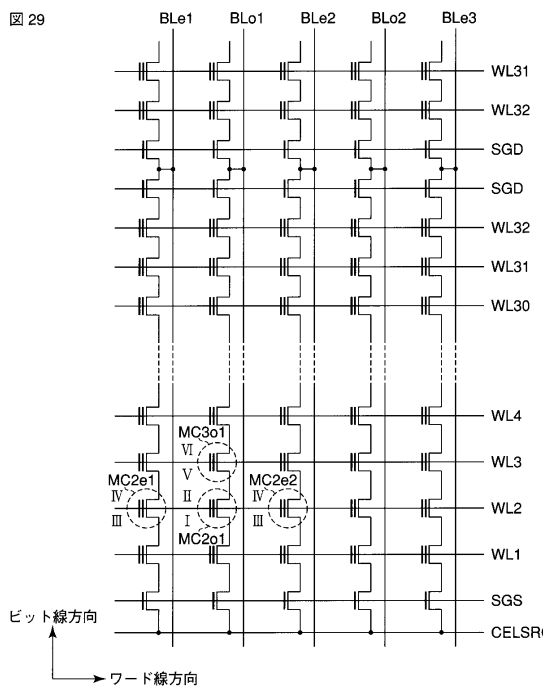
【図 26】



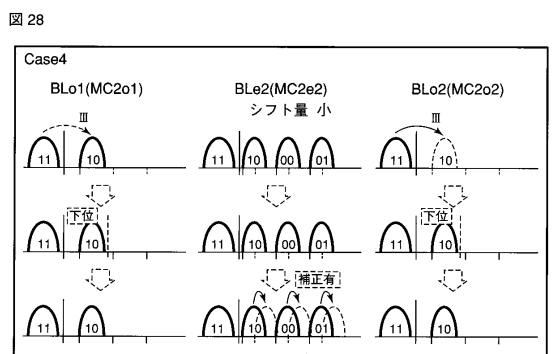
【図 27】



【図 29】

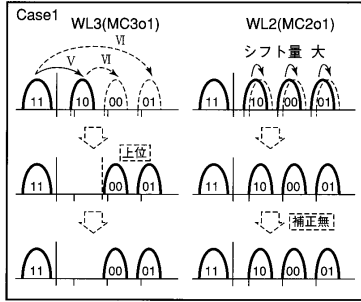


【図 28】



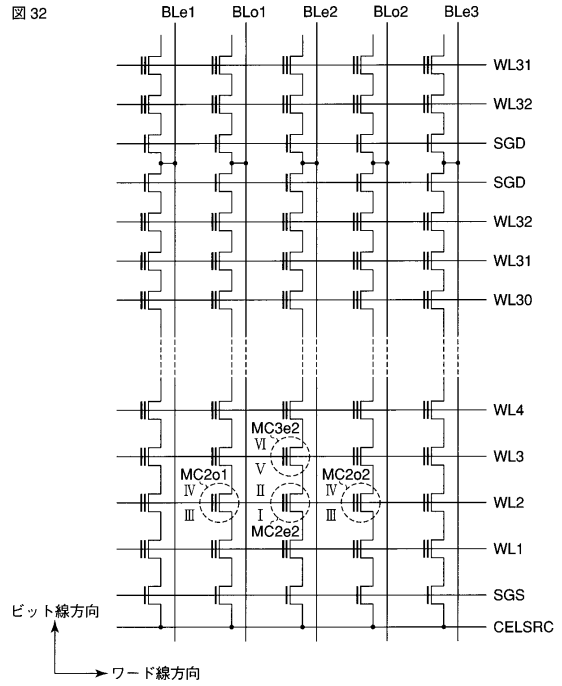
【図 30】

図 30



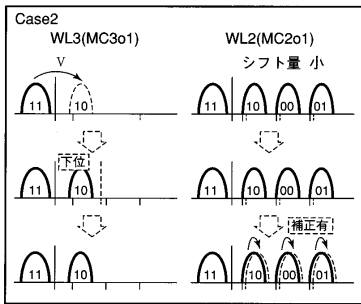
【図 32】

図 32



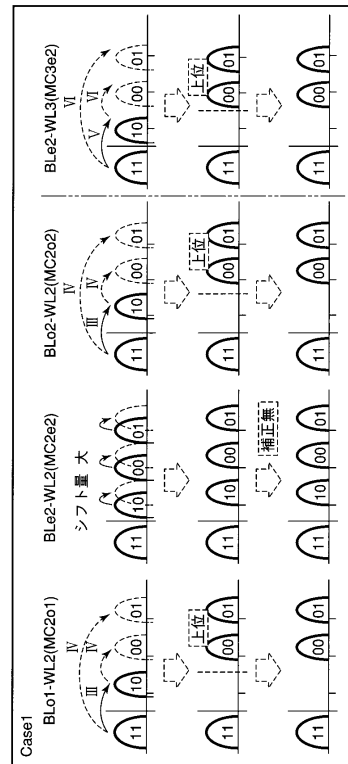
【図 31】

図 31



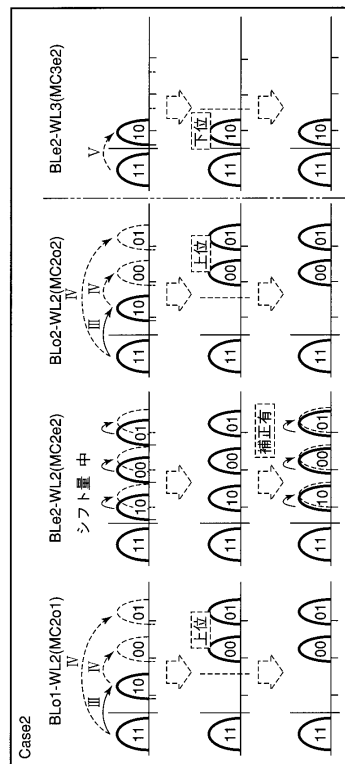
【図 33】

図 33



【図 34】

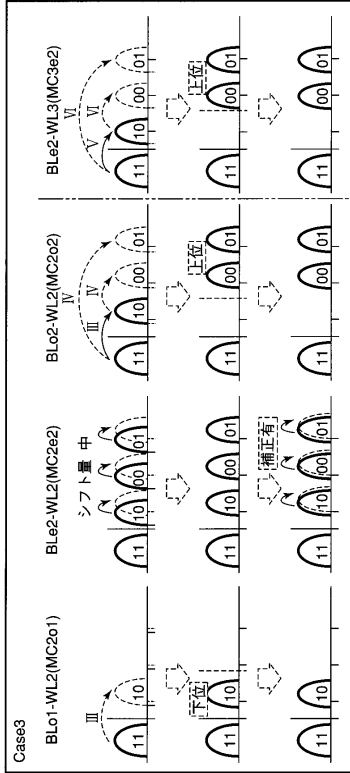
図 34





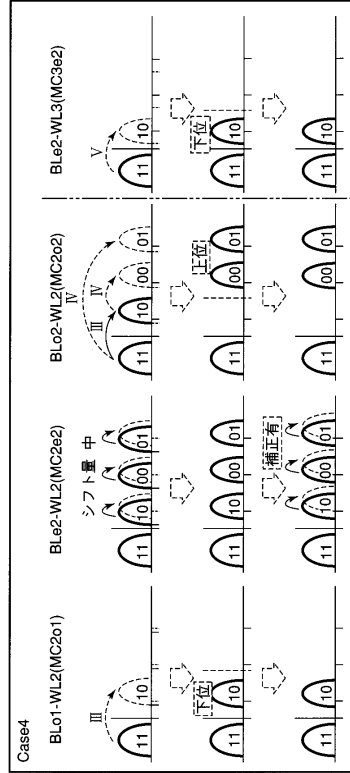
【 図 3 5 】

図 35



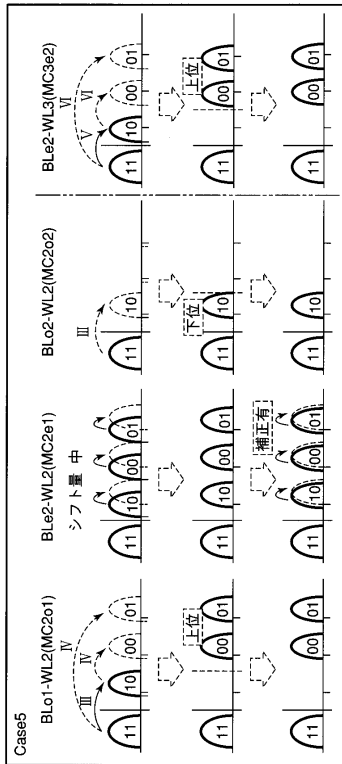
【 図 3 6 】

図 36



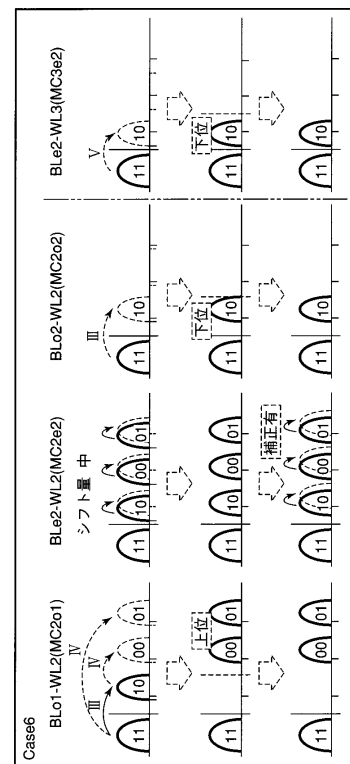
【 図 3 7 】

図 37



【 図 3 8 】

図 38





## フロントページの続き

- (74)代理人 100075672  
弁理士 峰 隆司
- (74)代理人 100109830  
弁理士 福原 淑弘
- (74)代理人 100084618  
弁理士 村松 貞男
- (74)代理人 100092196  
弁理士 橋本 良郎
- (72)発明者 松永 泰彦  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 荒井 史隆  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 佐藤 敦祥  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 佐久間 誠  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 遠藤 真人  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 西原 清仁  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 首藤 啓二  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 飯野 巨久  
神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内

審査官 滝谷 亮一

- (56)参考文献 特開 2005 - 025898 (JP, A)  
特開 2003 - 109386 (JP, A)  
特開 2002 - 324400 (JP, A)  
特表 2005 - 538485 (JP, A)  
特開 2005 - 243205 (JP, A)  
国際公開第 2005 / 013283 (WO, A1)  
特開 2004 - 192789 (JP, A)

- (58)調査した分野(Int.Cl., DB名)  
G11C16/02 - 16/06